



(12) 发明专利申请

(10) 申请公布号 CN 105405878 A

(43) 申请公布日 2016. 03. 16

(21) 申请号 201510847054. 6

(22) 申请日 2015. 11. 27

(71) 申请人 西安电子科技大学

地址 710071 陕西省西安市太白南路 2 号

(72) 发明人 王冲 魏晓晓 郑雪峰 何云龙

马晓华 张进成 郝跃

(74) 专利代理机构 陕西电子工业专利中心

61205

代理人 王品华 朱红星

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/20(2006. 01)

H01L 21/336(2006. 01)

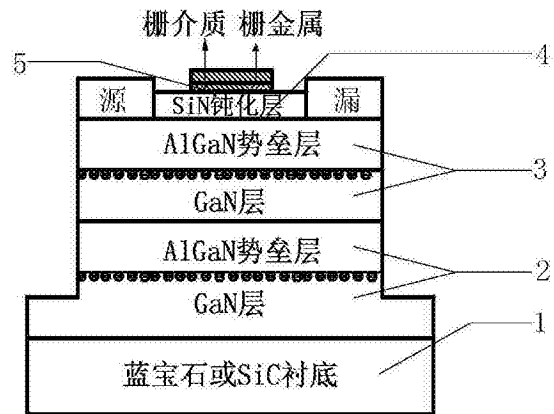
权利要求书2页 说明书7页 附图2页

(54) 发明名称

多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管

(57) 摘要

本发明公开了一种多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管。主要解决目前多沟道器件栅控能力差、栅漏电大及顶栅结构器件载流子迁移率低的问题。其包括衬底 (1)、第一层 AlGa_N/Ga_N 异质结 (2)、Si₃N₄ 钝化层 (4)、绝缘栅介质层 (5) 和源漏栅电极, 源漏电极分别位于 Si₃N₄ 两侧顶层 AlGa_N 上, 其特征在于: 第一层异质结与 Si₃N₄ 之间设有 Ga_N 和 AlGa_N 层, 形成第二层 AlGa_N/Ga_N 异质结 (3); 栅介质层覆盖在 Si₃N₄ 层顶部和 Si₃N₄ 层、第一层及第二层异质结的两侧壁; 栅电极覆盖于栅介质层上。本发明器件栅控能力强, 载流子迁移率高, 饱和电流大, 栅漏电低, 可用于短栅长的低噪声微波功率器件。



1. 一种多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 自下而上依次包括衬底 (1)、第一层 AlGa_N/Ga_N 异质结 (2)、Si₃N₄ 钝化层 (4)、绝缘栅介质层 (5) 和源、漏、栅电极, 源电极和漏电极分别位于 Si₃N₄ 钝化层两侧的顶层 AlGa_N 势垒层上, 其特征在于:

第一层 AlGa_N/Ga_N 异质结 (2) 与 Si₃N₄ 钝化层 (4) 之间设有 Ga_N 层和 AlGa_N 势垒层, 形成第二层 AlGa_N/Ga_N 异质结 (3);

绝缘栅介质层 (5) 覆盖在 Si₃N₄ 钝化层 (4) 的顶部并包裹 Si₃N₄ 钝化层 (4)、第一层异质结 (2)、第二层异质结 (3) 的两个侧壁;

栅电极覆盖在整个绝缘栅介质层 (5) 上。

2. 根据权利要求 1 所述的多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 其特征在于: 衬底 (1) 为蓝宝石或 SiC 衬底。

3. 根据权利要求 1 所述的多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 其特征在于: 第一层 AlGa_N/Ga_N 异质结 (2) 中的 Ga_N 层厚度为 1.5 ~ 2.5 μm, 第二层 AlGa_N/Ga_N 异质结 (3) 中的 Ga_N 层厚度为 25 ~ 35nm。

4. 根据权利要求 1 所述的多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 其特征在于: 第一层 AlGa_N/Ga_N 异质结 (2) 中 AlGa_N 势垒层厚度与第二层 AlGa_N/Ga_N 异质结 (3) 中 AlGa_N 势垒层厚度均为 20 ~ 30nm, 其 Al 组份为 30 ~ 40%。

5. 根据权利要求 1 所述的多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 其特征在于: Si₃N₄ 钝化层 (4) 的厚度为 75 ~ 125nm。

6. 根据权利要求 1 所述的多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管, 其特征在于: 绝缘栅介质层 (5) 的厚度为 2 ~ 4nm; 栅鳍宽度为 30 ~ 50nm。

7. 一种多沟道侧栅结构的绝缘栅 AlGa_N/Ga_N 高电子迁移率晶体管的制作方法, 包括如下步骤:

第一步, 在蓝宝石或 SiC 基片上, 利用 MOCVD 工艺, 依次生长 Ga_N 层和 AlGa_N 势垒层形成第一层 AlGa_N/Ga_N 异质结, 其中 Ga_N 厚度为 1.5 ~ 2.5 μm, AlGa_N 势垒层厚度为 20 ~ 30nm, 其 Al 组份为 30 ~ 40%;

第二步, 在第一层 AlGa_N/Ga_N 异质结上重复生长一次或两次相同结构的 Ga_N 和 AlGa_N, 获得双异质结或三异质结, 形成多沟道结构, 其中 Ga_N 厚度均为 25 ~ 35nm, AlGa_N 势垒层厚度为 20 ~ 30nm, 其 Al 组份为 30 ~ 40%;

第三步, 在所有异质结上进行有源区干法刻蚀和台面隔离, 形成宽度为 30 ~ 50nm 的栅鳍;

第四步, 在最上表面的 AlGa_N 势垒层两侧制作源、漏欧姆接触电极;

第五步, 采用 PECVD 工艺, 在源漏电极之间进行 75 ~ 125nm 厚的 Si₃N₄ 层淀积覆盖其表面形成钝化层;

第六步, 采用原子层淀积技术, 在反应腔体中投入 TMA 和 H₂O 作为反应源, 淀积 2 ~ 4nm 的绝缘栅介质, 使其覆盖在 Si₃N₄ 钝化层的顶部并包裹 Si₃N₄ 钝化层、第一层异质结、第二层异质结的两个侧壁或 Si₃N₄ 钝化层的顶部并包裹 Si₃N₄ 钝化层、第一层异质结、第二层异质结及第三层异质结的两个侧壁;

第七步, 在栅介质上方淀积金属形成栅电极;

第八步, 制作互连引线。

8. 根据权利要求7所述的多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管制作方法,其中所述第一步中的 MOCVD 工艺,是以 NH_3 为 N 源,MO 源为 Ga 源,在 1000°C 下进行 AlGaIn/GaN 异质结生长。

9. 根据权利要求7所述的多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管制作方法,其中所述第三步中,用有源区干法刻蚀进行台面隔离形成栅鳍,是先采用甩胶机在 $3500 \text{ 转}/\text{min}$ 的转速下甩胶,得到光刻胶掩模;再采用 E-beam 光刻机进行曝光,形成台面有源区和栅鳍的掩模图形;然后采用 ICP 干法刻蚀设备,在 Cl_2 等离子体 $1\text{nm}/\text{s}$ 的刻蚀速率下,干法刻蚀形成有源区和栅鳍,刻蚀深度远大于沟道厚度。

10. 根据权利要求7所述的多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管制作方法,其中所述第五步中的 PECVD 工艺,是以 NH_3 为 N 源, SiH_4 源为 Si 源,在 250°C 下进行 SiN 层淀积。

多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件结构与制作,具体的说是一种多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管,可用于制作大规模集成电路。

背景技术

[0002] 近年来以 SiC 和 GaN 为代表的第三代宽禁带半导体以其大禁带宽度、高击穿电场、高热导率、高饱和电子速度和异质结界面二维电子气 2DEG 浓度高等特性,使其受到广泛关注。在理论上,利用这些材料制作的高电子迁移率晶体管 HEMT、发光二极管 LED、激光二极管 LD 等器件比现有器件具有明显的优越特性,因此近些年来国内外研究者对其进行了广泛而深入的研究,并取得了令人瞩目的研究成果。

[0003] AlGaIn/GaN 异质结高电子迁移率晶体管 HEMT 在高温器件及大功率微波器件方面已显示出了得天独厚的优势,追求器件高频率、高压、高功率吸引了众多的研究。由于器件栅长不断减小,栅控能力逐渐减弱,平面栅结构器件短沟道效应越来越明显,AlGaIn/GaN HEMT 器件关态泄漏电流逐渐增大,这不仅会降低器件的可靠性和亚阈值特性,而且会影响器件的低频噪声特性。平面栅器件中,栅压较高时使得载流子散射效应增强,器件饱和电流和跨导都受到较大影响,器件放大工作的线性度明显降低。

[0004] 蔡勇等人对纳米沟道阵列 AlGaIn/GaN HEMT 进行了分析研究。参见 Shenghou Liu, Yong Cai, Guodong Gu, et al. Enhancement-Mode Operation of Nanochannel Array (NCA) AlGaIn/GaN HEMTs, IEEE ELECTRON DEVICE LETTERS, 2012, VOL. 33, NO. 3。纳米沟道阵列器件的导电沟道除了来自表面栅的纵向电场的影响外,还来自两侧壁栅横向电场的影响,从而形成三维的二维电子气调制,加强了栅的调制能力。通过实验研究,证实了在 100nm 尺度内阈值电压与沟道宽度呈现明显的相关性。即随着沟道宽度逐渐减小,阈值电压正向增大,栅控能力增强。栅宽的减小使得阈值电压增大,证明了三维栅结构中的两个侧栅的横向电场对二维电子气有较强的调制作用。但是由于 FinFET 结构器件具有纳米量级的栅宽,栅宽的缩小使得源漏电流明显下降,器件的电流驱动能力下降,不利于器件在大功率方面的应用。

[0005] Dong Seup Lee 等人报道了具有高线性度 g_m 和 f_T 的纳米沟道 InAlN/GaN HEMTs 器件。参见 Dong Seup Lee, Han Wang, Allen Hsu, et al. Nanowire Channel InAlN/GaN HEMTs With High Linearity of g_m and f_T , IEEE ELECTRON DEVICE LETTERS, 2013, VOL. 34, NO. 8。文章介绍了在传统 AlGaIn/GaN 高电子迁移率晶体管中,随着栅偏置电压和漏极电流的增加,跨导在达到峰值后迅速下降。栅压的增大使得载流子之间存在库仑力散射及异质界面散射,降低了载流子迁移率,导致载流子饱和速度降低,大大降低了器件的跨导性能。若仅采用侧栅结构的 AlGaIn/GaN HEMT 器件,消除顶栅对载流子迁移率的影响,势必能将器件的传输特性明显提高。

[0006] 为了进一步推动 GaN 异质结器件在更大电流、更高功率、更低功耗、更高频率、开关模式、多值逻辑门等领域的应用,对于多沟道多异质结材料和器件的研究就显得很有必

要。

[0007] 2005年, Rongming Chu报道了AlGaIn/GaN/AlGaIn/GaN材料结构,同时制作完成了双沟道的HEMT器件。参见Rongming Chu, et al, AlGaIn/GaN Double-Channel HEMTs, IEEE Transactions on electron devices, 2005. 52(4):438。由于该结构有两个GaN层作为沟道层,故被称为双沟道AlGaIn/GaN异质结。通过实验证明,双沟道中最邻近栅的沟道可以在高温、高压、高频等方面有屏蔽底层沟道少受影响的作用。与单沟道AlGaIn/GaN异质结相比,双沟道AlGaIn/GaN异质结可以有更高的2DEG总密度,使得器件饱和电流大幅度增加,对于功率应用的器件,饱和电流的提高至关重要。双沟道AlGaIn/GaN异质结材料总势垒层厚度增加,顶栅结构器件中,栅对最下方的沟道控制能力减弱,引起跨导下降。

[0008] 岳远征等人研究报道了原子层淀积超薄高 κ 介质Al₂O₃和HfO₂作为栅介质的高性能AlGaIn/GaN金属氧化物半导体高电子迁移率晶体管MOS-HEMT。参见Yuanzheng Yue, Yue Hao, et al. AlGaIn/GaN MOS-HEMT With HfO₂Dielectric and Al₂O₃Interfacial Passivation Layer Grown by Atomic Layer Deposition, IEEE ELECTRON DEVICE LETTERS, 2008, VOL. 29, NO. 8。该晶体管采用高 κ 介质Al₂O₃和HfO₂做介质栅,虽然能明显降低栅泄漏电流以及提高器件的击穿电压,但是由于该晶体管采用AlGaIn/GaN单异质结结构,使得二维电子气密度较低,导致器件的饱和电流小;同时由于该晶体管采用一维栅结构,使得栅极对沟道的控制能力较弱,在沟道长度很短时,易出现短沟道效应,导致器件关态泄漏电流较大。

发明内容

[0009] 本发明的目的在于针对上述已有技术的不足,提出一种多沟道侧栅结构的绝缘栅AlGaIn/GaN高电子迁移率晶体管,以提高栅控能力及器件的饱和电流和击穿电压,改善短沟道效应,降低关态泄漏电流和栅泄漏电流,提高载流子的迁移率和饱和速度,满足GaN基电子器件在高压开关、数字电路领域的应用要求。

[0010] 为实现上述目的,本发明的技术方案如下:

[0011] 1. 一种多沟道侧栅结构的绝缘栅AlGaIn/GaN高电子迁移率晶体管,自下而上依次包括衬底、第一层AlGaIn/GaN异质结、SiN钝化层、绝缘栅介质层和源漏栅电极,源电极和漏电极分别位于SiN钝化层两侧的顶层AlGaIn势垒层上,其特征在于:

[0012] 第一层AlGaIn/GaN异质结与SiN钝化层之间设有GaN层和AlGaIn势垒层,形成第二层AlGaIn/GaN异质结;

[0013] 绝缘栅介质层覆盖在SiN钝化层的顶部并包裹SiN钝化层、第一层异质结、第二层异质结的两个侧壁;

[0014] 栅电极覆盖在整个绝缘栅介质层上。

[0015] 作为优选,上述多沟道侧栅结构的绝缘栅AlGaIn/GaN高电子迁移率晶体管,其特征在于:第一层AlGaIn/GaN异质结中AlGaIn势垒层厚度与第二层AlGaIn/GaN异质结中AlGaIn势垒层厚度均为20~30nm,其Al组份为30~40%。

[0016] 作为优选,上述多沟道侧栅结构的绝缘栅AlGaIn/GaN高电子迁移率晶体管,其特征在于:SiN钝化层的厚度为75~125nm。

[0017] 作为优选,上述多沟道侧栅结构的绝缘栅AlGaIn/GaN高电子迁移率晶体管,其特

征在于：绝缘栅介质层的厚度为 2 ~ 4nm。

[0018] 作为优选，上述多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管，其特征在于：栅鳍宽度为 30 ~ 50nm。

[0019] 2. 一种多沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管的制作方法，包括如下步骤：

[0020] 第一步，在蓝宝石或 SiC 基片上，利用 MOCVD 工艺，依次生长 GaN 层和 AlGaIn 势垒层形成第一层 AlGaIn/GaN 异质结，其中 GaN 厚度为 1.5 ~ 2.5 μm ，AlGaIn 势垒层厚度为 20 ~ 30nm，其 Al 组份为 30 ~ 40%；

[0021] 第二步，在第一层 AlGaIn/GaN 异质结上重复生长一次或两次相同结构的 GaN 和 AlGaIn，获得双异质结或三异质结，形成多沟道结构，其中 GaN 厚度均为 25 ~ 35nm，AlGaIn 势垒层厚度为 20 ~ 30nm，其 Al 组份为 30 ~ 40%；

[0022] 第三步，在所有异质结上进行有源区干法刻蚀和台面隔离，形成宽度为 30 ~ 50nm 的栅鳍；

[0023] 第四步，在最上表面的 AlGaIn 势垒层两侧制作源、漏欧姆接触电极；

[0024] 第五步，采用 PECVD 工艺，在源漏电极之间进行 75 ~ 125nm 厚的 SiN 层淀积覆盖其表面形成钝化层；

[0025] 第六步，采用原子层淀积技术，在反应腔体中投入 TMA 和 H₂O 作为反应源，淀积 2 ~ 4nm 的绝缘栅介质，使其覆盖在 SiN 钝化层的顶部并包裹 SiN 钝化层、第一层异质结、第二层异质结的两个侧壁或 SiN 钝化层的顶部并包裹 SiN 钝化层、第一层异质结、第二层异质结及第三层异质结的两个侧壁；

[0026] 第七步，在栅介质上方淀积金属形成栅电极；

[0027] 第八步，制作互连引线。

[0028] 本发明器件与现有同类器件相比具有如下优点：

[0029] 1) 电流驱动能力大

[0030] 本发明采用多沟道 AlGaIn/GaN 异质结结构，能使源漏之间形成多个并联的二维电子气通路，提高了二维电子气总密度，使得器件的饱和电流大幅度增加，大大降低了源漏之间的电阻，减小了器件的开态电阻。

[0031] 2) 提高了载流子的迁移率和饱和速度

[0032] 本发明采用侧栅结构，使得顶栅和最上表面 AlGaIn 势垒层之间存在厚的 SiN 层，降低了顶栅栅压对沟道载流子迁移率的影响，使载流子的迁移率和饱和速度提高，降低了器件的关态泄漏电流和静态功耗，提高了器件跨导和线性度。

[0033] 3) 降低了栅泄漏电流

[0034] 本发明通过绝缘栅介质分担了部分栅压，减少了 AlGaIn 势垒层的压降，从而降低了栅泄漏电流，提高了器件的击穿特性。

附图说明

[0035] 图 1 是本发明整体结构示意图；

[0036] 图 2 是图 1 的侧视图；

[0037] 图 3 是本发明器件的制作工艺流程示意图。

具体实施方式

[0038] 参照图 1, 本发明器件包括蓝宝石或 SiC 衬底 1、第一层 AlGaIn/GaN 异质结 2、第二层 AlGaIn/GaN 异质结 3、SiN 钝化层 4、绝缘栅介质层 5 及源电极、漏电极、栅电极。其中最下层为蓝宝石或 SiC 衬底 1; 衬底上为厚度为 $1.5 \sim 2.5 \mu\text{m}$ 的本征 GaN 层, 本征 GaN 层上为 $20 \sim 30\text{nm}$ 厚、Al 组份为 $30 \sim 40\%$ 的 AlGaIn 势垒层, 形成第一层 AlGaIn/GaN 异质结 2; 该第一层 AlGaIn/GaN 异质结 2 上设有厚度为 $25 \sim 35\text{nm}$ 的 GaN 层和厚度为 $20 \sim 30\text{nm}$, Al 组份为 $30 \sim 40\%$ 的 AlGaIn 势垒层, 构成第二层 AlGaIn/GaN 异质结 3; 第二层 AlGaIn/GaN 异质结 3 的上面即顶层是 AlGaIn 势垒层; 源电极和漏电极分别位于 AlGaIn 势垒层, 即顶层的两侧, 源电极与漏电极之间淀积有厚度为 $75 \sim 125\text{nm}$ 的 SiN 钝化层 4; SiN 钝化层 4 上淀积有厚度为 $2 \sim 4\text{nm}$ 的绝缘栅介质层 5, 该绝缘栅介质层 5 覆盖在 SiN 钝化层 4 的顶部并包裹 SiN 钝化层 4、第一层异质结 2、第二层异质结 3 的两个侧壁, 形成一个半开口的矩形框, 如图 2 所示; 栅电极覆盖在整个在绝缘栅介质层 5 上。

[0039] 参照图 3, 本发明器件的制作给出以下三种实施例。

[0040] 实施例 1: 制作栅鳍宽度为 50nm 的双沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管。

[0041] 步骤 1. 利用 MOCVD 工艺, 外延生长双异质结。

[0042] 1. 1) 在 SiC 衬底基片上, 生长厚度为 $1.5 \mu\text{m}$ 的本征 GaN 层;

[0043] 1. 2) 在本征 GaN 层上生长 20nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 40% , 在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气, 得到第一层 AlGaIn/GaN 异质结;

[0044] 1. 3) 在 20nm 厚的 AlGaIn 势垒层上再生长第二层厚度为 25nm 的本征 GaN 层;

[0045] 1. 4) 在第二层本征 GaN 层上生长第二层 20nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 40% , 得到第二层 AlGaIn/GaN 异质结。

[0046] 本步骤的工艺条件是: 以 NH_3 为 N 源, MO 源为 Ga 源, 生长温度为 1000°C 。

[0047] 步骤 2. 制作栅鳍和有源区。

[0048] 2. 1) 先采用甩胶机在 $3500 \text{转}/\text{min}$ 的转速下甩胶, 得到光刻胶掩模; 再采用电子束 E-beam 光刻机进行曝光, 形成台面有源区和 50nm 宽栅鳍的掩模图形;

[0049] 2. 2) 将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 $1\text{nm}/\text{s}$ 的刻蚀速率进行台面隔离和栅鳍刻蚀, 刻蚀深度为 150nm 。

[0050] 步骤 3. 电极制作和器件钝化。

[0051] 3. 1) 源漏电极制作:

[0052] 首先, 采用甩胶机在 $5000 \text{转}/\text{min}$ 的转速下甩胶, 得到光刻胶掩模厚度 $0.8 \mu\text{m}$;

[0053] 接着, 在温度为 80°C 的高温烘箱中烘 10min , 采用 NSR1755I7A 光刻机进行曝光, 形成源、漏区域掩模图形;

[0054] 然后, 采用 Ohmiker-50 电子束蒸发台以 $0.1\text{nm}/\text{s}$ 的蒸发速率进行源漏电极制作, 源漏金属依次选用 Ti/Al/Ni/Au, 其中 Ti 厚度为 20nm , Al 厚度为 120nm , Ni 厚度为 45nm , Au 厚度为 55nm ; 源漏欧姆接触金属蒸发完成后进行金属剥离;

[0055] 最后, 再用 RTP500 快速热退火炉, 在 870°C 的 N_2 气氛中进行 30s 的快速热退火, 对欧姆接触金属进行合金, 完成源、漏电极的制作。

[0056] 3.2) 采用 PECVD790 淀积设备以 NH_3 为 N 源, SiH_4 源为 Si 源, 在最上层 AlGaIn 势垒层上淀积厚度为 125nm 的 SiN 钝化层, 淀积温度为 250℃;

[0057] 3.3) 绝缘栅介质淀积:

[0058] 采用原子层淀积技术, 在反应腔体中投入 TMA 和 H_2O 作为反应源, 在 300℃ 温度, 下淀积 2nm 厚的 Al_2O_3 绝缘栅介质, 使其覆盖在 SiN 钝化层的顶部并包裹 SiN 钝化层、第一层异质结、第二层异质结的两个侧壁;

[0059] 3.4) 制作栅电极:

[0060] 首先, 采用甩胶机在 5000 转 /min 的转速下甩胶, 得到光刻胶掩模厚度为 0.8 μm ;

[0061] 接着, 在温度为 80℃ 的高温烘箱中烘 10min, 采用 NSR1755I7A 光刻机进行曝光, 形成栅区域掩模图形;

[0062] 最后, 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发, 栅金属依次选用 Ni/Au, 其中 Ni 厚度为 20nm, Au 厚度为 200nm; 蒸发完成后进行金属剥离, 得到完整的栅电极, 使其覆盖在绝缘栅介质上。

[0063] 步骤 4. 制作互联引线。

[0064] 先采用甩胶机在 5000 转 /min 的转速下甩正胶, 再采用 NSR1755I7A 光刻机进行曝光, 形成电极引线掩模图形;

[0065] 接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发, 金属选用 Ti 厚度为 20nm, Au 厚度为 200nm;

[0066] 最后在引线电极金属蒸发完成后进行剥离, 得到完整的引线电极。

[0067] 实施例 2: 制作栅鳍宽度为 40nm 的三沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管。

[0068] 步骤一. 利用 MOCVD 工艺, 外延生长三异质结。

[0069] 1a) 在蓝宝石衬底基片上, 以 NH_3 为 N 源, MO 源为 Ga 源, 生长温度为 1000℃, 生长厚度为 2 μm 的本征 GaN 层;

[0070] 1b) 在本征 GaN 层上, 生长 25nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 35%, 在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气, 得到第一层 AlGaIn/GaN 异质结;

[0071] 1c) 在第一层 25nm 厚的 AlGaIn 势垒层上生长第二层厚度为 30nm 的本征 GaN 层;

[0072] 1d) 在第二层本征 GaN 层上生长第二层 25nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 35%, 得到第二层 AlGaIn/GaN 异质结;

[0073] 1e) 在第二层 25nm 厚的 AlGaIn 势垒层上生长第三层厚度为 30nm 的本征 GaN 层;

[0074] 1f) 在第三层本征 GaN 层上生长第三层 25nm 厚的 AlGaIn 势垒层, 其中 Al 组份为 35%, 得到第三层 AlGaIn/GaN 异质结。

[0075] 上述步骤 1b) ~ 1f) 的工艺条件与 1a) 相同。

[0076] 步骤二. 制作栅鳍和有源区。

[0077] 2a) 先采用甩胶机在 3500 转 /min 的转速下甩胶, 得到光刻胶掩模, 再采用电子束 E-beam 光刻机进行曝光, 形成台面有源区和 40nm 宽栅鳍的掩模图形;

[0078] 2b) 将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 1nm/s 的刻蚀速率进行台面隔离和栅鳍刻蚀, 刻蚀深度为 175nm。

[0079] 步骤三. 电极制作和器件钝化。

[0080] 3a) 源漏电极制作：

[0081] 3a1) 采用甩胶机在 5000 转 /min 的转速下甩胶，得到光刻胶掩模厚度 $0.8\ \mu\text{m}$ ；

[0082] 3a2) 在温度为 80°C 的高温烘箱中烘 10min，采用 NSR1755I7A 光刻机进行曝光，形成源、漏区域掩模图形；

[0083] 3a3) 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行源漏电极制作，源漏金属依次选用 Ti/Al/Ni/Au，其中 Ti 厚度为 20nm，Al 厚度为 120nm，Ni 厚度为 45nm，Au 厚度为 55nm；源漏欧姆接触金属蒸发完成后进行金属剥离；

[0084] 3a4) 用 RTP500 快速热退火炉，在 870°C 的 N_2 气氛中进行 30s 的快速热退火，对欧姆接触金属进行合金，完成源、漏电极的制作；

[0085] 3b) 采用 PECVD790 淀积设备以 NH_3 为 N 源， SiH_4 源为 Si 源，在最上层 AlGaIn 势垒层上淀积厚度为 100nm 的 SiN 钝化层，淀积温度为 250°C ；

[0086] 3c) 采用原子层淀积技术，在反应腔体中投入 TEMAH 和 H_2O 作为反应源，在 300°C 温度下，淀积 3nm HfO_2 绝缘栅介质，使其覆盖在 SiN 钝化层的顶部并包裹 SiN 钝化层、第一层异质结、第二层异质结、第三层异质结的两个侧壁；

[0087] 3d) 栅电极制作：

[0088] 3d1) 采用甩胶机在 5000 转 /min 的转速下甩胶，得到光刻胶掩模厚度为 $0.8\ \mu\text{m}$ ；

[0089] 3d2) 在温度为 80°C 的高温烘箱中烘 10min，采用 NSR1755I7A 光刻机进行曝光，形成栅区域掩模图形；

[0090] 3d3) 采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发，栅金属依次选用 Ni/Au，其中 Ni 厚度为 20nm，Au 厚度为 200nm；蒸发完成后进行金属剥离，得到完整的栅电极，使其覆盖在绝缘栅介质层上。

[0091] 步骤四. 制作互联引线。

[0092] 先采用甩胶机在 5000 转 /min 的转速下甩正胶；再采用 NSR1755I7A 光刻机进行曝光，形成电极引线掩模图形；

[0093] 接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发，金属选用 Ti 厚度为 20nm，Au 厚度为 200nm；

[0094] 最后在引线电极金属蒸发完成后进行剥离，得到完整的引线电极。

[0095] 实施例 3: 制作栅鳍宽度为 30nm 的双沟道侧栅结构的绝缘栅 AlGaIn/GaN 高电子迁移率晶体管。

[0096] 步骤 A. 利用 MOCVD 工艺，外延生长双异质结。

[0097] 在以 NH_3 为 N 源，MO 源为 Ga 源，生长温度为 1000°C 的工艺条件下，先在 SiC 衬底基片上，生长厚度为 $2.5\ \mu\text{m}$ 的本征 GaN 层；

[0098] 再在本征 GaN 层上，生长 30nm 厚的 AlGaIn 势垒层，其中 Al 组份为 30%，在本征 GaN 层与 AlGaIn 势垒层的接触位置形成二维电子气，得到第一层 AlGaIn/GaN 异质结；

[0099] 然后在 30nm 厚的 AlGaIn 势垒层上生长第二层厚度为 35nm 的本征 GaN 层；

[0100] 最后在第二层本征 GaN 层上生长第二层 30nm 厚的 AlGaIn 势垒层，其中 Al 组份为 30%，得到第二层 AlGaIn/GaN 异质结。

[0101] 步骤 B. 制作栅鳍和有源区。

[0102] 先采用甩胶机在 3500 转 /min 的转速下甩胶，得到光刻胶掩模；再采用电子束

E-beam 光刻机进行曝光,形成台面有源区和 30nm 宽栅鳍的掩模图形;然后将做好掩模的基片采用 ICP98c 型感应耦合等离子体刻蚀机在 Cl_2 等离子体中以 1nm/s 的刻蚀速率进行台面隔离和栅鳍刻蚀,刻蚀深度为 200nm。

[0103] 步骤 C. 电极制作和器件钝化。

[0104] C1) 源漏电极制作:

[0105] 先采用甩胶机在 5000 转 /min 的转速下甩胶,得到光刻胶掩模厚度 $0.8\ \mu m$;再在温度为 $80^\circ C$ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,形成源、漏区域掩模图形;

[0106] 接着采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行源漏电极制作,源漏金属依次选用 Ti/Al/Ni/Au,其中 Ti 厚度为 20nm, Al 厚度为 120nm, Ni 厚度为 45nm, Au 厚度为 55nm;

[0107] 最后,在源漏欧姆接触金属蒸发完成后进行金属剥离,并用 RTP500 快速热退火炉,在 $870^\circ C$ 的 N_2 气氛中进行 30s 的快速热退火,对欧姆接触金属进行合金,完成源、漏电极的制作。

[0108] C2) 采用 PECVD790 淀积设备以 NH_3 为 N 源, SiH_4 源为 Si 源,在 $250^\circ C$ 下在 AlGaIn 势垒层上淀积厚度为 75nm 的 SiN 钝化层;

[0109] C3) 绝缘栅介质淀积:

[0110] 采用原子层淀积技术,通过反应腔体在 SiN 钝化层的顶部和 SiN 钝化层、第一层异质结、第二层异质结的两个侧壁淀积 4nm Nb_2O_5 绝缘栅介质,淀积条件为:以 $Nb(OEt)_5$ 和 H_2O 作为反应源,温度为 $300^\circ C$;

[0111] C4) 栅电极制作:

[0112] 首先采用甩胶机在 5000 转 /min 的转速下甩胶,得到光刻胶掩模厚度为 $0.8\ \mu m$;再在温度为 $80^\circ C$ 的高温烘箱中烘 10min,采用 NSR1755I7A 光刻机进行曝光,形成栅区域掩模图形;最后采用 Ohmiker-50 电子束蒸发台以 0.1nm/s 的蒸发速率进行栅金属的蒸发,栅金属依次选用 Ni/Au,其中 Ni 厚度为 20nm, Au 厚度为 200nm;蒸发完成后进行金属剥离,得到完整的栅电极,使其覆盖在绝缘栅介质层上。

[0113] 步骤 D. 制作互联引线。

[0114] 采用甩胶机在 5000 转 /min 的转速下甩正胶,再用 NSR1755I7A 光刻机进行曝光,形成电极引线掩模图形;接着采用 Ohmiker-50 电子束蒸发台以 0.3nm/s 的蒸发速率对制作好掩模的基片进行引线电极金属蒸发,金属选用 Ti 厚度为 20nm, Au 厚度为 200nm;最后在引线电极金属蒸发完成后进行剥离,得到完整的引线电极。

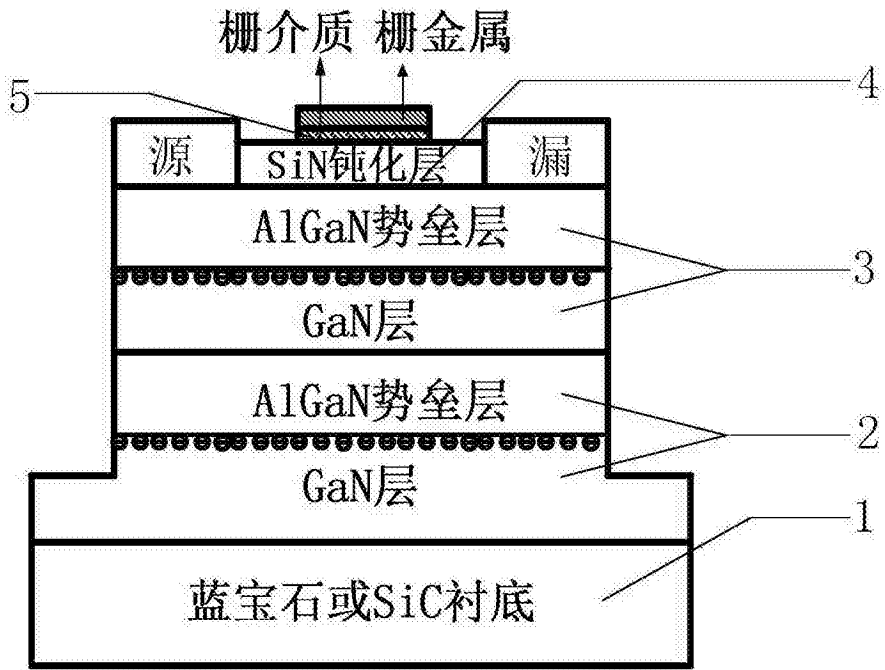


图 1

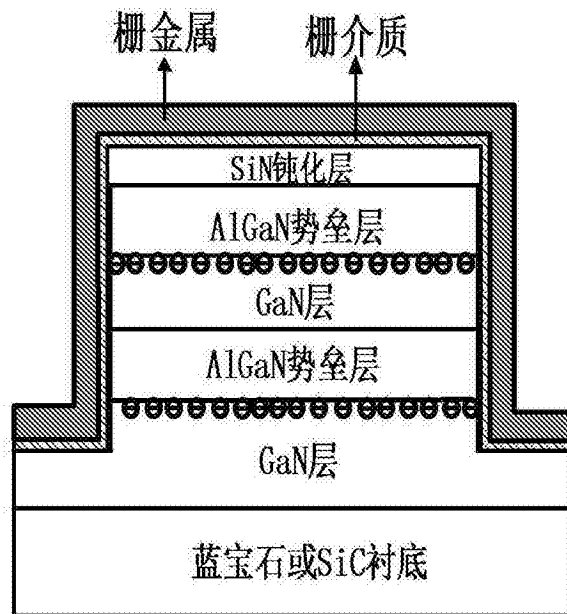


图 2

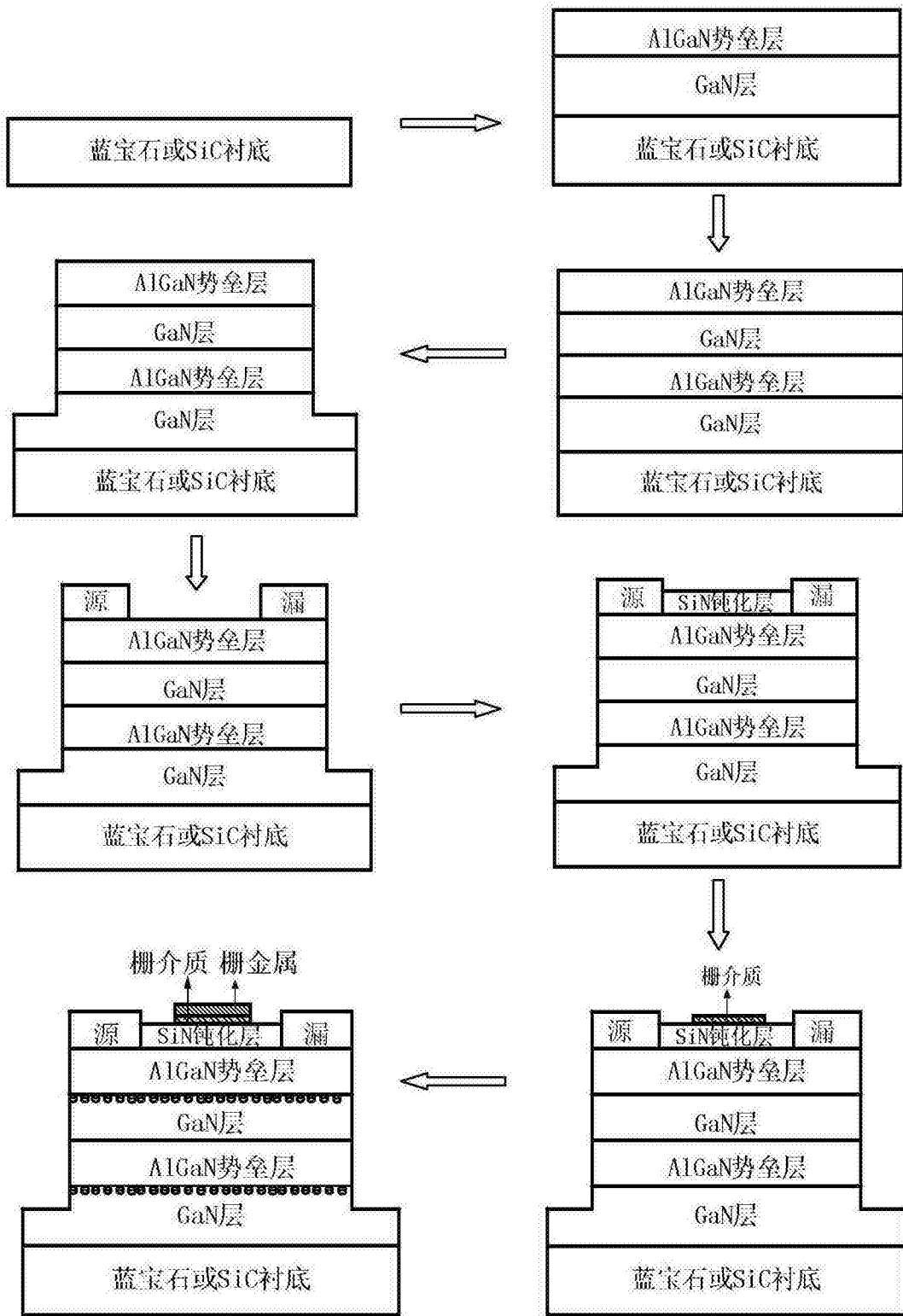


图 3