

# 公告本

申請日期	89.9.8
案號	89118401
類別	HeiL $\frac{1}{10}$

A4  
C4

460993

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	積體電路包裝接腳之排列結構及應用此結構之印刷電路板與系統
	英文	
二、發明人	姓名	張乃舜
	國籍	中華民國
	住、居所	台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓
三、申請人	姓名 (名稱)	威盛電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代表人 姓名	王雪紅

## 五、發明說明 ( | )

本發明是有關於一種積體電路(IC, integrated circuit)接腳結構，特別是有關於一種積體電路包裝接腳之排列結構。

針對一般的積體電路製作過程中，絕大多數都先是對積體電路中之晶粒佈置設計(layout design)開始，再依據所設計之積體電路來決定從晶粒到基板(substrate)之連接關係，然後再決定接腳點之安置，一直到封裝時錫球所在位置之安置。如此，印刷電路板(PCB, print circuit board)之錫點位置也依據積體電路之接腳點精準安置(PPA, pin point accuracy)所設計。

然而，由於近來製程技術之發展，使得積體電路晶片之錫球數目不斷的上升，因而打散了同性質之訊號接腳與電源接腳，如第 1 圖所繪示相對參考電壓( $V_{cc}$ )或相對參考接地( $V_{ss}$ )等之電源接腳，是以近乎打散成亂數之方式排列於積體電路中基板之腳位上。並且，每一個相對參考電壓或相對參考接地之點都必須有個別之貫穿孔(through hole)，因此對印刷電路板錫點位置依據相對參考電壓與相對參考接地之點而做鑽孔之動作。

如此，印刷電路板爲了遷就於積體電路錫球之排列方式，並且於印刷電路板之內層電源電路，係指相對參考電壓層或相對參考接地層，以較細且密之方式牽線進入到相對參考電壓或相對參考接地所在貫穿孔之位置，並且必須繞過其他相對參考電壓或相對參考接地之貫穿孔，容易造成高頻阻抗之效應。

而在於一般之印刷電路板上，穩壓電容是用以穩定相

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(一)

對參考電壓與相對參考接地之間的電位之輸出。由於相對參考電壓與相對參考接地之分佈過於疏散，以致一般之印刷電路板必須額外在其表層電路上牽線構成電性通道，使得穩壓電容能夠連接在相對參考電壓之輸出端與相對參考接地之輸出端之間，如此使得印刷電路板內相對參考電壓層與相對參考接地層之內部連結會更加複雜，並且限制了位於印刷電路板之底層電路中穩壓電容之數量。

由以上所探討可知，由於印刷電路板遷就於積體電路輸出球之位置使得貫穿孔數目增加，並且相對參考電壓層與相對參考接地層之通道複雜且細又密，容易造成高頻阻抗(high frequency impedance)之現象。而且使穩壓電容數量受到限制，以致所供給之電源不穩定的現象。因此，印刷電路板完全受制於基板鉚球之安置所在。

有鑒於此，本發明所提供積體電路包裝接腳之排列結構，是對於一般積體電路之鉚球分佈結構所進行之改進，用以使相對參考電壓與相對參考接地之鉚球能夠更密集並且垂直排列於基板之週邊，換句話說，印刷電路板能將數個相同之相對參考電壓或數個相對參考接地之輸出端相連，並且使用同一個貫穿孔，亦如，相對參考電壓與相對參考接地之連結方式與訊號線成平行排列。進而使得印刷電路板之相對參考電壓層與相對參考接地層之通道能夠加寬並連接於貫穿孔，以降低高頻阻抗。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明（<sup>7</sup>）

圖式之簡單說明：

第 1 圖繪示的是一般鉚球包裝接腳 (ball out assignment) 之示意圖；

第 2 圖繪示的是依照本發明一較佳實施例的一種參差式積體電路接腳排列方式之示意圖；以及

第 3 圖繪示的是依照本發明一較佳實施例的一種參差式積體電路接腳排列方式之透視圖。

圖式標號之簡單說明：

10：印刷電路板之內層(相對參考接地層)

12：印刷電路板之內層(相對參考電壓層)

14：印刷電路板之底層

16，18：相對參考電壓鉚點

20，24：貫穿孔

22：相對參考接地鉚點

26：穩壓電容

### 實施例

請參照第 2 圖，其繪示的是依照本發明一較佳實施例的一種參差式積體電路接腳排列方式之鉚球排列之圖形。

首先，先描述本發明之積體電路製作流程，與一般流程不同的是，先設計該積體電路之鉚球的排列位置，將大部分之相對參考電壓端與相對參考接地端，例如將近 5 組以上之鉚球，分別做密集排列且垂直於積體電路之周圍，接著再由所設計之鉚球的排列位置用於基板對積體電路之輸出入墊配置，進而積體電路之內部結構也必須遷就於鉚球與基板之設計。

## 五、發明說明(Ψ)

由於該積體電路之錫球，將大部分之相對參考電壓端或相對參考接地端做密集排列且垂直於積體電路之周圍，使得印刷電路板之相對參考電壓層與相對參考接地層可以以一種較寬的通道形式引入，改進了以前印刷電路板之內層電源電路中之相對參考電壓層與相對參考接地層繞線之細且密所造成的高頻阻抗。

例如，假設一般印刷電路板之相對參考電壓層與相對參考接地層之寬度為 40 密耳(mil)，於頻率 300MHz 所產生之高頻阻抗為 1 歐母( $\Omega$ , ohm)，流至積體電路之印刷電路板線路之電流為 1 安培(ampere)，如此印刷電路板線路已經消耗了 1 伏特(voltage)之電壓，若再假設電源所提供給積體電路之電壓為 2.5 伏特，則由於上述之印刷電路板所高頻阻抗消耗之電壓為 1 伏特，所以真正到積體電路的電壓值為 1.5 伏特，其中仍不包含基板與搭接線等的功率消耗。

而若印刷電路板是以較寬之通道來引入，則根據此實施例，其中，將相對參考電壓層與相對參考接地層以 100 密耳之寬度，分成七個通道分別進入，於 300MHz 工作時，其高頻阻抗則會降至為 0.1 到 0.2 歐母之間。

由於相對參考電壓端或相對參考接地端密集之排列，因此相近之相對參考電壓端與相對參考接地端可以分別相互連結且其連結方式與訊號線平行，並選第一點再做貫穿，以減少貫穿孔之數目，避免使相對參考電壓層與相對參考接地層之通道因為過多之貫穿孔所形成之高頻阻抗。

## 五、發明說明（ $\zeta$ ）

又因為相對參考電壓端或相對參考接地端之排列分別垂直於積體電路之周圍，並且如第 3 圖所繪示的印刷電路板之透視圖，其中相對參考電壓銲點 16/18 與相對參考接地銲點 22 相互平行之排列結果，使得穩壓電容 26 之數量可以增加，因而使輸入之電源得以穩定，並且由於貫穿孔 20 與貫穿孔 24 緊鄰使得印刷電路板之底層電路 14 不需額外牽線，將相對參考電壓銲點 16/18 或相對參考接地銲點 22 分別連接在穩壓電容 26 上，而本實施例之穩壓電容 26 可增加至 36 顆。

本發明是針對在一般的積體電路製作過程中，大多都是先以積體電路之晶粒佈置設計開始，再依據所設計之積體電路來決定從晶粒到基板之接腳，然後再決定接腳點之安置，一直到封裝時銲球所在位置之安置。如此，印刷電路板之銲點位置也必須依據積體電路之接腳位置加以設計。

然而，由於近來製程技術之發展，使得積體電路晶片之銲球數目不斷的上升，因而打散了同性質之銲球，例如相對參考電壓或相對參考接地等之電源接腳，幾乎是以亂數之方式排列於積體電路之腳位上。並且每一個相對參考電壓或相對參考接地之點都必須有其個別之貫穿孔，以至於印刷電路板依據相對參考電壓與相對參考接地之點而做鑽孔之動作。

如此印刷電路板為了遷就於積體電路銲球之排列方式，且於印刷電路板之內層電源電路，即是相對參考電壓層或相對參考接地層，以較細且密之方式牽線進入到相對

## 五、發明說明(6)

參考電壓或相對參考接地所在貫穿孔之位置，並且必須繞過其他相對參考電壓或相對參考接地之貫穿孔。

而在印刷電路板上，穩壓電容是用以穩定相對參考電壓與相對參考接地之間的電位之輸出。由於相對參考電壓與相對參考接地之分佈過於疏散，以致印刷電路板之表層電路必須額外牽線，使得穩壓電容能夠連接在相對參考電壓之輸出端與相對參考接地之輸出端之間，如此使得印刷電路板內相對參考電壓層與相對參考接地層之內部連結更加之複雜，並且限制了印刷電路板底層電路中之穩壓電容數量。

由以上所探討可知，由於印刷電路板遷就於積體電路輸出球之位置使得貫穿孔之數目增加，並且相對參考電壓層與相對參考接地層之通道複雜且細又密，容易造成通道高頻阻抗之現象。而且使穩壓電容數量受到限制，以致供給電源不穩定之現象。因此，印刷電路板完全受制於基板與接腳點安置精準之設計。

有鑒於此，本發明所提供積體電路包裝接腳之排列結構，是對於一般積體電路之錫球分佈結構所進行之改進，用以使相對參考電壓與相對參考接地之錫球能夠密集且垂直排列於基板之週邊，以致印刷電路板之錫點能將數個相同之相對參考電壓或數個相對參考接地之輸出端相連，並且使用同一個貫穿孔，而且，使得相對參考電壓與相對參考接地之輸出端連結與訊號線成平行之排列。並且，使得印刷電路板之相對參考電壓層與相對參考接地層之通道能夠加寬並連接於貫穿孔，以降低高頻阻抗。

### 五、發明說明( )

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線



四、中文發明摘要(發明之名稱：積體電路包裝接腳之排列結構及應用)

此結構之印刷電路板與系統

一種積體電路接腳排列之結構，用於積體電路包裝接腳之排列。設計一種積體電路包裝接腳排列之結構，用以將多數之相對參考電壓或相對參考接地作最佳化之排列，使得超過一固定數量之電源接腳係相鄰，且其相鄰之排列方向與積體電路包裝內之基板的外圍成垂直，進而使相對參考電壓層或相對電源電路層(在此稱為相對參考接地層)之通道連接得以加寬，以降低電路之高頻阻抗，減少貫穿孔，增加穩壓電容之數量，並使電源穩定。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱： )

## 六、申請專利範圍

1.一種積體電路包裝接腳之排列結構，該積體電路包裝係用以包裝一晶粒，該排列結構包括：

複數個電源接腳，用以提供該晶粒之電源；以及

一基板，電性連接至該些電源接腳以及該晶粒，用以作為該些電源接腳至該晶粒的電流通路；

其中超過一固定數量之該些電源接腳係相鄰，且其相鄰之排列方向與該基板之外圍成垂直。

2.如申請專利範圍第 1 項所述之積體電路接腳之排列結構，其中該固定數量為五組。

3.如申請專利範圍第 1 項所述之積體電路接腳之排列結構，其中該些電源接腳係為複數個鉚球。

4.一種印刷電路板，該印刷電路板係用以承載一積體電路，該積體電路具有複數個電源接腳，該印刷電路板包括：

一表層電路，具有複數個第一鉚點，該些第一鉚點電性連接至具有一第一電位之該些電源接腳，其中該些第一鉚點係相鄰且相連接，該表層電路用以作為導通回路；

一第一貫穿孔，該些第一鉚點僅連接至唯一的該第一貫穿孔，該第一貫穿孔用以作為導通回路；以及

一內層電源電路，具有寬度大於等於一走線寬度預定值之一電路通道，該電路通道相連於該第一貫穿孔，該內層電源電路用以提供電源經該電路通道、該第一貫穿孔、該表層電路至該積體電路。

5.如申請專利範圍第 4 項所述之印刷電路板，其中該表層電路更具有複數個第二鉚點，該些第二鉚點電性連接

## 六、申請專利範圍

至具有一第二電位之該些電源接腳，該印刷電路板更包括：

一第二貫穿孔，任一該些第二銲點連接至該第二貫穿孔，該第二貫穿孔用以作為導通回路；

一相對電源電路，相連於該第二貫穿孔；以及

一底層電路，具有一第三銲點以及一第四銲點，用以連接至一穩壓電容，該第三銲點連接該第一貫穿孔，該第四銲點連接該第二貫穿孔，該些第一銲點與該些第二銲點之排列，使該第三銲點與該第四銲點之距離落於該穩壓電容之範圍內。

6.如申請專利範圍第4項所述之印刷電路板，其中該內層電源電路之該走線寬度預定值為100mil。

7.如申請專利範圍第4項所述之印刷電路板，其中該內層電源電路之該電路通道，其300MHz之高頻阻抗在0.1到0.2Ω之間。

8.一種電路板系統，該系統包括：

一積體電路包裝接腳之排列結構，該積體電路包裝係用以包裝一晶粒，該排列結構包括：

複數個訊號接腳，用以作為該晶粒之訊號連接通路；

複數個電源接腳，用以提供該晶粒之電源；以及

一基板，電性連接至該些電源接腳以及該晶粒，用以作為該些電源接腳至該晶粒的電流通路；以及

一印刷電路板，該印刷電路板係用以承載該積體電路包裝，該印刷電路板包括一表層電路，該表層電路具有複

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

數個訊號線，個別連接至該些訊號接腳；

其中超過一固定數量之該些電源接腳係相鄰，且其相鄰之排列方向與該些訊號線平行。

9.如申請專利範圍第 8 項所述之電路板系統，其中該固定數量為 5 組。

10.如申請專利範圍第 8 項所述之電路板系統，其中該些訊號接腳與電源接腳係為複數個鉚球。

11.如申請專利範圍第 8 項所述之電路板系統，其中該印刷電路板之該表層電路，更具有複數個第一鉚點，該些第一鉚點電性連接至具有一第一電位之該些電源接腳，其中該些第一鉚點係相鄰且相連接，而該印刷電路板更包括：

一第一貫穿孔，該些第一鉚點僅連接至唯一的該第一貫穿孔，該第一貫穿孔用以作為導通回路；以及

一內層電源電路，具有寬度大於等於一走線寬度預定值之一電路通道，該電路通道相連於該第一貫穿孔，該內層電源電路用以提供電源經該電路通道、該第一貫穿孔、該表層電路至該積體電路。

12.如申請專利範圍第 11 項所述之**電路板系統**，其中該表層電路更具有複數個第二鉚點，該些第二鉚點電性連接至具有一第二電位之該些電源接腳，該印刷電路板更包括：

一第二貫穿孔，任一該些第二鉚點連接至該第二貫穿孔，該第二貫穿孔用以作為導通回路；

一相對電源電路，相連於該第二貫穿孔；以及

(請先閱讀背面之注意事項再填寫本頁)

表  
訂  
線

## 六、申請專利範圍

一底層電路，具有一第三銲點以及一第四銲點，用以連接至一穩壓電容，該第三銲點連接該第一貫穿孔，該第四銲點連接該第二貫穿孔，該些第一銲點與該些第二銲點之排列，使該第三銲點與該第四銲點之距離落於該穩壓電容之範圍內。

13.如申請專利範圍第 11 項所述之**電路板系統**，其中該內層電源電路之該走線寬度預定值為 100mil。

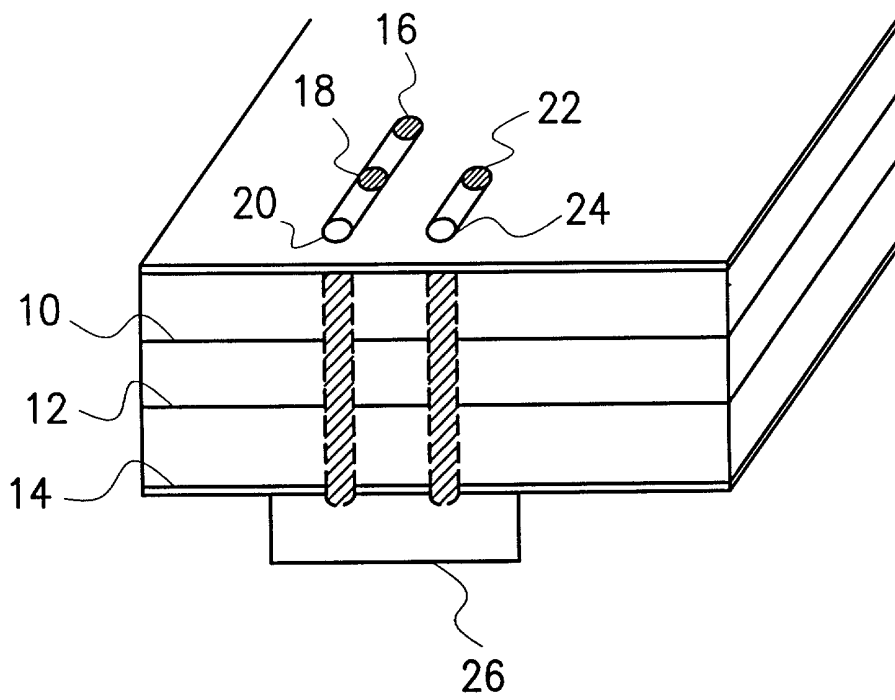
14.如申請專利範圍第 11 項所述之**電路板系統**，其中該內層電源電路之該電路通道，其 300MHz 之高頻阻抗在 0.1 到 0.2Ω 之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



第 3 圖

## 六、申請專利範圍

數個訊號線，個別連接至該些訊號接腳；

其中超過一固定數量之該些電源接腳係相鄰，且其相鄰之排列方向與該些訊號線平行。

9.如申請專利範圍第 8 項所述之電路板系統，其中該固定數量為 5 組。

10.如申請專利範圍第 8 項所述之電路板系統，其中該些訊號接腳與電源接腳係為複數個鉚球。

11.如申請專利範圍第 8 項所述之電路板系統，其中該印刷電路板之該表層電路，更具有複數個第一鉚點，該些第一鉚點電性連接至具有一第一電位之該些電源接腳，其中該些第一鉚點係相鄰且相連接，而該印刷電路板更包括：

一第一貫穿孔，該些第一鉚點僅連接至唯一的該第一貫穿孔，該第一貫穿孔用以作為導通回路；以及

一內層電源電路，具有寬度大於等於一走線寬度預定值之一電路通道，該電路通道相連於該第一貫穿孔，該內層電源電路用以提供電源經該電路通道、該第一貫穿孔、該表層電路至該積體電路。

12.如申請專利範圍第 11 項所述之**電路板系統**，其中該表層電路更具有複數個第二鉚點，該些第二鉚點電性連接至具有一第二電位之該些電源接腳，該印刷電路板更包括：

一第二貫穿孔，任一該些第二鉚點連接至該第二貫穿孔，該第二貫穿孔用以作為導通回路；

一相對電源電路，相連於該第二貫穿孔；以及

(請先閱讀背面之注意事項再填寫本頁)

表  
訂  
線

## 六、申請專利範圍

一底層電路，具有一第三銲點以及一第四銲點，用以連接至一穩壓電容，該第三銲點連接該第一貫穿孔，該第四銲點連接該第二貫穿孔，該些第一銲點與該些第二銲點之排列，使該第三銲點與該第四銲點之距離落於該穩壓電容之範圍內。

13.如申請專利範圍第 11 項所述之**電路板系統**，其中該內層電源電路之該走線寬度預定值為 100mil。

14.如申請專利範圍第 11 項所述之**電路板系統**，其中該內層電源電路之該電路通道，其 300MHz 之高頻阻抗在 0.1 到 0.2Ω 之間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線