



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11B 20/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월07일 10-0714660 2007년04월27일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0024165 1999년06월25일 2004년06월25일	(65) 공개번호 (43) 공개일자	10-2000-0006455 2000년01월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      98-180926      1998년06월26일      일본(JP)

(73) 특허권자      소니 가부시끼 가이샤  
일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자      오사와요시히토  
일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니가부시끼가이샤내  
  
카타야마히로시  
일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니가부시끼가이샤내

(74) 대리인      이병호  
장훈  
이범래

(56) 선행기술조사문헌      US5583575 \*      KR1019980007645 A  
\*는 심사관에 의하여 인용된 문헌

심사관 : 김용웅

전체 청구항 수 : 총 8 항

(54) 비디오 신호 재생 장치 및 재생 방법

(57) 요약

프레임 주파수들이 상이한 복수의 디지털 비디오 신호들에 있어서, 프레임 주파수들의 차이들을 화소들의 수의 차이들로 대체하여, 프레임 주파수들이 상이한 복수의 디지털 비디오 신호들이 공통의 클럭 주파수로 처리될 수 있도록 화소들의 수를 변환하는 화소수 변환 회로를 제공한다. 프레임 주파수는 프레임 주파수값 디코더에 의해 검출되며, 화소수 변환 회로의 수평 방향의 화소들의 수는 프레임 주파수에 따라 적합하게 설정된다. 상기 언급한 바와 같이, 프레임 주파수들의 차이들이 화소들의 수의 차이들로 대체되고, 이미지들이 프레임 주파수가 동일하면서 화소들의 수들이 상이한 이미지로 변환되면, 프레임 주파수들은 동일하게 되고, 그들 신호들은 동일한 클럭에 의해 처리될 수 있다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

상이한 프레임 주파수를 가진 복수의 압축된 디지털 비디오 스트림을 재생하는 비디오 재생 장치로서,

상기 복수의 압축된 디지털 비디오 스트림들을 수신하고 상기 압축된 디지털 비디오 스트림들에 포함된 디스플레이 화소 수 정보 및 프레임 주파수값 정보를 디코딩하는 디코더로서, 상기 프레임 주파수값 정보는 프레임 주파수들을 포함하고 상기 디스플레이 화소수 정보는 수평 화소들의 수들을 포함하는, 상기 디코더;

클럭 주파수를 가진 타이밍 신호를 생성하는 클럭; 및

상기 디지털 비디오 신호들이 동일한 클럭 주파수를 사용하여 처리될 수 있도록 상기 디코딩된 프레임 주파수들간의 차이들을 상기 수평 화소들의 수들간의 차이들로 대체함으로써 상기 복수의 압축된 디지털 비디오 스트림과 연관된 디지털 비디오 신호들을 생성하는 변환기를 포함하며,

상기 변환기는 상기 디스플레이 화소수 정보 및 상기 프레임 주파수 정보에 기초하여 상기 수평 화소들의 수들을 설정하는, 비디오 재생 장치.

### 청구항 2.

제 1 항에 있어서, 상기 변환기는 상기 복수의 압축된 디지털 비디오 스트림들과 연관된 수평 화소들의 수들의 비가 상기 복수의 압축된 비디오 스트림들의 프레임 주파수들의 비의 역(reciprocal)으로 설정되도록 상기 수평 화소들의 수들을 변환하는, 디지털 비디오 신호 재생 장치.

### 청구항 3.

제 1 항에 있어서, 상기 디코더는 디지털 텔레비전 신호에 포함된 프레임 주파수 판별 정보를 추출함으로써 상기 프레임 주파수들을 디코딩하는, 디지털 비디오 신호 재생 장치.

### 청구항 4.

제 1 항에 있어서, 상기 변환기는 상기 압축된 디지털 비디오 스트림리 표준 비디오 스트림인 경우 및 상기 압축된 디지털 비디오 스트림이 고선명 비디오 시스템인 경우 각각 상이한 수평 화소들의 수를 설정하는, 디지털 비디오 신호 재생 장치.

### 청구항 5.

삭제

### 청구항 6.

상이한 프레임 주파수를 가진 복수의 압축된 디지털 비디오 스트림을 재생하는 비디오 재생 방법으로서,

상기 복수의 압축된 디지털 비디오 스트림들을 수신하는 단계;

상기 압축된 디지털 비디오 스트림들에 포함된 디스플레이 화소수 정보 및 프레임 주파수값 정보를 디코딩하는 단계로서, 상기 프레임 주파수값 정보는 프레임 주파수들을 포함하고 상기 디스플레이 화소수 정보는 수평 화소들의 수들을 포함하는, 상기 디코딩하는 단계;

클럭 주파수를 가진 타이밍 신호를 생성하는 단계; 및

상기 디코딩된 프레임 주파수들간의 차이들을 상기 수평 화소들의 수들간의 차이들로 대체함으로써 압축된 비디오 스트림을 나타내는 디지털 비디오 신호들을 재생하는 단계;

동일한 클럭 주파수를 사용하여 상기 디지털 비디오 신호들을 처리하는 단계를 포함하는, 비디오 재생 방법.

## 청구항 7.

제 6 항에 있어서, 상기 수평 화소들의 수는 상기 재생된 디지털 비디오 신호들의 수평 화소들의 수들의 비가 상기 복수의 압축된 디지털 비디오 스트림의 프레임 주사수들의 비의 역으로 설정되도록 변환되는, 비디오 재생 방법.

## 청구항 8.

제 6 항에 있어서, 상기 프레임 주파수는 디지털 텔레비전 스트림에 포함된 프레임 주파수 판별 정보를 추출함으로써 디코딩되는, 비디오 재생 방법.

## 청구항 9.

제 6 항에 있어서, 상기 압축된 디지털 비디오 스트림이 표준 비디오 스트림인 경우 및 상기 압축된 디지털 비디오 스트림이 고선명 비디오 스트림인 경우 수평 화소들의 상이한 수들이 각각 설정되는, 비디오 재생 방법.

## 청구항 10.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 특히 디지털 텔레비전 방송과 같이 MPEG2(Moving Picture Experts Group 2)로 엔코딩된 이미지를 수신하여 재생하는 비디오 재생 장치 및 재생 방법에 관한 것이다. 특히, 본 발명은 약간 상이한 프레임 주파수들을 갖는 복수의 비디오 신호들에 대처할 수 있는 비디오 재생 장치 및 방법에 관한 것이다.

위성을 사용하여 디지털 비디오 신호를 방송하는 위성 디지털 텔레비전 방송이 시작되었다. 지상파를 사용하여 디지털 비디오 신호를 방송하는 지상파 디지털 텔레비전 방송의 개발이 또한 진척되고 있다. 디지털 텔레비전 방송에서, 고선명 텔레비전 방송, 다중 채널 방송, 멀티미디어 방송 등과 같은 여러 가지 서비스를 수행할 것으로 기대된다.

디지털 텔레비전 방송에서, 예를 들면 MPEG2는 이미지 압축 시스템으로서 사용된다. MPEG2 시스템에 따른 비디오 신호는 움직임 보상 예측 코딩과 DCT(이산 코사인 변환)에 의해 엔코딩된 압축이다. MPEG2 시스템에서, I(내) 화상, P(예측) 화상, 및 B(양방향 예측) 화상이라고 하는 3종류의 화면들(picture planes)이 보내진다. I 화상에서, DCT 엔코딩은 동일한

프레임의 화소를 사용하여 수행된다. P 화상에서, 움직임 보상 예측을 사용하는 DCT 엔코딩은 이미 엔코딩된 I 화상 또는 P 화상을 참조하여 수행된다. B 화상에서, 움직임 예측을 사용하는 DCT 엔코딩은 목표 B 화상 앞 뒤의 I 화상 또는 P 화상을 참조하여 수행된다.

MPEG2의 디코딩 회로는 MPEG2 시스템을 사용하여 전송된 디지털 텔레비전 방송을 수신하기 위해 디지털 텔레비전 수신기에 제공된다. MPEG2의 디코딩 회로는 예를 들면 도 1에 도시한 바와 같이 구성될 수 있다.

도 1에서, MPEG2의 비트 스트림은 입력 단자(101)에 공급된다. 비트 스트림은 버퍼 메모리(102)에 일단 저장된다.

버퍼 메모리(102)의 출력은 가변 길이 디코딩 회로(103)에 공급된다. 디코딩은 매크로블록 단위로 가변 길이 디코딩 회로(103)에서 수행된다. DCT의 계수 데이터 및 움직임 벡터는 가변 길이 디코딩 회로(103)로부터 출력된다. 더욱이, 비디오 신호의 프레임 주파수를 나타내는 제어 데이터 및 예측 모드, 양자화 스케일 등과 같은 데이터가 가변 길이 디코딩 회로(103)로부터 출력된다.

(8 x 8) 화소로 구성된 DCT 계수 데이터는 역 양자화 회로(104)에 공급된다. 역 양자화 회로(104)의 양자화 스케일은 가변 길이 디코딩 회로(103)로부터의 양자화 스케일 정보에 따라 설정된다. 움직임 벡터 정보 및 예측 모드 정보는 움직임 보상 회로(107)에 공급된다.

DCT 계수 데이터는 역 양자화 회로(104)에 의해 역으로 양자화된다. 역 양자화 회로(104)의 출력은 IDCT 회로(105)에 공급된다. IDCT 회로(105)의 출력은 가산 회로(106)에 공급된다. 움직임 보상 회로(107)의 출력은 가산 회로(106)에 공급된다.

I 화상에서, DCT 엔코딩은 동일 프레임의 화소들을 사용하여 수행되기 때문에, I 화상의 경우, 1프레임의 화면의 이미지 데이터가 IDCT 회로(105)로부터 도출된다. 이미지 데이터는 가산 회로(106) 및 버퍼 메모리(110)를 통해 출력 단자(111)로부터 출력된다. 이 경우 이미지 데이터는 이미지 메모리(108)에 기준 화면의 데이터로서 저장된다.

P 화상에서, 움직임 보상 예측을 사용하는 DCT 엔코딩은 I 화상 또는 P 화상을 참조하여 수행된다. 그러므로, 관계된 화상과 기준 화면 사이의 차분 데이터는 IDCT 회로(105)로부터 출력된다. 기준 화면의 데이터는 이미지 메모리(108)에 저장된다. 움직임 벡터는 가변 길이 디코딩 회로(103)에서 움직임 보상 회로(107)에 공급된다. P 화상을 디코딩하는 경우, 이미지 메모리(108)로부터의 기준 프레임의 이미지는 움직임 보상 회로(107)에 의해 움직임 보상되어 가산 회로(106)에 공급된다. 가산 회로(106)에서, 움직임 보상된 기준 이미지의 데이터와 IDCT 회로(105)로부터 차분 데이터가 더해진다. 따라서, 1프레임의 화면의 데이터가 도출된다. 이미지 데이터는 버퍼 메모리(110)를 통해 출력 단자(111)로부터 출력된다. 이 경우 이미지 데이터는 기준 화면의 데이터로서 이미지 메모리에 저장된다.

B 화상에서, 움직임 예측을 사용한 DCT 엔코딩은 목표 B 화상 전후의 I 화상 또는 P 화상을 참조하여 수행된다. 그러므로, 전후의 목표 화면과 기준 화면 사이의 차이가 IDCT 회로(105)로부터 출력된다. 목표 화면 전후의 기준 화면들의 데이터는 이미지 메모리(108)에 저장된다. B 화상을 디코딩하는 경우, 이미지 메모리(108)로부터 목표 프레임 전후의 기준 프레임들의 이미지들은 움직임 보상 회로(107)에 의해 움직임 보상되어 가산 회로(106)에 공급된다. 가산 회로(106)에서, 목표 이미지 전후의 움직임 보상된 기준 이미지들의 데이터와 IDCT 회로(105)로부터 차분 데이터가 더해진다. 따라서, 1프레임의 화면의 데이터가 도출된다. 이미지 데이터는 버퍼 메모리(110)를 통해 출력 단자(111)로부터 출력된다.

상기 언급된 바와 같이, MPEG2 시스템의 디지털 비디오 신호는 가변 길이 디코딩 회로(103), 역 양자화 회로(104), 및 IDCT 회로(105)에 의해 디코딩되어 버퍼 메모리(110)를 통해 출력 단자(111)로부터 출력된다.

MPEG2 시스템의 디지털 텔레비전 방송에서, 프레임 주파수들이 약간 상이한 복수의 표준들의 신호들이 보내질 가능성이 있다. 그러므로, 지금까지는 버퍼 메모리(110)를 위한 2개의 클럭 발생 회로들(121, 122)을 준비하고 수신된 텔레비전 방송의 프레임 주파수에 따라 2개의 클럭 발생 회로들(121, 122)을 전환할 필요가 있다.

즉, 기존의 NTSC 시스템을 디지털화하기 위해 표준으로서 주로 사용되는 시스템에서, 비디오 신호의 수평 화소들의 수가 858 화소들로 설정되어 있고 1프레임 내에 주사 라인들의 수가 525 라인들로 설정되어 있고 클럭 주파수가 13.5MHz로 설정된 표준이 있다. 이 경우, 프레임 주파수는 다음과 같이 얻어 지고, 그 값은 29.97Hz와 같다.

$$13.5\text{MHz}/(858 \times 525)$$

한편, 앞으로 새롭게 표준화될 디지털 NTSC 시스템의 표준으로서는 비디오 신호의 수평 주파수가 858 화소들로 설정되어 있고, 1프레임 내 주사 라인들의 수가 525 라인들로 설정되어 있고, 클럭 주파수가 13.5MHz로 설정된 표준이 있다. 이 표준에 따라, 프레임 주파수는 30Hz와 같다.

상기 언급된 바와 같이, MPEG2 시스템의 디지털 텔레비전 방송에서, 29.97Hz의 프레임 주파수를 갖는 표준과 30Hz의 프레임 주파수를 갖는 표준이 있다. 그러므로, 29.97Hz의 프레임 주파수를 갖는 디지털 텔레비전 방송이 수신되고 있는 동안, 프레임 주파수를 29.97Hz로 설정하도록 버퍼 메모리(110)로부터 독출하는 동작을 제어할 필요가 있다. 30Hz의 프레임 주파수를 갖는 디지털 텔레비전 방송이 수신되고 있는 동안, 프레임 주파수를 30Hz로 설정하도록 버퍼 메모리(110)로부터 독출하는 동작(reading operation)을 제어할 필요가 있다.

이러한 목적을 위해서, 지금까지는 2개의 클럭 발생 회로들(121, 122)이 제공되었으며 2개의 클럭 발생 회로들(121, 122)은 수신된 비디오 신호의 프레임 주파수에 따라 전환되었다.

즉, 도 1에서, 클럭 발생 회로(121)의 출력은 스위칭 회로(123)의 단자(123A)에 공급된다. 클럭 발생 회로(122)의 출력은 스위칭 회로(123)의 단자(123B)에 공급된다. 클럭 발생 회로(121)는 클럭을 버퍼 메모리(110)에 발생시켜 비디오 데이터를 프레임 주파수 29.97Hz로 판독한다. 클럭 발생 회로(122)는 클럭을 버퍼 메모리(110)에 발생시켜 비디오 데이터를 프레임 주파수 30Hz로 판독한다. 클럭 발생 회로들(121, 122)은 시스템 클럭 발생 회로(120)로부터 시스템 클럭에 기초하여 클럭들을 발생시킨다. 스위칭 회로(123)의 출력은 버퍼회로(110)에 공급된다.

비디오 신호들의 프레임 주파수들을 보이는 여러 가지 제어 데이터는 가변 길이 디코딩 회로(103)의 출력에 포함된다. 제어 데이터는 프레임 주파수 디코더(124)에 공급된다. 프레임 주파수 디코더(124)에서, 수신된 비디오 신호의 프레임 주파수가 식별되고 스위치 전환 신호는 프레임 주파수에 따라 프레임 주파수 디코더(124)로부터 발생된다.

수신된 비디오 신호가 29.97Hz의 프레임 주파수를 가질 때, 스위칭 회로(123)는 단자(123A) 측에 설정된다. 그러므로, 비디오 데이터는 29.97 Hz의 프레임 주파수로 버퍼 메모리(110)로부터 판독된다.

수신된 비디오 신호가 30Hz의 프레임 주파수를 가질 때, 스위칭 회로(123)는 단자(123B) 측에 설정된다. 그러므로, 비디오 데이터는 프레임 주파수 30Hz로 버퍼 메모리(110)로부터 판독된다.

상기 언급된 바와 같이, 디지털 텔레비전 방송에서, 프레임 주파수들이 약간 상이한 복수의 비디오 신호들이 전송될 가능성이 있기 때문에, 지금까지는 프레임 주파수에 대응하는 복수의 클럭 발생 회로(121, 122)를 준비할 필요가 있다.

예를 들면, 상기 언급한 바와 같이, 하나의 발진회로부터 2개의 프레임 주파수의 클럭들을 발생하여도, 필요한 프레임 주파수들은 29.97Hz 및 30Hz와 같은 매우 가까운 주파수들이다. 이들 2개의 주파수들의 비는 (1000/1001)과 같다. 하나의 발진회로부터 2개의 주파수들에 대응하는 클럭들을 안정하게 발생하기란 매우 어렵다.

상기 언급한 바와 같이, 복수의 클럭 발생 회로들이 수신된 비디오 신호들의 프레임 주파수들에 따라 준비된다면, 회로 스케일이 증가하며 비용이 상승하는 문제가 발생한다. 특히, 디지털 텔레비전 수신기가 집적회로로 실현될 때, 디코딩 회로의 동일한 칩에 발진회로를 포함하는 클럭 발생 회로를 탑재하기는 어렵다. 그러므로, 복수의 클럭 발생 회로들이 제공된다면, 회로 스케일이 증가하고 비용이 상승된다.

### 발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 프레임 주파수들이 약간 상이한 복수의 비디오 신호들에 대해 동일한 클럭으로 이미지를 출력할 수 있는 비디오 재생 장치 및 방법을 제공하는 것이다.

### 발명의 구성

본 발명에 따라, 상이한 프레임 주파수들을 갖는 복수의 디지털 비디오 신호들을 재생하는 비디오 재생 장치에 있어서,

입력된 디지털 비디오 신호의 프레임 주파수를 판별하는 프레임 주파수 판별 수단과,

상이한 프레임 주파수들을 갖는 상기 복수의 디지털 비디오 신호들에 대한 수평 화소들의 수 사이의 차이들로 상기 프레임 주파수들 사이의 차이들을 대체하여, 상이한 프레임 주파수들을 갖는 상기 복수의 디지털 비디오 신호들이 공통의 클럭 주파수로 처리될 수 있도록 화소들의 수의 변환을 수행하는 화소수 변환 수단을 포함하며,

상기 화소수 변환 수단의 수평 화소들의 수는 상기 프레임 주파수 판별 수단의 출력에 따라 적합하게 설정되는 복수의 디지털 비디오 신호 재생 장치가 제공된다.

본 발명에 따라서, 상이한 프레임 주파수들을 갖는 복수의 디지털 비디오 신호들을 재생하는 방법에 있어서,

상기 디지털 비디오 신호의 프레임 주파수를 판별하는 단계와,

상이한 프레임 주파수들을 갖는 복수의 디지털 비디오 신호들에 대한 수평 화소들의 수 사이의 차이들로 프레임 주파수들 사이의 차이를 대체하고, 상이한 프레임 주파수들을 갖는 복수의 디지털 비디오 신호들을 공통의 클럭 주파수로 처리될 수 있도록 화소들의 수의 변환을 수행하는 단계와,

판별된 프레임 주파수에 따라 화소들의 수의 변환 완료후에 수평 화소들의 수를 적합하게 설정하는 단계를 포함하는 복수의 디지털 비디오 신호 재생 방법이 제공된다.

기존의 NTSC 시스템의 비디오 신호를 디지털화하는 표준으로써, 프레임 주파수가 29.97Hz인 표준 및 프레임 주파수가 30Hz인 표준이 있다. 2종류의 이미지들의 성분 화소들의 수는 화소들의 수가 동일하며, 수평 방향으로 858 화소들이 있고 수직 방향으로 525 라인들이 있다. 상기 언급한 바와 같이, 화소들의 수가 동일하고 프레임 주파수들이 상이한 2종류의 이미지들에 관한 한, 프레임 주파수들의 차이를 화소들의 수의 차이로 대체하고 이들 이미지들을 프레임 주파수들이 동일하며 화소들의 수가 상이한 이미지로 변환함으로써, 동일한 프레임 주파수가 얻어지며 신호들은 동일한 클럭으로 처리될 수 있다. 이미지들은 프레임 주파수들이 약간 상이한 복수의 비디오 신호들에 대해 동일한 클럭으로 출력될 수 있기 때문에, 복수의 클럭 발생 회로들은 불필요하며 회로 스케일의 감소 및 비용감소를 실현할 수 있다.

본 발명의 상기, 및 다른 목적 및 특징과 잇점은 첨부한 도면을 따라 숙독되는 다음의 상세한 설명으로부터 쉽게 명백할 것이다.

본 발명의 실시예를 도면들을 참조하여 이하 기술한다. 도 2는 본 발명이 적용되는 MPEG2의 디코딩 회로의 예를 도시한 것이다. 도 2에서, MPEG2의 비트 스트림은 입력 단자(1)에 공급된다. 이 비트 스트림은 일단 버퍼 메모리(2)에 저장된다.

MPEG2 시스템에서, I화상, P화상, 및 B화상이라고 하는 3종류의 화면이 보내진다. I화상에서, DCT 엔코딩은 동일 프레임의 화소들을 사용하여 수행된다. P화상에서, 움직임 보상 예측을 사용하는 DCT 엔코딩은 이미 엔코딩된 I화상 또는 P화상을 참조하여 수행된다. B화상에서, 움직임 예측을 사용하는 DCT 엔코딩은 목표 화상 전후의 I화상 또는 P화상을 참조하여 수행된다.

버퍼 메모리(2)의 출력은 가변 길이 디코딩 회로(3)에 공급된다. 가변 길이 디코딩 회로(3)에서, 매크로블록의 엔코딩된 정보가 디코딩된다.

DCT의 계수 데이터 및 움직임 벡터, 예측모드, 양자화 스케일 등과 같은 데이터는 가변 길이 디코딩 회로(3)로부터 출력된다. 비디오 신호들의 프레임 주파수들을 보이는 여러 가지 제어 데이터는 가변 길이 디코딩 회로(3)로부터 출력된다.

가변 길이 디코딩 회로(3)로부터 (8 x 8) 화소들의 DCT 계수 데이터는 역 양자화 회로(4)에 공급된다. 역 양자화 회로(4)의 양자화 스케일은 가변 길이 디코딩 회로(3)로부터 양자화 스케일 정보에 따라 설정된다. 움직임 벡터 정보 및 예측모드 정보는 움직임 보상 회로(7)에 공급된다.

가변 길이 디코딩 회로(3)로부터 프레임 주파수의 데이터는 프레임 주파수값 디코더(11)에 의해 검출된다. 프레임 주파수 정보는 화소수 변환 회로(9)에 공급된다. 가변 길이 디코딩 회로(3)로부터 디스플레이 화소수 정보는 디스플레이 화소수 디코더(12)에 의해 검출된다. 디스플레이 화소수 데이터는 디스플레이 클럭 발생 회로(13)에 공급된다. 클럭 발생 회로(13)는 시스템 클럭 발생 회로(10)로부터 시스템 클럭에 기초하여 클럭을 발생한다.

DCT 계수 데이터는 역 양자화 회로(4)에 의해 역으로 양자화된다. 역 양자화 회로(4)의 출력은 IDCT 회로(5)에 공급된다. IDCT 회로(5)의 출력은 가산 회로(6)에 공급된다. 움직임 보상 회로(7)의 출력은 가산 회로(6)에 공급된다.

I화상에서, DCT 엔코딩은 동일 프레임의 화소를 사용하여 수행된다. I화상의 경우, 1프레임의 화면의 데이터는 IDCT 회로(5)로부터 도출된다. 이미지 데이터는 가산 회로(6)를 통해 화소수 변환 회로(9)에 공급된다. 이 경우 이미지 데이터는 기준 화면의 데이터로서 이미지 메모리(8)에 저장된다.

P화상에서, 움직임 보상에측을 사용하는 DCT 엔코딩은 I화상 또는 P화상을 참조하여 수행된다. 그러므로, 목표 화상과 기준 화상면 사이의 차분 데이터는 IDCT 회로(5)로부터 출력된다. 기준 화면의 데이터는 이미지 메모리(8)에 저장되어 있다. 움직임 벡터는 가변 길이 디코딩 회로(3)로부터 움직임 보상 회로(7)에 공급된다.

P화상을 디코딩하는 경우, 이미지 메모리(8)로부터 기준 프레임의 이미지는 움직임 보상 회로(7)에 의해 움직임이 보상되어 가산 회로(6)에 공급된다. 움직임 보상된 기준 이미지의 데이터와 IDCT 회로(5)로부터 차분 데이터는 가산 회로(6)에 의해 가산된다. 따라서, 1프레임의 화면의 데이터가 얻어진다. 이미지 데이터는 화소수 변환 회로(9)에 공급된다. 이 때, 이미지 데이터는 기준 화면의 데이터로서 이미지 메모리(8)에 저장된다.

B화상에서, 움직임 예측을 사용하는 DCT 엔코딩은 목표화상 전후의 I화상 또는 P화상을 참조하여 수행된다. 그러므로, 목표 화면 전후의 목표 화면과 기준 화면들 사이의 차분 데이터는 IDCT 회로(5)로부터 출력된다. 목표 화면 전후의 기준 화면들의 데이터는 이미지 메모리(8)에 저장되었다.

B 화상을 디코딩하는 경우, 이미지 메모리(8)로부터 목표 프레임 전후의 기준 프레임들의 이미지들은 움직임 보상 회로(7)에 의해 움직임이 보상되어 가산 회로(6)에 공급된다. 가산 회로(6)에서, 목표 이미지 전후의 움직임 보상된 기준 이미지들의 데이터와 IDCT 회로(5)로부터 차분 데이터가 가산된다. 따라서, 1프레임의 화면들의 데이터가 도출된다. 이미지 데이터는 화소수 변환 회로(9)에 공급된다.

화소수 변환 회로(9)는 프레임 주파수들의 차이를 수평 화소들의 수의 차이들로 대체하고, 그럼으로써 화소들의 수가 공통이고 프레임 주파수가 다른 복수의 이미지의 비디오 신호를 동일 주파수로 처리될 수 있게 한다. 프레임 주파수값 디코더(11)로부터 프레임 주파수값 정보, 디스플레이 화소 디코더(12)로부터 디스플레이 화소수 정보, 및 디스플레이 클럭 발생 회로(13)로부터 디스플레이 클럭은 화소수 변환 회로(9)에 공급된다. 디스플레이 클럭 발생 회로(13)는 디스플레이 화소수 디코더(12)로부터 디스플레이 화소수 데이터에 따라 클럭을 발생한다. 시스템 클럭 발생 회로(10)는 클럭을 각 부에 공급한다.

MPEG2의 디지털 비디오 데이터를 디코딩함으로써 얻어진 디지털 비디오 신호는 화소수 변환 회로(9)로부터 출력된다. 디지털 비디오 신호는 출력 단자(15)로부터 출력된다.

상기 언급한 바와 같이, 본 발명이 적용되는 MPEG2 디코더에 있어서, 화소수 변환 회로(9)에서, 화소들의 수가 공통이고 프레임 주파수들이 다른 복수의 이미지들의 비디오 신호들은 프레임 주파수들의 차이를 수평 화소들의 수의 차이로 대체함으로써 동일 클럭으로 처리될 수 있다. 이 처리를 더 상세히 기술한다.

기존의 NTSC 시스템의 비디오 신호를 디지털화하는 표준들로서(이하, SD라 함), 프레임 주파수가 29.97Hz인 표준과 프레임 주파수가 30Hz인 표준이 있다. 이들 2종류의 이미지들을 구성하는 화소들의 수는 동일한 화소들의 수이며, 수평 방향으로 858 화소들이 있으며 수직 방향으로 525 라인들이 있다.

상기 언급한 바와 같이, 화소들의 수가 동일하며 프레임 주파수들이 다른 2종류의 이미지들은 프레임 주파수들 사이의 차이를 화소들의 수의 사이의 차이로 대체함으로써, 프레임 주파수들이 동일하며 화소들의 수가 다른 이미지들로 변환되며, 이들 이미지들은 동일한 클럭으로 처리될 수 있다.

즉, 2종류의 주파수의 비는 (1000/1001)과 같다. 그러므로, 프레임 주파수가 29.97Hz인 이미지의 화소들의 수를 1001 화소들의 정수배로 변환하고, 프레임 주파수가 30Hz인 이미지의 화소들의 수를 1000 화소들의 정수배로 변환하는 동작을 수행하도록 되어 있다면, 이들 이미지들은 동일 클럭으로 처리될 수 있다.

예를 들면, 프레임 주파수가 29.97Hz과 같을 때, 858 화소들로부터 화소들의 수를 1001 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30 \times (1000/1001)\text{Hz} \times 1001 \text{ 화소들} \times 525 \text{ 라인들} = 15.7 \text{ MHz}$$

프레임 주파수가 30Hz일 때 동작 클럭 주파수에 관한 한, 화소수를 858 화소들에서 1000 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30\text{Hz} \times 1000 \text{ 화소들} \times 525 \text{ 라인들} = 15.75\text{MHz}$$

상기 언급한 바와 같이, 프레임 주파수가 29.97Hz인 이미지의 화소들의 수가 1001 화소들로 변환되고 주파수가 30Hz인 이미지의 화소들의 수가 1000 화소들로 변환된다면, 이들 이미지들은 동일한 클럭 주파수로 처리될 수 있다(15.75MHz).

프레임 주파수가 예를 들면, 29.97Hz일 때, 화소들의 수를 4004 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30\text{Hz} \times (1000/1001) \text{ Hz} \times 4004 \text{ 화소들} \times 525 \text{ 라인들} = 63\text{MHz}$$

프레임 주파수가 30Hz일 때, 화소들의 수를 4000 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30 \times 4000 \text{ 화소들} \times 525 \text{ 라인들} = 63\text{MHz}$$

상기 언급한 바와 같이, 프레임 주파수가 29.97Hz인 이미지의 화소들의 수를 4004(=1001 x 4) 화소들로 변환하고 프레임 주파수가 30Hz인 이미지의 화소들의 수를 4000(=1000 x 4) 화소들로 변환함으로써, 이미지들은 동일한 클럭 주파수로 처리될 수 있다(15.75 MHz).

상기 예는 SD 이미지에 관하여 기술되었으나, 고선명 텔레비전 시스템(이하, HD라함) 이미지의 경우에도, 역시 마찬가지로 처리될 수 있다.

HD의 경우, 프레임 주파수가 29.97Hz인 이미지와 프레임 주파수가 30Hz인 이미지가 있다. 2종류의 이미지들을 구성하는 화소들의 수는 화소들의 수가 동일하며, 수평 방향으로 2200 화소들이 있으며, 수직 방향으로 1125개의 주사 라인들이 있다.

2종류의 프레임 주파수들의 비는 (1000/1001)과 같다. 그러므로, 29.97Hz의 프레임 주파수의 경우에 화소들의 수를 1001 화소들의 정수배로 변환하며 30Hz의 프레임 주파수의 경우에 화소들의 수를 1000 화소들의 정수배로 변환하는 동작이 수행된다면, 이들 이미지들은 동일한 클럭에 의해 처리될 수 있다.

예를 들면, 프레임 주파수가 29.97Hz일 때, 화소들의 수를 2002 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30 \times (1000/1001)\text{Hz} \times 2002 \text{ 화소들} \times 1125 \text{ 라인들} = 67.5\text{MHz}$$

프레임 주파수가 30Hz와 같을 때, 화소들의 수를 2000 화소들로 변환함으로써, 클럭 주파수는 다음과 같다.

$$30\text{Hz} \times 2000 \text{ 화소들} \times 1125 \text{ 라인들} = 67.5\text{MHz}$$

상기 언급한 바와 같이, 프레임 주파수가 29.97Hz인 이미지의 화소들의 수가 2002 화소들로 변환되고 프레임 주파수가 30Hz인 이미지의 화소들의 수가 2000 화소들로 변환된다면, 이들 이미지들은 동일 클럭 주파수(67.5MHz)로 처리될 수 있다.

상기 언급한 바와 같이, SD에서, 예를 들면, 프레임 주파수가 29.97Hz일 때, 화소들의 수는 4004 화소들로 변환되며, 프레임 주파수가 30Hz일 때, 화소들의 수는 4000 화소들로 변환되므로, 이미지는 63MHz인 공통의 클럭 주파수로 처리될 수 있다. HD에서, 예를 들면, 프레임 주파수가 29.97Hz일 때, 화소들의 수가 2002 화소들로 변환되고, 프레임 주파수가 30Hz일 때, 화소수가 2000 화소들로 변환되면, 이미지들은 67.5MHz인 공통의 클럭 주파수로 처리될 수 있다. 이 경우에, SD를 처리하기 위해서 클럭 주파수로서 63MHz와 HD를 처리하기 위한 클럭 주파수로서 67.5MHz는 가깝다. 상기 언급한 바와 같이, SD가 처리될 때 클럭 주파수와 HD가 처리될 때 클럭 주파수가 가깝다면, 후단에서 처리를 수행할 때 편리하다.

즉, 도 2에 도시한 바와 같이 디코딩된 디지털 비디오 신호가 아날로그 비디오 신호로 최종으로 변환되어 출력된다. 그러므로, A/D 변환기 및 저역 필터는 출력 단자(15)의 후단에 배치되어 있다. 클럭 주파수들이 가까울 때, 이 경우의 저역 필터의 특성들은 SD 및 HD 모든 경우에 유사하게 설정될 수 있다.

도 3은 화소수 변환 회로(9)의 구성예를 도시한 것이다. 도 3에서, 디코딩된 디지털 비디오 신호는 입력 단자(21)에 공급된다. 예를 들면, 63MHz 또는 67.5MHz의 클럭이 클럭 입력 단자(22)에 공급된다. 예를 들면 SD 또는 HD를 나타내는 정보는 정보 입력 단자(23)에 공급된다. 프레임 주파수가 29.97Hz 혹은 30Hz인지를 보이는 정보는 정보 입력 단자(24)에 공급된다.

입력 단자(21)로부터 디지털 비디오 신호는 지연 회로(31, 32, 33)의 케스캐이드 접속(cascade connection)에 공급된다. 입력 단자(21)와 지연 회로들(31, 32, 33) 사이의 단들에서의 출력들은 곱셈 회로들(34, 35, 36, 37)에 각각 공급된다. 곱셈 회로들(34, 35)의 출력들은 가산 회로(38)에 공급된다. 곱셈 회로(36)의 출력과 가산 회로(38)의 출력은 가산 회로(39)에 공급된다. 가산 회로(39)의 출력과 곱셈 회로(37)의 출력은 가산 회로(40)에 공급된다. 디스플레이 화소들의 수에 따라 계수들은 계수 발생 회로(30)에서 곱셈 회로들(34 내지 37)로 발생된다. 지연 회로들(31 내지 33), 곱셈 회로들(34 내지 37), 및 가산 회로들(38 내지 40)은 디지털 필터를 구성한다.

가산 회로(40)의 출력은 레지스터(41)에 공급된다. 상이한 프레임 주파수들을 갖는 복수의 비디오 신호들에 공통인 클럭, 예를 들면 주파수 63MHz 또는 67.5MHz의 클럭은 단자(22)에서 레지스터(41)에 공급된다. 레지스터(41)에서, 지연 회로(31 내지 33), 곱셈 회로(34 내지 37), 및 가산 회로(38 내지 40)를 포함하는 디지털 필터를 통해 전송된 디지털 비디오 신호의 클럭은 입력 단자(22)로부터 클럭에 보내진다.

레지스터(41)의 출력은 블랭크 가산 회로(blank adding circuit)(42)에 공급된다. 디스플레이 화소 입력 단자(23)로부터의 화소들의 수의 값 및 프레임 주파수값 입력 단자(24)로부터의 프레임 주파수의 값은 블랭크 가산 회로(42)에 공급된다. 블랭크 가산 회로(42)는 블랭크 데이터를 디지털 비디오 신호에 가산함으로써 수평 방향으로 화소들의 수는 29.97Hz의 프레임 주파수의 경우에 1001의 정수배로 설정되며 수평 방향으로 화소들의 수는 30Hz의 프레임 주파수의 경우에 1000의 정수배로 설정된다.

블랭크 가산 회로(42)에 의해서, 예를 들면, SD에서, 블랭크 데이터는 29.97Hz의 프레임 주파수의 경우에 화소들의 수가 4004 화소들이 되고 30Hz의 프레임 주파수의 경우에 화소들의 수가 4000 화소들이 되도록 가산된다. HD 형식에서, 예를 들면, 블랭크 데이터는 29.97Hz의 프레임 주파수의 경우에 화소수가 2002 화소가 되고 30Hz의 프레임 주파수의 경우에 화소수가 2000 화소가 되도록 가산된다.

상기 언급한 바와 같이, 수평 화소들의 수는 프레임 주파수에 따라 적합하게 변경되며 일정한 클럭의 비디오 신호는 화소수 변환 회로(9)로부터 출력된다. 따라서, 프레임 주파수가 29.97Hz와 같고 이들이 서로 상이할 때, 비디오 신호들은 동일한 클럭 주파수의 클럭에 의해 처리될 수 있다.

### 발명의 효과

본 발명에 따라서, 예를 들면, 화소들의 수가 동일하고 프레임 주파수가 상이한 복수의 이미지들에 대해서, 프레임 주파수들의 차이는 화소들의 수의 차이로 대체된다. 따라서, 신호들은 동일한 클럭에 의해 처리될 수 있다. 상기 언급된 바와 같이, 프레임 주파수들이 약간 상이한 복수의 비디오 신호들에 대해 동일한 클럭에 의해 이미지가 출력될 수 있기 때문에, 복수의 클럭 발생 회로들은 불필요하며 회로 스케일 및 비용의 감소를 실현할 수 있다.

첨부한 도면들을 참조하여 본 발명의 특정한 바람직한 실시예를 기술하였는데, 본 발명은 상세한 실시예로 한정되지 않으며, 첨부한 청구범위에 설정된 본 발명의 범위 또는 정신으로부터 벗어남이 없이 이 분야에 숙련된 자들에 의해 변경 및 수정이 행해질 수 있음을 알 수 있다.

### 도면의 간단한 설명

도 1은 종래의 엔코더 회로의 예의 블록도.

도 2는 본 발명이 적용된 엔코더 회로의 예의 블록도.

도 3은 본 발명이 적용된 엔코더 회로에서 화소수 변환 회로의 예의 블록도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

1, 21 : 입력 단자 2 : 버퍼 메모리

3 : 가변 길이 디코딩 회로 4 : 역 양자화 회로

5 : IDCT 회로 6, 38-40 : 가산 회로

7 : 움직임 보상 회로 8 : 이미지 메모리

9 : 화소수 변환 회로 10 : 시스템 클럭 발생 회로

11 : 프레임 주파수값 디코더 12 : 디스플레이 화소수 디코더

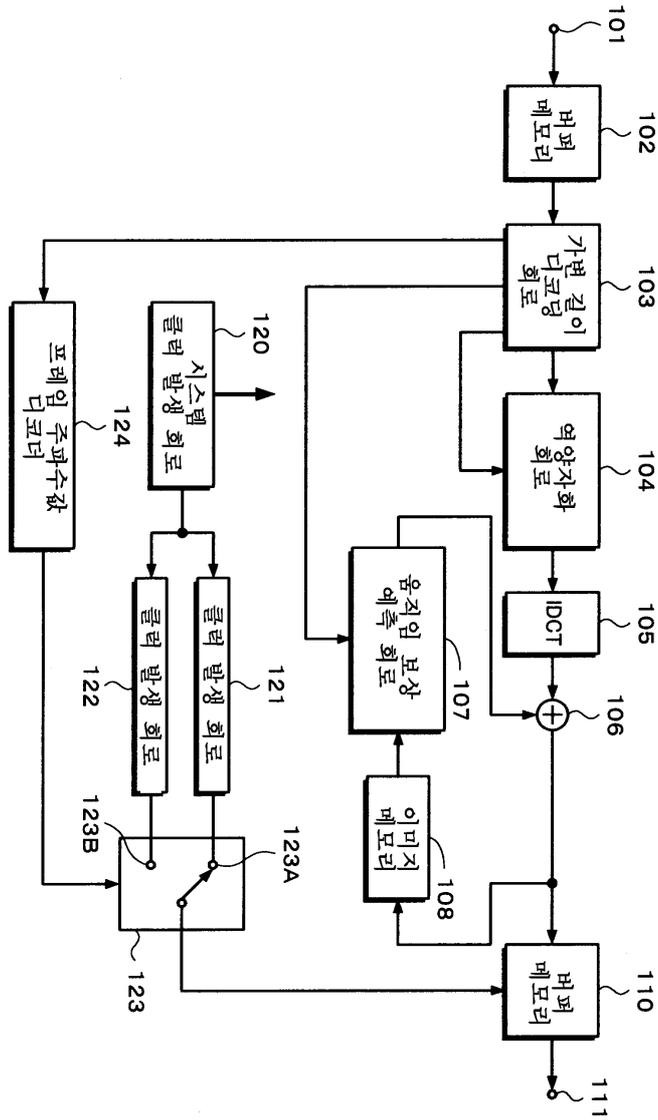
13 : 디스플레이 클럭 발생 회로 22 : 클럭 입력 단자

23 : 정보 입력 단자 24 : 정보 입력 단자

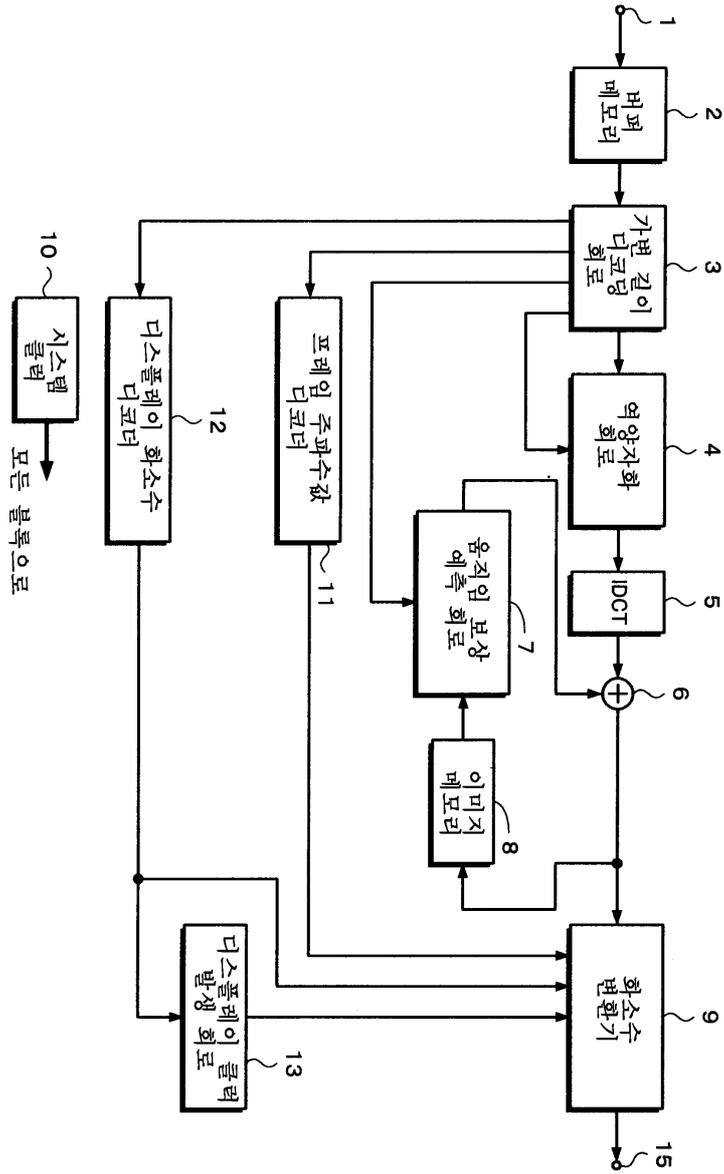
31, 32, 33 : 지연 회로 34, 35, 36, 37 : 곱셈 회로

도면

도면1



도면2



도면3

