



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월13일
 (11) 등록번호 10-2554830
 (24) 등록일자 2023년07월07일

(51) 국제특허분류(Int. Cl.)
 H10K 59/00 (2023.01) H01B 1/02 (2006.01)
 H10K 50/80 (2023.01)
 (52) CPC특허분류
 H10K 59/124 (2023.02)
 H01B 1/02 (2013.01)
 (21) 출원번호 10-2018-0118152
 (22) 출원일자 2018년10월04일
 심사청구일자 2021년09월08일
 (65) 공개번호 10-2020-0039067
 (43) 공개일자 2020년04월16일
 (56) 선행기술조사문헌
 KR1020130068200 A*
 (뒷면에 계속)

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 정용빈
 경기도 용인시 수지구 광교마을로 11(상현동, 광교마을45단지), 4050동 404호
 우영걸
 서울특별시 강동구 성안로31길 68(천호동) 2층
 (뒷면에 계속)
 (74) 대리인
 박영우

전체 청구항 수 : 총 19 항

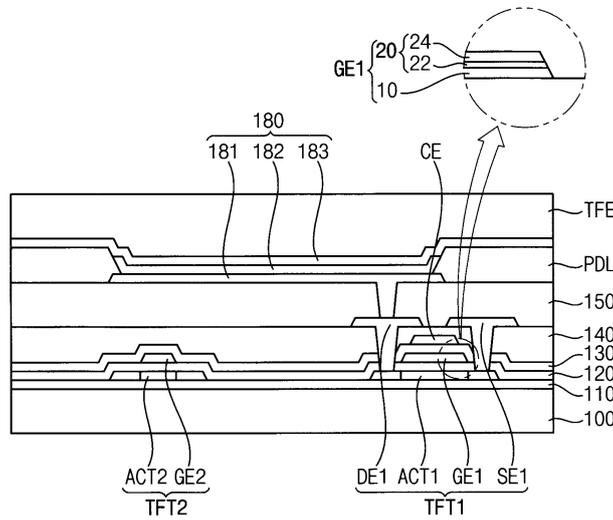
심사관 : 김기환

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 베이스 기판, 상기 베이스 기판 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극, 상기 게이트 전극 상에 배치되고 총 수소량이 5 at.% (atomic percent) 내지 30 at.% 인 제1 절연층, 및 상기 제1 절연층 상에 배치되고, 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함한다.

대표도 - 도1



(52) CPC특허분류

H10K 50/80 (2023.02)
H10K 59/123 (2023.02)
H10K 59/131 (2023.02)
H10K 59/351 (2023.02)

(72) 발명자

김광현

경기도 안산시 단원구 화정천서로 177(초지동) 4층

손상우

경기도 용인시 수지구 신봉2로 26(신봉동, 신봉마을엘지자이1차아파트), 119동 303호

송도근

경기도 용인시 기흥구 삼성로 1(농서동)

이상욱

경기도 용인시 기흥구 농서로 84(농서동) 마로니에동 105호

하현식

경기도 화성시 동탄대로4길 17(장지동, 금호어울림레이크), 3106동 1603호

(56) 선행기술조사문헌

KR1020170104882 A
JP2018089950 A
KR101339000 B1
KR101809885 B1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 배치되는 액티브 패턴;

상기 액티브 패턴 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극;

상기 게이트 전극 상에 배치되고 총 수소량이 5 at.% (atomic percent) 내지 30 at.% 인 제1 절연층; 및

상기 제1 절연층 상에 배치되고, 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함하고,

상기 게이트 전극은

알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층;

상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층; 및

상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함하는 것을 특징으로 하는 표시 장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 게이트 전극의 상기 제1 캡핑층에 포함된 질소와 티타늄의 원자 비율(질소 원자수/티타늄 원자수)은 0.9 ~ 1.2인 것을 특징으로 하는 표시 장치.

청구항 4

제1 항에 있어서,

상기 액티브 패턴은 폴리 실리콘(poly-Si)을 포함하는 것을 특징으로 하는 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하는 것을 특징으로 하는 표시 장치.

청구항 6

제5 항에 있어서,

상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 인 것을 특징으로 하는 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 절연층 상에 배치되는 제2 절연층;

상기 제1 절연층과 상기 제2 절연층 사이에 상기 게이트 전극과 중첩하게 배치되는 스토리지 전극을 더 포함하

고,

상기 소스 전극 및 상기 드레인 전극은 상기 제2 절연층 상에 배치되고,

상기 스토리지 전극은,

알루미늄(Al) 또는 알루미늄 합금을 포함하는 스토리지 전극 도전층;

상기 스토리지 전극 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 스토리지 전극 캡핑층; 및

상기 제1 스토리지 전극 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 스토리지 전극 캡핑층을 포함하는 것을 특징으로 하는 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 스토리지 전극 캡핑층에 포함된 질소와 티타늄의 원자 비율(질소 원자수/티타늄 원자수)은 0.9 ~ 1.2 인 것을 특징으로 하는 표시 장치.

청구항 9

제1 항에 있어서,

상기 소스 및 드레인 전극 상에 배치되는 비아 절연층; 및

상기 비아 절연층 상에 배치되는 발광 구조물을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 10

제9 항에 있어서,

상기 발광 구조물은,

상기 비아 절연층 상에 배치되고 상기 드레인 전극에 전기적으로 연결되는 제1 전극;

상기 제1 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 제2 전극을 포함하고,

상기 액티브 패턴, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극을 포함하는 박막 트랜지스터는 상기 발광 구조물에 구동 전류를 공급하는 구동 트랜지스터인 것을 특징으로 하는 표시 장치.

청구항 11

제10 항에 있어서,

상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고,

상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 인 것을 특징으로 하는 표시 장치.

청구항 12

제1 항에 있어서,

상기 제1 절연층은 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고,

상기 제1 절연층의 굴절율(reflective index)은 1.884 내지 2.312 인 것을 특징으로 하는 표시 장치.

청구항 13

베이스 기판 상에 액티브 패턴을 형성하는 단계;

상기 액티브 패턴 상에 알루미늄막 또는 알루미늄 합금막을 형성하는 단계;

상기 알루미늄막(또는 상기 알루미늄 합금막) 상에 질화티타늄막을 형성하는 단계;

상기 질화티타늄막 상에 티타늄막을 형성하는 단계;

상기 알루미늄막(또는 상기 알루미늄 합금막), 상기 질화티타늄막 및 상기 티타늄막을 식각하여 상기 액티브 패턴과 중첩하게 배치되는 게이트 전극을 형성하는 단계; 및

상기 게이트 전극 상에 총 수소량이 5 at.% (atomic percent) 내지 30 at.% 제1 절연층을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 14

제13 항에 있어서,

상기 제1 절연층을 형성하는 단계는 화학 기상 증착 공정 또는 플라즈마 증대 화학 기상 증착 공정에 의해 진행되고, 상기 증착 공정의 증착 가스의 N₂/SiH₄ 비율은 180 이상으로 제공되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15

제13 항에 있어서,

상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고,

상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 16

제14 항에 있어서,

상기 제1 절연층은 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고,

상기 제1 절연층의 굴절율(refractive index)은 1.884 내지 2.312 인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17

제14 항에 있어서,

상기 액티브 패턴은 폴리 실리콘(poly-Si)을 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 18

제14 항에 있어서,

상기 게이트 전극을 형성하기 전에, 상기 액티브 패턴 상에 게이트 절연층을 형성하는 단계;

상기 제1 절연층 상에 상기 게이트 전극과 중첩하는 스토리지 전극을 형성하는 단계; 및

상기 스토리지 전극 상에 제2 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,

상기 제2 절연층, 상기 제1 절연층 및 상기 게이트 절연층을 통해 상기 액티브 패턴을 노출하는 콘택홀을 형성하는 단계;

상기 콘택홀을 통해 상기 액티브 패턴과 전기적으로 연결되는 드레인 전극을 형성하는 단계;

상기 드레인 전극 상에 비아 절연층을 형성하는 단계;

상기 비아 절연층 상에 상기 드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계;

상기 제1 전극 상에 발광층을 형성하는 단계; 및

상기 발광층 상에 제2 전극을 형성 하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 20

베이스 기관;

상기 베이스 기관 상에 배치되는 액티브 패턴;

상기 액티브 패턴 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하고, 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함하는 게이트 전극;

상기 게이트 전극 상에 배치되는 제1 절연층; 및

상기 제1 절연층 상에 배치되고, 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 상기 표시 장치의 제조 방법에 관한 것으로, 보다 상세하게는 표시 품질이 향상된 표시 장치 및 상기 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 들어, 기술의 발전에 힘입어 소형, 경량화 되면서 성능은 더욱 뛰어난 디스플레이 제품들이 생산되고 있다. 지금까지 디스플레이 장치에는 기존 브라운관 텔레비전(cathode ray tube: CRT)이 성능이나 가격 면에서 많은 장점을 가지고 널리 사용되었으나, 소형화 또는 휴대성의 측면에서 CRT의 단점을 극복하고, 소형화, 경량화 및 저전력 소비 등의 장점을 갖는 표시 장치, 예를 들면 플라즈마 표시 장치, 액정 표시 장치 및 유기 발광 표시 장치 등이 주목을 받고 있다.

[0003] 상기 표시 장치는 영상을 표시 하기 위한 복수의 화소 구조들을 포함하며, 각각의 화소 구조는 박막 트랜지스터를 포함한다. 이때, 공정 조건 등의 변화에 따라 상기 박막 트랜지스터의 특성이 설계치와 다르게 변화하는 경우, 원하는 표시 품질을 얻지 못하는 경우가 있다.

발명의 내용

해결하려는 과제

[0004] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 표시 품질이 향상된 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 표시 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 장치는 베이스 기관, 상기 베이스 기관 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극, 상기 게이트 전극 상에 배치되고 총 수소량이 5 at.% (atomic percent) 내지 30 at.% 인 제1 절연층, 및 상기 제1 절연층 상에 배치되고, 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 게이트 전극은 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함할 수 있다.

- [0008] 본 발명의 일 실시예에 있어서, 상기 게이트 전극의 상기 제1 캡핑층에 포함된 질소와 티타늄의 원자 비율(질소 원자수/티타늄 원자수)은 0.9 ~ 1.2일 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 액티브 패턴은 폴리 실리콘(poly-Si)을 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 일 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 표시 장치는 상기 제1 절연층 상에 배치되는 제2 절연층, 상기 제1 절연층과 상기 제2 절연층 사이에 상기 게이트 전극과 중첩하게 배치되는 스토리지 전극을 더 포함할 수 있다. 상기 소스 전극 및 상기 드레인 전극은 상기 제2 절연층 상에 배치될 수 있다. 상기 스토리지 전극은 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제2 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 스토리지 전극의 상기 제1 캡핑층에 포함된 질소와 티타늄의 원자 비율(질소 원자수/티타늄 원자수)은 0.9 ~ 1.2일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 표시 장치는 상기 소스 및 드레인 전극 상에 배치되는 비아 절연층, 및 상기 비아 절연층 상에 배치되는 발광 구조물을 더 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 발광 구조물은, 상기 비아 절연층 상에 배치되고 상기 드레인 전극에 전기적으로 연결되는 제1 전극, 상기 제1 전극 상에 배치되는 발광층, 및 상기 발광층 상에 배치되는 제2 전극을 포함할 수 있다. 상기 액티브 패턴, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극을 포함하는 박막 트랜지스터는 상기 발광 구조물에 구동 전류를 공급하는 구동 트랜지스터일 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함할 수 있다. 상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 일 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제1 절연층은 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함할 수 있다. 상기 제1 절연층의 굴절율(reflective index)은 1.884 내지 2.312 일 수 있다.
- [0018] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 장치의 제조 방법은, 베이스 기판 상에 액티브 패턴을 형성하는 단계, 상기 액티브 패턴 상에 알루미늄막 또는 알루미늄 합금막을 형성하는 단계, 상기 알루미늄막(또는 상기 알루미늄 합금막) 상에 질화티타늄막을 형성하는 단계, 상기 질화티타늄막 상에 티타늄막을 형성하는 단계, 상기 알루미늄막(또는 상기 알루미늄 합금막), 상기 질화티타늄막 및 상기 티타늄막을 식각하여 상기 액티브 패턴과 중첩하게 배치되는 게이트 전극을 형성하는 단계, 및 상기 게이트 전극 상에 총 수소가량이 5 at.% (atomic percent) 내지 30 at.% 제1 절연층을 형성하는 단계를 포함한다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 제1 절연층을 형성하는 단계는 화학 기상 증착 공정 또는 플라즈마 증대 화학 기상 증착 공정에 의해 진행되고, 상기 증착 공정의 증착 가스의 N2/SiH4 비율은 180 이상으로 제공될 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고, 상기 제1 절연층 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 일 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 제1 절연층은 상기 제1 절연층은 실리콘(Si), 질소(N) 및 수소(H)를 포함하고, 상기 제1 절연층의 굴절율(reflective index)은 1.884 내지 2.312 일 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 액티브 패턴은 폴리 실리콘(poly-Si)을 포함할 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제조 방법은 상기 게이트 전극을 형성하기 전에, 상기 액티브 패턴 상에 게이트 절연층을 형성하는 단계, 상기 제1 절연층 상에 상기 게이트 전극과 중첩하는 스토리지 전극을 형성하는 단계, 및 상기 스토리지 전극 상에 제2 절연층을 형성하는 단계를 더 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 제조 방법은 상기 제2 절연층, 상기 제1 절연층 및 상기 게이트 절연층을 통해 상기 액티브 패턴을 노출하는 컨택홀을 형성하는 단계, 및 상기 컨택홀을 통해 상기 액티브 패턴과 전기적으로 연결되는 드레인 전극을 형성하는 단계, 상기 드레인 전극 상에 비아 절연층을 형성하는 단계, 상기 비아 절연층 상에 상기 드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계, 상기 제1 전극 상에 발광층을 형성하는 단계, 및 상기 발광층 상에 제2 전극을 형성 하는 단계를 더 포함할 수 있다.

[0025] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 장치는 베이스 기판, 상기 베이스 기판 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하고, 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함하는 게이트 전극, 상기 게이트 전극 상에 배치되는 제1 절연층, 및 상기 제1 절연층 상에 배치되고, 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함한다.

발명의 효과

[0026] 본 발명의 실시예들에 따르면, 표시 장치는 액티브 패턴, 저저항 배선으로 형성된 게이트 전극, 총 수소량이 5 at.% (atomic percent) 내지 30 at.% 인 제1 절연층을 포함하고, 이에 따라, 상기 액티브 패턴 및 상기 게이트 전극을 포함하는 박막 트랜지스터가 구동 트랜지스터에 적합한 드라이빙 레인지를 가질 수 있다. 이에 따라 표시 품질이 향상될 수 있다.

[0027] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 단면도이다.
 도 2는 게이트 금속층의 구성 물질에 따른 박막 트랜지스터의 I-V 커브 변화를 나타낸 그래프이다.
 도 3은 제1 절연층의 구성 물질에 따른 실험예1 및 실험예2의 박막 트랜지스터의 I-V 커브를 나타낸 그래프이다.
 도 4a 내지 도 4d는 도 1의 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
 도 5는 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.
 도 6a는 도 5의 전자 기기가 텔레비전으로 구현된 일 예를 나타내는 도면이다.
 도 6b는 도 5의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 단면도이다.

[0031] 도 1을 참조하면, 상기 표시 장치는 베이스 기판(100), 버퍼층(110), 액티브 패턴층, 게이트 절연층(120), 제1 게이트 패턴, 제1 절연층(130), 제2 게이트 패턴, 제2 절연층(140), 소스/드레인 패턴, 비아 절연층(150), 발광 구조물(180), 화소 정의막(PDL) 및 박막 봉지층(TFE)을 포함할 수 있다.

[0032] 상기 베이스 기판(100)은 투명한 또는 불투명한 재료로 구성될 수 있다. 예를 들면, 상기 베이스 기판(100)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다. 선택적으로, 상기 베이스 기판(100)은 연성을 갖는 투명 수지 기판으로 이루어질 수도 있다. 상기 베이스 기판(100)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이러한 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 예를 들면, 상기 폴리이미드 기판은 경질의 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 적층된 구성을 가질 수 있다.

[0033] 상기 버퍼층(110)은 상기 베이스 기판(100) 상에 전체적으로 배치될 수 있다. 상기 버퍼층(110)은 상기 베이스 기판(100)으로부터 금속 원자들이나 불순물들이 상기 액티브 패턴층으로 확산되는 현상을 방지할 수 있으며, 상기 액티브 패턴층을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 상기 액티브 패턴층을 수득하게 할 수 있다. 또한, 상기 버퍼층은 상기 베이스 기판(100)의 표면이 균일하지 않을 경우, 상기 베이스 기판(100)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다.

[0034] 상기 액티브 패턴층은 상기 버퍼층 상에 배치될 수 있다. 상기 액티브 패턴층은 제1 액티브 패턴(ACT1) 및 제2 액티브 패턴(ACT2)을 포함할 수 있다. 상기 제1 액티브 패턴(ACT1) 및 상기 제2 액티브 패턴(ACT2)은 폴리 실리

콘(Poly Crystal Silicon)을 포함할 수 있다. 상기 제1 액티브 패턴(ACT1) 및 상기 제2 액티브 패턴(ACT2) 각각은 불순물이 도핑(doping)된 드레인 영역과 소스 영역 및 상기 드레인 영역과 상기 소스 영역 사이의 채널 영역을 포함할 수 있다.

- [0035] 상기 게이트 절연층(120)은 상기 버퍼층(110) 상에서 상기 액티브 패턴층을 덮으며, 상기 액티브 패턴층의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 상기 게이트 절연층(120)은 실리콘 화합물, 금속 산화물 등의 무기 절연 물질을 포함할 수 있다.
- [0036] 상기 제1 게이트 패턴은 상기 게이트 절연층(120) 상에 배치될 수 있다. 상기 게이트 패턴은 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 게이트 라인 등의 신호 배선을 포함할 수 있다.
- [0037] 상기 게이트 패턴은 도전층(10)과 캡핑층(20)을 포함하는 다층 구조로 이루어질 수 있는데, 상기 도전층(10)은 상기 게이트 절연층(120) 상에 배치되고, 상기 캡핑층(20)은 상기 도전층(10) 상에 배치될 수 있다.
- [0038] 상기 도전층(10)은 전기전도성을 갖는 층으로서, 알루미늄(Al) 또는 알루미늄 합금을 포함할 수 있다. 상기 알루미늄 합금은 베이스 물질인 알루미늄과 함께 첨가 물질인 니켈(Ni), 란타넘(La), 네오디뮴(Nd) 및 게르마늄(Ge) 중 하나 이상을 포함할 수 있다. 니켈 등의 첨가 물질은 알루미늄 합금 전체를 기준으로 2 at% 이하로 포함될 수 있으나, 이에 한정되는 것은 아니다.
- [0039] 상기 알루미늄은 면저항이 $0.15 \Omega/\square$ (3 kÅ 두께 기준) 수준으로서 면저항이 $0.55 \Omega/\square$ (2.5 kÅ 두께 기준) 수준인 몰리브덴(Mo) 등 보다 상대적으로 저저항 특성을 갖는 물질이기 때문에, 알루미늄 또는 알루미늄 합금을 포함하는 상기 도전층(10)은 얇은 두께로 형성되더라도 충분한 수준의 전기전도성을 가질 수 있다.
- [0040] 상기 캡핑층(20)은 상기 도전층(10) 상에 배치될 수 있다. 상기 캡핑층(20)은 다층 구조로 이루어질 수 있으며, 상기 도전층(10) 측에 배치된 제1 캡핑층(22)과 제1 캡핑층(22) 상에 배치된 제2 캡핑층(23)을 포함할 수 있다.
- [0041] 상기 제1 캡핑층(22)은 상기 도전층(10) 상에 직접 배치되어 상기 도전층(10)과 접할 수 있으며, 상기 도전층(10)의 상면을 실질적으로 커버하도록 배치될 수 있다. 상기 제1 캡핑층(22)은 질화티타늄(TiN_x)을 포함할 수 있다.
- [0042] 상술한 것처럼 상기 도전층(10)은 알루미늄을 포함하는 재료로 형성될 수 있으나, 이 경우 박막 트랜지스터의 반도체층을 활성화시키는 공정처럼 고온(400 ~ 580 °C)에서 진행하거나 컨택홀을 형성하는 공정처럼 플라즈마가 발생하는 후속 공정에 의해 알루미늄에 힐록(hillock)이 발생할 수 있고, 이는 상기 도전층(10)의 저항을 증가시키는 원인이 될 수 있다.
- [0043] 상기 도전층(10)의 상면을 티타늄(Ti)으로 캡핑하면 힐록은 방지할 수 있으나, 이 경우 후속되는 고온 공정 시 알루미늄과 티타늄의 계면에서 확산(diffusion)이 발생하여 알루미늄-티타늄 합금이 형성됨에 따라 상기 도전층(10)의 저항이 상승할 수 있고, BOE(buffer oxide etch)와 같은 세정 공정 시 세정액으로 사용되는 불산(HF) 등에 의해 알루미늄과 티타늄에 손상이 발생할 수 있다.
- [0044] 따라서, 상기 도전층(10)을 상기 제1 캡핑층(22)과 같은 질화티타늄으로 캡핑함으로써 상기 도전층(10)의 힐록 발생을 방지하는 동시에 상기 도전층(10) 및 상기 캡핑층(20)에 손상이 발생하는 것을 막을 수 있다. 또한, 알루미늄과 티타늄 간에 확산 현상이 발생하는 것을 방지할 수 있기 때문에, 상기 도전층(10)과 상기 제1 캡핑층(22)의 계면에는 Al₃Ti와 같은 알루미늄-티타늄 합금이 형성되지 않거나 미량으로만 형성될 수 있다.
- [0045] 상기 제1 캡핑층(22)의 두께는 50 Å ~ 400 Å일 수 있다. 상기 제1 캡핑층(22)의 두께가 50 Å 이상이면 후속되는 BOE 공정에 의한ダメージ를 억제하는 동시에 알루미늄-티타늄 확산에 의한 저항 증가를 방지할 수 있고, 400 Å 이하이면 박막 공정 상의 효율성을 저하시키지 않을 수 있다.
- [0046] 상기 제1 캡핑층(22)에 포함된 질소(N)와 티타늄(Ti)의 원자 비율(질소 원자수/티타늄 원자수)은 0.9 ~ 1.2일 수 있다. 티타늄에 대한 질소 원자 비율이 0.9 이상이면 알루미늄-티타늄 합금의 형성을 효과적으로 방지할 수 있고, 1.2 이하이면 후술하는 상기 제1 캡핑층(22)의 입자(particle) 발생을 억제할 수 있다.
- [0047] 상기 제1 캡핑층(22)에 포함된 질소 원자의 비율은 상기 제1 캡핑층(22) 내의 위치에 관계없이 실질적으로 균일할 수 있으나 이에 제한되는 것은 아니며, 질소 원자는 상기 제1 캡핑층(22)의 두께 방향에 대한 위치에 따라 그 분포 정도가 다를 수도 있다.
- [0048] 상기 제2 캡핑층(24)은 상기 제1 캡핑층(22) 상에 직접 배치되어 상기 제1 캡핑층(22)과 접할 수 있으며, 상기

제1 캡핑층(22)의 상면을 실질적으로 커버하도록 배치될 수 있다. 상기 제2 캡핑층(24)은 티타늄을 포함할 수 있다.

- [0049] 상술한 것처럼 상기 제1 캡핑층(22)은 질화티타늄으로 형성되어 알루미늄-티타늄 간의 확산 현상이나 데미지 발생을 방지할 수 있으나, 질화티타늄의 형성 과정에서 질소 비율이 높아질수록 입자가 발생하여 공정 불량을 야기할 수 있다. 따라서, 상기 제1 캡핑층(22) 상에 티타늄으로 구성된 상기 제2 캡핑층(24)을 형성함으로써 입자 발생 정도를 안정화시킬 수 있다.
- [0050] 상기 제1 절연층(130)은 제1 상기 게이트 패턴이 배치된 상기 게이트 절연층(120) 상에 배치될 수 있다. 상기 제1 절연층(130)은 실리콘 질화물을 포함할 수 있다.
- [0051] 예를 들면, 상기 제1 절연층(130)은 실리콘(Si), 수소(H) 및 질소(N)를 포함할 수 있다. 구체적으로, 상기 제1 절연층(130) 내의 총 수소량은 5 at.% (atomic percent) 내지 30 at.% 일 수 있다. 또한, 상기 제1 절연층(130) 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 일 수 있다. 또한, 상기 제1 절연층(130)의 굴절율(RI: reflective index)은 1.884 내지 2.312 일 수 있다.
- [0052] 상기 제2 게이트 패턴은 상기 제1 절연층(130) 상에 배치될 수 있다. 상기 제2 게이트 패턴은 스토리지 전극(CE) 및 신호 배선을 포함할 수 있다. 상기 스토리지 전극(CE)은 상기 제1 게이트 전극(GE1)과 중첩하여 스토리지 커패시터를 형성할 수 있다. 상기 제2 게이트 패턴도 저저항 배선으로 구성될 수 있으며, 예를 들면, 상기 제1 게이트 패턴과 동일하게, 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함할 수 있다.
- [0053] 상기 제2 절연층(140)은 상기 제2 게이트 패턴 상에 배치될 수 있다. 상기 제2 절연층(140)은 상기 제1 절연층(130) 상에서 상기 제2 게이트 패턴을 충분히 덮을 수 있으며, 상기 제2 게이트 패턴의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 상기 제2 절연층(140)은 실리콘 화합물, 금속 산화물 등의 무기 절연 물질을 포함할 수 있다.
- [0054] 상기 소스/드레인 패턴이 상기 제2 절연층(140) 상에 배치될 수 있다. 상기 소스/드레인 패턴은 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다. 상기 제1 소스 전극(SE1)은 상기 제2 절연층(140), 상기 제1 절연층(130) 및 상기 게이트 절연층(120)을 통해 형성되는 컨택홀을 통해 상기 액티브 패턴(ACT)과 전기적으로 연결될 수 있다. 상기 제1 드레인 전극(DE1)은 상기 제2 절연층(140), 상기 제1 절연층(130) 및 상기 게이트 절연층(120)을 통해 형성되는 컨택홀을 통해 상기 액티브 패턴(ACT)과 전기적으로 연결될 수 있다.
- [0055] 상기 소스/드레인 패턴도 저저항 배선으로 구성될 수 있으며, 예를 들면, 상기 제1 게이트 패턴과 동일하게, 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함할 수 있다.
- [0056] 제1 박막 트랜지스터(TFT1)는 상기 제1 게이트 전극(GE1), 상기 제1 액티브 패턴(ACT1), 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1)을 포함할 수 있다. 상기 제1 박막 트랜지스터(TFT1)는 상기 발광 구조물(180)과 전기적으로 연결되어, 데이터 신호에 반응하는 구동 전류를 제공하는 구동 트랜지스터일 수 있다.
- [0057] 제2 박막 트랜지스터(TFT2)는 상기 제2 게이트 전극(GE2) 및 상기 제2 액티브 패턴(ACT2)을 포함하며, 화소 회로에 포함되는 스위칭 트랜지스터 일 수 있다.
- [0058] 상기 비아 절연층(150)은 상기 소스/드레인 패턴이 배치된 상기 제2 절연층(140) 상에 배치될 수 있다. 상기 비아 절연층(150)은 단층 구조로 형성될 수 있지만, 적어도 2이상의 절연막들을 포함하는 다층 구조로 형성될 수도 있다. 상기 비아 절연층(150)은 포토레지스트, 아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실록산계(siloxane-based) 수지 등의 유기 물질을 사용하여 형성될 수 있다.
- [0059] 상기 발광 구조물(180)은 제1 전극(181), 발광층(182) 및 제2 전극(183)을 포함할 수 있다.
- [0060] 상기 제1 전극(181)은 상기 비아 절연층(150) 상에 배치될 수 있다. 상기 표시 장치의 발광 방식에 따라, 상기 제1 전극(181)은 반사성을 갖는 물질 또는 투광성을 갖는 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 상기 제1 전극(181)은 금속막, 합금막, 금속 질화물막, 도전성 금속 산화물막 및/또는 투명 도전성 물질막을 포함하는 단층 구조 또는 다층 구조로 형성될 수 있다.
- [0061] 상기 화소 정의막(PDL)은 상기 제1 전극(181)이 배치된 상기 비아 절연층(150) 상에 배치될 수 있다. 상기 화소

정의막(PDL)은 유기 물질, 무기 물질 등을 사용하여 형성될 수 있다. 예를 들면, 상기 화소 정의막(PDL)은 포토 레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 아크릴계 수지, 실리콘 화합물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 상기 화소 정의막(PDL)을 식각하여 상기 제1 전극(181)을 부분적으로 노출시키는 개구(opening)를 형성할 수 있다. 이러한 상기 화소 정의막(PDL)의 개구에 의해 상기 표시 장치의 발광 영역과 비발광 영역이 정의될 수 있다. 예를 들면, 상기 화소 정의막(PDL)의 개구가 위치하는 부분이 상기 발광 영역에 해당될 수 있으며, 상기 비발광 영역은 상기 화소 정의막(PDL)의 개구에 인접하는 부분에 해당될 수 있다.

[0062] 상기 발광층(182)은 상기 화소 정의막(PDL)의 개구를 통해 노출되는 상기 제1 전극(181)상에 배치될 수 있다. 또한, 상기 발광층(182)은 상기 화소 정의막(PDL)의 상기 개구의 측벽 상으로 연장될 수 있다. 예시적인 실시예들에 있어서, 상기 발광층(182)은 유기 발광층(EL), 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 전자 주입층(EIL) 등을 포함하는 다층 구조를 가질 수 있다. 다른 실시예에서, 상기 유기 발광층을 제외하고, 상기 정공 주입층, 상기 정공 수송층, 상기 전자 수송층 및 상기 전자 주입층 등은 복수의 화소들에 대응되도록 공통적으로 형성될 수 있다. 상기 발광층(182)의 유기 발광층은 상기 표시 장치의 각 화소에 따라 적색광, 녹색광, 청색광 등과 같은 서로 상이한 색광들을 발생시킬 수 있는 발광 물질들을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 따르면, 상기 발광층(182)의 유기 발광층은 적색광, 녹색광, 청색광 등의 상이한 색광들을 구현할 수 있는 복수의 발광 물질들이 적층되어 백색광을 발광하는 구조를 가질 수도 있다. 이때, 상기 발광 구조물들은 복수의 화소들에 대응되도록 공통적으로 형성되고, 상기 컬러 필터층에 의해 각각의 화소들이 구분될 수 있다.

[0063] 상기 제2 전극(183)은 상기 화소 정의막(PDL) 및 상기 발광층(182) 상에 배치될 수 있다. 상기 표시 장치의 발광 방식에 따라, 상기 제2 전극(183)은 투광성을 갖는 물질 또는 반사성을 갖는 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 제2 전극(183)도 금속막, 합금막, 금속 질화물막, 도전성 금속 산화물막 및/또는 투명 도전성 물질막을 포함하는 단층 구조 또는 다층 구조로 형성될 수 있다.

[0064] 상기 박막 봉지층(TFE)이 상기 제2 전극(183) 상에 배치될 수 있다. 상기 박막 봉지층(TFE)은 외부의 습기 및 산소의 침투를 방지할 수 있다. 상기 박막 봉지층(TFE)은 적어도 하나의 유기층과 적어도 하나의 무기층을 구비할 수 있다. 적어도 하나의 유기층(320)과 적어도 하나의 무기층은 서로 교번적으로 적층될 수 있다. 예를 들면, 상기 박막 봉지층(TFE)은 두 개의 무기층과 이들 사이의 한개의 유기층을 포함할 수 있으나, 이에 제한되지 않는다. 다른 실시예에 있어서, 상기 박막 봉지층 대신 외기 및 수분이 상기 표시 장치 내부로 침투하는 것을 차단하기 위한 밀봉기판이 제공될 수 있다.

[0065] 도 2는 게이트 금속층의 구성 물질에 따른 박막 트랜지스터의 I-V 커브 변화를 나타낸 그래프이다.

[0066] 도 2를 참조하면, 상기 그래프는 게이트 전극을 이루는 금속층에 따라 박막 트랜지스터의 Vgs(게이트-소스 전압)에 따른 Ids(드레인 전류), 즉 I-V 커브의 변화를 나타내고 있다. 즉, 상기 그래프의 X축은 Vgs를 나타내고, Y축은 Ids를 나타낸다.

[0067] 상기 박막 트랜지스터의 게이트 전극이 몰리브덴(Mo)으로 형성된 경우(Ref1), 상기 I-V 커브의 기울기가 완만하여(그래프 왼쪽 부분), Vgs 에 따라 Ids가 완만히 변화하고, 충분한 드라이빙 레인지(DR)를 확보할 수 있다. 따라서 유기발광다이오드 표시 장치의 구동 트랜지스터로서 적합하다.

[0068] 한편, 상기 박막 트랜지스터의 게이트 전극이 저저항 배선으로 구성되는 경우, 예를 들면, 상기 게이트 전극이 알루미늄(Al) 또는 알루미늄 합금을 포함하는 도전층, 상기 도전층 상에 배치되며 질화티타늄(TiNx)을 포함하는 제1 캡핑층, 및 상기 제1 캡핑층 상에 배치되며 티타늄(Ti)을 포함하는 제2 캡핑층을 포함하는 경우(Ref2), 상기 박막 트랜지스터의 I-V 커브가 오른쪽으로 시프트 되면서 기울기가 급해지고, (그래프 왼쪽 부분), DR이 충분하지 못하여, 유기발광다이오드 표시 장치의 구동 트랜지스터로서 적합하지 않게 되는 문제가 발생하였다.

[0069] 도 3은 제1 절연층의 구성 물질에 따른 실험예1 및 실험예2의 박막 트랜지스터의 I-V 커브를 나타낸 그래프이다.

[0070] 도 1 내지 3을 참조하면, 상기 구동 트랜지스터의 상기 I-V 커브가 시프트되고, 기울기가 원치 않게 급격해지고 DR이 작아지는 원인을 여러가지 실험으로 검토해 본 결과, 상기 구동 트랜지스터의 게이트 전극(GE1)을 커버하는 제1 절연층(130)의 구성물질에 따라 상기 I-V 커브가 변화됨을 확인하였다. 이때, 상기 구동 트랜지스터는 폴리 실리콘 트랜지스터이다.

[0071] 또한, 박막 트랜지스터의 액티브 패턴에 수소 처리(Hydrogenation) 후 I-V 커브의 기울기가 급격해 지며 시프트

(shift)되는 것을 확인할 수 있었다. 이에 대한 반대 해석으로, 수소에 의한 영향을 줄이는 것이 상기 I-V 커브의 시프트량 및 기울기 변화를 줄이게 할 수 있을 것으로 예상하였으며, 이를 뒷받침하는 여러 실험을 진행하였다.

[0072] 아래 표1에 나타난 바와 같이, 제1 기준예(Ref1)에서, 상기 게이트 전극은 몰리브덴(Mo)으로 형성되고, 상기 제1 절연층(Low H SiNx-1)의 총 수소량은 23.0 at.%(atomic percent), Si-H Bond는 1.6 at.%, N-H Bond 는 22.0 at.%, 이때, 상기 박막 트랜지스터의 드라이빙 레인지(DR)는 -2.77 V, 문턱 전압(Vth)은 -2.87 V 이다.

[0073] 제1 실험예(Ex1)에서, 상기 게이트 전극은 상기 저저항 배선(알루미늄/티타늄질화물/티타늄 구조)으로 구성되고, 제1 절연층(Low H SiNx-1)의 총 수소량은 14.6 at.%, Si-H Bond는 13.4 at.%, N-H Bond 는 1.5 at.%, 이때, 상기 박막 트랜지스터의 DR은 -2.77 V, Vth는 -2.87 V 이다.

[0074] 제2 실험예(Ex2)에서, 상기 게이트 전극은 상기 저저항 배선으로 구성되고, 상기 제1 절연층(Low H SiNx-2)의 총 수소량은 14.1 at.%, Si-H Bond는 0.7 at.%, N-H Bond 는 13.5 at.%, 이때, 상기 박막 트랜지스터의 DR은 -3.08 V, Vth는 -3.15 V 이다.

표 1

번호	Gate 종류	제1 절연층	N-H	Si-H	Total	DR(V)	Vth(V)
Ref1	Mo (Ref.)	SiNx(Ref.)	22.0	1.6	23.0	-3.12	-3.47
Ref2	Ti/TiN/S-Al	SiNx(Ref.)	22.0	1.6	23.0	-2.90	-2.73
Ex1	Ti/TiN/S-Al	Low H SiNx-1	1.5	13.4	14.6	-2.77	-2.87
Ex2	Ti/TiN/S-Al	Low H SiNx-2	13.5	0.7	14.1	-3.08	-3.15

[0076] 이와 같은 실험예를 통해 보면, 상기 제1 절연층 내, N-H bonding 량이 커지고, Si-H bonding 량이 작아질수록 수소의 이동량이 감소하고, 수소에 의한 영향이 줄어들어, 상기 박막 트랜지스터의 특성 변화가 Ref1 대비 크기 않은 것을 확인할 수 있다.

[0077] 추가적으로, 아래 표2와 같은 실험예들에 대해서도 특성을 확인하였다.

표 2

번호	Driving Range(V)	총 수소량 (at. %)	Si-H (at. %)	N-H (at. %)	RI (at. %)
1	2.9	23.05	1.66	22.06	1.884
2	2.76	14.60	13.47	1.51	2.312
3	2.76	12.04	9.38	3.23	2.162
4	2.89	10.66	7.55	3.63	2.109
5	3.09	14.10	0.75	13.55	1.951

[0079] 상기 표2의 2번,5번 케이스를 통해서 Si-H Bond에서 기인하는 수소가 감소 되는 경우, DR(driving range)에 대한 영향이 1at.%당 0.023V 정도 인 것으로 확인할 수 있다. 따라서, Si-H Bond는 0.1 at. % 이상인 것이 바람직하다.

[0080] 상기 표2의 2번,3번 케이스를 통해서 Si-H Bond 가 9.38at.%가 넘으면 DR 에 대한 영향이 거의 없음을 확인할 수 있다. 따라서, Si-H Bond는 10 at. % 이하인 것이 바람직하다.

[0081] 또한, 일반적인 실리콘 질화물(SiNx) 박막의 총 수소량이 25-30 at.%이므로, 총 수소량은 30 at.% 이하인 것이 바람직하며, 저수소 실리콘 질화물(SiNx) 박막의 총 수소량이 5-15 at.%이므로, 총 수소량은 5 at.% 이상인 것이 바람직하다.

[0082] 이때, 상기 제1 절연층의 RI는 1.884~2.312 범위 일 수 있다.

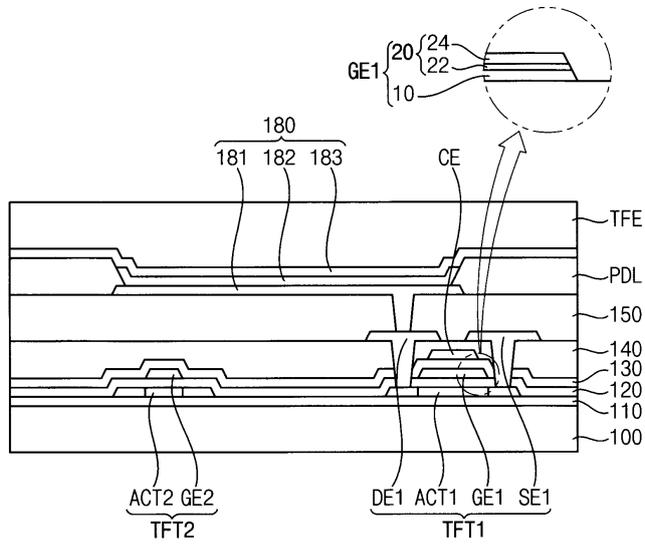
[0083] 따라서, 이들을 종합적으로 고려하면, 상기 제1 절연층(130) 내의 총 수소량은 5 at.%(atomic percent) 내지 30 at.% 이고, 상기 제1 절연층(130) 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 이고, 상기 제1 절연층(130)의 굴절율(RI: reflective index)은 1.884 내지 2.312 경우, 원하는 박막 트랜지스터 특성을 얻을 수 있을 것이다.

- [0084] 도 4a 내지 도 4d는 도 1의 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0085] 도 4a를 참조하면, 베이스 기관(100) 상에 버퍼층(110)을 형성할 수 있다. 상기 버퍼층(110) 상에 제1 액티브 패턴(ACT1) 및 제2 액티브 패턴(ACT2)을 포함하는 액티브 패턴층을 형성할 수 있다. 상기 액티브 패턴층은 비정질 실리콘 층을 형성한 후, 이를 결정화하고, 포토 리소그래피 방법 등으로 패터닝 하여 형성할 수 있다.
- [0086] 상기 액티브 패턴층 상에 게이트 절연층(120)을 형성할 수 있다. 상기 게이트 절연층(120) 상에 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2)을 포함하는 제1 게이트 패턴을 형성할 수 있다.
- [0087] 이때, 상기 제1 게이트 패턴은 도전층, 제1 캡핑층 및 제2 캡핑층을 포함할 수 있다.(도 1 참조)
- [0088] 예를 들면, 상기 제1 게이트 절연층(120) 상에 알루미늄막 또는 알루미늄 합금막을 형성할 수 있다. 상기 알루미늄막 또는 알루미늄 합금막 상에 질화티타늄막을 형성할 수 있다.
- [0089] 예를 들면, 상기 알루미늄막 또는 상기 알루미늄 합금막이 놓인 스퍼터링 챔버 내에 티타늄, 질소 및 불활성 기체를 공급하고 전압을 인가함으로써 상기 질화티타늄막을 형성할 수 있다. 이때 질소를 불활성 기체보다 다량으로 공급함으로써 질소가 풍부한(N-rich) 조건에서 상기 질화티타늄막을 형성할 수 있으며, 이에 따라 상기 질화티타늄막 내의 티타늄에 대한 질소의 원자 비율(질소 원자수/티타늄 원자수)을 0.9~1.2 수준으로 조절할 수 있다. 한편, 불활성 기체는 아르곤(Ar), 헬륨(He) 등일 수 있다.
- [0090] 상기 질화티타늄막 상에 티타늄막을 형성할 수 있다. 예를 들면, 상기 티타늄막은 스퍼터링을 통해 형성할 수 있으며, 구체적으로는 연속 스퍼터링을 통해 형성할 수 있다. 보다 구체적으로는, 티타늄과 질소를 공급하면서 스퍼터링으로 상기 질화티타늄막을 형성하는 도중에 질소의 공급만을 차단하면 동일 스퍼터링 챔버 내에서 상기 질화티타늄막 상에 상기 티타늄막을 연속적으로 형성할 수 있다(연속 스퍼터링).
- [0091] 이후, 상기 알루미늄막(또는 알루미늄 합금막), 상기 질화티타늄막 및 상기 티타늄막을 식각(etching)하여 소정 패턴을 갖는 상기 제1 게이트 패턴을 형성할 수 있다.
- [0092] 도 4b를 참조하면, 상기 제1 게이트 패턴이 형성된 상기 게이트 절연층(120) 상에 제1 절연층(130)을 형성할 수 있다. 상기 제1 절연층(130)은 실리콘(Si), 수소(H) 및 질소(N)를 포함할 수 있다. 구체적으로, 상기 제1 절연층(130) 내의 총 수소량은 5 at.% (atomic percent) 내지 30 at.% 일 수 있다. 또한, 상기 제1 절연층(130) 내의 Si-H Bond는 0.1 at.% 내지 10 at.% 일 수 있다
- [0093] 상기 제1 절연층(130)은 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정 등에 의해 형성될 수 있으며, 이때, 상기 총 수소량을 30 at.% 이하로 제한하기 위해, 증착 가스의 N₂/SiH₄ 비율을 180 이상으로 제어할 수 있다.
- [0094] 도 4c를 참조하면, 상기 제1 절연층(130) 상에 스토리지 전극(CE)을 포함하는 제1 게이트 패턴을 형성할 수 있다. 상기 제1 게이트 패턴이 형성된 상기 제1 절연층(130) 상에 제2 절연층(140)을 형성할 수 있다. 상기 제2 절연층(140), 상기 제1 절연층(130) 및 상기 게이트 절연층(120)을 부분적으로 제거하여 상기 제1 액티브 패턴(ACT1)을 노출하는 개구를 형성할 수 있다. 이후, 상기 제2 절연층(130) 상에 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함하는 소스/드레인 패턴을 형성할 수 있다.
- [0095] 이에 따라, 상기 제1 액티브 패턴(ACT1), 상기 제1 게이트 전극(GE1), 상기 제1 드레인 전극(DE1) 및 상기 제1 소스 전극(SE1)을 포함하는 제1 박막 트랜지스터(TFT1)를 형성할 수 있다. 또한, 상기 제2 액티브 패턴(ACT2) 및 제2 게이트 전극(GE2)을 포함하는 스위칭 트랜지스터인 제2 박막 트랜지스터(TFT2)를 형성할 수 있다.
- [0096] 도 4d를 참조하면, 상기 소스/드레인 패턴이 형성된 상기 제2 절연층(140) 상에 비아 절연층(150)을 형성할 수 있다. 상기 비아 절연층(150) 상에 제1 전극(EL1)을 형성할 수 있다. 상기 제1 전극(EL1)이 형성된 상기 비아 절연층(150) 상에 화소 정의막(PDL)을 형성할 수 있다. 상기 화소 정의막(PDL)의 개구 내에 상기 제1 전극(EL1) 상에 발광층(182)을 형성할 수 있다. 상기 발광층(182) 상에 제2 전극(EL2)을 형성할 수 있다. 상기 제2 전극(EL2) 상에 박막 봉지층(TFE)을 형성하여, 상기 표시 장치를 제조할 수 있다. 상기 비아 절연층(150), 상기 제1 전극(EL1), 상기 화소 정의막(PDL), 상기 발광층(182), 상기 제2 전극(EL2) 및 상기 박막 봉지층(TFE)은 알려진 다양한 방법을 통해 형성될 수 있으며, 이에 대한 자세한 내용은 생략한다.
- [0097] 도 5는 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이고, 도 6a는 도 5의 전자 기기가 텔레비전으로 구현된 일 예를 나타내는 도면이며, 도 6b는 도 5의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

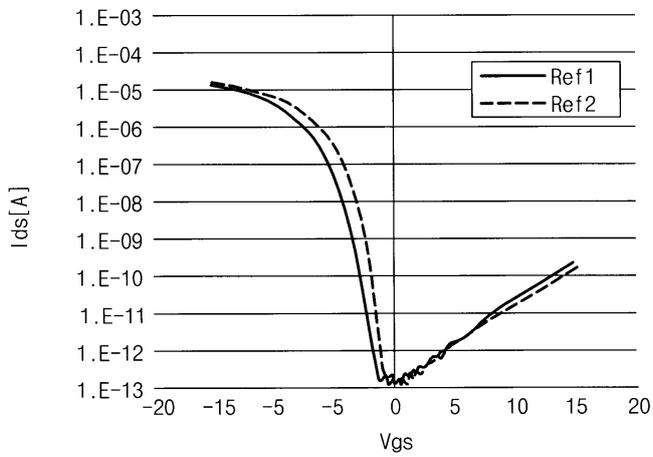
DE1: 제1 드레인 전극

도면

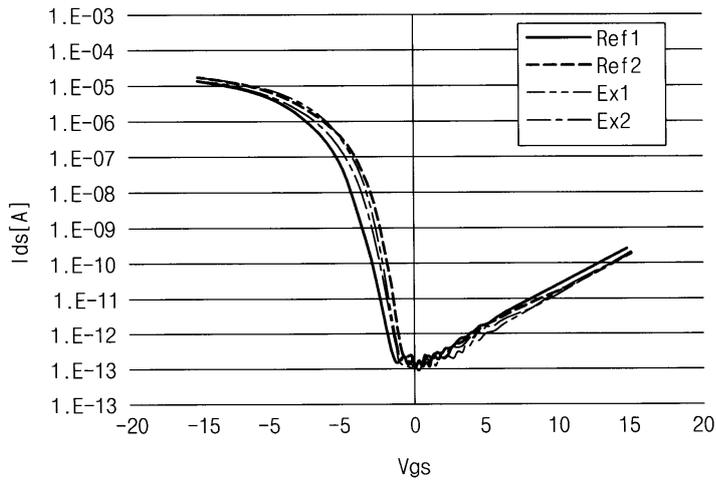
도면1



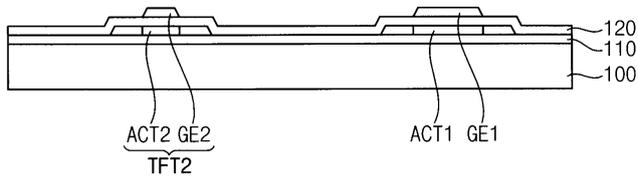
도면2



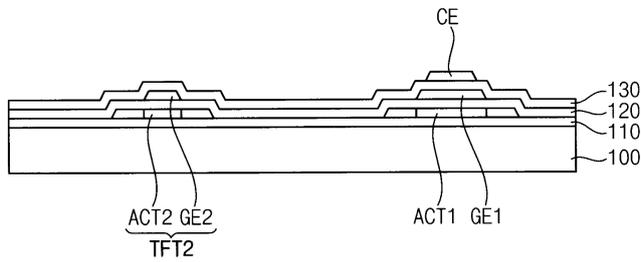
도면3



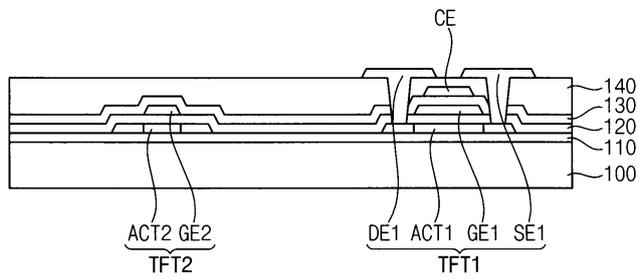
도면4a



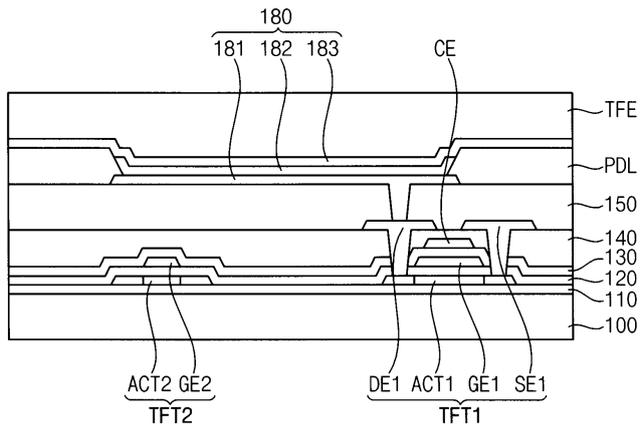
도면4b



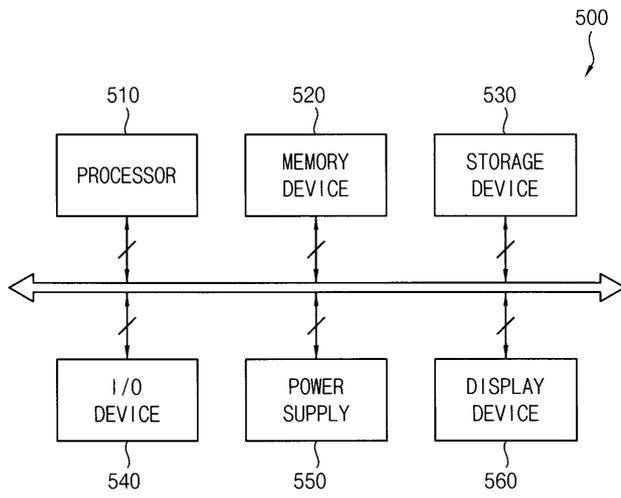
도면4c



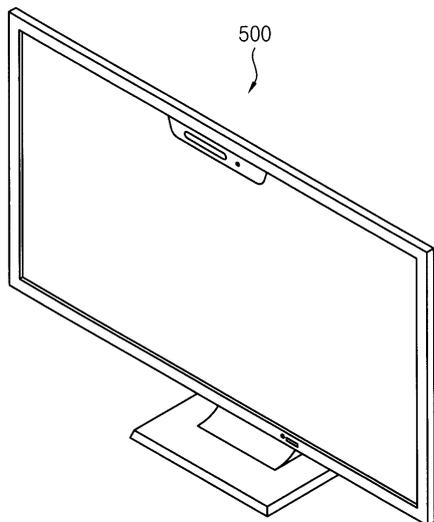
도면4d



도면5



도면6a



도면6b

