

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5983999号
(P5983999)

(45) 発行日 平成28年9月6日(2016.9.6)

(24) 登録日 平成28年8月12日(2016.8.12)

(51) Int.Cl.	F I				
HO 1 L 21/338 (2006.01)	HO 1 L	29/80		M	
HO 1 L 29/812 (2006.01)	HO 1 L	29/80		F	
HO 1 L 29/778 (2006.01)	HO 1 L	29/80		H	
HO 1 L 21/28 (2006.01)	HO 1 L	21/28		3 O 1 B	
HO 1 L 29/423 (2006.01)	HO 1 L	21/28		3 O 1 R	
請求項の数 7 (全 13 頁) 最終頁に続く					

(21) 出願番号 特願2012-147538 (P2012-147538)
 (22) 出願日 平成24年6月29日(2012.6.29)
 (65) 公開番号 特開2014-11350 (P2014-11350A)
 (43) 公開日 平成26年1月20日(2014.1.20)
 審査請求日 平成27年3月30日(2015.3.30)

(73) 特許権者 000154325
 住友電工デバイス・イノベーション株式会社
 神奈川県横浜市栄区金井町1番地
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 西沢 修一
 神奈川県横浜市栄区金井町1番地 住友電
 工デバイス・イノベーション株式会社内
 審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

窒化物半導体層上に、上面および外側面を有し、ニッケルを含有する金属パターンを形成する工程と、

前記金属パターンの前記上面および前記外側面を含む露出面に対して無電解めっきによってバリア層を形成し、前記金属パターンの前記上面および前記外側面を前記バリア層で被覆する工程と、

前記バリア層上に、無電解めっきによって導電層を形成する工程と、

前記窒化物半導体層上に、前記導電層を覆う絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記窒化物半導体層上に、開口を有する他の絶縁膜を形成する工程を有し、

前記金属パターンは、前記他の絶縁膜および前記開口に接して形成され、

前記金属パターンの前記外側面に形成された前記バリア層と前記窒化物半導体層との間は、前記他の絶縁膜によって隔離されてなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記バリア層の形成は、前記金属パターンよりも大きい幅を有する開口が前記金属パターンに対応して形成されたマスクを設ける工程と、前記無電解めっきによって、前記マスクの開口内に前記バリア層を構成する材料を充填して成長させる工程と、によりなされる

ことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記導電層が、前記マスクの開口内を充填して形成されることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記絶縁膜は、前記バリア層および前記導電層の段差の形状を反映した段差を有し、
前記絶縁膜の前記段差の位置に金属層を形成する工程を有することを特徴とする請求項 1 から 4 のいずれか一項記載の半導体装置の製造方法。

【請求項 6】

前記金属パターンを形成する工程は、前記窒化物半導体層上に、開口を有するマスクを形成する工程と、前記マスクを用いて前記金属パターンを真空蒸着法およびリフトオフ法により形成する工程と、を含むことを特徴とする請求項 1 から 5 のいずれか一項記載の半導体装置の製造方法。

10

【請求項 7】

前記金属パターンはニッケル層を含み、前記バリア層はパラジウム層またはプラチナ層を含み、前記導電層は金層または銅層を含むことを特徴とする請求項 1 から 6 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

20

【背景技術】

【0002】

窒化物半導体を用いた半導体装置は、高周波且つ高出力で動作するパワー素子等に用いられている。特に、マイクロ波、準ミリ波、及びミリ波等の高周波帯域での増幅に適した半導体装置として、例えば高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）等の FET（Field Effect Transistor）が知られている。

【0003】

窒化物半導体を用いた半導体装置では、窒化物半導体層上に保護膜が設けられている。保護膜に窒化シリコン膜を用いることで、ドレイン電流のコラプス現象を低減できることが知られている。また、窒化物半導体層と窒化シリコン膜との密着性を向上させるために、窒化シリコン膜の組成を調整することが知られている（例えば、特許文献 1 参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2006 - 261252 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

窒化物半導体を用いた FET として、窒化物半導体層上に設けられた Ni（ニッケル）を含有する金属パターンを有するゲート電極が絶縁膜で覆われた構造がある。このような構造の FET を通電させると、Ni を含有する金属パターンの Ni が絶縁膜内に拡散することが生じ、その結果、ゲート電極が他の金属層と短絡して、FET が故障してしまうことがある。

40

【0006】

本発明は、上記課題に鑑みなされたものであり、Ni を含有する金属パターンの Ni が拡散することを抑制できる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、窒化物半導体層上に、上面および側面を有し、ニッケルを含有する金属パタ

50

ーンを形成する工程と、前記金属パターンの前記上面および側面を含む露出面に対して無電解めっきによってバリア層を形成し、前記金属パターンの表面を前記バリア層で被覆する工程と、を有することを特徴とする半導体装置の製造方法である。本発明によれば、Niを含有する金属パターンのNiが拡散することを抑制できる。

【0008】

上記構成において、前記窒化物半導体層上に、開口を有する第1絶縁膜が設けられ、前記金属パターンは、前記第1絶縁膜および前記開口に接して形成され、前記バリア層と前記窒化物半導体層との間は、前記第1絶縁膜によって隔離されてなる構成とすることができる。

【0009】

上記構成において、前記バリア層上に、無電解めっきによって導電層を形成する工程をさらに有する構成とすることができる。

【0010】

上記構成において、前記バリア層の形成は、前記金属パターンよりも大きい幅を有する開口が前記金属パターンに対応して形成されたマスクを設ける工程と、前記無電解めっきによって、前記マスクの開口内に前記バリア層を構成する材料を充填して成長させる工程と、によりなされる構成とすることができる。

【0011】

上記構成において、前記導電層が、前記マスクの開口内を充填して形成される構成とすることができる。

【0012】

上記構成において、前記バリア層上に第2絶縁膜を形成する工程をさらに有する構成とすることができる。

【0013】

上記構成において、前記第2絶縁膜上にフィールドプレートあるいはソースウォールを構成する金属層を形成する工程をさらに有する構成とすることができる。

【発明の効果】

【0014】

本発明によれば、Niを含有する金属パターンのNiが拡散することを抑制できる。

【図面の簡単な説明】

【0015】

【図1】図1は、比較例1に係る半導体装置の断面図である。

【図2】図2は、ゲート電極を真空蒸着法で形成する工程を示す断面図である。

【図3】図3は、実施例1に係る半導体装置の断面図である。

【図4】図4(a)から図4(c)は、実施例1に係る半導体装置の製造方法を示す断面図(その1)である。

【図5】図5(a)から図5(c)は、実施例1に係る半導体装置の製造方法を示す断面図(その2)である。

【図6】図6(a)及び図6(b)は、Pd層とAu層とを電解めっき法で形成する工程を示す断面図である。

【図7】図7(a)は、実施例1の変形例1に係る半導体装置を示す断面図であり、図7(b)は、実施例1の変形例2に係る半導体装置を示す断面図である。

【図8】ゲート電極を形成する工程の第1の変形例を示す断面図である。

【図9】ゲート電極を形成する工程の第2の変形例を示す断面図である。

【発明を実施するための形態】

【0016】

まず、窒化物半導体を用いたHEMTの場合を例に、比較例1について説明する。図1は、比較例1に係る半導体装置の断面図である。図1のように、SiC基板である基板10上に、窒化物半導体層12として、GaN(窒化ガリウム)層であるチャネル層14とAlGaN(窒化アルミニウムガリウム)層である電子供給層16とがこの順に設けられ

10

20

30

40

50

ている。なお、基板 10 とチャンネル層 14 との間に、AlN (窒化アルミニウム) 層であるバリア層が設けられていてもよい。電子供給層 16 上に、GaN (窒化ガリウム) 層であるキャップ層が設けられていてもよい。

【0017】

窒化物半導体層 12 上に、ソース電極 20 及びドレイン電極 22 が設けられている。ソース電極 20 及びドレイン電極 22 は、窒化物半導体層 12 側からTi (チタン) 層とAl (アルミニウム) 層とがこの順に積層された金属層であり、窒化物半導体層 12 にオーミック接合している。

【0018】

ソース電極 20 及びドレイン電極 22 を覆うように、窒化物半導体層 12 上に、窒化シリコン膜である第 1 絶縁膜 18 が設けられている。第 1 絶縁膜 18 の厚さは、例えば 30 nm である。ソース電極 20 とドレイン電極 22 との間の第 1 絶縁膜 18 に開口 24 が設けられている。開口 24 に埋め込まれるようにゲート電極 26 が設けられている。ゲート電極 26 は、その端部が第 1 絶縁膜 18 上に位置していて、T 形状をした T 型ゲート電極である。ゲート電極 26 は、窒化物半導体層 12 にショットキ接合している。ゲート電極 26 は、開口 24 に埋め込まれるように第 1 絶縁膜 18 上に設けられたNi (ニッケル) 層 28 と、Ni 層 28 上に設けられたAu (金) 層 32 と、を有する金属層である。

【0019】

ゲート電極 26 を覆うように、第 1 絶縁膜 18 上に、窒化シリコン膜である第 2 絶縁膜 34 が設けられている。第 2 絶縁膜 34 は、ゲート電極 26 の段差の形状を反映した段差を有する。ソース電極 20 上及びドレイン電極 22 上には、第 2 絶縁膜 34 と第 1 絶縁膜 18 とを貫通して、ソース配線 36 及びドレイン配線 38 が設けられている。ソース配線 36 は、ソース電極 20 の上面に接して設けられている。ドレイン配線 38 は、ドレイン電極 22 の上面に接して設けられている。ソース配線 36 及びドレイン配線 38 は、Auめっき層等の金属層である。

【0020】

第 2 絶縁膜 34 上に、FET の活性領域外でソース配線 36 に接続されることでソース電極 20 に電気的に接続されたフィールドプレート 40 が設けられている。フィールドプレート 40 は、ゲート電極 26 とドレイン電極 22 との間であってゲート電極 26 の段差の形状を反映して形成された第 2 絶縁膜 34 の段差を覆う位置に設けられ、ゲート電極 26 に沿ってゲート電極 26 上まで延在している。フィールドプレート 40 は、Auめっき層等の金属層である。

【0021】

比較例 1 の FET に対して高温通電試験を行った。高温通電試験は、ドレイン・ソース電流が所定の大きさになるように、ゲート電極 26 に印加する電圧を制御して行った。高温通電試験後の FET において、ゲート電極 26 の Ni 層 28 に含まれる Ni が、第 2 絶縁膜 34 に拡散する現象が生じた。Ni の拡散は、第 2 絶縁膜 34 に接する Ni 層 28 の側面から拡散する場合に加え、Ni 層 28 の Ni が Au 層 32 に拡散して Au 層 32 の表面に到達した後、Au 層 32 の表面から拡散する場合がある (図 1 の矢印を参照)。このような Ni の拡散は、ゲート電極 26 に吸着した水分等の酸素と反応して生成されたイオン化した Ni 酸化物が、高温通電試験の熱と電界によって第 2 絶縁膜 34 に拡散するものと考えられる。Ni 層 28 の Ni が第 2 絶縁膜 34 に拡散することで、例えば、Ni 拡散領域がフィールドプレート 40 に到達してゲート電極 26 とフィールドプレート 40 とが短絡し、FET が壊れてしまうことがある。

【0022】

そこで、発明者は、Ni 層 28 の Ni が第 2 絶縁膜 34 に拡散することを抑制するために、Ni 層 28 を Pd (パラジウム) 層で覆う構造のゲート電極を検討した。ゲート電極 26 は、真空蒸着法及びリフトオフ法を用いて形成されることから、Pd 層も真空蒸着法を用いて形成することを試みた。

【0023】

10

20

30

40

50

図2は、ゲート電極を真空蒸着法で形成する工程を示す断面図である。図2のように、基板10上に形成された窒化物半導体層12上に、開口24を有する第1絶縁膜18が形成されている。この第1絶縁膜18上に、開口24よりも大きな開口60を有するレジスト層62を形成する。レジスト層62をマスクとして、真空蒸着法によってNiを堆積させて、開口24に埋め込まれるように第1絶縁膜18上にNi層28を形成する。続いて、真空蒸着法によってPdを堆積させて、Ni層28上にPd層30を形成する。続いて、真空蒸着法によってAuを堆積させて、Pd層30上にAu層32を形成する。これにより、Ni層28、Pd層30、及びAu層32を有するゲート電極26が形成される。

【0024】

図2のように、ゲート電極26の断面は、上部ほど幅が狭い台形形状をしている。これは、蒸着が進むに従い、レジスト層62上に形成される蒸着膜によって、レジスト層62の開口60の幅が狭まるためによるものである。このため、Ni層28を形成した後に、Pdを真空蒸着法で堆積しても、Pd層30はNi層28の上面に形成されるだけで、Ni層28の側面を被覆することは難しい。したがって、このような形状のゲート電極26を覆うように第2絶縁膜34を形成した場合、Ni層28の側面から第2絶縁膜34にNiが拡散することが生じてしまう。

【0025】

そこで、ゲート電極が有するNi層の上面と側面とをPd層で被覆して、Ni層に含まれるNiの拡散を抑制することができる実施例について以下に説明する。

【実施例1】

【0026】

図3は、実施例1に係る半導体装置の断面図の例である。図3のように、ゲート電極50は、開口24に埋め込まれるように第1絶縁膜18上に設けられたNi層52からなる金属パターンと、Ni層52の上面と側面とを覆うPd層54からなるバリア層と、Pd層54上に設けられたAu層56からなる導電層と、を有する。Ni層52は、窒化物半導体層12に対してショットキ接合を構成する。Pd層54のゲート長方向の長さとは同じである。つまり、ゲート電極50の断面は、上部に向かって幅は一定となっている。Ni層52の厚さは、例えば30nmである。Pd層54の厚さは、例えば60nmである。Au層56の厚さは、例えば500nmである。また、後述の実施例1に係る半導体装置の製造方法で詳しく説明するが、Ni層52は真空蒸着法によって形成され、Pd層54とAu層56とは無電解めっき法によって形成される。その他の構成は比較例1の図1と同じであるため、説明を省略する。

【0027】

次に、実施例1に係る半導体装置の製造方法について説明する。図4(a)から図5(c)は、実施例1に係る半導体装置の製造方法を示す断面図である。図4(a)のように、SiC基板である基板10上に、窒化物半導体層12として、GaN層であるチャネル層14とAlGaN層である電子供給層16とをこの順に成長させる。チャネル層14及び電子供給層16の成長は、MOCVD法(有機金属気相成長法)を用いることができる。窒化物半導体層12上に、真空蒸着法及びリフトオフ法を用いて、窒化物半導体層12側からTi層とAl層とがこの順に積層された金属層を形成する。その後、例えば500から800の温度で金属層に対してアニール処理を行い、窒化物半導体層12にオーミック接合するオーミック電極であるソース電極20及びドレイン電極22を形成する。ソース電極20とドレイン電極22とを覆うように、窒化物半導体層12上に、プラズマCVD法(プラズマ化学気相成長法)を用いて、窒化シリコン膜である第1絶縁膜18を形成する。ソース電極20とドレイン電極22との間であって、ゲート電極を形成すべき領域の第1絶縁膜18を除去して開口24を形成する。開口24の底面は、窒化物半導体層12が露出している。これにより、窒化物半導体層12上に、開口24を有する第1絶縁膜18が形成される。

【0028】

図4(b)のように、第1絶縁膜18上に、開口24に対応する位置に開口24よりも

10

20

30

40

50

大きな第1開口42を有するマスク層である第1レジスト層44を形成する。第1レジスト層44は、第1開口42において上側部分が下側部分よりも突き出した形状をしている。このような形状の第1レジスト層44は、フォトリソプロセスを2回繰り返すことによって形成できる。なお、第1レジスト層44は、第1開口42において逆テーパ形状をしている場合でもよい。

【0029】

図4(c)のように、第1レジスト層44をマスクとして、真空蒸着法を用いてNiからなる金属パターンを堆積する。これにより、窒化物半導体層12上に、上面および側面を有し、Niを含有する金属パターンが形成される。つまり、開口24内の窒化物半導体層12上及び第1絶縁膜18上に、Ni層52が形成される。典型的にNi層52は、真空蒸着法で形成されるため、上部に向かうほど幅が狭まる断面形状となる。

10

【0030】

図5(a)のように、第1レジスト層44を除去した後、第1絶縁膜18上に、Ni層52のゲート長方向の幅よりも大きい幅を有する第2開口46がNi層52に対応して形成されたマスク層である第2レジスト層48を形成する。次に、第2レジスト層48をマスクとして、無電解めっき法により、第2開口46内にPdを充填して成長させる。このPdは、Niの拡散に対するバリア層である。無電解めっき法では、Pdは下地活性層となるNi層52に対して等方的に成長する。このため、Pd層54が、Ni層52の露出面、即ち、Ni層52(金属パターン)の上面および側面を被覆するように形成される。これにより、Ni層52(金属パターン)の表面がバリア層であるPd層54で被覆される。なお、窒化物半導体層12上に第1絶縁膜18が形成されているため、Pd層54と窒化物半導体層12との間は第1絶縁膜18によって隔離されて、Pd層54は窒化物半導体層12に接することなく形成される。続いて、無電解めっき法により、第2開口46内をAuで充填して、導電層としてAuを成長させる。これにより、Pd層54上にAu層56が形成される。これらによって、Ni層52、Pd層54、及びAu層56を有するゲート電極50が形成される。Pd層54及びAu層56の幅W1は、第2レジスト層48の第2開口46の幅で規定され、例えば1.0µmである。第1絶縁膜18の上面に接する部分におけるNi層52の幅W2は、例えば0.8µmである。Ni層52の上部の幅W3は、例えば0.6µmである。

20

【0031】

図5(b)のように、第2レジスト層48を除去した後、ゲート電極50を覆うように、プラズマCVD法を用いて、窒化シリコン膜である第2絶縁膜34を形成する。第2絶縁膜34には、ゲート電極50の段差の形状を反映した段差が形成される。

30

【0032】

図5(c)のように、ソース電極20上及びドレイン電極22上の第2絶縁膜34と第1絶縁膜18とを除去して開口を形成する。この開口内及び第2絶縁膜34上に、めっき法を用いて、金属層を形成する。金属層は、ソース電極20の上面に接するソース配線36、ドレイン電極22の上面に接するドレイン配線38、及び第2絶縁膜34の段差を覆う位置に設けられたフィールドプレート40を含む。これにより、実施例1に係る半導体装置が完成する。

40

【0033】

実施例1によれば、図3のように、ゲート電極50は、開口24に埋め込まれるように第1絶縁膜18上に設けられ、上面および側面を有するNi層52と、Ni層52の上面及び側面を覆うPd層54と、Pd層54上に設けられたAu層56と、を有する。Pd層54によって、Ni層52は、第2絶縁膜34及びAu層56に接することなく設けられている。これにより、Pd層54が、Ni層52に含まれるNiの拡散を抑制するバリア層として機能し、Ni層52のNiが第2絶縁膜34に拡散することを抑制できる。よって、半導体装置の故障を抑制できる。

【0034】

Ni層52の上面及び側面を被覆するPd層54は、図5(a)で説明したように、無

50

電解めっき法により形成される。無電解めっき法は、上述したように、めっき層が下地活性層に対して等方的に成長するため、Pd層54は、Ni層52の上面及び側面を含む露出面を被覆し、Ni層52の表面を覆って形成される。また、Pd層54が等方的に成長することから、Ni層52の上面に形成された、開口24の段差に起因した段差部分も十分な厚さで被覆することができる。例えば、図2のように、Pd層30を真空蒸着法で形成した場合、蒸着源から基板10に対して垂直に蒸着粒子が入射するよう、蒸着源と基板10との位置関係が設定されるため、Ni層28の上面の段差部分を十分な厚さのPd層30で被覆することが難しい。このため、Ni層28のNiがAu層32に拡散し、その結果、Niが第2絶縁膜34に拡散してしまう。しかしながら、実施例1では、Pd層54を無電解めっき法で形成することで、Ni層52の上面の段差部分を十分な厚さのPd層54で被覆することができるため、Ni層52のNiがAu層56を經由して第2絶縁膜34に拡散することを抑制できる。

10

【0035】

ここで、Pd層及びAu層を無電解めっき法ではなく、電解めっき法で形成した場合の問題点について説明する。図6(a)及び図6(b)は、Pd層及びAu層を電解めっき法で形成する工程を示す断面図である。図6(a)のように、窒化物半導体層12上に形成された第1絶縁膜18の開口24に埋め込まれるように、真空蒸着法又はスパッタ法を用いて、第1絶縁膜18上にNi層72を形成する。ここで、Ni層72をPd層及びAu層を電解めっき法で形成する際のシード層として用いるために、基板10上全面にNi層72を残存させておく。

20

【0036】

Ni層72上に、開口24よりも大きな開口を有するレジスト層78を形成する。レジスト層78をマスクとして、電解めっき法を用いて、Ni層72上に、Pd層74とAu層76とを順に成長させる。

【0037】

図6(b)のように、レジスト層78を除去した後、Au層76とPd層74とをマスクとして、Ni層72をエッチングする。これにより、Ni層72、Pd層74、及びAu層76を有するゲート電極70が形成される。

【0038】

このように、Pd層74とAu層76とを電解めっき法で形成する場合、Ni層72をシード層として用いるため、図6(b)のように、Pd層74とAu層76とを形成した後、Ni層72をエッチングして除去することがなされる。このため、Ni層72の側面をPd層74で覆うことができず、Ni層72のNiが第2絶縁膜34に拡散することが生じてしまう。このように、Pd層74及びAu層76を電解めっき法を用いて形成する場合には、Ni層72のNiが拡散してしまうことを抑制できない。したがって、実施例1では、Pd層54とAu層56とを無電解めっき法を用いて形成している。

30

【0039】

また、ゲート電極の抵抗を低減させるためにAu層を設けているが、図2のように、ゲート電極26を真空蒸着法で形成する場合、ゲート電極26の上側ほど幅が狭い断面形状となる。このため、Au層32を厚くしても、ゲート電極26の抵抗を低減させる効果が小さい。一方、実施例1では、Pd層54とAu層56とを無電解めっき法で形成しているため、矩形形状をしたゲート電極50が得られる。このため、Au層56を厚くすることで、ゲート電極50の抵抗を効果的に低減させることができる。

40

【0040】

さらに、図2のように、Pd層30とAu層32とを真空蒸着法で形成する場合は、ウエハである基板10の外周部でパターンの位置ずれが生じる場合がある。これは、蒸着源に比べて、ウエハが遥かに大きいためである。一方、実施例1では、Pd層54とAu層56とは無電解めっき法で形成しているため、Ni層52に対してPd層54とAu層56とのパターンの位置がずれを抑制できる。

【0041】

50

Ni層52の厚さは、30nmの場合に限られず、10nm以上且つ100nm以下の場合でもよい。Pd層54の厚さは、60nmの場合に限られず、10nm以上且つ80nm以下の場合でもよい。Au層56の厚さは、500nmの場合に限られず、200nm以上且つ1000nm以下の場合でもよい。また、第1絶縁膜18の厚さは、30nmの場合に限られず、10nm以上且つ100nm以下の場合でもよい。ただし、Ni層52の厚さに対する第1絶縁膜18の厚さの比（即ち、第1絶縁膜18の厚さ/Ni層52の厚さ）は、0.5以上且つ1.5以下である場合が好ましい。この第1絶縁膜18の厚さ/Ni層52の厚さの比が1.5より大きい場合、開口24において、第1絶縁膜18上に堆積したNi層52と、開口24に埋め込まれたNi層52とが、物理的に乖離した段切れ状態となるため、1.5以下の場合が好ましい。また、第1絶縁膜18の厚さ/Ni層52の厚さの比が0.5以上のとき、真空蒸着法において、Ni層52の上面に形成される、開口24の段差に起因した段差部分が問題となるが、実施例1ではPd層54を無電解めっき法で形成することで、Ni層52の上面の段差部分を十分な厚さのPd層54で被覆することができ、Ni層52のNiがAu層56を経由して第2絶縁膜34に拡散することを抑制できるため、0.5以上の場合にも問題がない。

10

【0042】

また、Ni層52の側面におけるPd層54の厚さ（図5（a）におけるW1 - W2）は、Niの拡散を抑制するために、0.2μm以上の場合が好ましく、0.3μm以上の場合がより好ましく、0.4μm以上の場合がさらに好ましい。

【0043】

20

図3のように、フィールドプレート40は、ゲート電極50の段差の形状を反映して形成された第2絶縁膜34の段差を覆う位置に設けられ、ゲート電極50に沿ってゲート電極50上まで延在している場合を例に示した。しかしながら、図7（a）の実施例1の変形例1に係るFETのように、フィールドプレート80が、ゲート電極50とドレイン電極22との間に位置し、ゲート電極50上まで延在していない場合でもよい。なお、フィールドプレート80も、フィールドプレート40と同様に、Auめっき層等の金属層からなり、FETの活性領域外でソース配線36に接続されている。

【0044】

第2絶縁膜34上に形成されるフィールドプレート40、80は、ソース電極20に電氣的に接続されている場合に限られず、ソース電極20に電氣的に接続されていない場合でもよい。フィールドプレート40、80は、浮き導体の場合でもよい。この場合でも、ゲート電極50のNi層52に含まれるNiがフィールドプレート40、80に向かって第2絶縁膜34を拡散し易いため、Ni層52の上面と側面とを覆ってPd層54を設けることが有効である。しかしながら、フィールドプレート40、80がソース電極20に電氣的に接続されている場合は、ゲート電極50のNi層52に含まれるNiがフィールドプレート40、80に向かって第2絶縁膜34をより拡散し易い。したがって、フィールドプレート40、80がソース電極20に電氣的に接続されている場合に、Ni層52の上面と側面とを覆ってPd層54を設けることがより有効である。

30

【0045】

また、フィールドプレート40の代わりに、図7（b）の実施例1の変形例2に係るFETのように、ソースウォール82が設けられている場合でもよい。ソースウォール82は、Auめっき層等の金属層からなり、ソース配線36に接続され、第2絶縁膜34上でゲート電極50を覆うように、ソース配線36から第2絶縁膜34の段差を覆う位置に延在して設けられている。ソースウォール82は、ソース電極20に電氣的に接続されているため、ゲート電極50のNi層52に含まれるNiがソースウォール82に向かって第2絶縁膜34を拡散し易い。したがって、ソースウォール82が設けられている場合に、Ni層52の上面と側面とを覆ってPd層54を設けることがより有効である。

40

【0046】

図5（a）のように、Ni層52に対してソース電極20側及びドレイン電極22側に対称な形状の第2開口46を有する第2レジスト層48をマスクとして、無電解めっき法

50

にてPd層54及びAu層56を形成しているが、これに限られない。図8は、ゲート電極50を形成する工程の第1の変形例を示す断面図である。図8のように、Ni層52に対してソース電極20側及びドレイン電極22側に非対称な形状の第2開口90を有する第2レジスト層92をマスクとして、無電解めっき法にてPd層54とAu層56とを形成してもよい。この場合、ドレイン側に延びたゲート電極により、ショットキ接合近傍へのキャリアトラップを低減することができ、ドレイン電流のコラプス現象を低減することが可能となる。

【0047】

また、図5(a)のように、第1レジスト層44を除去した後、Ni層52の幅よりも大きい第2開口46を有する第2レジスト層48を形成し、これをマスクとして、無電解めっき法にてPd層54とAu層56とを形成しているが、これに限られない。図9は、ゲート電極50を形成する工程の第2の変形例を示す断面図である。図9のように、Pd層54とAu層56とのパターンの大きさに制約がなく、余裕がある場合には、第2レジスト層48を形成することなく、無電解めっき法にてPd層54とAu層56とを形成してもよい。これにより、第2レジスト層48を形成する工程を省くことができるため、製造工程を短縮できる。

【0048】

Ni層52は、真空蒸着法を用いて形成する場合に限られず、スパッタ法を用いて形成してもよい。また、真空蒸着法又はスパッタ法にてNiを数nm堆積した後、無電解めっき法にてNi、Pd、Auを連続して成長させて、Ni層52、Pd層54、及びAu層56を有するゲート電極50を形成してもよい。

【0049】

窒化物半導体層12上に、開口24を有する第1絶縁膜18が設けられている場合に、FETの活性化処理を適切に実施すれば、開口24の窒化物半導体層12上からのみ無電解めっき金属を成長させることができる。したがって、活性化処理を適切に行い、Ni層52、Pd層54、及びAu層56の全てを無電解めっき法にて形成する場合でもよい。

【0050】

図3のように、開口24に埋め込まれるように第1絶縁膜18上にNi層52が設けられているが、Ni層52の場合に限られず、Niを含有する金属パターンであればよい。Niを含有する金属パターンの例として、Ni層の他に、Niと他の金属とを含む層の場合や、Ni層と他の金属層との積層の場合が挙げられる。

【0051】

Ni層52の上面及び側面を覆う金属層が、Ni層52の上面及び側面を覆うPd層54と、Pd層54上に設けられたAu層56と、を含む場合を例に示したが、これに限られる訳ではない。Ni層52に含まれるNiが拡散することを抑制するバリア層として機能すれば、Ni層52の上面及び側面をPd層54以外のバリア層、例えばPt(白金)層で覆っている場合でもよい。また、ゲート電極50の抵抗が低減すれば、Pd層54上にAu層56以外の低抵抗の導電層、例えばCu(銅)が設けられている場合でもよい。

【0052】

基板10は、SiC基板の他にも、例えばSi基板、サファイア基板、又はGaN基板等、その他の基板を用いることができる。基板10上に形成される窒化物半導体層としては、GaN層、InN層、AlN層、InGaN層、AlGaN層、InAlN層、及びInAlGaN層のうちの少なくとも1つを含む単層又は積層を用いることができる。第1絶縁膜18及び第2絶縁膜34は、窒化シリコン膜以外の絶縁膜、例えば酸化シリコン膜を用いてもよい。

【0053】

実施例1では、HEMTの場合を例に示したが、MESFET(Metal Semiconductor Field Effect Transistor)等、その他のFETの場合でもよいし、FET以外の半導体装置の場合でもよい。また、第2絶縁膜34上にフィールドプレート又はソースウォールを構成する金属層が設けられている場合を例に示したが、金属層が設けられていない場合

10

20

30

40

50

でもよい。この場合でも、Ni層52のNiが第2絶縁膜34に拡散することがあるため、Ni層52の上面及び側面をPd層54で覆うことが望ましい。

【0054】

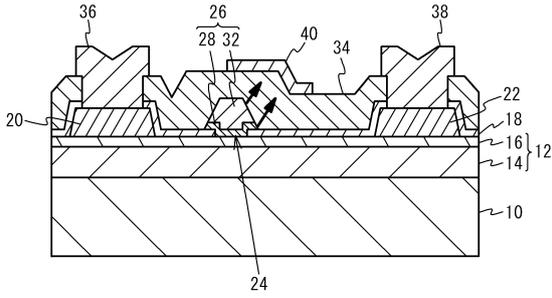
以上、本発明の実施例について詳述したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

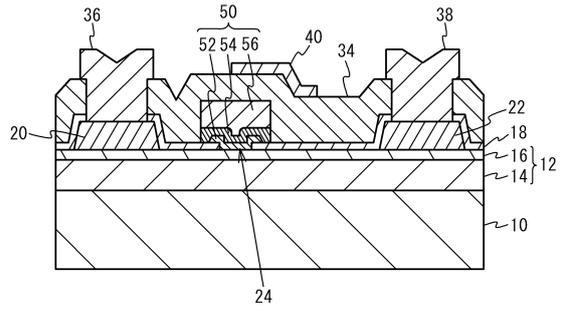
【0055】

10	基板	
12	窒化物半導体層	10
14	チャネル層	
16	電子供給層	
18	第1絶縁膜	
20	ソース電極	
22	ドレイン電極	
24	開口	
26、50	ゲート電極	
28、52	Ni層	
30、54	Pd層	
32、56	Au層	20
34	第2絶縁膜	
36	ソース配線	
38	ドレイン配線	
40、80	フィールドプレート	
42	第1開口	
44	第1レジスト層	
46	第2開口	
48	第2レジスト層	
82	ソースウォール	

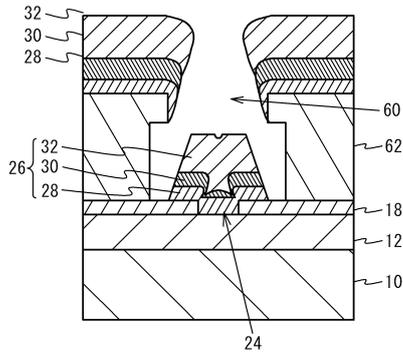
【図1】



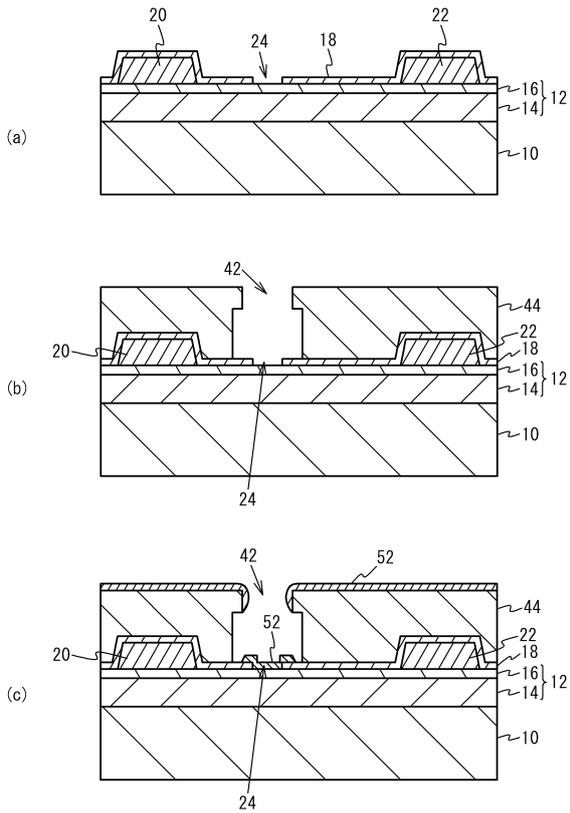
【図3】



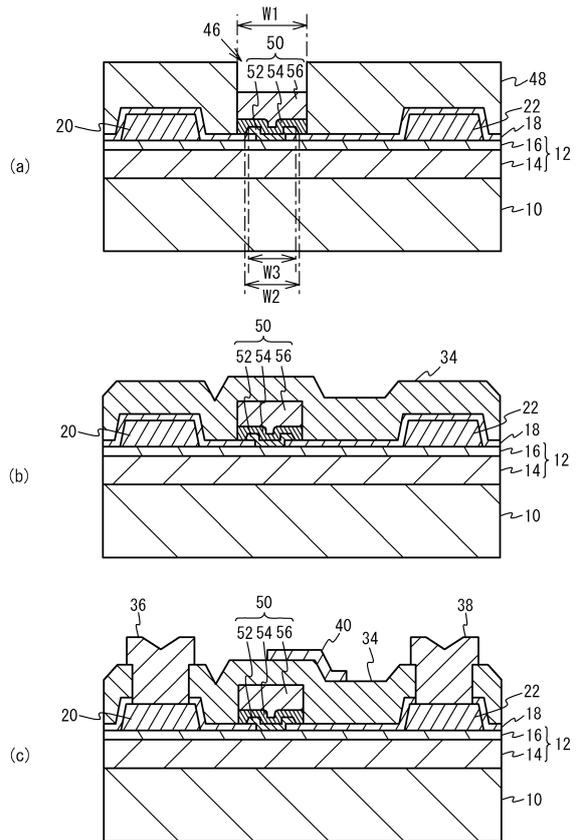
【図2】



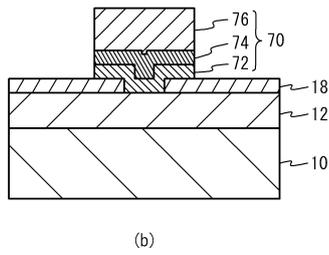
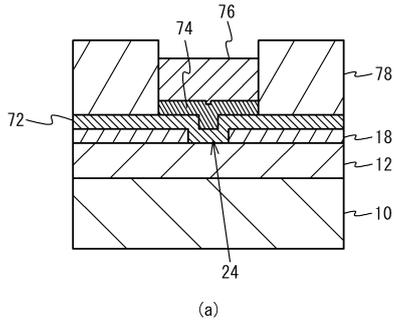
【図4】



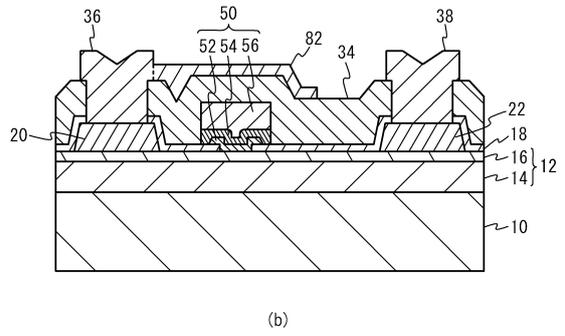
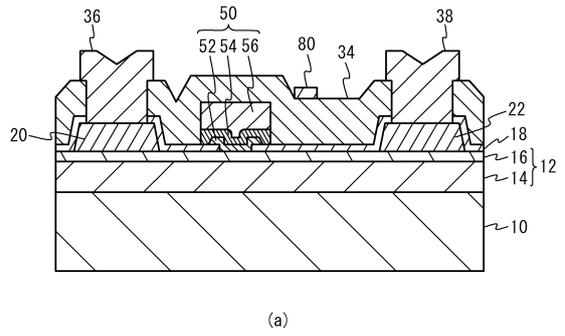
【図5】



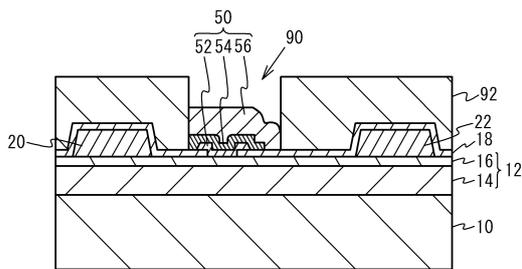
【図6】



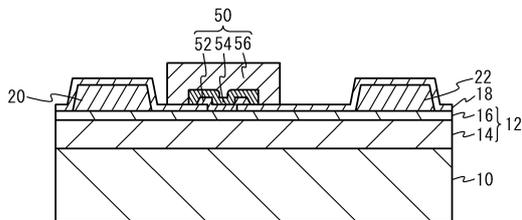
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 29/41	(2006.01)	H 0 1 L	29/58	Z
H 0 1 L 21/288	(2006.01)	H 0 1 L	29/44	Y
H 0 1 L 29/06	(2006.01)	H 0 1 L	21/288	E
		H 0 1 L	29/06	3 0 1 F

- (56)参考文献 特開2011-238805(JP,A)
 特開平07-183312(JP,A)
 特開2003-179057(JP,A)
 特開平8-97234(JP,A)
 特開平11-121471(JP,A)
 米国特許出願公開第2012/0156843(US,A1)
 N. Miura et.al., Thermal annealing effects on Ni/Au based Schottkycontacts on n-GaN and AlGaIn/GaN with insertion of high work function metal, SOLID-STATE ELECTRONICS, ELSEVIER, 2004年 2月19日, Volume 48, Issue 5, pp.689-695, 図1

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 2 8 8
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 8 1 2
 Science Direct