

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-129582

(P2024-129582A)

(43)公開日 令和6年9月27日(2024.9.27)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 23/34 (2006.01)	H 0 1 L 23/34	D 5 F 1 3 6
H 0 1 L 23/29 (2006.01)	H 0 1 L 23/36	A
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/04	C

審査請求 未請求 請求項の数 10 O L (全23頁)

(21)出願番号	特願2023-38893(P2023-38893)	(71)出願人	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22)出願日	令和5年3月13日(2023.3.13)	(74)代理人	110002066 弁理士法人筒井国際特許事務所
		(72)発明者	波多 俊幸 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		(72)発明者	富沢 全 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内
		Fターム(参考)	5F136 DA27 HA01

(54)【発明の名称】 半導体装置、半導体装置の製造方法およびチップセットの提供方法

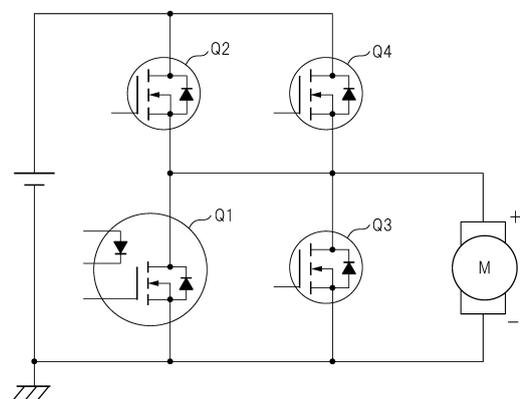
(57)【要約】

【課題】半導体装置の製造コストを低減する。

【解決手段】本開示の半導体装置は、第1パワートランジスタおよび温度検知ダイオードのそれぞれを含む第1半導体チップと、第2パワートランジスタを含むが、温度検知ダイオードを含まない第2半導体チップと、を有する。

【選択図】図2

図 2



【特許請求の範囲】

【請求項 1】

第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップと、
第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップと、
を有する、半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、
前記半導体装置は、ハーフブリッジ回路の構成要素であり、
前記第 1 パワートランジスタは、前記ハーフブリッジ回路を構成するハイサイドトランジスタおよびローサイドトランジスタのうち的一方であり、
前記第 2 パワートランジスタは、前記ハーフブリッジ回路を構成する前記ハイサイドトランジスタおよび前記ローサイドトランジスタのうち他方である、半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、
前記半導体装置は、さらに、
第 3 パワートランジスタを含み、温度検知ダイオードを含まない第 3 半導体チップと、
第 4 パワートランジスタを含み、温度検知ダイオードを含まない第 4 半導体チップと、

を有し、
前記第 1 パワートランジスタおよび前記第 3 パワートランジスタのそれぞれは、前記ハーフブリッジ回路の前記ローサイドトランジスタを構成し、
前記第 2 パワートランジスタおよび前記第 4 パワートランジスタのそれぞれは、前記ハーフブリッジ回路の前記ハイサイドトランジスタを構成し、
前記第 1 パワートランジスタは、前記第 2 パワートランジスタと直列接続され、
前記第 3 パワートランジスタは、前記第 4 パワートランジスタと直列接続され、
前記第 1 パワートランジスタは、前記第 3 パワートランジスタと並列接続され、
前記第 2 パワートランジスタは、前記第 4 パワートランジスタと並列接続されている、
半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、
前記半導体装置は、さらに、
第 1 チップ搭載部と、
平面視において、前記第 1 チップ搭載部と離間するように前記第 1 チップ搭載部の隣に配置された第 2 チップ搭載部と、
を有し、

前記第 1 半導体チップおよび前記第 3 半導体チップは、前記第 1 チップ搭載部上に搭載され、
前記第 2 半導体チップおよび前記第 4 半導体チップは、前記第 2 チップ搭載部上に搭載され、
前記第 2 半導体チップは、第 1 板状部材を介して前記第 1 チップ搭載部と電氣的に接続され、
前記第 4 半導体チップは、第 2 板状部材を介して前記第 1 チップ搭載部と電氣的に接続され、

前記第 1 半導体チップは、平面視において、前記第 1 板状部材が接続された前記第 1 チップ搭載部の第 1 部分と前記第 2 板状部材が接続された前記第 1 チップ搭載部の第 2 部分との間に配置されている、半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、

前記半導体装置は、さらに、

平面視において、前記第 1 チップ搭載部と前記第 2 チップ搭載部との間に配置された導体パターン部と、
を有し、

前記第 1 半導体チップは、第 3 板状部材を介して前記導体パターン部と電氣的に接続され、

前記第 3 半導体チップは、第 4 板状部材を介して前記導体パターン部と電氣的に接続され、

前記第 1 板状部材は、前記導体パターン部と物理的に接触しないよう、前記第 2 半導体チップと前記第 1 チップ搭載部とに跨っており、

前記第 2 板状部材は、前記導体パターン部と物理的に接触しないよう、前記第 4 半導体チップと前記第 1 チップ搭載部とに跨っており、

前記第 3 板状部材は、平面視において、前記第 1 板状部材と前記第 2 板状部材との間に配置され、

前記第 2 板状部材は、平面視において、前記第 3 板状部材と前記第 4 板状部材との間に配置されている、半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、

前記半導体装置は、さらに、

前記第 1 チップ搭載部と一体的に形成された第 1 幅広リードと、

前記第 1 チップ搭載部と一体的に形成された第 2 幅広リードと、

前記第 2 チップ搭載部と一体的に形成された第 3 幅広リードと、

前記第 2 チップ搭載部と一体的に形成された第 4 幅広リードと、

前記第 1 チップ搭載部および前記第 2 チップ搭載部のそれぞれとは離間するように配置された複数のリードと、

を有し、

前記第 1 チップ搭載部および前記第 2 チップ搭載部のそれぞれは、平面視において、第 1 方向に延在し、

前記第 2 チップ搭載部は、前記第 1 方向と交差する第 2 方向において、前記第 1 チップ搭載部の隣に配置され、

前記第 1 幅広リードは、前記第 2 方向において、前記第 1 半導体チップの隣に配置され、

、

前記第 2 幅広リードは、前記第 2 方向において、前記第 3 半導体チップの隣に配置され、

、

前記第 3 幅広リードは、前記第 2 方向において、前記第 2 半導体チップの隣に配置され、

、

前記第 4 幅広リードは、前記第 2 方向において、前記第 4 半導体チップの隣に配置され、

、

前記第 1 幅広リード、前記第 2 幅広リード、前記第 3 幅広リードおよび前記第 4 幅広リードのそれぞれの幅は、前記複数のリードのそれぞれの幅よりも大きい、半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置において、

前記第 1 半導体チップおよび前記第 2 半導体チップのそれぞれは、

半導体基板と、

前記半導体基板上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成された第 1 パッドと、

前記第 2 絶縁膜上に形成された第 2 パッドと、

前記第 2 絶縁膜上に形成された保護膜と、

10

20

30

40

50

を有し、

前記第 1 半導体チップは、さらに、

第 1 導電型の第 1 不純物領域および第 2 導電型の第 2 不純物領域を有し、前記第 1 絶縁膜上に形成され、かつ、前記温度検知ダイオードの構成要素である半導体層と、

前記第 2 絶縁膜に形成され、前記第 1 パッドと前記半導体層とを互いに、かつ、電氣的に接続する第 1 ピアと、

前記第 2 絶縁膜に形成され、前記第 2 パッドと前記半導体層とを互いに、かつ、電氣的に接続する第 2 ピアと、

を有し、

前記第 1 ピアは、前記第 1 不純物領域において前記半導体層と接続され、

10

前記第 2 ピアは、前記第 2 不純物領域において前記半導体層と接続され、

前記第 1 半導体チップにおいて、前記第 1 パッドは前記保護膜の第 1 開口部内において露出し、かつ、前記第 2 パッドは前記保護膜の第 2 開口部内において露出し、

前記第 2 半導体チップにおいて、前記第 1 パッドおよび前記第 2 パッドのそれぞれは、前記保護膜から露出しないように前記保護膜で覆われている、半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

前記半導体層は、ポリシリコン膜であり、

前記第 1 導電型は、p 型であり、

前記第 2 導電型は、n 型である、半導体装置。

20

【請求項 9】

(a) 第 1 チップ搭載部および第 2 チップ搭載部を含むリードフレームを準備する工程と、

(b) 第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップと、第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップと、を準備する工程と、

(c) 前記第 1 チップ搭載部上に前記第 1 半導体チップを搭載し、かつ、前記第 2 チップ搭載部上に前記第 2 半導体チップを搭載する工程と、

を備える、半導体装置の製造方法。

【請求項 10】

30

(a) 第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップと、第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップと、を準備する工程と、

(b) 前記第 1 半導体チップおよび前記第 2 半導体チップを提供する工程と、

を備え、

前記第 1 半導体チップおよび前記第 2 半導体チップのそれぞれは、

半導体基板と、

前記半導体基板上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成された第 1 パッドと、

前記第 2 絶縁膜上に形成された第 2 パッドと、

前記第 2 絶縁膜上に形成された保護膜と、

40

を有し、

前記第 1 半導体チップは、さらに、

第 1 導電型の第 1 不純物領域および第 2 導電型の第 2 不純物領域を有し、前記第 1 絶縁膜上に形成され、かつ、前記温度検知ダイオードの構成要素である半導体層と、

前記第 2 絶縁膜に形成され、前記第 1 パッドと前記半導体層とを互いに、かつ、電氣的に接続する第 1 ピアと、

前記第 2 絶縁膜に形成され、前記第 2 パッドと前記半導体層とを互いに、かつ、電氣的に接続する第 2 ピアと、

50

を有し、

前記第 1 ピアは、前記第 1 不純物領域において前記半導体層と接続され、

前記第 2 ピアは、前記第 2 不純物領域において前記半導体層と接続され、

前記第 1 半導体チップにおいて、前記第 1 パッドは前記保護膜の第 1 開口部内において露出し、かつ、前記第 2 パッドは前記保護膜の第 2 開口部内において露出し、

前記第 2 半導体チップにおいて、前記第 1 パッドおよび前記第 2 パッドのそれぞれは、前記保護膜から露出しないように前記保護膜で覆われている、チップセットの提供方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の製造技術およびチップセットの提供技術に関し、例えば、パワートランジスタをそれぞれ有する複数の半導体チップを備える半導体装置、半導体装置の製造技術およびチップセットの提供技術に適用して有効な技術に関する。

【背景技術】

【0002】

特開 2015 - 2229 号公報（特許文献 1）には、パワートランジスタおよび温度検知ダイオードを含む半導体チップを備える半導体装置に関する技術が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2015 - 2229 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明者は、パワートランジスタおよび温度検知ダイオードを含む半導体チップを複数備える半導体装置の製造や設計に従事している。近年、上述した半導体装置の低コスト化が要求されており、この要求に対応するため、本発明者は、半導体装置の低コスト化を実現するための検討を続けている。すなわち、パワートランジスタおよび温度検知ダイオードを含む半導体チップを複数備える半導体装置を製造するにあたっては、市場のニーズに対応する観点から、半導体装置の低コスト化を実現するための工夫が望まれている。

【課題を解決するための手段】

【0005】

一実施の形態における半導体装置は、第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップと、第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップと、を有する。

【0006】

一実施の形態における半導体装置の製造方法は、第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップを第 1 チップ搭載部上に搭載し、かつ、第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップを第 2 チップ搭載部上に搭載する工程を備える。

【0007】

一実施の形態におけるチップセットの提供方法は、第 1 パワートランジスタおよび温度検知ダイオードのそれぞれを含む第 1 半導体チップと、第 2 パワートランジスタを含むが、温度検知ダイオードを含まない第 2 半導体チップを提供する工程を備える。

【0008】

ここで、第 1 半導体チップにおいて、第 1 パッドは保護膜の第 1 開口部内において露出し、かつ、第 2 パッドは保護膜の第 2 開口部内において露出している。一方、第 2 半導体チップにおいて、第 1 パッドおよび第 2 パッドのそれぞれは、保護膜から露出しないように保護膜で覆われている。

【発明の効果】

10

20

30

40

50

【 0 0 0 9 】

一実施の形態によれば、半導体装置の製造コストを低減することができる。

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 (a) は、第 1 パワートランジスタおよび温度検知ダイオードを模式的に示す回路記号であり、(b) は、第 2 パワートランジスタ、第 3 パワートランジスタおよび第 4 パワートランジスタのそれぞれを模式的に示す回路記号である。

【 図 2 】 改良されたハーフブリッジ回路に基本思想を適用した構成を示す図である。

【 図 3 】 図 2 に示す改良されたハーフブリッジ回路であって基本思想を適用したハーフブリッジ回路を具現化した半導体装置の実装構成を示す模式図である。

10

【 図 4 】 複数の半導体チップのそれぞれに設けられているパワートランジスタを動作させることにより発生する熱の流れを模式的に示す図である。

【 図 5 】 変形例 1 における半導体装置の実装構成を示す図である。

【 図 6 】 変形例 2 における半導体装置の実装構成を示す図である。

【 図 7 】 具現化態様における半導体装置の製造工程を示す図である。

【 図 8 】 図 7 に続く半導体装置の製造工程を示す図である。

【 図 9 】 図 8 に続く半導体装置の製造工程を示す図である。

【 図 1 0 】 図 9 に続く半導体装置の製造工程を示す図である。

【 図 1 1 】 図 1 0 に続く半導体装置の製造工程を示す図である。

20

【 図 1 2 】 図 1 1 に続く半導体装置の製造工程を示す図である。

【 図 1 3 】 (a) は、内蔵チップである第 1 半導体チップの平面レイアウトを示す図であり、(b) は、非内蔵チップである第 2 半導体チップの平面レイアウトを示す図である。

【 図 1 4 】 (a) は、図 1 3 (a) の A - A 線で切断した断面図であり、(b) は、図 1 3 (b) の B - B 線で切断した断面図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【 0 0 1 2 】

30

本実施の形態における技術的思想は、パワートランジスタを含む半導体装置に関する技術的思想である。本実施の形態では、パワートランジスタとして、パワー MOS F E T (Metal Oxide Semiconductor Field Effect Transistor) を想定して説明するが、本実施の形態における技術的思想は、これに限らず、パワートランジスタを I G B T (Insulated Gate Bipolar Transistor) から構成する態様にも適用できる。

【 0 0 1 3 】

< 一般的なハーフブリッジ回路の構成 >

例えば、モータを駆動するためのモータ駆動回路として、ハーフブリッジ回路がある。一般的なハーフブリッジ回路は、直流電源と、ハイサイドトランジスタと、ローサイドトランジスタとを有している。具体的には、直流電源にハイサイドトランジスタとローサイドトランジスタとが直列接続され、ローサイドトランジスタと並列にモータが接続されている。このように構成されている一般的なハーフブリッジ回路では、ハイサイドトランジスタをオンするとともに、ローサイドトランジスタをオフすると、直流電源の電源電位 (正電位) からハイサイドトランジスタおよびモータを介して、直流電源の基準電位 (0 V) に電流が流れる。これにより、モータを回転させることができる。

40

【 0 0 1 4 】

一方、この状態から、ハイサイドトランジスタをオフするとともに、ローサイドトランジスタをオンすると、ハイサイドトランジスタがオフすることにより、モータに電流が供給されなくなる。このとき、モータに含まれる寄生インダクタンスによって、モータに逆起電力が発生するが、ローサイドトランジスタがオンしているため、互いに並列接続され

50

たローサイドトランジスタとモータで構成されるループに逆起電力に基づく回生電流が流れる。これにより、モータに回生ブレーキが発生して、モータが空転することなく、速やかに停止する。なお、ハイサイドトランジスタをオンするとともに、ローサイドトランジスタをオフして、モータに電流を流している状態から、ハイサイドトランジスタおよびローサイドトランジスタをとともオフすると、モータは空転して停止する。

【0015】

以上のようにして、一般的なハーフブリッジ回路が構成されている。

【0016】

ここで、例えば、ローサイドトランジスタは、第1半導体チップに形成される第1パワートランジスタから構成される。また、ハイサイドトランジスタは、第1半導体チップとは別の第2半導体チップに形成される第2パワートランジスタから構成される。

10

【0017】

このとき、パワートランジスタを動作させると、半導体チップは発熱する。この結果、半導体チップが高温となって、パワートランジスタが破壊されるおそれがある。このため、半導体チップには、パワートランジスタとともに、半導体チップの温度を検出するための温度検知ダイオードが形成されている。これにより、温度検知ダイオードで半導体チップの温度を検出することができる。このため、温度検知ダイオードで検出した温度に基づいて、パワートランジスタが破壊される温度まで半導体チップの温度が上昇する前に、パワートランジスタの動作を停止させることができる。すなわち、パワートランジスタが形成されている半導体チップに温度検知ダイオードを内蔵させることによって、パワートランジスタを有する半導体チップにて構成される半導体装置を保護することができる。

20

【0018】

したがって、例えば、一般的なハーフブリッジ回路の構成要素である半導体装置においては、第1半導体チップに第1パワートランジスタとともに温度検知ダイオードが形成され、第2半導体チップに第2パワートランジスタとともに温度検知ダイオードが形成されている。ところが、半導体装置に含まれる第1半導体チップおよび第2半導体チップの両方に温度検知ダイオードを内蔵させると、半導体装置の製造コストが上昇する。

【0019】

そこで、本実施の形態では、半導体装置の製造コストを低減するための工夫を施している。以下では、この工夫を施した本実施の形態における技術的思想を説明する。

30

【0020】

<実施の形態における基本思想>

本実施の形態における基本思想は、半導体装置が、第1パワートランジスタおよび温度検知ダイオードのそれぞれを含む第1半導体チップと、第2パワートランジスタを含むが、温度検知ダイオードを含まない第2半導体チップと、を有するという思想である。つまり、基本思想は、第1半導体チップと第2半導体チップを有する半導体装置において、第1半導体チップおよび第2半導体チップの両方に温度検知ダイオードを設けるのではなく、第1半導体チップあるいは第2半導体チップのいずれか一方にだけ温度検知ダイオードを設ける思想である。言い換えれば、基本思想は、パワートランジスタをそれぞれ有する複数の半導体チップを備える半導体装置において、1つの半導体チップにだけ温度検知ダイオードを内蔵させる思想である。この基本思想によれば、半導体装置を構成するパワートランジスタをそれぞれ有する複数の半導体チップのすべてに温度検知ダイオードを設ける必要がなくなることから、半導体装置の製造コストを低減することができる。

40

【0021】

例えば、第1パワートランジスタおよび温度検知ダイオードのそれぞれを含む第1半導体チップと、第2パワートランジスタを含むが、温度検知ダイオードを含まない第2半導体チップと、を有する半導体装置が、ハーフブリッジ回路の構成要素であるとする、第1パワートランジスタは、ハーフブリッジ回路を構成するハイサイドトランジスタおよびローサイドトランジスタのうち的一方であり、第2パワートランジスタは、ハーフブリッジ回路を構成するハイサイドトランジスタおよびローサイドトランジスタのうちの方で

50

ある。すなわち、温度検知ダイオードを内蔵する第1半導体チップは、ローサイドトランジスタであってもよく、ハイサイドトランジスタであってもよい。

【0022】

この基本思想によれば、複数の半導体チップのうちのいずれか1つの半導体チップにだけ温度検知ダイオードが設けられていることから、複数の半導体チップのすべてに温度検知ダイオードを内蔵させる構成よりも、ハーフブリッジ回路の構成要素である半導体装置の製造コストを低減することができる。

【0023】

<ハーフブリッジ回路の改良>

一般的なハーフブリッジ回路は、ローサイドトランジスタおよびハイサイドトランジスタのそれぞれが1つの半導体チップにより構成されている。

10

【0024】

この点に関し、例えば、ローサイドトランジスタを1つの半導体チップで構成するよりも、複数の半導体チップで構成し、かつ、この複数の半導体チップ(すなわち、複数の半導体チップにそれぞれ形成された複数のパワートランジスタ)を互いに並列接続する構成の方が、ローサイドトランジスタを動作させることにより発生する熱を分散することができる。同様に、ハイサイドトランジスタについても複数の半導体チップで構成することで、ハイトランジスタを動作させることにより発生する熱を分散させることができる。この結果、各パワートランジスタの破壊を抑制することができるため、半導体装置の信頼性を向上することができる。

20

【0025】

<改良されたハーフブリッジ回路への基本思想の適用>

改良されたハーフブリッジ回路においても、基本思想を適用することができる。すなわち、ローサイドトランジスタおよびハイサイドトランジスタのそれぞれが複数の半導体チップ(すなわち、複数の半導体チップにそれぞれ形成された複数のパワートランジスタ)の並列接続により構成されていることを前提として、複数の半導体チップのすべてに温度検知ダイオードを設けるのではなく、複数の半導体チップのうちの1つの半導体チップにだけ温度検知ダイオードを設ける。

【0026】

これにより、半導体装置を構成する複数の半導体チップのすべてに温度検知ダイオードを設ける必要がなくなることから、半導体装置の製造コストを低減することができる。

30

【0027】

例えば、改良されたハーフブリッジ回路として、ローサイドトランジスタが第1パワートランジスタQ1と第3パワートランジスタQ3の並列接続から構成されるとともに、ハイサイドトランジスタが第2パワートランジスタQ2と第4パワートランジスタQ4の並列接続から構成されている例を考え、この例に基本思想を適用する。

【0028】

ここで、第1パワートランジスタQ1が形成された半導体チップを第1半導体チップとし、第2パワートランジスタQ2が形成された半導体チップを第2半導体チップとし、第3パワートランジスタQ3が形成された半導体チップを第3半導体チップとし、第4パワートランジスタQ4が形成された半導体チップを第4半導体チップとする。

40

【0029】

この場合、基本思想を適用すると、第1半導体チップ、第2半導体チップ、第3半導体チップおよび第4半導体チップのうちの1つの半導体チップにだけ温度検知ダイオードが内蔵されている一方、その他の3つの半導体チップには、温度検知ダイオードが形成されていない。例えば、第1半導体チップには、温度検知ダイオードが設けられている一方、第2半導体チップ、第3半導体チップおよび第4半導体チップのそれぞれには、温度検知ダイオードが設けられていないとする。

【0030】

図1(a)は、第1パワートランジスタQ1を模式的に示す回路記号である。図1(a)

50

)には、第1パワートランジスタを示す回路記号とともに、第1パワートランジスタと一緒に第1半導体チップに設けられる温度検知ダイオードの回路記号も図示されている。

【0031】

ここで、例えば、第1パワートランジスタQ1は、パワーMOSFETから構成されている。この場合、第1パワートランジスタQ1は、ゲート、ソースおよびドレインを有しているとともに、デバイス構造上、寄生的に存在するボディダイオードを含んでいる。また、第1パワートランジスタQ1が形成されている第1半導体チップには、温度検知ダイオードが形成されており、温度検知ダイオードは、アノードとカソードを有している。

【0032】

一方、図1(b)は、第2パワートランジスタQ2、第3パワートランジスタQ3および第4パワートランジスタQ4のそれぞれを模式的に示す回路記号である。図1(b)に示すように、これらのパワートランジスタは、一緒に温度検知ダイオードが搭載されないことから、温度検知ダイオードの回路記号が図示されていない。

10

【0033】

例えば、第2パワートランジスタQ2、第3パワートランジスタQ3および第4パワートランジスタQ4のそれぞれは、パワーMOSFETから構成されている。この場合、それぞれのパワートランジスタは、ゲート、ソースおよびドレインを有しているとともに、デバイス構造上、寄生的に存在するボディダイオードを含んでいる。

【0034】

上述した図1(a)に示す回路記号および図1(b)に示す回路記号を使用して、改良されたハーフブリッジ回路に基本思想を適用する構成を図示すると図2のようになる。

20

【0035】

図2は、改良されたハーフブリッジ回路に基本思想を適用した構成を示す図である。

【0036】

図2において、改良されたハーフブリッジ回路においては、ローサイドトランジスタが第1パワートランジスタQ1と第3パワートランジスタQ3の並列接続から構成されている一方、ハイサイドトランジスタが第2パワートランジスタQ2と第4パワートランジスタQ4の並列接続から構成されている。また、ローサイドトランジスタとハイサイドトランジスタとは、直列接続されていることから、第1パワートランジスタQ1と第2パワートランジスタQ2は直列接続されているとともに、第3パワートランジスタQ3と第4パワートランジスタQ4も直列接続されている。

30

【0037】

このように、改良されたハーフブリッジ回路に基本思想を適用することにより、ハーフブリッジの改良によるオン抵抗の低減と、基本思想による半導体装置の製造コストの低減を図ることができる。すなわち、図2に示す構成を有する半導体装置によれば、半導体装置の性能を向上できるとともに、半導体装置の製造コストを低減できる。

【0038】

基本思想では、複数の半導体チップのうちの1つの半導体チップにだけ温度検知ダイオードを設けている。この場合、温度検知ダイオードが設けられた半導体チップを実装する位置が重要となる。なぜなら、温度検知ダイオードが設けられた半導体チップを適切な位置に配置しなければ、半導体装置の過熱状態を適切に把握することができないからである。例えば、温度検知ダイオードが設けられた半導体チップを最も温度が高くなるホットスポットに配置することができれば、半導体装置の過熱状態を適切に把握することができる。言い換えれば、温度検知ダイオードが設けられた半導体チップをホットスポットに配置しない場合には、温度検知ダイオードが設けられていない半導体チップがホットスポットに配置されることになる結果、この半導体チップが過熱状態に達している場合であっても、ホットスポット以外の場所に配置されている温度検知ダイオード内蔵半導体チップの温度検知ダイオードで上述した過熱状態を適切に検出することが困難となる。したがって、基本思想を具現化するにあたっては、温度検知ダイオードが設けられた半導体チップを実装する位置を適切に設計することが望ましい。以下では、このことを考慮して基本思想を

40

50

具現化した具現化態様について図面を参照しながら説明する。

【0039】

< 具現化態様 >

<< 半導体装置の実装構成 >>

図3は、図2に示す改良されたハーフブリッジ回路であって基本思想を適用したハーフブリッジ回路を具現化した半導体装置100の実装構成を示す模式図である。

【0040】

図3において、半導体装置100は、チップ搭載部DP1およびチップ搭載部DP2を有している。これらのチップ搭載部DP1とチップ搭載部DP2は、X方向(第2方向)に並ぶように配置されている。すなわち、チップ搭載部DP2は、平面視において、チップ搭載部DP1と離間するようにチップ搭載部DP1の隣に配置されている。そして、チップ搭載部DP1およびチップ搭載部DP2のそれぞれは、X方向と交差するY方向(第1方向)に延在している。

10

【0041】

次に、チップ搭載部DP1上には、図2に示す第1パワートランジスタQ1および第3パワートランジスタQ3の並列接続からなるローサイドトランジスタが搭載されている。具体的には、チップ搭載部DP1上に、第1パワートランジスタQ1および温度検知ダイオードが形成された第1半導体チップCHP1と、第3パワートランジスタQ3が形成されている一方、温度検知ダイオードが形成されていない第3半導体チップCHP3とが搭載されている。特に、図3に示すように、第1半導体チップCHP1および第3半導体チップCHP3は、平面視において、Y方向に離間して並ぶように配置されている。例えば、第1半導体チップCHP1および第3半導体チップCHP3のそれぞれは、半田や銀ペーストに代表される導電性接着材を介して、チップ搭載部DP1上に搭載されている。

20

【0042】

チップ搭載部DP2上には、図2に示す第2パワートランジスタQ2および第4パワートランジスタQ4の並列接続からなるハイサイドトランジスタが搭載されている。具体的には、チップ搭載部DP2上に、第2パワートランジスタQ2が形成されている一方、温度検知ダイオードが形成されていない第2半導体チップCHP2と、第4パワートランジスタQ4が形成されている一方、温度検知ダイオードが形成されていない第4半導体チップCHP4とが搭載されている。特に、図3に示すように、第2半導体チップCHP2および第4半導体チップCHP4は、平面視において、Y方向に離間して並ぶように配置されている。例えば、第2半導体チップCHP2および第4半導体チップCHP4のそれぞれは、導電性接着材を介して、チップ搭載部DP2上に搭載されている。

30

【0043】

続いて、図3に示すように、第2半導体チップCHP2は、板状部材であるクリップCLP1を介してチップ搭載部DP1と電氣的に接続されている。例えば、クリップCLP1は、導電性接着材を介してチップ搭載部DP1の第1部分P1と接続されている。

【0044】

同様に、第4半導体チップCHP4は、板状部材であるクリップCLP2を介してチップ搭載部DP1と電氣的に接続されている。例えば、クリップCLP2は、導電性接着材を介してチップ搭載部DP1の第2部分P2と接続されている。

40

【0045】

ここで、第1半導体チップCHP1は、平面視において、クリップCLP1が接続されたチップ搭載部DP1の第1部分P1と、クリップCLP2が接続されたチップ搭載部DP1の第2部分P2との間に配置されている。一方、第3半導体チップCHP3は、平面視において、チップ搭載部DP1の第2部分P2が、第1半導体チップCHP1と第3半導体チップCHP3の間に位置するように配置されている。

【0046】

次に、図3において、半導体装置100は、さらに、平面視において、チップ搭載部DP1とチップ搭載部DP2との間に配置された導体パターン部CPを有している。この導

50

体パターン部 C P は、Y 方向に延在する第 1 延在部分と、X 方向に延在する第 2 延在部分とを有し、例えば、逆 L 字型の平面形状をしている。

【 0 0 4 7 】

図 3 に示すように、第 1 半導体チップ C H P 1 は、板状部材であるクリップ C L P 3 を介して導体パターン部 C P と電氣的に接続されている。例えば、クリップ C L P 3 は、導電性接着材を介して導体パターン部 C P の第 3 部分 P 3 と接続されている。

【 0 0 4 8 】

同様に、第 3 半導体チップ C H P 3 は、板状部材であるクリップ C L P 4 を介して導体パターン部 C P と電氣的に接続されている。例えば、クリップ C L P 4 は、導電性接着材を介して導体パターン部 C P の第 4 部分 P 4 と接続されている。

10

【 0 0 4 9 】

ここで、クリップ C L P 1 は、導体パターン部 C P と物理的に接触しないよう、第 2 半導体チップ C H P 2 とチップ搭載部 D P 1 とに跨っている。また、クリップ C L P 2 は、導体パターン部 C P と物理的に接触しないよう、第 4 半導体チップ C H P 4 とチップ搭載部 D P 1 とに跨っている。

【 0 0 5 0 】

そして、図 3 に示すように、クリップ C L P 3 は、平面視において、クリップ C L P 1 とクリップ C L P 2 との間に配置されている。また、クリップ C L P 2 は、平面視において、クリップ C L P 3 とクリップ C L P 4 との間に配置されている。

【 0 0 5 1 】

続いて、図 3 において、半導体装置 1 0 0 は、さらに、チップ搭載部 D P 1 と一体的に形成された幅広リード W L D 1 および幅広リード W L D 2 と、チップ搭載部 D P 2 と一体的に形成された幅広リード W L D 3 および幅広リード W L D 4 と、チップ搭載部 D P 1 およびチップ搭載部 D P 2 のそれぞれとは離間するように配置された複数のリード L D と、を有している。このとき、幅広リード W L D 1 は、X 方向において、第 1 半導体チップ C H P 1 の隣に配置されている一方、幅広リード W L D 2 は、X 方向において、第 3 半導体チップ C H P 3 の隣に配置されている。また、幅広リード W L D 3 は、X 方向において、第 2 半導体チップ C H P 2 の隣に配置されている一方、幅広リード W L D 4 は、X 方向において、第 4 半導体チップ C H P 4 の隣に配置されている。

20

【 0 0 5 2 】

ここで、図 3 に示すように、幅広リード W L D 1、幅広リード W L D 2、幅広リード W L D 3 および幅広リード W L D 4 のそれぞれの幅 (Y 方向の幅) は、複数のリードのそれぞれの幅 (Y 方向の幅) よりも大きい。

30

【 0 0 5 3 】

以上のようにして、具現化態様における半導体装置 1 0 0 が実装構成されている。

【 0 0 5 4 】

< < 具現化態様における特徴 > >

続いて、具現化態様における特徴点について説明する。

【 0 0 5 5 】

具現化態様における第 1 特徴点は、パワートランジスタが設けられた複数の半導体チップのうちの 1 つの半導体チップにだけ温度検知ダイオードを設ける基本思想を前提として、パワートランジスタおよび温度検知ダイオードの両方が設けられた半導体チップを半導体装置の発熱量の多い箇所に配置する点にある。言い換えれば、特徴点は、複数の半導体チップを搭載する箇所のうち、最も高温となりやすい箇所に温度検知ダイオードが設けられた半導体チップを配置する点にある。

40

【 0 0 5 6 】

これにより、特徴点によれば、複数の半導体チップのうちの 1 つの半導体チップにだけ温度検知ダイオードを設ける場合であっても、温度検知ダイオードが設けられた半導体チップを最も温度が高くなるホットスポットに配置することによって、半導体装置の過熱状態を適切に把握することができる。この結果、半導体チップが高温となって、パワートラ

50

ンジスタが破壊されることを抑制できる。つまり、温度検知ダイオードで検出した温度に基づいて、パワートランジスタが破壊される温度まで半導体チップの温度が上昇する前に、パワートランジスタの動作を停止させることができる。このことから、特徴点によれば、基本思想を採用することによる半導体装置の製造コストを低減しながら、半導体装置の信頼性を向上することができる。

【0057】

このように、特徴点は、最も温度が高くなるホットスポットに温度検知ダイオードを内蔵した半導体チップを配置する点にある。ここで、具体的に、複数の半導体チップを搭載する箇所のうち、最も高温となりやすい箇所とは、図3における第1半導体チップCHP1が搭載される領域である。すなわち、図3に示すように、平面視において、クリップCLP1が接続されたチップ搭載部DP1の第1部分P1とクリップCLP2が接続されたチップ搭載部DP1の第2部分P2との間の第1半導体チップCHP1が配置されている領域である。以下では、図3に示す実装構成を有する半導体装置100においては、上述した領域が最も高温となりやすいホットスポットとなることを説明する。

10

【0058】

図4は、例えば、複数の半導体チップのそれぞれに設けられているパワートランジスタを動作させることにより発生する熱の流れを模式的に示す図である。図4において、矢印が熱の流れを示しており、太い矢印ほど大きな熱の流れが生じていることを表している。このことを考慮して図4を見ると、第1半導体チップCHP1が搭載されている領域には、様々な方向から矢印の先端が集中していることがわかる。

20

【0059】

例えば、第2半導体チップCHP2で発生した熱がクリップCLP1を介して流れ込むことを表す矢印、第4半導体チップCHP4で発生した熱がクリップCLP2を介して流れ込むことを表す矢印、第3半導体チップCHP3で発生した熱がチップ搭載部DP1を伝わってくる矢印が、第1半導体チップCHP1が搭載されている領域に集中していることがわかる。このことは、第1半導体チップCHP1自体も発熱することを考慮すると、半導体チップCHP1を搭載している領域に熱が集まりやすいことを意味し、これによって、第1半導体チップCHP1は高温となりやすいことを意味している。

【0060】

そこで、具現化態様では、第1部分P1と第2部分P2との間の領域に搭載される第1半導体チップCHP1に温度検知ダイオードを搭載している。つまり、図4に示すように、第1部分P1と第2部分P2との間の領域が最も温度が高くなるホットスポットであり、このホットスポットに温度検知ダイオードが設けられた第1半導体チップCHP1を配置している。これにより、具現化態様によれば、半導体装置100のホットスポットを温度検知ダイオードでモニタすることができる。言い換えれば、具現化態様によれば、半導体装置100の過熱状態を適切に把握することができる。この結果、具現化態様における半導体装置100によれば、ホットスポットに配置される第1半導体チップCHP1に設けられているパワートランジスタが破壊されることを抑制することができる。

30

【0061】

次に、具現化態様における第2特徴点は、例えば、図3および図4に示すように、X方向において、複数の半導体チップのそれぞれの隣に幅広リードが設けられている点にある。別の表現をすると、第2特徴点は、複数の半導体チップのそれぞれに対応する幅広リードがあり、X方向において、複数の半導体チップのそれぞれと幅広リードが一直線上に配置されている点にあるともいえる。例えば、図3および図4において、第1半導体チップCHP1の隣に幅広リードWLD1が配置されている一方、第3半導体チップCHP3の隣に幅広リードWLD2が配置されている。同様に、図3および図4において、第2半導体チップCHP2の隣に幅広リードWLD3が配置されている一方、第4半導体チップCHP4の隣に幅広リードWLD4が配置されている。

40

【0062】

ここで、幅広リードのY方向の幅は、リードLDのY方向の幅よりも大きい。これによ

50

り、第2特徴点によれば、図4に示すように、複数の半導体チップのそれぞれで発生した熱を効率よく、隣に配置されたY方向の幅の大きな幅広リードから放散させることができる。この結果、具現化態様によれば、半導体装置100の信頼性を向上できる。

【0063】

<<変形例1>>

図5は、本変形例1における半導体装置100Aの実装構成を示す図である。

【0064】

図5に示すように、半導体装置100Aでは、チップ搭載部DP1に搭載されている第1半導体チップCHP1と第3半導体チップCHP3との間の距離が、図3に示す具現化態様における第1半導体チップCHP1と第3半導体チップCHP3との間の距離よりも大きくなっている。特に、図5に示すように、本変形例1では、平面視において、第1半導体チップCHP1と第3半導体チップCHP3との間に、クリップCLP1とチップ搭載部DP1とを接続する第1部分と、クリップCLP2とチップ搭載部DP1とを接続する第2部分が存在している。このとき、第1半導体チップCHP1には、パワートランジスタとともに温度検知ダイオードが設けられている一方、第2半導体チップCHP2、第3半導体チップCHP3および第4半導体チップCHP4には、パワートランジスタが設けられている一方、温度検知ダイオードは設けられていない。

10

【0065】

このように、本実施の形態における基本思想は、図3に示す具現化態様のようによ具現化されるだけでなく、例えば、図5に示す本変形例1のようによ具現化することもできる。

20

【0066】

<<変形例2>>

改良されたーフブリッジ回路では、ローサイドトランジスタを複数の半導体チップのそれぞれに設けられたパワートランジスタの並列接続から構成し、ハイサイドトランジスタを複数の半導体チップのそれぞれに設けられたパワートランジスタの並列接続から構成している。このとき、上述した具現化態様では、複数の半導体チップとして2つの半導体チップを使用する例について説明している。具体的には、図3に示すように、ローサイドトランジスタは、第1半導体チップCHP1および第3半導体チップCHP3のそれぞれに設けられたパワートランジスタの並列接続から構成され、ハイサイドトランジスタは、第2半導体チップCHP2および第4半導体チップCHP4のそれぞれに設けられている

30

【0067】

この点に関し、本変形例では、複数の半導体チップとして3つの半導体チップを使用する例について説明する。例えば、ローサイドトランジスタは、第1半導体チップCHP1、第3半導体チップCHP3および第5半導体チップCHP5のそれぞれに設けられたパワートランジスタの並列接続から構成され、ハイサイドトランジスタは、第2半導体チップCHP2、第4半導体チップCHP4および第6半導体チップCHP6のそれぞれに設けられているパワートランジスタの並列接続から構成されている。

【0068】

図6は、本変形例2における半導体装置100Bの実装構成を示す図である。

40

【0069】

図6において、チップ搭載部DP1には、第1半導体チップCHP1、第3半導体チップCHP3および第5半導体チップCHP5という3つの半導体チップが搭載されている。一方、チップ搭載部DP2には、第2半導体チップCHP2、第4半導体チップCHP4および第6半導体チップCHP6という3つの半導体チップが搭載されている。

【0070】

図6に示すように、平面視において、第1半導体チップCHP1は、クリップCLP1とチップ搭載部DP1とを接続する第1部分P1と、クリップCLP2とチップ搭載部DP1とを接続する第2部分P2との間に設けられている。

【0071】

50

同様に、平面視において、第5半導体チップCHP5は、クリップCLP5とチップ搭載部DP1とを接続する第5部分P5と、クリップCLP1とチップ搭載部DP1とを接続する第1部分P1との間に設けられている。

【0072】

また、図6に示すように、平面視において、クリップCLP6は、クリップCLP5とクリップCLP1との間に設けられており、第5半導体チップCHP5と導体パターン部CPの第6部分P6とを接続している。同様に、平面視において、クリップCLP3は、クリップCLP1とクリップCLP2との間に設けられており、第1半導体チップCHP1と導体パターン部CPの第3部分P3とを接続している。

【0073】

ここで、図6においては、第1半導体チップCHP1が第1部分P1と第2部分P2との間に設けられているとともに、第5半導体チップCHP5が第5部分P5と第1部分P1との間に設けられている。したがって、第1半導体チップCHP1だけでなく、第5半導体チップCHP5も温度が高くなるホットスポットに配置されていることになる。

【0074】

このため、ホットスポットに配置される半導体チップに温度検知ダイオードを設ける観点から、例えば、第1半導体チップCHP1にパワートランジスタと温度検知ダイオードを設けるだけでなく、第5半導体チップCHP5にもパワートランジスタと温度検知ダイオードを設けるようにしてもよい。これにより、複数のホットスポットを有する半導体装置100Bにおいて、複数のホットスポットのそれぞれを温度検知ダイオードでモニタできることから、半導体装置100Bの信頼性を向上することができる。

【0075】

さらに、図6において、第1半導体チップCHP1は、第1部分P1と第2部分P2の間に設けられているだけでなく、第5半導体チップCHP5と第3半導体チップCHP3の間に配置されている。したがって、第1半導体チップCHP1は、第3半導体チップCHP3で発生した熱と第5半導体チップCHP5で発生した熱の両方からの影響を受ける。この結果、第1半導体チップCHP1の温度が高くなりやすい。

【0076】

そこで、例えば、第1半導体チップCHP1と第5半導体チップCHP5の間の距離L1よりも、第1半導体チップCHP1と第3半導体チップCHP3の間の距離L2を長くしてもよい。この場合、第3半導体チップCHP3からの熱の影響を低減できるため、第1半導体チップCHP1の温度上昇を緩和することができる。したがって、半導体装置100Bの信頼性を向上することができる。

【0077】

<<具現化態様における半導体装置の製造方法>>

次に、具現化態様における半導体装置の製造方法について説明する。

【0078】

まず、図7に示すように、チップ搭載部DP1、チップ搭載部DP2および導体パターン部CPを有するリードフレームLFを準備する。そして、チップ搭載部DP1の一部領域およびチップ搭載部DP2の一部領域に、例えば、半田や銀ペーストからなる導電性接着材10を塗布する。また、パワートランジスタおよび温度検知ダイオードを含む第1半導体チップCHP1と、パワートランジスタを含むが温度検知ダイオードを含まない第2半導体チップCHP2、第3半導体チップCHP3および第4半導体チップCHP4を準備する。すなわち、第1半導体チップCHP1、第2半導体チップCHP2、第3半導体チップCHP3および第4半導体チップCHP4からなるチップセットを準備する。

【0079】

次に、図8に示すように、ダイボンディング装置を使用することにより、チップ搭載部DP1上に導電性接着材10を介して第1半導体チップCHP1および第3半導体チップCHP3を搭載し、チップ搭載部DP2上に導電性接着材10を介して第2半導体チップCHP2および第4半導体チップCHP4を搭載する。

10

20

30

40

50

【0080】

その後、図9に示すように、チップ搭載部DP1の一部領域上、導体パターン部CPの一部領域上、第1半導体チップCHP1上、第2半導体チップCHP2上、第3半導体チップCHP3上および第4半導体チップCHP4上に導電性接着材20を塗布する。

【0081】

続いて、図10に示すように、複数のクリップを搭載する。具体的には、第2半導体チップCHP2とチップ搭載部DP1の第1部分P1とをクリップCLP1で接続し、第4半導体チップCHP4とチップ搭載部DP1の第2部分P2とをクリップCLP2で接続する。さらに、第1半導体チップCHP1と導体パターン部CPの第3部分P3とをクリップCLP3で接続し、第3半導体チップCHP3と導体パターン部CPの第4部分P4とをクリップCLP4で接続する。

10

【0082】

そして、図11に示すように、ワイヤボンディング装置を使用することにより、第1半導体チップCHP1とリードLDとをボンディングワイヤWで接続し、第3半導体チップCHP3とリードLDとをボンディングワイヤWで接続する。同様に、第2半導体チップCHP2とリードLDとをボンディングワイヤWで接続し、第4半導体チップCHP4とリードLDとをボンディングワイヤWで接続する。

【0083】

その後、図12に示すように、樹脂封止（モールド）することにより、封止体MRを形成する。次に、バリ取りを行うとともに、封止体MRから露出しているリードLDのアウトリード部に必要に応じてめっき層を形成する。続いて、封止体MRの表面にマークを形成した後、封止体MRの外部において、リードLDを所定の位置で切断することにより、封止体MRをリードフレームLFのフレーム枠から分離する。そして、封止体MRから突出するリードLDのアウトリード部を折り曲げ加工する。

20

【0084】

以上のようにして、具現化態様における半導体装置を製造することができる。

【0085】

<<工夫の必要性>>

上述した半導体装置の製造方法では、パワートランジスタおよび温度検知ダイオードを含む半導体チップ（以下、内蔵チップと呼ぶ場合がある）と、パワートランジスタを含むが温度検知ダイオードを含まない半導体チップ（非内蔵チップと呼ぶ場合がある）が使用される。これらの内蔵チップおよび非内蔵チップは、例えば、デバイスメーカーから組立メーカーにチップセットとして提供され、組立メーカーは、提供されたチップセットを使用して半導体装置を製造する。このとき、チップセットには、内蔵チップと非内蔵チップとが含まれるが、内蔵チップと非内蔵チップとが外観上区別できないと、正常な半導体装置を製造することができない。したがって、基本思想を具現化するにあたっては、内蔵チップと非内蔵チップとを外観上区別できるようにする必要がある。すなわち、内蔵チップと非内蔵チップとを外観上区別するための工夫が望まれている。

30

【0086】

以下では、この工夫点について説明する。

40

【0087】

<<外観上の区別をするための工夫>>

図13(a)は、内蔵チップである第1半導体チップCHP1の平面レイアウトを示す図であり、図13(b)は、非内蔵チップである第2半導体チップCHP2（第3半導体チップCHP3、第4半導体チップCHP4）の平面レイアウトを示す図である。

【0088】

図13(a)において、第1半導体チップCHP1は、ポリイミド樹脂膜PIから露出した複数のパッドを有している。具体的に、第1半導体チップCHP1の表面には、ポリイミド樹脂膜PIから露出するように、ソースパッドSP、ゲルビンパッドKLP、ゲートパッドGP、アノードパッドAPおよびカソードパッドKPが設けられている。

50

【 0 0 8 9 】

一方、図 1 3 (b) において、第 2 半導体チップ C H P 2 は、ポリイミド樹脂膜 P I から露出した複数のパッドと、ポリイミド樹脂膜 P I で覆われた複数のパッドを有している。具体的に、第 2 半導体チップ C H P 2 の表面には、ポリイミド樹脂膜 P I から露出するように、ソースパッド S P、ケルビンパッド K L P およびゲートパッド G P が設けられている一方、第 2 半導体チップ C H P 2 の表面には、ポリイミド樹脂膜 P I で覆われるように、アノードパッド A P およびカソードパッド K P が設けられている。

【 0 0 9 0 】

このように、内蔵チップである第 1 半導体チップ C H P 1 では、アノードパッド A P およびカソードパッド K P がポリイミド樹脂膜 P I から露出している。これに対し、非内蔵チップである第 2 半導体チップ C H P 2 では、アノードパッド A P およびカソードパッド K P がポリイミド樹脂膜 P I で覆われている。この点において、第 1 半導体チップ C H P 1 と第 2 半導体チップ C H P 2 は、外観上の相違点があり、これによって、第 1 半導体チップ C H P 1 と第 2 半導体チップ C H P 2 とは、外観上区別することができる。すなわち、内蔵チップと非内蔵チップとを有するチップセットにおいて、アノードパッド A P およびカソードパッド K P の露出の有無によって内蔵チップと非内蔵チップとを識別することができる。この結果、具現化態様によれば、チップセットが提供される組立メーカーにおいて、内蔵チップと非内蔵チップとの誤認識を抑制することができる。

【 0 0 9 1 】

上述したように、内蔵チップである第 1 半導体チップ C H P 1 は、温度検知ダイオードを含んでいることから、アノードパッド A P およびカソードパッド K P を使用する。このため、第 1 半導体チップ C H P 1 においては、ポリイミド樹脂膜 P I からアノードパッド A P およびカソードパッド K P が露出している。

【 0 0 9 2 】

これに対し、非内蔵チップである第 2 半導体チップ C H P 2 は、温度検知ダイオードを含んでいないことから、アノードパッド A P およびカソードパッド K P は使用されない。このため、第 2 半導体チップ C H P 2 においては、ポリイミド樹脂膜 P I でアノードパッド A P およびカソードパッド K P が覆われている。

【 0 0 9 3 】

そもそも、非内蔵チップである第 2 半導体チップ C H P 2 においては、アノードパッド A P およびカソードパッド K P を使用しないことから、アノードパッド A P およびカソードパッド K P を形成する必要がないとも考えられる。この点に関し、以下に示す理由によって、温度検知ダイオードが設けられていない非内蔵チップである第 2 半導体チップ C H P 2 においても、不要なアノードパッド A P およびカソードパッド K P を設けている。

【 0 0 9 4 】

つまり、非内蔵チップにおいて、アノードパッド A P およびカソードパッド K P を設けない場合、非内蔵チップは、アノードパッド A P およびカソードパッド K P を有する内蔵チップとデバイス構造が相違することになる。例えば、この場合、アノードパッド A P およびカソードパッド K P の有無によって、内蔵チップと非内蔵チップにおける電界分布の相違や寄生容量の相違などが生じる結果、内蔵チップと非内蔵チップでデバイス特性が相違することになる。すなわち、内蔵チップと非内蔵チップにおいてデバイス特性が同等であることが望ましいことから、アノードパッド A P およびカソードパッド K P の有無に起因するデバイス特性の相違をできるだけ回避することが望ましい。

【 0 0 9 5 】

そこで、具現化態様では、非内蔵チップにおいて、アノードパッド A P およびカソードパッド K P は不必要であるにも関わらず、デバイス特性のずれを抑制する観点から、非内蔵チップにおいても、アノードパッド A P およびカソードパッド K P を設けている。すなわち、非内蔵チップにおいて不要なアノードパッド A P およびカソードパッド K P を設ける技術的意義は、アノードパッド A P およびカソードパッド K P の有無に起因する内蔵チップと非内蔵チップとのデバイス特性のずれを抑制することにある。

10

20

30

40

50

【0096】

したがって、具現化態様では、内蔵チップだけでなく、非内蔵チップにおいても、アノードパッドAPおよびカソードパッドKPを設ける一方、内蔵チップと非内蔵チップとを外観上区別することができるように、非内蔵チップでは、アノードパッドAPおよびカソードパッドKPをポリイミド樹脂膜PIで覆うように構成している。これにより、具現化態様によれば、内蔵チップと非内蔵チップにおけるデバイス特性の相違を抑制しながら、内蔵チップと非内蔵チップとを外観上区別することができる。このため、具現化態様によれば、互いに外観上区別可能な内蔵チップおよび非内蔵チップを含むチップセットを提供することができる。言い換えれば、具現化態様によれば、内蔵チップと非内蔵チップとの誤認識を抑制できるチップセットの提供方法を実現することができる。

10

【0097】

<<デバイス構造>>

まず、内蔵チップのデバイス構造について図面を参照しながら説明する。

【0098】

図14(a)は、図13(a)のA-A線で切断した断面図である。

【0099】

図14(a)において、内蔵チップである第1半導体チップCHP1は、例えば、シリコン基板からなる半導体基板SUBと、半導体基板SUB上に形成された絶縁膜IF1と、絶縁膜IF1上に形成された絶縁膜IF2と、を有している。そして、第1半導体チップCHP1は、絶縁膜IF2上に形成されたアノードパッドAPと、絶縁膜IF2上に形成されたカソードパッドKPと、絶縁膜IF2上に形成された保護膜であるポリイミド樹脂膜PIと、を有している。ここで、第1半導体チップCHP1は、さらに、以下の構成要素を含んでいる。すなわち、第1半導体チップCHP1は、p型不純物領域およびn型不純物領域を有し、絶縁膜IF1上に形成され、かつ、温度検知ダイオードの構成要素である半導体層であるポリシリコン膜PFと、絶縁膜IF2に形成され、アノードパッドAPとポリシリコン膜PFとを互いに、かつ、電氣的に接続するビアVA1と、絶縁膜IF2に形成され、カソードパッドKPとポリシリコン膜PFとを互いに、かつ、電氣的に接続するビアVA2と、を有している。

20

【0100】

このとき、ビアVA1は、p型不純物領域においてポリシリコン膜PFと接続されている一方、ビアVA2は、n型不純物領域においてポリシリコン膜PFと接続されている。言い換えれば、ポリシリコン膜PFは、p型不純物領域に対応するp型ポリシリコン膜PPFと、n型不純物領域に対応するn型ポリシリコン膜NPFとを有し、ビアVA1は、p型ポリシリコン膜PPFと接続されている一方、ビアVA2は、n型ポリシリコン膜NPFと接続されている。

30

【0101】

そして、図14(a)に示すように、第1半導体チップCHP1において、アノードパッドAPはポリイミド樹脂膜PIの開口部OP1内において露出し、かつ、カソードパッドKPはポリイミド樹脂膜PIの開口部OP2内において露出している。

【0102】

以上のようにして、第1半導体チップCHP1のデバイス構造が実現されている。

40

【0103】

次に、非内蔵チップのデバイス構造について図面を参照しながら説明する。

【0104】

図14(b)は、図13(b)のB-B線で切断した断面図である。

【0105】

図14(b)において、非内蔵チップである第2半導体チップCHP2は、例えば、シリコン基板からなる半導体基板SUBと、半導体基板SUB上に形成された絶縁膜IF1と、絶縁膜IF1上に形成された絶縁膜IF2と、を有している。そして、第2半導体チップCHP2は、絶縁膜IF2上に形成されたアノードパッドAPと、絶縁膜IF2上に

50

形成されたカソードパッド K P と、絶縁膜 I F 2 上に形成された保護膜であるポリイミド樹脂膜 P I と、を有している。

【 0 1 0 6 】

このとき、図 1 4 (b) に示すように、第 2 半導体チップ C H P 2 において、アノードパッド A P およびカソードパッド K P のそれぞれは、ポリイミド樹脂膜 P I から露出しないようにポリイミド樹脂膜 P I で覆われている。

【 0 1 0 7 】

以上のようにして、第 2 半導体チップ C H P 2 のデバイス構造が実現されている。

【 0 1 0 8 】

図 1 4 (a) において、第 1 半導体チップ C H P 1 には、温度検知ダイオードが含まれていることから、第 1 半導体チップ C H P 1 は、温度検知ダイオードに対応するポリシリコン膜 P F を有し、このポリシリコン膜 P F は、p 型ポリシリコン膜 P P F と n 型ポリシリコン膜 N P F から構成されている。そして、第 1 半導体チップ C H P 1 では、ビア V A 1 を介してアノードパッド A P が p 型ポリシリコン膜 P P F と接続されている一方、ビア V A 2 を介してカソードパッド K P が n 型ポリシリコン膜 N P F と接続されている。

10

【 0 1 0 9 】

これに対し、図 1 4 (b) において、第 2 半導体チップ C H P 2 には、温度検知ダイオードが含まれていないことから、第 2 半導体チップ C H P 2 には、温度検知ダイオードに対応するポリシリコン膜 P F 、アノードパッド A P と接続されるビア V A 1 およびカソードパッド K P と接続されるビア V A 2 が形成されていない。すなわち、第 2 半導体チップ C H P 2 において、アノードパッド A P およびカソードパッド K P のそれぞれは、「ダミーパッド」として機能する。

20

【 0 1 1 0 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 1 1 1 】

前記実施の形態では、パワートランジスタとして、パワー M O S F E T を例に挙げて説明したが、前記実施の形態における技術的思想は、これに限らず、I G B T を使用する場合にも幅広く適用することができる。この場合、以下の用語の読み替えが行われる。

30

【 0 1 1 2 】

- 「ソース」 「エミッタ」
- 「ソースパッド」 「エミッタパッド」
- 「ドレイン」 「コレクタ」

【符号の説明】

【 0 1 1 3 】

- 1 0 導電性接着材
- 2 0 導電性接着材
- 1 0 0 半導体装置
- 1 0 0 A 半導体装置
- 1 0 0 B 半導体装置
- A P アノードパッド
- C H P 1 第 1 半導体チップ
- C H P 2 第 2 半導体チップ
- C H P 3 第 3 半導体チップ
- C H P 4 第 4 半導体チップ
- C H P 5 第 5 半導体チップ
- C H P 6 第 6 半導体チップ
- C L P 1 クリップ
- C L P 2 クリップ

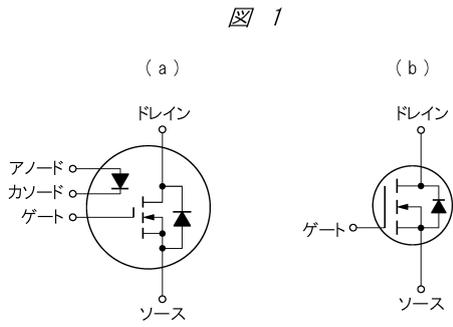
40

50

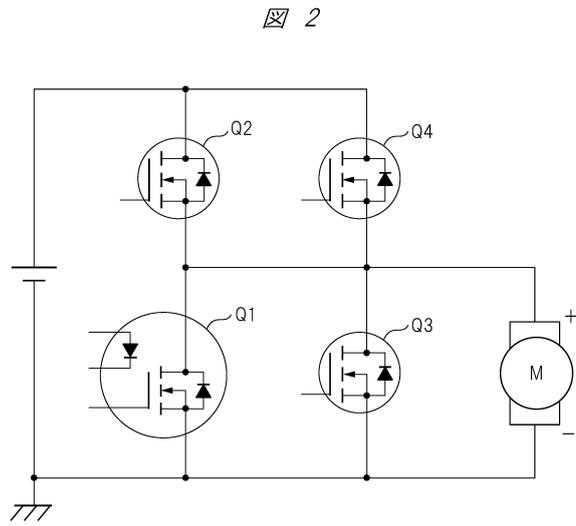
C L P 3	クリップ	
C L P 4	クリップ	
C L P 5	クリップ	
C L P 6	クリップ	
C P	導体パターン部	
D P 1	チップ搭載部	
D P 2	チップ搭載部	
G P	ゲートパッド	
I F 1	絶縁膜	
I F 2	絶縁膜	10
K L P	ケルビンパッド	
K P	ケルビンパッド	
L D	リード	
L F	リードフレーム	
M R	封止体	
N P F	n型ポリシリコン膜	
O P 1	開口部	
O P 2	開口部	
P F	ポリシリコン膜	
P I	ポリイミド樹脂膜	20
P P F	p型ポリシリコン膜	
P 1	第1部分	
P 2	第2部分	
P 3	第3部分	
P 4	第4部分	
P 5	第5部分	
P 6	第6部分	
Q 1	第1パワートランジスタ	
Q 2	第2パワートランジスタ	
Q 3	第3パワートランジスタ	30
Q 4	第4パワートランジスタ	
S P	ソースパッド	
S U B	半導体基板	
V A 1	ビア	
V A 2	ビア	
W	ボンディングワイヤ	
W L D 1	幅広リード	
W L D 2	幅広リード	
W L D 3	幅広リード	
W L D 4	幅広リード	40
W L D 5	幅広リード	
W L D 6	幅広リード	

【図面】

【図 1】



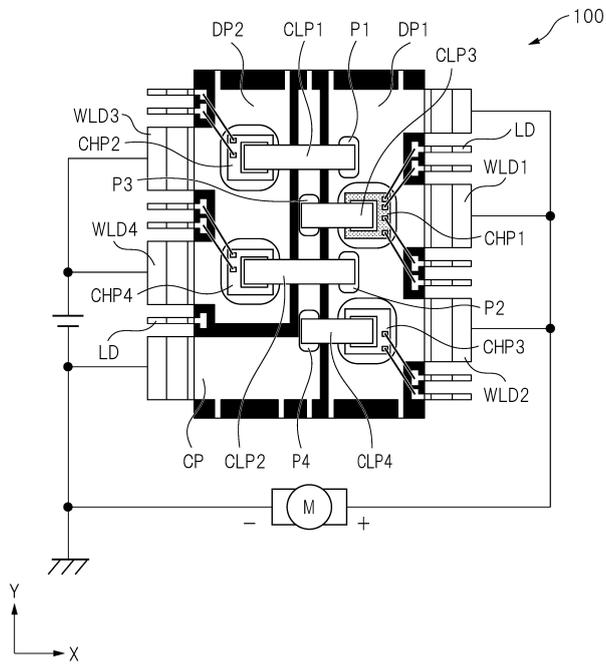
【図 2】



10

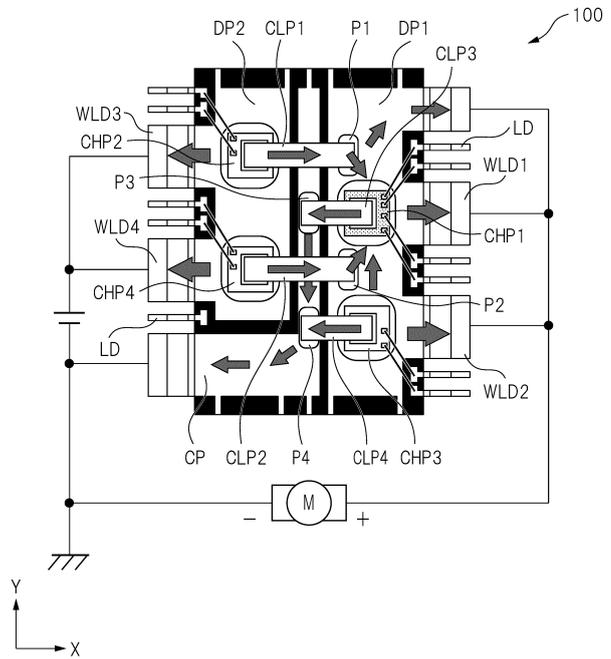
【図 3】

図 3



【図 4】

図 4



20

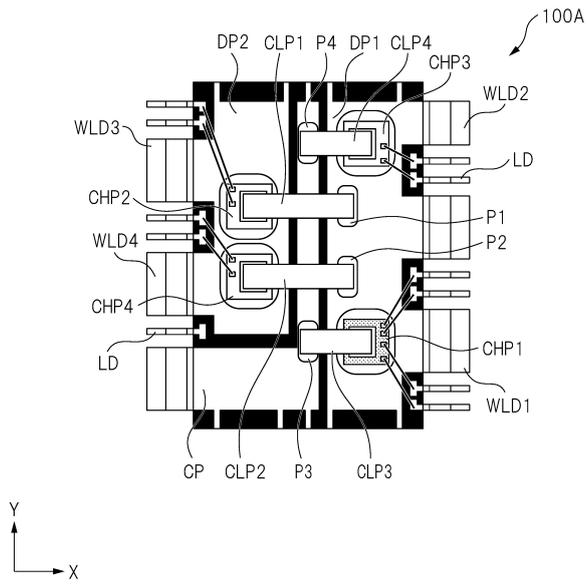
30

40

50

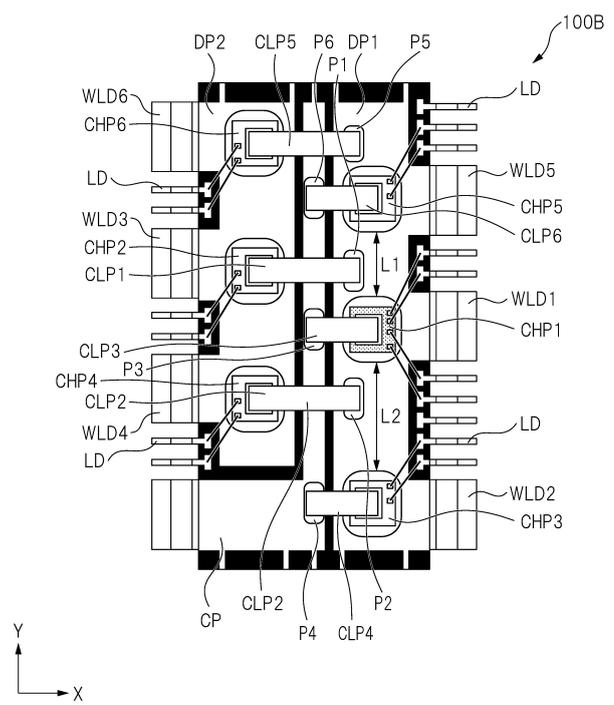
【 図 5 】

図 5



【 図 6 】

図 6

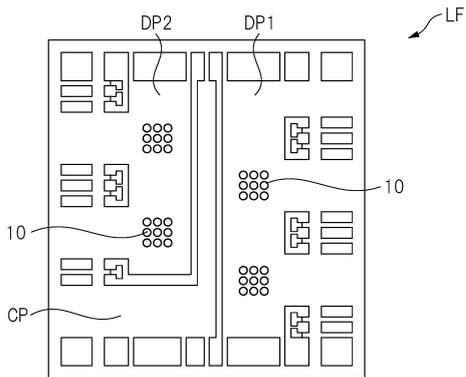


10

20

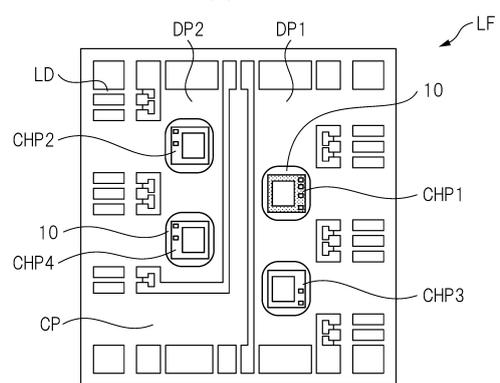
【 図 7 】

図 7



【 図 8 】

図 8

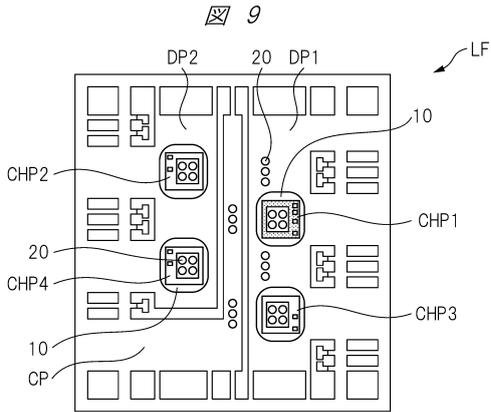


30

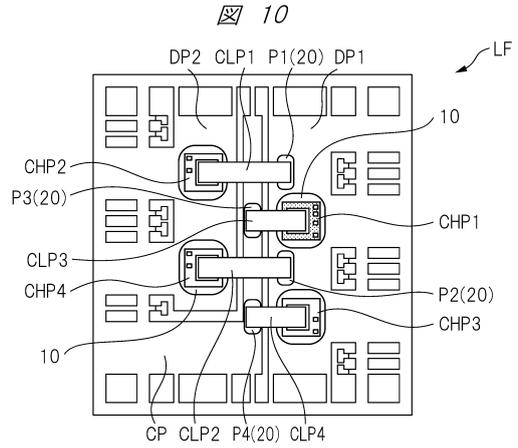
40

50

【 図 9 】

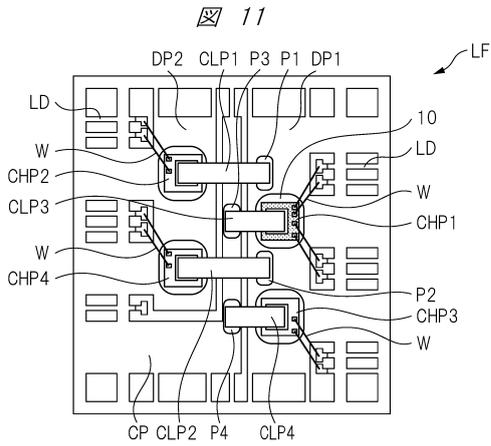


【 図 10 】

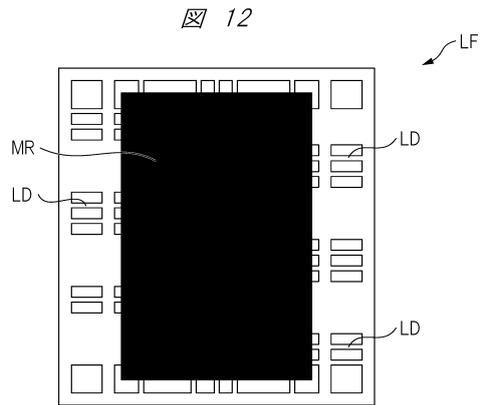


10

【 図 11 】



【 図 12 】



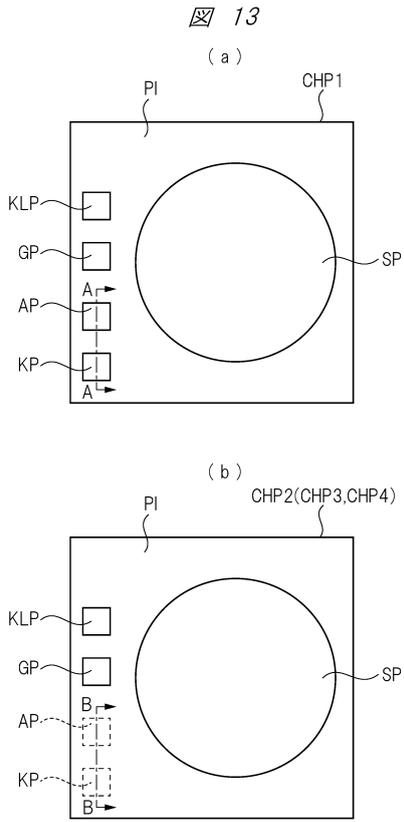
20

30

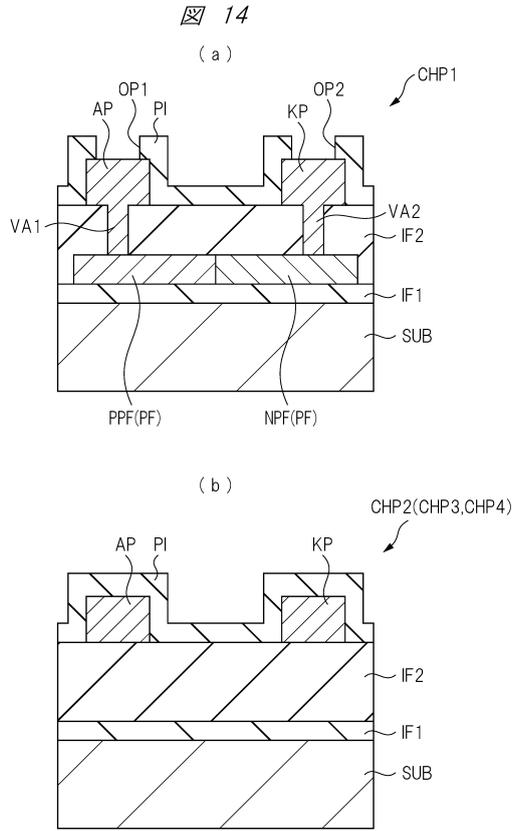
40

50

【 図 1 3 】



【 図 1 4 】



10

20

30

40

50