



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0075408
(43) 공개일자 2018년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 23/495 (2006.01) H01L 23/00 (2006.01)
H01L 23/28 (2006.01)
(52) CPC특허분류
H01L 23/4952 (2013.01)
H01L 23/28 (2013.01)
(21) 출원번호 10-2017-0176078
(22) 출원일자 2017년12월20일
심사청구일자 없음
(30) 우선권주장
JP-P-2016-251734 2016년12월26일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키키가이샤
일본 도쿄도 고토쿠 도요스 3초메 2방 24고
(72) 발명자
마쯔바라 유코
일본 군마켄 다카사끼시 니시요코테마찌 111 르네
사스 세미콘덕터 패키지&테스트 솔루션즈 가부시
끼가이샤 내
(74) 대리인
장수길, 이증희

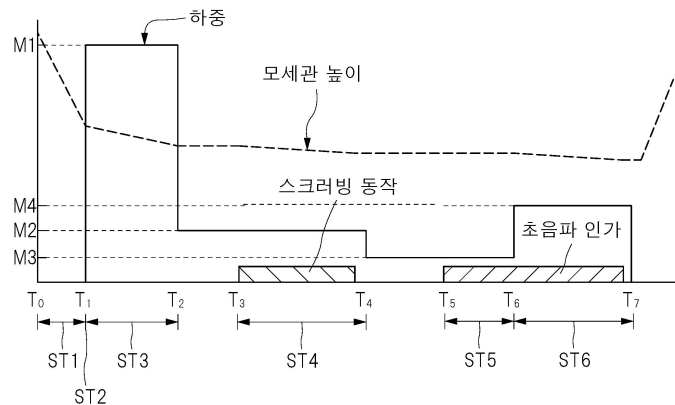
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

반도체 장치의 신뢰성을 향상시키기 위해 일 실시형태인 반도체 장치의 제조 방법은 이하의 공정을 포함한다. 즉, 반도체 장치의 제조 방법은 반도체 칩의 제1 전극에 접촉된 제1 와이어의 볼(ball)부를 하중(M3)으로 누르면 서 상기 볼부에 초음파를 인가하는 활성화 공정(ST5)을 포함한다. 또, 반도체 장치의 제조 방법은 상기 제1 공정 후에 상기 볼부를 하중(M3)보다 큰 하중(M4)으로 누르면서 상기 볼부에 상기 초음파를 인가해서 상기 볼부와 상 기 제1 전극을 접합하는 주요 접합 공정(ST6)을 포함한다.

대표도



(52) CPC특허분류

H01L 24/11 (2013.01)

H01L 24/12 (2013.01)

H01L 24/43 (2013.01)

H01L 24/44 (2013.01)

명세서

청구범위

청구항 1

이하의 공정을 가진 반도체 장치의 제조 방법:

- (a) 절연막 및 상기 절연막에 형성된 복수의 개구부로부터 각각 노출된 복수의 전극이 형성된 제1 주면을 가진 반도체 칩을 준비하는 공정,
- (b) 상기 반도체 칩이 탑재되는 제2 주면과 복수의 단자를 가진 기재를 준비하는 공정,
- (c) 상기 (a) 공정 및 상기 (b) 공정 후에 상기 기재의 상기 제2 주면에 상기 반도체 칩을 탑재하는 공정,
- (d) 상기 (c) 공정 후에 상기 복수의 전극과 상기 복수의 단자를 복수의 와이어를 개재해서 각각 전기적으로 연결하는 공정,
- (e) 상기 (d) 공정 후에 상기 반도체 칩과 상기 복수의 와이어를 수지로 밀봉하는 공정,

상기 (a) 공정에 있어서,

상기 반도체 칩의 상기 복수의 전극에는 상기 복수의 개구부 중 제1 개구부에서 노출된 제1 접합면을 가진 제1 전극이 포함되며,

평면에서 보아 상기 반도체 칩의 상기 복수의 개구부 각각은 제1 방향으로 연장되는 제1변 및 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2변을 포함하는 복수의 변을 가지고,

상기 (d) 공정은 이하의 공정을 포함한다,

- (d1) 상기 제1 전극의 상기 제1 접합면에 상기 복수의 와이어에 포함되는 제1 와이어의 볼(ball)부를 접촉시키는 공정,
- (d2) 상기 (d1) 공정 후에 상기 제1 와이어의 상기 볼부를 상기 제1 접합면을 향해 제1 하중으로 누르는 공정,
- (d3) 상기 (d2) 공정 후에 상기 제1 하중보다 작은 제2 하중으로 상기 제1 와이어의 상기 볼부를 상기 제1 전극을 향해 누르면서 평면에서 보아 상기 볼부를 서로 교차되는 두 방향을 포함하는 복수의 방향으로 이동시키는 공정,
- (d4) 상기 (d3) 공정 후에 상기 제2 하중과 동일하거나 또는 상기 제2 하중보다 작은 제3 하중으로 상기 제1 와이어의 상기 볼부를 상기 제1 전극을 향해 누르면서 제1 주파수를 가진 제1 초음파를 상기 볼부에 인가함으로써 평면에서 보아 제3 방향을 따라 상기 볼부를 왕복 운동시키는 공정,
- (d5) 상기 (d4) 공정 후에 상기 제3 하중보다 크고, 또 상기 제1 하중보다 작은 제4 하중으로 상기 제1 와이어의 상기 볼부를 상기 제1 전극을 향해 누르면서 상기 제1 주파수를 가진 상기 제1 초음파를 인가함으로써 평면에서 보아 상기 제3 방향을 따라 상기 볼부를 왕복 운동시켜 상기 볼부와 상기 제1 전극을 접합하는 공정.

청구항 2

제1항에 있어서,

상기 제3 방향은 상기 제1 방향 및 상기 제2 방향과 다른 반도체 장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 (d4) 공정 및 상기 (d5) 공정 각각에서는 상기 제3 방향만을 따라 왕복 운동시키면서 상기 제1 초음파를 상기 볼부에 인가하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 (d3) 공정에서는 평면에서 보아 상기 두 방향 각각을 따라 왕복 동작을 시키는 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서,

상기 (d4) 공정에서 상기 (d5) 공정까지는 상기 제1 주파수를 가진 상기 제1 초음파를 계속적으로 인가하는 반도체 장치의 제조 방법.

청구항 6

제1항에 있어서,

상기 (d3) 공정에서는 상기 초음파를 인가하지 않는 반도체 장치의 제조 방법.

청구항 7

제1항에 있어서,

상기 (d3) 공정에서는 상기 제1 하중보다 작은 상기 제2 하중으로 상기 제1 와이어의 상기 볼부를 상기 제1 전극을 향해 누르면서, 또 평면에서 보아 상기 볼부를 서로 다른 상기 두 방향을 포함하는 상기 복수의 방향으로 이동시키면서 상기 제1 주파수의 1/4 이하로 이루어지는 제2 주파수를 가진 제2 초음파를 인가하는 반도체 장치의 제조 방법.

청구항 8

제1항에 있어서,

상기 (d5) 공정에서 상기 제1 초음파를 인가하는 시간은 상기 (d4) 공정에서 상기 제1 초음파를 인가하는 시간보다 긴 반도체 장치의 제조 방법.

청구항 9

제1항에 있어서,

상기 (d4) 공정에서 인가하는 상기 제2 하중은 상기 제4 하중과 동일한 반도체 장치의 제조 방법.

청구항 10

제1항에 있어서,

상기 (d4) 공정에서 인가하는 상기 제2 하중은 상기 제3 하중과 동일한 반도체 장치의 제조 방법.

청구항 11

제1항에 있어서,

상기 제1 전극은 상기 제1 접합면의 반대측에 위치하는 제1 뒷면을 가지고,

상기 제1 접합면 및 상기 제1 뒷면 중 한쪽에서 다른 쪽을 향하는 제4 방향에 있어서 상기 볼부를 접합하기 전의 상기 제1 전극의 두께는 상기 절연막 중 상기 제1 전극의 일부분을 피복하는 부분의 두께보다 얇은 반도체 장치의 제조 방법.

청구항 12

제1항에 있어서,

상기 제1 전극은 알루미늄을 주성분으로 하는 금속 재료로 이루어지고,

상기 제1 와이어는 동을 주성분으로 하는 금속 재료로 이루어지는 반도체 장치의 제조 방법.

청구항 13

제1항에 있어서,

상기 제1 전극은 상기 제1 접합면의 반대측에 위치하는 제1 뒷면을 가지고,

상기 제1 전극의 상기 제1 뒷면측에는 상기 제1 전극의 두께보다 두꺼운 제1 절연층이 형성되어 있는 반도체 장치의 제조 방법.

청구항 14

제1항에 있어서,

상기 (d3) 공정에서 상기 제1 전극의 상기 제1 접합면에 형성된 금속 산화막이 제거되는 반도체 장치의 제조 방법.

청구항 15

제1항에 있어서,

상기 (d5) 공정에서 상기 볼부와 상기 제1 전극의 접합 계면에 합금층이 형성되는 반도체 장치의 제조 방법.

청구항 16

제1항에 있어서,

상기 (d2) 공정에서 상기 볼부가 변형되는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 기술에 관한 것으로서, 예를 들어 반도체 칩의 전극 패드에 금속 와이어를 연결하는 공정을 포함하는 반도체 장치의 제조 방법에 유효하게 적용할 수 있는 기술에 관한 것이다.

배경 기술

[0002] 일본 특허 공개 평2-297949호 공보(특허 문헌1)에는 반도체 칩의 전극 패드에 금속 와이어를 연결하는 공정에 있어서 본딩 툴(bonding tool)에 하중 및 초음파를 인가하는 와이어 본딩 방법이 기재되어 있다.

[0003] 또, 일본 특허 공개 평7-58142호 공보(특허 문헌2)에는 열압착 방식의 와이어 본딩 시에 초음파 진동을 인가하는 와이어 본딩 장치가 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 평2-297949호 공보
(특허문헌 0002) 일본 특허 공개 평7-58142호 공보

발명의 내용

해결하려는 과제

[0005] 반도체 장치의 외부 단자와 반도체 칩의 전극 패드를 전기적으로 연결하는 방법으로서 전극 패드에 와이어를 연결하는 방법이 있다. 또, 전극 패드와 와이어를 연결하는 방법으로서 와이어의 첨단에 볼(ball)부를 형성한 후, 볼부를 전극 패드에 압착하는 볼 본딩 방식이 있다. 볼 본딩 방식에 의해 와이어와 전극 패드를 연결할 때에는 반도체 칩의 구성 부재들 중 전극 패드의 주변에 설치된 부재에 응력이 가해진다. 이 때문에 전극 패드 자체 혹은 전극 패드의 주변에 설치된 부재의 손상을 억제해서 신뢰성을 향상시키는 관점에서 볼부를 압착할 때에 전극 패드에 가해지는 응력을 저감하는 기술이 필요하다.

[0006] 기타의 과제와 신규한 특징은 본 명세서의 기술 및 첨부 도면으로부터 명확해질 것이다.

과제의 해결 수단

[0007] 일 실시 형태인 반도체 장치의 제조 방법은 다음과 같은 공정을 포함한다. 즉, 반도체 장치의 제조 방법은 반도체 칩의 제1 전극에 접촉된 제1 와이어의 불부를 제1 하중으로 누르면서 상기 불부에 초음파를 인가하는 제1 공정을 포함한다. 또, 반도체 장치의 제조 방법은 상기 제1 공정 후에 상기 불부를 상기 제1 하중보다 큰 제2 하중으로 누르면서 상기 불부에 상기 초음파를 인가해서 상기 불부와 상기 제1 전극을 접합하는 공정을 포함한다.

발명의 효과

[0008] 상기 일 실시형태에 따르면 반도체 장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0009] 도 1은 일 실시형태의 반도체 장치의 상면도이다.
- 도 2는 도 1의 A-A선을 따른 단면도이다.
- 도 3은 도 1에 나타내는 밀봉체를 투시한 상태로 반도체 장치의 내부 구조를 나타내는 투시 평면도이다.
- 도 4는 도 3에 나타내는 반도체 칩의 평면도이다.
- 도 5는 도 4의 A-A선을 따른 확대 단면도이다.
- 도 6은 도 5의 A부를 더욱 확대한 확대 단면도이다.
- 도 7은 일 실시형태의 반도체 장치의 조립 흐름을 나타내는 설명도이다.
- 도 8은 도 7에 나타내는 기재 준비 공정에서 준비하는 리드 프레임의 일부를 나타내는 확대 평면도이다.
- 도 9는 도 8의 A-A선을 따른 단면에 있어서 리드 프레임의 다이 패드 상에 반도체 칩을 탑재한 상태를 나타내는 확대 단면도이다.
- 도 10은 도 9에 나타내는 반도체 칩과 복수의 리드를 와이어를 개재해서 전기적으로 연결한 상태를 나타내는 확대 단면도이다.
- 도 11은 도 10에 나타내는 반도체 칩을 수지로 밀봉한 상태를 나타내는 확대 단면도이다.
- 도 12는 도 11에 나타내는 복수의 리드의 노출면에 금속막을 형성하고, 리드의 각각을 절단한 후에 성형한 상태를 나타내는 확대 평면도이다.
- 도 13은 도 4의 B부에 있어서 패드에 와이어가 연결된 상태를 나타내는 확대 평면도이다.
- 도 14는 도 13의 A-A선을 따른 확대 단면도이다.
- 도 15는 도 7에 나타내는 와이어 본딩 공정에서 사용하는 와이어 본딩 장치와 리드 프레임의 위치 관계를 나타내는 평면도이다.
- 도 16은 도 15의 A-A선을 따른 단면을 모식적으로 나타내는 단면도이다.
- 도 17은 도 7에 나타내는 와이어 본딩 공정 중 와이어의 불부와 패드를 연결하는 공정에 있어서 본딩 톨의 높이, 불부에 인가되는 하중, 스크러빙(scrub) 동작의 유무, 및 초음파 진동의 유무의 관계를 나타내는 타이밍 차트이다.
- 도 18은 도 13에 대응하는 패드에 있어서 불부를 패드에 접촉시킨 상태를 나타내는 확대 평면도이다.
- 도 19는 도 18의 A-A선을 따른 확대 단면도이다.
- 도 20은 도 18에 나타내는 불부를 눌러 변형시킨 상태를 나타내는 확대 평면도이다.
- 도 21은 도 20의 A-A선을 따른 확대 단면도이다.
- 도 22는 도 20에 나타내는 불부를 스크러빙 작동시키는 방향을 모식적으로 나타내는 확대 평면도이다.

도 23은 도 22의 A-A선을 따른 확대 단면도이다.

도 24는 도 22에 나타내는 볼에 초음파를 인가해서 패드와 접합시킨 상태를 모식적으로 나타내는 확대 평면도이다.

도 25는 도 24의 A-A선을 따른 확대 단면도이다.

도 26은 도 17에 대한 변형예인 타이밍 차트이다.

도 27은 도 17에 대한 다른 변형예인 타이밍 차트이다.

도 28은 도 17에 대한 또 다른 변형예인 타이밍 차트이다.

도 29는 도 2에 대한 변형예인 반도체 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] (본원에 있어서의 기재 형식·기본적 용어·용법의 설명)
- [0011] 본원에 있어서 실시형태의 기재는 필요가 있을 때에는 편의상 복수의 섹션 등에 분할하여 기재하지만, 특별히 그러하지 않은 것을 명시했을 경우를 제외하고 그들은 서로 독립 개별의 것이 아니며, 기재의 전후를 불문하고 단일한 예의 각 부분, 한쪽이 다른쪽의 일부 세부 또는 일부 또는 전체의 변형예 등이다. 또, 원칙적으로 동일한 부분의 반복 설명을 생략한다. 또, 실시양태에서의 각 구성 요소는 특별히 그러하지 않은 것을 명시했을 경우를 제외하고 이론적으로 그 수치에 한정될 경우 및 문맥으로부터 분명하게 그렇지 못할 경우를 제외하고 필수적인 것이 아니다.
- [0012] 마찬가지로 실시형태 등의 기재에 있어서 재료, 조성 등에 대해 “A로 이루어지는 X” 등이라고 해도 특별히 그러하지 않은 것을 명시했을 경우 및 문맥으로부터 분명하게 그렇지 못할 경우를 제외하고 A 이외의 요소를 배제하는 것이 아니다. 예컨대 성분에 관해서 말하면 “A를 주요한 성분으로서 포함하는 X” 등의 뜻이다. 예컨대 “실리콘 부재” 등이라고 해도 순수한 실리콘에 한정되는 것은 아니고 SiGe(실리콘·게르마늄) 합금이나 그 이외의 실리콘을 주요한 성분으로 하는 다원 합금, 그 이외의 첨가물 등을 포함하는 부재도 포함하는 것은 더 할 나위도 없다. 또, 금 도금, Cu층, 니켈·도금 등이라고 해도 그러하지 않은 취지, 특별히 명시했을 경우를 제외하고 순수한 것뿐만 아니고 각각 금, Cu, 니켈 등을 주요한 성분으로 하는 부재를 포함하는 것으로 한다.
- [0013] 나아가 특정의 수치, 수량에 언급했을 때에도 특별히 그러하지 않은 것을 명시했을 경우나 문맥으로부터 분명하게 그렇지 못할 경우를 제외하고 그 특정의 수치를 초과하는 수치일 수 있고, 그 특정의 수치 미만의 수치일 수도 있다.
- [0014] 또, 실시형태의 각 도면에 있어서 동일한 또는 마찬가지로인 부분은 동일한 또는 유사한 기호 또는 참조 번호로 나타내고, 그 설명은 원칙적으로 반복하지 않는다.
- [0015] 또, 첨부 도면에 있어서는 오히려 복잡해질 경우 또는 틈과의 구별이 분명할 경우에는 단면이어도 해칭 등을 생략할 경우가 있다. 이와 관련해서 설명 등으로부터 명확할 경우 등에는 평면적으로 담은 홀이어도 배경의 윤곽선을 생략할 경우가 있다. 나아가 단면 말고도 틈이 아닌 것을 명시하기 위해 혹은 영역의 경계를 명시하기 위해 해칭이나 도트 패턴(dot pattern)을 붙일 경우가 있다.
- [0016] <반도체 장치>
- [0017] 우선, 본 실시형태의 반도체 장치(PKG1)의 구성의 개요에 대해 도 1 내지 도 4를 사용해서 설명한다. 도 1은 본 실시형태의 반도체 장치의 상면도이다. 또, 도 2는 도 1의 A-A선을 따른 단면도이다. 또, 도 3은 도 1에 나타내는 밀봉체를 투시한 상태로 반도체 장치의 내부 구조를 나타내는 투시 평면도이다.
- [0018] 이하의 실시형태에서 설명하는 기술은 반도체 칩의 표면에 노출되는 전극 패드에 금속선인 와이어가 연결되는 반도체 장치에 널리 적용 가능하다. 본 실시형태에서는 반도체 칩의 전극 패드에 와이어가 연결된 반도체 장치의 일례로서 리드 프레임형 반도체 장치를 들어서 설명한다. 리드 프레임형 반도체 장치의 경우 리드 프레임의 다이 패드 상에 탑재된 반도체 칩과 다이 패드의 주위에 배치된 복수의 리드 각각이 와이어를 개재해서 전기적으로 연결되어 있다.
- [0019] 도 1 내지 도 3에 나타내는 바와 같이 반도체 장치(PKG1)는 반도체 칩(CP)(도 2, 도 3 참조)과, 반도체 칩(CP)의 주위에 배치된 외부 단자인 복수의 리드(단자, 외부 단자)(LD)와, 반도체 칩(CP)과 복수의 리드(LD)를 전기

적으로 연결하는 도전성 부재인 복수의 와이어(BW)(도 2, 도 3 참조)를 가진다. 또, 반도체 칩(CP) 및 복수의 와이어(BW)는 밀봉체(수지체)(MR)에 의해 밀봉되어 있다. 아울러 복수의 리드(LD) 각각의 이너 리드(inner lead)부(ILD)(도 2, 도 3 참조)는 밀봉체(MR)에 의해 밀봉되어 있고, 또 복수의 리드(LD) 각각의 아우터 리드(outer lead)부(OLD)는 밀봉체(MR)로부터 노출되어 있다.

[0020] 도 1에 나타내는 바와 같이 반도체 장치(PKG1)가 구비하는 밀봉체(MR)의 평면 형상은 사각형으로 이루어진다. 밀봉체(MR)는 상면(MRt)과, 상면(MRt)의 반대측인 하면(뒷면, 피실장면)(MRb)(도 2 참조)과, 상면(MRt)과 하면(MRb) 사이에 위치하는 복수의(도 1에서는 4개의) 측면(MRs)을 가진다.

[0021] 밀봉체(MR)는 평면에서 보아 X방향으로 연장되는 변(주(主)변)(S1), X방향과 교차(직교)하는 Y방향을 따라 연장되는 변(주변)(S2), 변(S1)의 반대측에 위치하는 변(주변)(S3), 및 변(S2)의 반대측에 위치하는 변(주변)(S4)을 구비한다. 그리고 밀봉체(MR)가 구비하는 4개의 측면(MRs)은 밀봉체(MR)의 각 변을 따라 배치되어 있다.

[0022] 또, 반도체 장치(PKG1)에서는 평면 형상이 사각형으로 이루어지는 밀봉체(MR)의 4개의 변(주변)(S1, S2, S3, 및 S4) 각각을 따라 복수의 리드(LD)가 배치되어 있다. 복수의 리드(LD)는 금속으로 이루어지며, 본 실시형태에서는 예를 들어 동(Cu)을 주성분으로 하는 금속 부재이다. 본 실시형태에서와 같이 밀봉체(MR)의 4개의 변 각각을 따라 복수의 리드(LD)가 배열된 반도체 패키지는 QFP(Quad Flat Package)로 불린다. 또, 도시를 생략하지만 밀봉체(MR)가 구비하는 4개의 변들 중 서로 반대측에 위치하는 2변을 따라 복수의 리드(LD)가 배열되고, 다른 2변에 리드(LD)가 배열되어 있지 않은 반도체 패키지는 SOP(Small Outline Package)로 불린다. 본 실시형태에서는 QFP인 반도체 장치(PKG1)에 적용한 실시 양태에 대해 설명하지만 변형예로서 SOP인 반도체 장치에 적용해도 된다.

[0023] 도 2에 나타내는 바와 같이 복수의 리드(LD)의 아우터 리드부(OLD)는 밀봉체(MR)의 측면(MRs)에 있어서 밀봉체(MR)의 외측을 향해서 돌출되어 있다. QFP나 SOP의 경우 아우터 리드부(OLD)가 밀봉체(MR)의 측면(MRs)으로부터 돌출되며, 실장면측을 향해서 구부러진 형상이 되어 있다. 또, 도시를 생략하지만 반도체 장치(PKG1)에 대한 변형예로서 복수의 리드(LD) 각각이 밀봉체(MR)의 하면(MRb)으로부터 노출된 타입의 반도체 패키지도 있다. 리드(LD)가 밀봉체(MR)의 하면(MRb)으로부터 노출된 반도체 패키지로서는 QFN(Quad Flat Non-leaded package)이나 SON(Small Outline Non-leaded package) 등이 있다.

[0024] 또, 복수의 리드(LD)의 아우터 리드부(OLD)의 노출면에는 예를 들어 동을 주성분으로 하는 기재의 표면에 금속막(외장 도금막)(MC)이 형성되어 있다. 금속막(MC)은 예를 들어 뿔납 등과 같이 기재인 동보다 뿔납에 대한 젖음성이 양호한 금속 재료로 이루어지며, 기재인 동 부재의 표면을 피복하는 금속 피막이다. 반도체 장치(PKG1)의 외부 단자인 리드(LD)의 아우터 리드부(OLD)에 금속막(MC)을 형성함으로써 반도체 장치(PKG1)를 도시하지 않는 실장 기판에 실장할 때에 실장하기 쉬워진다. 상세하게는 아우터 리드부(OLD) 각각을 실장 기판의 단자(도시 생략)에 연결할 경우, 아우터 리드부(OLD)는 뿔납 재료 등의 도전성 연결 재료를 개재해서 단자에 연결된다. 이때 아우터 리드부(OLD)가 금속막(MC)으로 피복되어 있을 경우에는 상기 연결 재료로서의 뿔납 재료에 대한 젖음성이 향상된다. 이로써 복수의 리드(LD)와 뿔납 재료의 연결 면적이 증가되므로 복수의 리드(LD)와 실장 기판측 단자의 접합 강도를 향상시킬 수 있다.

[0025] 도2는 리드(LD)의 아우터 리드부(OLD)의 노출면에 뿔납막인 금속막(MC)이 도금법에 의해 형성된 예를 나타내고 있다. 금속막(MC)에는 다양한 변형예가 있다. 예를 들어 금속막(MC)은 니켈을 주성분으로 하는 금속막과 팔라듐(Pd)을 주성분으로 하는 금속막의 적층막일 수도 있다. 혹은 예를 들어 팔라듐을 주성분으로 하는 금속막의 표면에 금(Au)을 주성분으로 하는 금속막을 더 적층할 수도 있다. 또, 금속막(MC)이 뿔납 이외의 재료로 구성될 경우에는 복수의 리드(LD)의 이너 리드부(ILD) 및 아우터 리드부(OLD)의 표면을 피복하도록 금속막(MC)을 형성할 수도 있다.

[0026] 또, 도 2 및 도 3에 나타내는 바와 같이 밀봉체(MR)의 내부에는 반도체 칩(CP)이 밀봉되어 있다. 도 3에 나타내는 바와 같이 반도체 칩(CP)은 평면에서 보아 사각형을 이루며, 표면(상면, 주면)(Cpt), 표면(CPt)의 반대측인 뒷면(CPb)(도 2 참조), 및 반도체 칩(CP)의 두께 방향의 단면에서 보아 표면(CPt)과 뒷면(CPb) 사이에 위치하는 측면(CPs)을 가진다. 반도체 칩(CP)의 표면(CPt)에는 표면(CPt)의 가장자리를 구성하는 4개의 변 각각을 따라 복수의 패드(본딩 패드)(PD)가 형성되어 있다. 또, 반도체 칩(CP)(상세하게는 반도체 기판)은 예를 들어 실리콘(Si)으로 이루어진다. 도시를 생략하지만 반도체 칩(CP)의 주면(상세하게는 반도체 칩(CP)의 반도체 기판 상면에 마련된 반도체 소자 형성 영역)에는 복수의 반도체 소자(회로 소자)가 형성되어 있다. 그리고 복수의 패드(PD)는 반도체 칩(CP)의 내부(상세하게는 표면(CPt)과 반도체 소자 형성 영역 사이)에 배치되는 배선층에 형성된 배선(도시 생략)을 개재해서 이 반도체 소자와 전기적으로 연결되어 있다. 즉, 복수의 패드(PD)는 반도체 칩

(CP)에 형성된 회로와 전기적으로 연결되어 있다.

- [0027] 또, 반도체 칩(CP)의 표면(CPt)에는 반도체 칩(CP)의 기관 및 배선을 피복하는 절연막이 형성되어 있으며, 복수의 패드(PD) 각각의 표면은 상기 절연막에 형성된 개구부에 있어서 절연막으로부터 노출되어 있다. 또, 상기 패드(PD)는 금속으로 이루어지며, 본 실시형태에서는 예를 들어 알루미늄(Al)으로 이루어진다.
- [0028] 반도체 칩(CP)은 칩 탑재부인 다이 패드(DP)에 탑재되어 있다. 반도체 장치(PKG1)의 경우 도 3에 나타내는 바와 같이 평면에서 보아 밀봉체(MR)의 4개의 변(S1, S2, S3, 및 S4) 사이에는 반도체 칩(CP)이 탑재되는 칩 탑재부인 다이 패드(칩 탑재부)(DP)가 배치되어 있으며, 반도체 칩(CP)은 다이 패드(DP)의 상면(표면, 주면, 칩 탑재면)(DPt) 상에 탑재되어 있다. 다이 패드(DP)의 상면(DPt)은 평면적이 반도체 칩(CP)의 표면적보다 큰 사각형으로 이루어진다. 단, 다이 패드(DP)는 반도체 칩(CP)을 지지하는 지지 부재로서, 그 형상 및 크기는 도 3에 나타내는 예 이외에도 다양한 변형예가 적용될 수 있다. 예를 들어 다이 패드(DP)의 평면 형상을 원형으로 할 수도 있다. 또, 예를 들어 다이 패드(DP)의 평면적을 반도체 칩(CP)의 표면(CPt)보다 작게 할 수도 있다. 또, 반도체 장치(PKG1)의 경우 다이 패드(DP)는 밀봉체(MR)에 의해 밀봉되어 있다. 또, 도시를 생략하지만 반도체 장치(PKG1)에 대한 변형예로서 밀봉체(MR)의 하면(MRb)에 있어서 다이 패드(DP)의 하면을 밀봉체(MR)로부터 노출시킬 수도 있다.
- [0029] 또, 도 2에 나타내는 바와 같이 반도체 칩(CP)은 뒷면(CPb)이 다이 패드(DP)의 상면(DPt)과 대향한 상태로 다이 본딩재(접착제)(DB)를 개재해서 다이 패드(DP) 상에 탑재되어 있다. 즉, 복수의 패드(PD)가 형성된 표면(주면)(CPt)의 반대면(뒷면(CPb))을 칩 탑재면(상면(DPt))과 대향시키는, 소위 페이스 업(face-up) 실장 방식에 의해 탑재되어 있다. 상기 다이 본딩재(DB)는 반도체 칩(CP)을 다이 본딩하기 위한 접착제로서, 예를 들어 에폭시계 열경화성수지에 복수의(다수의) 전도성 입자(예를 들어 은(Ag) 입자)가 함유된 도전성 수지 접착제 혹은 땀납 재료이다.
- [0030] 반도체 칩(CP)의 주위 (다르게 말하면 다이 패드(DP)의 주위)에는 복수의 리드(LD)가 배치되어 있다. 반도체 칩(CP)의 표면(CPt)에 노출된 복수의 패드(전극, 전극 패드)(PD)는 밀봉체(MR)의 내부에 위치하는 복수의 리드(LD)의 이너 리드부(ILD)와 복수의 와이어(전도성 부재)(BW)를 개재해서 각각 전기적으로 연결되어 있다. 와이어(BW)의 한쪽 단부(후술하는 도 14에 나타내는 볼부(BWb))는 패드(PD)에 접합되어 있고, 다른쪽 단부는 이너 리드부(ILD)의 일부분(와이어 본딩 영역)에 접합되어 있다.
- [0031] 본 실시형태의 와이어(BW)는 예를 들어 동(Cu)으로 이루어진다. 일반적으로 반도체 칩의 전극 패드에 연결되는 와이어는 금으로 형성할 경우가 많으나 재료 비용을 절감하는 관점 혹은 와이어가 형성하는 전송 경로의 임피던스 성분을 저감하는 관점에서 금 이외의 재료로 형성할 경우도 있다. 예컨대 본 실시형태에서와 같이 와이어(BW)를 동으로 형성하면 재료 비용을 절감할 수 있다.
- [0032] 또, 와이어(BW)를 금보다 전기 전도율이 높은 동으로 형성함으로써 와이어(BW)가 형성하는 전송 경로의 임피던스 성분을 저감할 수 있다. 또, 본 실시형태에 대한 변형예로서 동으로 이루어지는 기재의 표면을 팔라듐(Pd)으로 이루어지는 금속막으로 피복할 수도 있다. 이 경우 와이어(BW)와 패드(PD)의 접합 강도를 더욱 향상시킬 수 있다.
- [0033] 또, 도 3에 나타내는 바와 같이 다이 패드(DP)의 주위에는 복수의 현수 리드(HL)가 배치되어 있다. 현수 리드(HL)는 반도체 장치(PKG1)의 제조 공정에 있어서 리드 프레임의 지지부(프레임부)에 다이 패드(DP)를 지지하기 위한 부재이다.
- [0034] 또, 본 실시형태에서는 다이 패드(DP)의 상면(DPt)과 리드(LD)의 이너 리드부(ILD)의 상면이 서로 다른 높이가 되도록 배치되어 있다. 도 2에 나타내는 예에서는 이너 리드부(ILD)의 상면(LDt)의 위치보다 다이 패드(DP)의 상면(DPt)이 더 낮은 위치에 배치되어 있다. 이 때문에 도 3에 나타내는 복수의 현수 리드(HL)에는 다이 패드(DP)의 상면(DPt)의 높이가 리드(LD)의 이너 리드부(ILD)의 상면(LDt)(도 2 참조)과 상이한 높이에 위치하도록 구부러진 오프셋부(본 실시형태의 예에서는 다운셋(down-set)부)(OSP)가 각각 형성되어 있다.
- [0035] <반도체 칩>
- [0036] 다음으로 도 2 및 도 3에 나타내는 반도체 칩에 대해 설명한다. 도 4는 도 3에 나타내는 반도체 칩의 평면도이다. 또, 도 5는 도 4의 A-A선을 따른 확대 단면도이다. 또, 도 6은 도 5의 A부를 더욱 확대한 확대 단면도이다.
- [0037] 또, 도 4 내지 도 6은 도 3에 나타내는 패드(PD)에 와이어(BW)가 연결되기 전의 상태를 나타내고 있다. 또, 도 6은 배선부(SDL)의 예로서 패드(PD)가 형성된 레이어와 반도체 기관(SS) 사이에 7층의 배선층(DL)이 적층된 예

를 들고 있다. 단, 배선층의 적층 수는 7층에 한정되지 않으며, 예를 들어 6층 이하 혹은 8층 이상 등, 다양한 변형예가 있다. 또, 도 6에 나타내는 예에서는 반도체 기관(SS)의 상면(SSt)에 형성된 복수의 반도체 소자(Q1)의 예로서 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 구조예를 기재하고 있다. 단, 반도체 소자(Q1)의 구조에는 MOSFET 외에도 다양한 변형예가 있다.

[0038] 도 4 및 도 6에 나타내는 바와 같이 반도체 칩(CP)의 표면(상면, 주면)(CPt)에는 절연막(보호막, 보호 절연막)(PV) 및 이 절연막(PV)에 형성된 개구부(PVk)에 있어서 절연막(PV)으로부터 노출되는 패드(PD)가 형성되어 있다. 상기 절연막(PV)에는 복수의 개구부(PVk)가 형성되어 있으며, 복수의 개구부(PVk) 각각에 있어서 패드(PD)가 노출되어 있다. 다르게 말하면 반도체 칩(CP)은 표면(CPt)에 있어서 절연막(PV)으로부터 노출되는 복수의 패드(PD)를 가진다.

[0039] 또, 반도체 칩(CP)의 표면(CPt)은 평면에서 보아 사각형을 이루며 X방향으로 연장되는 변(CPs1), X방향과 교차(직교)하는 Y 방향을 따라 연장되는 변(CPs2), 변(CPs1)의 반대측에 위치하는 변(CPs3), 및 변(CPs2)의 반대측에 위치하는 변(CPs4)을 구비한다. 도 3에 나타내는 바와 같이 본 실시형태에서는 반도체 칩(CP)의 변(CPs1)은 밀봉체(MR)의 변(S1)을 따라 배치되어 있고, 반도체 칩(CP)의 변(CPs2)은 밀봉체(MR)의 변(S2)을 따라 배치되어 있다. 또, 반도체 칩(CP)의 변(CPs3)은 밀봉체(MR)의 변(S3)을 따라 배치되어 있고, 반도체 칩(CP)의 변(CPs4)은 밀봉체(MR)의 변(S4)을 따라 배치되어 있다.

[0040] 또, 절연막(PV)에 형성된 복수의 개구부(PVk) 각각은 복수의 변을 가진다. 도 4에 나타내는 예에서는 개구부(PVk)의 개구 형상은 X방향으로 연장되는 변(Pks1), X방향과 교차(직교)하는 Y 방향을 따라 연장되는 변(Pks2), 변(Pks1)의 반대측에 위치하는 변(Pks3), 및 변(Pks2)의 반대측에 위치하는 변(Pks4)을 구비한다. 본 실시형태에서는 개구부(PVk)의 변(Pks1)은 반도체 칩(CP)의 변(CPs1)을 따라 배치되어 있고, 개구부(PVk)의 변(Pks2)은 반도체 칩(CP)의 변(CPs2)을 따라 배치되어 있다. 또, 개구부(PVk)의 변(Pks3)은 반도체 칩(CP)의 변(CPs3)을 따라 배치되어 있고, 개구부(PVk)의 변(Pks4)은 반도체 칩(CP)의 변(CPs4)을 따라 배치되어 있다.

[0041] 또, 반도체 칩(CP)은 복수의 반도체 소자(Q1)(도 6 참조)가 형성된 상면(반도체 소자 형성면)(SSt) 및 이 상면(SSt)의 반대측인 하면(뒷면)(SSb)(도 5 참조)을 가진 반도체 기관(SS)을 구비한다. 반도체 기관(SS)은 반도체 칩(CP)의 기재로서, 예를 들어 규소(실리콘;Si)를 주요한 성분으로서 구성되어 있다. 또, 반도체 칩(CP)은 반도체 기관(SS)의 상면(SSt) 상에 형성된 배선부(SDL)(도 5, 도 6 참조)를 가진다.

[0042] 도 5에 나타내는 예에서는 반도체 칩(CP)의 뒷면(하면)(CPb)은 반도체 기관(SS)의 하면(SSb)과 동일한 면이다. 다르게 말하면 도 5에 나타내는 예에서는 반도체 기관(SS)의 하면(SSb)은 반도체 칩(CP)의 뒷면(CPb)이다. 또, 반도체 칩(CP)의 표면(주면, 상면)(CPt)은 배선부(SDL)의 최상층을 피복하도록 형성된 절연막(PV)(도 4 및 도 6 참조)의 상면(PVt), 및 복수의 패드(PD)(도 4 및 도 6 참조)의 절연막(PV)으로부터 노출된 면에 의해 구성되어 있다.

[0043] 또, 배선부(SDL)는 도 6에 확대해서 나타내는 바와 같이 적층된 복수의 배선층(DL)을 가진다. 배선부(SDL)에서는 복수의 반도체 소자(Q1)와 복수의 패드(PD)가 상기 적층된 복수의 배선층(DL)을 개재해서 전기적으로 연결되어 있다. 복수의 패드(PD)는 배선부(SDL)의 최상층을 피복하도록 형성된 절연층(IML1) 상에 형성되어 있다. 나아가 상기 패드(PD)는 절연층(IML1)에 형성된 개구부 내에 위치하는 비아 배선(패드(PD)를 구성하는 배선의 일부)을 개재해서 최상층의 배선층(DL)과 전기적으로 연결되어 있다.

[0044] 복수의 배선층(DL) 각각은 복수의 도체 패턴(배선)(CBP)과, 복수의 도체 패턴(CBP)을 전기적으로 절연하는 절연층(IML)을 가진다. 도체 패턴(CBP)은 절연층(IML)에 형성된 개구부 내에 매립되어 있다. 또, 각 배선층(DL)의 도체 패턴(CBP)은 해당 도체 패턴(CBP)이 형성되는 배선층(DL)에 인접하는 배선층(DL)의 도체 패턴(CBP)과 전기적으로 연결되어 있다. 예컨대 반도체 기관(SS)의 상면(SSt)측으로부터 세번째 배선층(DL)에 형성된 도체 패턴(CBP)은 두번째 배선층(DL)에 형성된 도체 패턴(CBP) 및 네번째 배선층(DL)에 형성된 도체 패턴(CBP) 각각과 전기적으로 연결되어 있다. 또, 제1층째 배선층(DL)에 형성된 도체 패턴(CBP)은 반도체 소자(Q1)의 게이트 전극, 소스 영역, 또는 드레인 영역과 전기적으로 연결되어 있다. 또, 최상층(도 6에서는 제7층째) 배선층(DL)에 형성된 도체 패턴(CBP)과 패드(PD)가 전기적으로 연결되어 있다. 배선부(SDL)에서는 복수의 배선층(DL)에 형성된 도체 패턴(CBP)을 서로 전기적으로 연결시킴으로써 반도체 소자(Q1)와 패드(PD)를 전기적으로 연결하는 도통 경로가 형성된다.

[0045] 배선부(SDL)를 구성하는 재료는 이하에 한정되지 않으나 아래와 같이 예시할 수 있다. 절연층(IML)은 예를 들어 산화 규소(SiO2)를 주요한 성분으로서 구성되어 있다. 또, 최상층 외의 배선층(DL)에 형성된 복수의 도체 패턴

(CBP)은 예를 들어 동(Cu)을 주요한 성분으로서 구성되어 있다. 또, 최상층의 배선층(DL)은 패드(PD)와 동일한 금속 재료, 예를 들어 알루미늄을 주성분으로 하는 금속 재료로 형성되어 있다. 패드(PD)는 절연층(IML1)을 개재해서 최상층의 도체 패턴(CBP) 상에 형성되어 있다. 다르게 말하면 최상층의 배선층(DL)과 패드(PD) 사이에는 절연층(IML1)이 개재되어 있다. 절연층(IML1)은 최상층의 배선층(DL)을 피복하는 층이다. 도 6에 나타내는 바와 같이 절연층(IML1)은 패드(PD)와 도체 패턴(CBP) 사이에 개재되어 있으나 그 일부분에 개구부가 형성되어 있다. 패드(PD)와 도체 패턴(CBP)은 상기 개구부에 있어서 밀착되어 있다. 이 경우 패드(PD)와 도체 패턴(CBP) 사이에 흐르는 전류는 패드(PD)와 도체 패턴(CBP)이 밀착되어 있는 부분을 경유해서 흐른다.

[0046] 또, 복수의 패드(PD)를 포함하는 최상층의 배선층(DL)은 반도체 칩(CP)의 표면(CPt)을 가진 절연막(PV)에 의해 피복되어 있다. 배선부(SDL)를 피복하도록 절연막(PV)을 형성함으로써 배선부(SDL)를 보호할 수 있다. 절연막(PV)은 배선부(SDL)를 피복하는 막이므로 반도체 기관(SS)의 상면(SSt)과 대향하는 하면(면)(PVb) 및 하면(PVb)의 반대측인 상면(면)(PVt)을 가진다.

[0047] 또, 도 6에 나타내는 바와 같이 절연막(PV)은 배선부(SDL)를 피복하는 막이므로 절연막(PV)의 하면(PVb)과 반도체 기관(SS)의 상면(SSt) 사이에는 복수의 배선층(DL)이 적층된 배선부(SDL)가 개재되어 있다. 그리고 절연막(PV)의 하면(PVb)은 복수의 배선층(DL) 중 최상층의 배선층(DL)에 밀착되어 있다.

[0048] 절연막(PV)은 예를 들어 산화 규소(SiO₂), 질화 규소(SiN), 산질화 규소(SiON) 혹은 이들의 적층막으로 이루어진다. 또, 산화 규소, 질화 규소 혹은 산질화 규소의 막을 피복하도록 폴리이미드 등의 수지막을 형성할 경우도 있다. 도 4에 나타내는 예에서는 가장 단순한 예로서 단층(單層)의 절연막으로 이루어지는 절연막(PV)을 나타내고 있으나 변형예로서 적층막으로 이루어지는 절연막(PV)도 있다. 적층막으로 이루어지는 절연막(PV)의 경우 최하층(배선층(DL)에 가장 가까운 층)의 절연막의 하면이 절연막(PV)의 하면(PVb)에 해당한다. 또, 적층막으로 이루어지는 절연막(PV)의 경우 최상층(배선층(DL)으로부터 가장 먼 층)의 절연막의 상면이 절연막(PV)의 상면(PVt)에 해당한다.

[0049] 또, 반도체 칩(CP)의 복수의 패드(PD)는 도 6에 나타내는 바와 같이 절연막(PV)과 반도체 기관(SS) 사이에 형성되어 있으며 반도체 칩(CP)의 표면(CPt)에 있어서 절연막(PV)으로부터 노출되어 있다. 상세하게는 도 6에 나타내는 바와 같이 절연막(PV)에는 두께 방향(도 6의 Z방향)을 따라 패드(PD)와 중첩되는 위치에 개구부(PVk)가 형성되어 있다. 개구부(PVk)는 절연막(PV)의 상면(PVt) 및 하면(PVb) 중 한쪽에서 다른 쪽을 향해 관통하도록 형성되어 있다. 이 때문에 복수의 패드(PD)는 절연막(PV)에 형성된 복수의 개구부(PVk)와 중첩되는 위치에 있어서 절연막(PV)로부터 노출되어 있다. 도 6에 나타내는 예에서는 패드(PD) 중 일부분이 절연막(PV)로부터 노출되어 있다. 이에 따라 복수의 패드(PD) 각각에 도 2 및 도 3에 나타내는 와이어(BW)와 같은 전도성 부재를 연결하는 것이 가능해진다. 다시 말하면 복수의 패드(PD)를 반도체 칩(CP)의 외부 단자로서 사용할 수 있다. 패드(PD) 중 개구부(PVk)에 있어서 절연막(PV)로부터 노출된 면은 와이어(BW)가 접촉되는 접합면(PDt)이다.

[0050] 그런데 도 6에 나타내는 반도체 칩(CP)에는 반도체 장치(PKG1)(도 2 참조)의 제조 공정 도중 혹은 반도체 장치(PKG1)의 완성 이후에 온도 사이클 부하 등의 다양한 열 스트레스가 인가된다. 여기서 금속 재료로 이루어지는 패드(PD)의 선팅창 계수는 패드(PD)의 일부분(가장자리부)을 피복하는 절연막(PV)이나 와이어(BW)(도 2 참조) 및 패드(PD)를 밀봉하는 밀봉체(MR)(도 2 참조)의 선팅창 계수에 비해 크다. 이 때문에 패드(PD)의 주위에는 상기 선팅창 계수 차이로 인해 패드(PD)의 접합면(PDt)의 연장 방향을 따라 전단 응력(물체 내부의 어느 면과 평행한 방향으로 미끄러지게 작용하는 응력)이 발생된다. 상기 전단 응력은 패드(PD)의 표면(PDt)에 대해 수평한 방향을 따라 작용하므로 응력의 세기에 따라서는 반도체 칩(CP)의 구성 부분이 고장 나는 원인으로 된다. 예컨대 상기 전단 응력으로 인해 절연막(PV)의 일부분에 균열이 생길 수 있다.

[0051] 또, 패드(PD)의 하층에 배치된 최상층의 도체 패턴(CBP)의 연장 방향을 따라 상기 전단 응력이 발생되었을 경우에는 도체 패턴(CBP)의 위치가 응력으로 인해 이동하는(슬라이드하는) 현상이 발생할 경우가 있다.

[0052] 상기 전단 응력의 크기는 금속 재료의 선팅창 계수 값 외에도 금속 부재의 부피에 비례해서 커진다. 따라서 패드(PD)의 두께(접합면(PDt) 및 그 반대측인 뒷면(PDb) 중 한쪽으로부터 다른 쪽까지의 길이)를 작게 함으로써 상기 전단 응력의 값을 저감할 수 있다. 본 실시형태의 경우 패드(PD)의 두께(THpd)는 패드(PD) 상부에서의 절연막(PV)의 두께(THpv) 이하이다. 예컨대 도 6에 나타내는 절연막(PV)의 두께(THpv)는 1μm 정도이다. 이에 대해 패드(PD)의 두께(THpd)는 450nm 내지 1μm 정도이다. 또, 도 6에 나타내는 예에서는 패드(PD)의 두께(THpd)는 절연층(IML1)의 두께(TH1)보다 작다. 또, 절연층(IML1)의 두께(TH1)는 다양한 변형예가 있어 예를 들어 패드(PD)의 두께(THpd)와 동일할 경우나 두께(THpd)보다 얇을 경우도 있다. 이와 같이 패드(PD)의 두께(THpd)를 얇게 함으로써 패드(PD)의 연장 방향으로 생기는 상기 전단 응력의 값을 저감할 수 있다. 또, 도 6에 나타내는 패

드(PD)의 두께(THpd)는 후술하는 와이어 본딩 공정에 있어서 와이어(BW)(도 2 참조)를 접합하기 전의 패드(PD)의 두께이다.

[0053] 또, 복수의 배선층(DL)에 형성되는 도체 패턴(CBP) 중 최상층에 형성되는 도체 패턴(CBP)은 다른 배선층(DL)에 형성되는 도체 패턴(CBP)보다 두껍게 형성된다. 따라서 최상층의 도체 패턴(CBP)의 연장 방향으로 생기는 전단 응력의 값을 저감하기 위해서는 최상층의 도체 패턴(CBP)의 두께(상면(CBt) 및 하면(CBb) 중 한쪽으로부터 다른 쪽까지의 길이)를 작게 하는 것이 바람직하다. 예컨대 도 6에 나타내는 최상층의 도체 패턴(CBP)의 두께(THcb)는 450nm 내지 1 μ m 정도이다. 이와 같이 최상층의 도체 패턴(CBP)의 두께(THcb)를 얇게 함으로써 최상층의 도체 패턴(CBP)의 연장 방향으로 생기는 상기 전단 응력의 값을 저감할 수 있다.

[0054] <반도체 장치의 제조 방법>

[0055] 다음으로 도 1에 나타내는 반도체 장치(PKG1)의 제조 방법에 대해 설명한다. 본 실시형태의 반도체 장치(PKG1)는 도 7에 나타내는 조립 흐름에 따라 제조된다. 도 7은 본 실시형태의 반도체 장치의 조립 흐름을 나타내는 설명도이다.

[0056] <기재 준비 공정>

[0057] 도 7에 나타내는 기재 준비 공정에서는 도 8에 나타내는 리드 프레임(기재)(LF)을 준비한다. 도 8은 도 7에 나타내는 기재 준비 공정에서 준비하는 리드 프레임의 일부를 나타내는 확대 평면도이다.

[0058] 본 공정에서 준비하는 리드 프레임(LF)은 프레임부(LFb) 내측에 복수의 디바이스 형성부(LFa)를 구비한다. 리드 프레임(LF)은 금속으로 이루어지며, 본 실시형태에서는 예를 들어 동(Cu)을 주성분으로 하는 금속으로 이루어진다.

[0059] 또, 본 실시형태에서는 도 7에 나타내는 바와 같이 밀봉 공정 후에 도금 공정을 실시해서 아우터 리드부(OLD)에 도 2에 나타내는 금속막(MC)을 형성하는 예를 설명한다. 단, 변형예로서 기재 준비 공정에서 동을 주성분으로 하는 기재의 표면이 사전에 금속막(MC)으로 피복되어 있어도 된다. 이 경우 리드 프레임(LF)의 노출면 전체가 금속막(MC)으로 피복된다.

[0060] 또, 도 8에 나타내는 바와 같이 각 디바이스 형성부(LFa)의 중앙부에는 칩 탑재부인 다이 패드(DP)가 형성되어 있다. 다이 패드(DP) 각각에는 복수의 현수 리드(HL)가 연결되며, 디바이스 형성부(LFa)의 모서리부를 향해 연장되도록 배치되어 있다. 다이 패드(DP)는 현수 리드(HL)를 개재해서 리드 프레임(LF)의 프레임부(LFb)에 지지되어 있다.

[0061] 또, 다이 패드(DP)의 주위에는 복수의 현수 리드(HL) 사이에 복수의 리드(LD)가 각각 형성되어 있다. 복수의 리드(LD)는 프레임부(LFb)에 각각 연결되어 있다. 본 실시형태에서는 복수의 리드(LD)는 다이 패드(DP)의 주위에 형성되어 있으며, 사방으로 연장되도록 형성되어 있다.

[0062] 또, 복수의 리드(LD)는 타이 바(tie bar)(TB)를 개재해서 서로 연결되어 있다. 타이 바는 복수의 리드(LD)를 연결하는 연결 부재로서의 기능 이외에 도 7에 나타내는 밀봉 공정에 있어서 수지의 누출을 억제하는 댐(dam) 부재로서의 기능을 가진다.

[0063] <반도체 칩 준비 공정>

[0064] 또, 도 7에 나타내는 반도체 칩 준비 공정에서는 도 4 내지 도 6을 사용해서 설명한 반도체 칩(CP)을 준비한다. 본 공정에서는 예를 들어 실리콘으로 이루어지는 반도체 웨이퍼(도시는 생략)의 주면측(도 6에 나타내는 반도체 기판(SS)의 상면(SSt)측)에 복수의 반도체 소자(Q1)(도 6 참조)나 이에 전기적으로 연결되는 배선층(DL)(도 6 참조)으로 이루어지는 반도체 웨이퍼를 준비한다. 또, 배선층(DL)의 최상층에는 복수의 패드(PD)(도 4 참조)가 형성된다.

[0065] 또, 복수의 패드(PD)가 형성된 최상층의 배선층(DL)을 피복하도록 절연막(PV)(도 6 참조)을 형성한다. 그 후 복수의 패드(PD) 각각의 적어도 일 부분이 노출되도록 절연막(PV)에 복수의 개구부(PVk)(도 4 참조)를 형성한다. 상술한 반도체 웨이퍼를 형성한 후, 반도체 웨이퍼의 다이싱(dicing) 라인을 따라 반도체 웨이퍼를 절단해서 도 4에 나타내는 반도체 칩(CP)을 복수개 취득한다.

[0066] 또, 본 실시형태에서는 기재 준비 공정을 앞서 설명하고 반도체 칩 준비 공정을 뒤에 설명했으나, 기재 준비 공정과 반도체 칩 준비 공정은 어느 쪽을 앞서 실시해도 좋고 동시에 실시할 수도 있다. 다이 본딩 공정은 기재 준비 공정 및 반도체 칩 준비 공정 모두가 완료된 이후에 실시한다.

- [0067] <다이 본딩 공정>
- [0068] 다음으로 도 7에 나타내는 다이 본딩 공정(반도체 칩 탑재 공정)에서는 도 9에 나타내는 바와 같이 다이 패드(DP)에 반도체 칩(CP)을 탑재한다. 도 9는 도 8의 A-A선을 따른 단면에 있어서 리드 프레임의 다이 패드 상에 반도체 칩을 탑재한 상태를 나타내는 확대 단면도이다.
- [0069] 도 9에 나타내는 바와 같이 반도체 칩(CP)은 복수의 패드(PD)가 형성된 표면(CPt) 및 표면(CPt)의 반대측에 위치하는 뒷면(CPb)을 가진다. 본 공정에서는 다이 본딩재(DB)를 개재해서 반도체 칩(CP)과 다이 패드(DP)를 접촉 고정한다. 도 9에 나타내는 예에서는 평면에서 보아 다이 패드(DP) 상면(DPt)의 일부분이 반도체 칩(CP)에 의해 피복되도록 반도체 칩(CP)을 탑재한다. 다이 본딩재(DB)는 반도체 칩(CP)과 다이 패드(DP)를 접촉 고정하기 위한 접착체로서, 예를 들어 경화되기 전에는 페이스트 형태의 성질을 구비한다. 페이스트 형태의 접착체를 사용해서 반도체 칩(CP)을 탑재할 경우에는 반도체 칩(CP)을 탑재하기 전에 다이 패드(DP)의 칩 탑재면인 상면(DPt)에 페이스트 형태의 접착체를 미리 배치해 둔다. 그 후 반도체 칩(CP)을 다이 패드(DP)에 딱 눌러서 페이스트 형태의 접착체를 눌러 넓힌다. 그 후 예를 들어 가열에 의해 접착체를 경화시켜서 반도체 칩(CP)을 고정한다. 단, 다이 본딩재(DB)는 상기한 것에 한정되는 것은 아니고, 예를 들어 DAF(Die Attach Film)로 불리는 수지 필름 등을 사용할 수도 있다. 이 경우 예를 들어 양면에 접착층을 구비한 테이프 재료(필름 재료)인 다이 본딩재(DB)를 사전에 반도체 칩(CP)의 뒷면(CPb)에 접착한 후에 상기 테이프 재료를 개재해서 반도체 칩(CP)을 접착한다. 그 후 예를 들어 다이 본딩재(DB)에 함유되는 열경화성 수지 성분을 열경화시켜서 반도체 칩(CP)을 고정한다.
- [0070] 또, 본 실시형태에서는 뒷면(CPb)이 다이 패드(DP)의 칩 탑재면인 상면(DPt)과 대향하도록 소위 페이스 업(face-up) 실장 방식에 의해 반도체 칩(CP)을 다이 패드(DP) 상에 탑재한다.
- [0071] <와이어 본딩 공정>
- [0072] 다음으로 도 7에 나타내는 와이어 본딩 공정에서는 도 10에 나타내는 바와 같이 반도체 칩(CP)의 표면(CPt)에 형성된 복수의 패드(PD)와 반도체 칩(CP)의 주위에 배치된 복수의 리드(LD)를 복수의 와이어(전도성 부재)(BW)를 개재해서 각각 전기적으로 연결한다. 도 10은 도 9에 나타내는 반도체 칩과 복수의 리드를 와이어를 개재해서 전기적으로 연결한 상태를 나타내는 확대 단면도이다.
- [0073] 본 공정의 상세한 내용은 후술하지만, 본 공정에서는 예를 들어 동(Cu) 등의 금속 재료로 이루어지는 와이어(BW)의 일단부(볼(ball)부)를 반도체 칩(CP)의 패드(PD)에 접합하고 타단부(스티치(stitch)부)를 리드(LD)의 이너 리드부(ILD)에 접합한다. 이로써 반도체 칩(CP)의 패드(PD)와 리드(LD)가 와이어(BW)를 개재해서 전기적으로 연결된다. 본 실시형태에서는 반도체 칩(CP)의 패드(PD)를 제1 본드층으로 하고, 리드 프레임(LF)의 리드(LD) 상면(LDt)을 제2 본드층으로 하는, 소위 정(正)본딩 방식에 의해 와이어(BW)를 연결한다. 와이어 본딩 공정에 관해서는 후에 상세하게 설명한다.
- [0074] <밀봉 공정>
- [0075] 다음으로 도 7에 나타내는 밀봉 공정에서는 도 10에 나타내는 반도체 칩(CP), 복수의 와이어(BW), 및 복수의 리드(LD) 각각의 이너 리드부(ILD)를 수지로 밀봉해서 도 11에 나타내는 밀봉체(MR)를 형성한다. 도 11은 도 10에 나타내는 반도체 칩을 수지로 밀봉한 상태를 나타내는 확대 단면도이다.
- [0076] 본 공정에서는 도 11에 나타내는 바와 같이 캐비티(cavity)(MDc)를 구비한 성형 금형(MD) 내부에 리드 프레임(LF)을 배치한 상태로 캐비티(MDc)에 의해 형성되는 공간 내에 수지를 공급한 후 상기 수지를 경화시킴으로써 밀봉체(수지체)(MR)를 형성한다. 이러한 밀봉체(MR)의 형성 방법은 트랜스퍼 몰드(transfer mold) 방식으로 불린다.
- [0077] 성형 금형(MD)의 캐비티(MDc)는 평면에서 보아 복수의 디바이스 형성부(LFa)(도 8 참조) 각각에 있어서 타이 바(TB)(도 8 참조)로 둘러싸인 영역에 배치된다. 이 때문에 밀봉체(MR)의 몸체 부분은 각 디바이스 형성부(LFa)의 타이 바(TB)로 둘러싸인 영역에 각각 형성된다. 또, 캐비티(MDc)로부터 누출된 수지의 일부는 타이 바(TB)에 의해 막힌다. 이 때문에 복수의 리드(LD) 각각 중 타이 바(tie bar)(TB)보다 외측에 위치하는 아우터 리드부(OLD)는 수지로 밀봉되지 않고, 밀봉체(MR)로부터 노출된다. 본 공정에서는 반도체 칩(CP) 전체, 다이 패드(DP) 전체, 복수의 와이어(BW) 전체, 및 복수의 리드(LD) 각각의 일부분(이너 리드(inner lead)부(ILD))가 밀봉된다.
- [0078] <도금 공정>
- [0079] 다음으로 도 7에 나타내는 도금 공정에서는 도 11에 나타내는 밀봉체(MR)로부터 노출된 복수의 리드(LD) 각각의

일부(아우터 리드부(OLD), 노출면)에 도금법으로 금속막(MC)(도 2 참조)을 형성한다. 본 공정에서는 리드(LD)의 노출면에 예를 들어 뿔납으로 이루어지는 금속막(MC)을 형성한다. 또, 금속막(MC)의 형성 방법으로는 전리한(ionized) 금속을 리드(LD)의 노출면에 석출시키는 전기 도금법을 적용할 수 있다. 상기 전기 도금법은 금속막(MC) 형성시의 전류를 제어함으로써 금속막(MC)의 막질을 용이하게 제어할 수 있는 점에서 바람직하다. 또, 전기 도금법은 금속막(MC)의 형성 시간을 단축할 수 있는 점에서 바람직하다.

[0080] <리드 컷 공정>

[0081] 다음으로 도 7에 나타내는 리드 컷 공정에서는 도 12에 나타내는 바와 같이 복수의 리드(LD) 각각의 아우터 리드부(OLD)를 절단해서 리드 프레임(LF)으로부터 복수의 리드(LD) 각각을 분리한다. 또, 본 실시형태에서는 리드(LD)를 절단한 후에 복수의 리드(LD)를 성형해서 도 2에 나타내는 바와 같은 굽힘 가공을 실시한다. 도 12는 도 11에 나타내는 복수의 리드의 노출면에 금속막을 형성하고, 리드의 각각을 절단한 후에 성형한 상태를 나타내는 확대 평면도이다.

[0082] 본 공정에서는 복수의 리드(LD)를 연결하는 타이 바(TB)를 절단한다. 또, 복수의 리드(LD) 각각을 프레임부(LFb)로부터 분리한다. 이로써 복수의 리드(LD) 각각은 서로 분리된 독립 부재가 된다. 또, 복수의 리드(LD)가 분리된 후에 밀봉체(MR) 및 복수의 리드(LD)는 현수 리드(HL)를 개재해서 프레임부(LFb)에 지지된 상태로 된다.

[0083] 또, 본 실시형태에서는 상기 도금 공정 후에 타이 바(TB)를 절단할 경우에 대해 설명했으나 앞서 타이 바(TB)만을 절단한 후에 도금 공정을 실시하고, 계속해서 복수의 리드(LD) 각각을 프레임부(LFb)로부터 분리하는 순서라도 좋다. 이 경우에는 타이 바(TB)의 절단면에도 금속막(MC)을 형성할 수 있으므로 타이 바(TB)의 절단면이 산화로 인해 변색됨을 억제할 수 있다. 또, 리드(LD)가 프레임부(LFb)로부터 분리되기 전에 도금 공정을 실시하므로 도금액으로 인한 리드(LD)의 변형도 억제할 수 있다.

[0084] 복수의 리드(LD) 및 타이 바(TB)는 예를 들어 도시하지 않는 절단용 금형을 사용한 프레스 가공에 의해 절단한다. 또, 복수의 리드(LD)는 절단 후에 예를 들어 도시하지 않는 성형용 금형을 사용한 프레스 가공에 의해 복수의 리드(LD)의 아우터 리드부(OLD)에 굽힘 가공을 실시함으로써 예를 들어 도 2에서와 같이 성형될 수 있다.

[0085] <개편(個片)화 공정>

[0086] 다음으로 도 7에 나타내는 개편화 공정에서는 도 12에 나타내는 복수의 현수 리드(HL) 각각을 절단해서 복수의 디바이스 형성부(LFa) 각각에 있어서 반도체 패키지를 분리한다. 본 공정에서는 복수의 현수 리드(HL), 및 밀봉체(MR)의 모서리부에 남은 수지를 절단해서 반도체 패키지인 도 1에 나타내는 반도체 장치(PKG1)(상세하게는 검사 공정 이전의 검사체)를 취득한다. 절단 방법으로서 예를 들어 상기 리드 성형 공정과 마찬가지로 도시하지 않는 절단 금형을 사용한 프레스 가공에 의한 방법을 들 수 있다.

[0087] 본 공정 후에 외관 검사, 전기적 시험 등 필요한 검사 및 시험을 실시해서 합격된 것이 도 1 내지 도 3에 나타내는 완성품인 반도체 장치(PKG1)가 된다. 그리고 반도체 장치(PKG1)는 출하되거나 도시하지 않는 실장 기판에 실장된다.

[0088] <와이어 본딩 공정의 상세한 내용>

[0089] 다음으로 도 7에 나타내는 와이어 본딩 공정의 상세한 내용에 대해 설명한다. 도 13은 도 4의 B부에 있어서 패드에 와이어가 연결된 상태를 나타내는 확대 평면도이다. 도 14는 도 13의 A-A선을 따른 확대 단면도이다.

[0090] 도 10에 나타내는 바와 같이 본 실시형태의 와이어 본딩 공정에서는 와이어(BW)의 한쪽 단부가 반도체 칩(CP)의 패드(PD)에 접합되고, 와이어(BW)의 다른쪽 단부는 리드(LD)의 이너 리드부(ILD)에 접합된다. 또, 와이어(BW)와 패드(PD)를 접합하는 공정에서는 와이어(BW)에 형성된 볼부를 패드(PD)에 압착하는, 소위 볼 본딩 방식에 의해 와이어(BW)가 패드(PD)에 접합된다.

[0091] 상세한 내용은 후술하나 도 13 및 도 14에 예시하는 바와 같이 볼 본딩 방식으로 와이어(BW)의 볼부(BWb)를 패드(PD)에 접합할 경우에는 볼부(BWb)에 초음파 진동과 같은 고주파 진동을 인가함으로써 접합 강도를 향상시킬 수 있다. “초음파” 및 “초음파 진동”이란 인간의 청취 가능 대역보다 높은 주파수를 가진 탄성파이다. 본원에서는 20kHz 이상의 고주파를 “초음파” 또는 “초음파 진동”이라고 부른다. 한편 단순한 “진동”은 초음파 이외에 20kHz 미만의 주파수를 가진 탄성파도 포함한다. 초음파 진동을 인가했을 경우에는 예를 들어 도 14에 나타내는 바와 같이 볼부(BWb)와 패드(PD)의 접합 계면에 와이어(BW)를 구성하는 금속과 패드(PD)를 구성하는 금속으로 이루어지는 합금층(PDa)(도 14 참조)이 형성된다. 또, 접합면(PDt)과 볼부(BWb) 사이에 패드(PD)의 산화막이 개재되면 접합 강도 저하 혹은 전기적 특성 저하의 원인으로 되므로 접합면(PDt)의 노출면에 형성된 산

화막을 제거하기 위한 동작(후술하는 스크러빙(scrubbing) 동작)을 실시하는 것이 바람직하다.

- [0092] 그런데 본원 발명자가 검토한 바에 따르면 스크러빙 동작을 실시하면서 볼부(BWb)에 초음파 진동과 같은 고주파 진동을 인가했을 경우에는 접합면(PDt)과 볼부(BWb)의 계면의 일부분에 합금층이 형성되고, 다른 일부에서는 제거 이전의 산화막에 저해되어서 합금층이 형성되지 않는 상태로 된다. 이와 같이 접합 계면이 불균일한 상태로 되면 응력이 국소적으로 집중되기 쉬운 것으로 판명되었다. 특히 본 실시형태에서와 같이 패드(PD)의 두께(THpd)(도 6 참조)가 얇을 경우에는 상술한 응력으로 인해 패드(PD) 자체가 손상될 수 있는 것으로 판명되었다.
- [0093] 또, 패드(PD) 자체의 손상 혹은 패드(PD)의 하층 부재가 손상되는 원인으로서 와이어 본딩 공정에 있어서 패드(PD)에 인가되는 하중이 큰 것이 있다. 그러나 본원 발명자가 검토한 바에 따르면 패드(PD) 자체의 손상 혹은 패드(PD)의 하층 부재가 손상되는 주된 원인은 상술한 바와 같이 접합 계면이 불균일한 상태로 되는 것으로 인해 생기는 응력으로 판명되었다. 다르게 말하면 패드(PD)의 접합면(PDt)과 볼부(BWb)의 접촉 계면이 균일하게 활성화된 상태로 접합을 개시할 수 있으면 접촉 계면에 양호한 합금층(PDa)(도 14 참조)이 형성되므로 패드(PD) 자체 혹은 패드(PD)의 하층 부재의 손상을 억제할 수 있는 것으로 판명되었다.
- [0094] 특히 도 6에 나타내는 바와 같이 패드(PD)의 두께(THpd)가 얇을 경우에는 상기 응력으로 인해 패드(PD)에 예를 들어 크랙 등의 손상이 발생되기 쉽다. 혹은 패드(PD)에 손상이 발생되지 않아도 패드(PD)의 뒷면(PDb)과 밀착된 절연층(IML1)에 크랙 등의 손상이 발생할 경우가 있다. 또, 패드(PD)에 크랙이 발생되면 이 크랙이 반도체 기판(SS)의 상면(SSt)을 향해 진행될 경우가 있다.
- [0095] 예컨대 패드(PD) 자체, 혹은 패드(PD)와 도체 패턴(CBP) 사이에 개재되는 절연층(IML1)에 크랙이 발생되며, 이 크랙이 진행되어 별도의 신호 배선 등에 도달되었을 경우에는 이 크랙이 전류 리크패스(leak pass)의 원인으로 되므로 반도체 칩(CP)의 전기적 특성이 저하되는 원인으로 될 경우가 있다. 또, 패드(PD)와 중첩되는 위치에 패드(PD) 외의 전극에 연결되는 배선이 형성되어 있을 경우에는 패드(PD) 등의 손상으로 인해 전류의 누설이 발생되기 쉽다.
- [0096] 특히 본 실시형태에서와 같이 동(Cu)으로 이루어지는 와이어(BW)의 볼부(BWb)를 알루미늄(Al)으로 이루어지는 패드(PD)에 접합할 경우에는 와이어(BW)의 경도(hardness)가 패드(PD)의 경도보다 크다. 예컨대 비커스 경도로 비교하면 동의 경도는 46Hv인 반면에 알루미늄의 경도는 25Hv이다. 이와 같이 상대적으로 부드러운 부재에 굳은 부재를 접합할 경우에는 부드러운 부재의 피접합부의 두께가 얇으면 피접합부 주변에 손상이 발생되기 쉽다.
- [0097] 한편 피접합부 주변의 손상을 막기 위해 예를 들어 상기 스크러빙 동작을 실시하지 않을 경우에는 접합 계면에서의 산화막의 제거가 불충분해지므로 접합 강도 저하 혹은 전기적 특성 저하의 원인으로 된다. 또, 예컨대 피접합부 주변의 손상을 막기 위해 초음파 진동과 동시에 인가하는 하중을 작게 했을 경우에는 하중 부족으로 인해 접합 강도가 저하되는 원인으로 된다. 특히 본 실시형태에서와 같이 동(Cu)으로 이루어지는 와이어(BW)의 볼부(BWb)를 알루미늄(Al)으로 이루어지는 패드(PD)에 접합할 경우에는 접합면(PDt)과 볼부(BWb)의 계면 전체가 균일한 상태(합금층 형성에 적합한 활성화 상태)로 된 이후에 충분히 큰 하중(예를 들어 0.15N(뉴턴) 가량)을 인가하면서 초음파를 인가하면 양호한 접합 상태를 얻기 쉽다. 또, 상세한 내용은 후술하나 본 실시형태의 경우 접합면(PDt)과 볼부(BWb)의 계면 전체를 균일한 상태로 하기 위한 공정으로서 스크러빙 동작을 실시하는 공정(후술하는 도 17에 나타내는 스크러빙 공정(ST4)) 및 합금층이 형성되지 않을 정도의 하중을 인가하면서 초음파를 인가하는 공정(도 17에 나타내는 활성화 공정(ST5))이 포함된다.
- [0098] 본 실시형태에서와 같이 패드(PD)의 두께(THpd)(도 6 참조)가 얇을 경우에는 특히 볼 본딩 시에 피접합부에 인가하는 부하(응력)를 저감함과 동시에 접합 강도를 향상시키는 기술이 필요하게 된다. 이하에 본 실시형태의 와이어 본딩 공정에 대해 도면을 사용해서 순차적으로 설명한다.
- [0099] 도 15는 도 7에 나타내는 와이어 본딩 공정에서 사용하는 와이어 본딩 장치와 리드 프레임의 위치 관계를 나타내는 평면도이다. 도 16은 도 15의 A-A선을 따른 단면을 모식적으로 나타내는 단면도이다. 또, 도 17은 도 7에 나타내는 와이어 본딩 공정 중 와이어의 볼부와 패드를 연결하는 공정에 있어서 본딩 톨의 높이, 볼부에 인가되는 하중, 스크러빙 동작의 유무, 및 초음파 진동의 유무의 관계를 나타내는 타이밍 차트이다. 도 17에서는 후술하는 스크러빙 동작을 실시하고 있는 기간 및 초음파를 인가하고 있는 기간 각각에 해칭을 해서 나타내고 있다. 또, 도 18 내지 도 25 각각은 도 17의 타이밍 차트에 나타내는 각 시간에 실시하는 각 공정의 동작을 나타내는 확대 평면도 또는 확대 단면도이다. 또, 상술한 도 14 및 도 25에서는 볼부(BWb)와 패드(PD) 사이에 합금층(PDa)을 도시하고 있으나 합금층(PDa)의 두께나 형상은 다양한 변형예가 있다.
- [0100] 본 실시형태의 와이어 본딩 공정에서는 예를 들어 도 15에 나타내는 바와 같이 리드 프레임(LF)이 고정된 스테

이지(STG) 옆에 와이어 본딩 장치(WBD)를 배치한다. 리드 프레임(LF)과 와이어 본딩 장치(WBD)는 예를 들어 도 15에 나타내는 위치에 배치된다. 즉, 와이어 본딩 장치는 평면에서 보아 X방향을 따라 혼(horn)(USH)이 연장되도록 배치되며, 혼(USH)을 사이에 두고 발전기(USG)의 반대측에 리드 프레임(LF)이 배치된다. 이로써 와이어(BW)의 볼부(BWb)(도 16 참조)에 X방향을 따라 진동하는 초음파(US1)를 인가할 수 있다.

- [0101] 또, 와이어 본딩 장치(WBD)는 도 16에 나타내는 모세관(CAP), 혼(USH) 및 발전기(USG)를 포함하는 본딩 헤드부를 지지하기 위한 지지부(SUP)를 가진다. 지지부(SUP)는 도 15에 나타내는 X-Y 평면을 따라 자유로이 이동시킬 수 있으며, 지지부(SUP)와 함께 본딩 헤드의 위치를 이동시킴으로써 리드 프레임(LF)의 복수의 패드(PD) 각각에 와이어(BW)를 연결할 수 있다.
- [0102] 또, 볼 본딩 공정에 있어서 와이어(BW)의 볼부(BWb)에 인가된 하중은 모세관(CAP)이 고정된 혼(USH)의 선단 부분이 아래쪽으로 눌러 내려가 모세관(CAP)을 통해서 볼부(BWb)로 전달된다.
- [0103] 본 실시형태의 와이어 본딩 공정은 도 16에 나타내는 바와 같이 모세관(CAP)의 하단측으로부터 돌출되는 와이어(BW)의 단부에 볼부(BWb)를 형성하는 공정(도 17에 나타내는 볼부 형성 공정(ST1))을 포함한다. 볼부(BWb)는 도 시하지 않는 전기 토치(electric flame off)로 와이어(BW)의 첨단에 방전함으로써 형성된다. 볼부 형성 공정(ST1)은 도 17에 나타내는 시간(타이밍)(T0)에 실시된다.
- [0104] 또, 와이어 본딩 공정은 도 18 및 도 19에 나타내는 바와 같이 패드(PD)의 접합면(PDt)에 와이어(BW)의 볼부(BWb)를 접촉시키는 공정(도 17에 나타내는 볼부 접촉 공정(ST2))을 포함한다. 볼부 접촉 공정(ST2)은 도 17에 나타내는 시간(타이밍)(T1)에 실시된다. 이 공정에서는 본딩 틀인 모세관(CAP)의 첨단에 지지된 구형(球形)의 볼부(BWb)의 선단 부분이 접합면(PDt)에 접촉된다.
- [0105] 또, 와이어 본딩 공정은 도 20 및 도 21에 나타내는 바와 같이 볼부 접촉 공정(ST2) 후에 와이어(BW)의 볼부(BWb)를 접합면(PDt)을 향해 하중(M1)(도 17 참조)으로 눌러 볼부(BWb)를 변형시키는 공정(도 17에 나타내는 볼부 변형 공정(ST3))을 포함한다. 볼부 변형 공정(ST3)은 도 17에 나타내는 시간(T1)과 시간(타이밍)(T2) 사이에 실시된다. 볼부 변형 공정(ST3)에서는 모세관(CAP)을 통해서 볼부(BWb)에 하중을 인가해서 볼부(BWb)를 패드(PD)의 두께 방향으로 누른다. 이 때 인가되는 하중(M1)의 크기는 도 17에 나타내는 시간(T1)과 시간(타이밍)(T7) 사이에 가장 커지며, 예를 들어 0.8N(뉴턴) 정도이다. 이 때 볼부(BWb) 및 패드(PD)는 가열되어 있다. 또, 볼부(BWb)는 패드(PD)와 모세관(CAP)에 끼워져 모세관(CAP)의 형상에 맞게 변형된다. 또, 도 21에 나타내는 바와 같이 볼부(BWb)의 일부분이 패드(PD)에 눌러서 패드(PD)의 일부분이 변형된다. 이 때 볼부(BWb)의 일부분이 패드(PD)에 매립되므로 매립된 영역의 패드(PD)를 구성하는 금속 재료의 일부분이 볼부(BWb)의 주위로 배출된다. 이 때문에 도 21에 나타내는 바와 같이 패드(PD)의 접합면(PDt)은 볼부(BWb)와 밀착된 영역의 주위의 높이가 볼부(BWb)와 밀착된 영역보다 불거진 상태로 된다.
- [0106] 또, 본 실시형태에서는 큰 하중을 인가하는 볼부 변형 공정(ST3)을 실시하는 시간이 도 17에 나타내는 스크러빙 공정(ST4)이나 초음파를 인가하는 기간보다 짧다. 볼부 변형 공정(ST3)을 실시하는 기간의 길이(시간(T2)-시간(T1))는 1msec(밀리 초) 정도이다. 이와 같이 단기간 동안에 큰 하중을 인가함으로써 도 21에 나타내는 볼부(BWb) 중 접합면(PDt)에 밀착되는 면의 평탄성을 향상시킬 수 있다.
- [0107] 도 17에 나타내는 바와 같이 시간(T1)과 시간(T2) 사이, 다르게 말하면 볼부 변형 공정(ST3)에서는 초음파가 인가되지 않으며, 또 후술하는 스크러빙 동작도 실시되지 않는다. 이 때문에 볼부 변형 공정(ST3)에서는 비교적 큰 하중을 인가한 경우라도 패드(PD) 자체 혹은 절연층(IML1)의 손상이 발생되기 어렵다.
- [0108] 또, 와이어 본딩 공정은 도 22 및 도 23에 나타내는 바와 같이 볼부 변형 공정(ST3)(도 17 참조) 후에 하중(M1)(도 17 참조)보다 작은 하중(M2)(도 17 참조)으로 와이어(BW)의 볼부(BWb)를 패드(PD)를 향해 누르면서 평면에서 보아 볼부(BWb)를 X 방향 및 Y 방향을 포함하는 복수의 방향으로 이동시키는 공정(도 17에 나타내는 스크러빙 공정(ST4))을 포함한다.
- [0109] 도 15 및 도 16에 나타내는 와이어 본딩 장치(WBD)의 지지부(SUP)는 도 15에 나타내는 X-Y평면에 있어서 자유롭게 이동시키는 것이 가능하다. 또, 지지부(SUP)의 이동량을 조정함으로써 도 25에 나타내는 볼부(BWb)를 가압하면서 볼부(BWb)와 패드(PD)의 평면에서 본 상대적 위치 관계를 이동시키는 동작(스크러빙 동작이라고 부른다)을 실시하는 것이 가능하다. 이 스크러빙 동작에 의해 볼부(BWb)에 진동을 줄 경우에는 비교적 낮은 주파수(예를 들어 1Hz 정도)로 볼부(BWb)를 기계적으로 진동시킬 수 있다.
- [0110] 이와 같이 볼부(BWb)를 가압하면서 낮은 주파수로 볼부(BWb)를 진동시키면 볼부(BWb)와 패드(PD)의 접합면(PDt)의 계면에서 금속 산화막이 제거된다. 볼부(BWb)와 패드(PD)의 접합 계면에 안정적으로 합금층(PDa)(도 14 참

조)을 형성하기 위해서는 상기 금속 산화막이 제거되어 있는 것이 바람직하다. 따라서 스크러빙 공정(ST4)에서는 볼부(BWb)와 패드(PD)가 접촉되어 있는 부분의 주변 영역도 포함해서 금속 산화막을 제거하는 것이 바람직하다.

[0111] 본 실시형태의 경우에는 상술한 바와 같이 도 15 및 도 16에 나타내는 와이어 본딩 장치(WBD)의 지지부(SUP)를 도 15에 나타내는 X-Y평면에 있어서 자유롭게 이동시키는 것이 가능하다. 이 때문에 스크러빙 공정(ST4)(도 17 참조)에서는 볼부(BWb)와 패드(PD)가 접촉되어 있는 부분(접촉 계면)의 주변 영역도 포함해서 금속 산화막을 제거할 수 있다. 상세하게는 도 15에 나타내는 X-Y평면에 있어서 와이어 본딩 장치(WBD)의 지지부(SUP)가 X방향 및 Y방향으로 동시에 진동한 경우에는 X방향의 진동 주기 및 진폭과 Y방향의 진동 주기 및 진폭을 조정함으로써 X-Y평면에 있어서 볼부(BWb)를 임의의 방향으로 작동시킬 수 있다. 예컨대 도 22에 방향(DR1)으로서 모식적으로 나타내는 바와 같이 볼부(BWb)를 패드(PD) 중앙을 중심으로 한 원을 그리듯이 작동시킬 수 있다. 다르게 말하면 지지부(SUP)를 평면에서 보아 복수의 방향으로 동시에 작동시킴으로써 볼부(BWb)에 원 운동(혹은 나선 운동)을 시킬 수 있다. 또, 예컨대 도 22에 방향(DR2)으로서 나타내는 바와 같이 X-Y평면에 있어서 서로 교차되는 임의의 방향(예를 들어 X방향과 Y방향)으로 진동시킬 수 있다. 이와 같이 패드(PD)의 접합면(PDt)을 따른 평면에 있어서 볼부(BWb)를 복수의 방향으로 이동시킴으로써 볼부(BWb)와 패드(PD)가 접촉되어 있는 부분 및 그 주변 영역에 있어서 금속 산화막을 확실하게 제거할 수 있다. 그 결과 후술하는 주요 접합 공정(ST6)에 있어서 와이어(BW)인 금속(예를 들어 동)과 패드(PD)인 금속(예를 들어 알루미늄)의 합금층(PDa)(도 14 참조)이 형성될 때에 금속 산화물 성분이 혼입되기 어려워진다.

[0112] 또, 도 22는 방향(DR2)으로서 양단에 화살표를 붙인 복수의 양방향 화살표를 모식적으로 나타내고 있다. “볼부(BWb)를 진동시킨다”라 함은 양방향 화살표로 표시한 직선을 따라 볼부(BWb)를 서로 반대측 방향으로 왕복 운동(동일한 선 상을 왕복)시키는 것을 말한다. 그리고 이 왕복 운동은 어떤 주파수를 가진 초음파를 볼부에 인가함으로써 발생된다. 후술하는 도 24나 도 25에도 양방향 화살표로 방향(DR3)을 나타내고 있는데 이 경우도 또한 볼부(BWb)가 방향(DR3)에 의해 나타내어진 직선을 따라 왕복 운동을 하고 있는 것을 나타내고 있다.

[0113] 스크러빙 공정(ST4)(도 17 참조)에 있어서 볼부(BWb)에 인가되는 하중(M2)(도 17 참조)의 값으로서는 다양한 변형예가 적용 가능하지만 본 실시형태의 경우에는 후술하는 주요 접합 공정(ST6)(도 17 참조)에 있어서 인가되는 하중(M4)(도 17 참조)보다 낮으며, 예를 들어 0.1N(뉴턴) 가량이다. 스크러빙 공정(ST4)에 있어서 인가되는 하중(M2)의 값이 작으면 스크러빙 공정(ST4) 도중에 패드(PD)의 주변에 인가되는 응력을 저감할 수 있다. 한편 금속 산화막을 제거하기 쉽게 하는 관점에서는 하중(M2)의 값이 큰 편이 바람직하다. 본원 발명자가 검토한 바에 따르면 하중(M2)이 도 17에 나타내는 하중(M4)과 동일한(예를 들어 0.15N(뉴턴) 정도인) 경우에는 스크러빙 공정(ST4) 도중에서의 패드(PD)(도 23 참조)나 절연층(IML1)(도 23 참조)의 손상은 확인되지 않았다. 또, 도 17에 나타내는 하중(M2)이 후술하는 활성화 공정(ST5)에서 인가되는 하중(M3)과 동일한(예를 들어 0.05N(뉴턴) 가량인) 경우에는 금속 산화막을 제거할 수 있는 것으로 확인되었다.

[0114] 또, 도 23에 나타내는 바와 같이 스크러빙 공정(ST4)(도 17 참조)에서는 패드(PD)를 구성하는 금속 재료의 일부분이 볼부(BWb)와 밀착된 영역의 주위로 배출된다. 이 때문에 패드(PD)의 접합면(PDt)은 볼부(BWb)와 밀착된 영역의 주위가 볼부(BWb)와 밀착된 영역에 비해 불거진 상태로 된다. 볼부(BWb)와 밀착된 영역의 주위가 불거지는 정도는 상술한 볼부 변형 공정(ST3)(도 17 참조) 시보다 더 크다.

[0115] 또, 와이어 본딩 공정은 스크러빙 공정(ST4) 후에 하중(M2)(도 17 참조)보다 작은 하중(M3)(도 17 참조)으로 와이어(BW)의 볼부(BWb)를 패드(PD)를 향해 누르면서 모세관(CAP)을 개재해서 볼부(BWb)에 초음파를 인가하는 공정(도 17에 나타내는 활성화 공정(ST5))을 포함한다. 또, 와이어 본딩 공정은 활성화 공정(ST5) 후에 하중(M3)보다 크고, 하중(M1)(도 17 참조)보다 작은 하중(M4)(도 17 참조)으로 와이어(BW)의 볼부(BWb)를 패드(PD)를 향해 누르면서 초음파를 인가해서 볼부(BWb)와 패드(PD)를 접합하는 공정(도 17에 나타내는 주요 접합 공정(ST6))을 포함한다.

[0116] 다시 말하면 본 실시형태의 와이어 본딩 공정에서는 앞서 저하중(하중(M3)) 상태로 초음파를 인가한 후, 상대적으로 높은 하중(M4)으로 올린 상태로 계속 초음파를 인가 함으로써 볼부(BWb)와 패드(PD)를 접합한다. 활성화 공정(ST5)은 도 17에 나타내는 시간(T5)과 시간(타이밍)(T6) 사이에 실시된다. 또, 주요 접합 공정(ST6)은 도 17에 나타내는 시간(T6)과 시간(타이밍)(T7) 사이에 실시된다.

[0117] 본 실시형태에서는 활성화 공정(ST5) 및 주요 접합 공정(ST6)에서 인가되는 초음파 주파수가 예를 들어 120kHz(킬로헤르츠(KHz)) 가량이다. 또, 활성화 공정(ST5) 및 주요 접합 공정(ST6)을 실시하는 시간(시간(T7))-시간(T5)은 10msec(밀리 초) 가량이다.

- [0118] 본원 발명자가 검토한 바에 따르면 와이어(BW)와 패드(PD)는 어느 정도의 고하중을 인가한 상태로 초음파 진동 등의 고주파 진동을 인가함으로써 접합된다. 특히, 동으로 이루어지는 와이어(BW)와 알루미늄으로 이루어지는 패드(PD)는 접합하기 어려워 상술한 볼부 접촉 공정(ST2), 볼부 변형 공정(ST3), 및 스크러빙 공정(ST4)의 각 공정 도중에는 볼부(BWb)와 패드(PD)가 밀착되는 계면에 합금층(PDa)(도 14 참조)이 거의 형성되지 않는다. 또, 접합 강도 혹은 전기적 특성의 관점에서 양호한 상태의 합금층(PDa)을 형성하기 위해서는 본 실시형태에서와 같이 사전에 저하중의 상태로 초음파 인가를 개시하고, 그 후에 고하중 상태로 초음파를 인가하는 방법이 특히 바람직한 것으로 나타났다.
- [0119] 본 실시형태의 활성화 공정(ST5)(도 17 참조)에서 인가되는 하중(M3)(도 17 참조)은 예를 들어 0.05N(뉴턴) 정도이다. 이와 같이 초음파 인가 시의 하중이 낮을 경우에는 초음파를 인가해도 볼부(BWb)와 패드(PD)의 접합은 개시되지 않고 볼부(BWb)와 패드(PD)의 밀착 계면이 스쳐서 활성화된다. 또, 활성화 공정(ST5)에서의 하중(M3)의 값이 낮으므로 이 단계에서는 볼부(BWb)와 패드(PD)의 접합이 개시되지 않는다. 다시 말해 본 실시형태에 따르면 볼부(BWb)와 패드(PD)의 밀착 계면의 일부분에서 국소적으로 접합(합금층(PDa)(도 25 참조)의 형성)이 개시됨을 억제할 수 있다. 그리고 밀착 계면 전체가 활성화된 상태로 하중(M4)(도 17 참조) 및 초음파를 인가하면 밀착 계면 전체에 합금층(PDa)이 형성된다. 이 때문에 하중(M4)의 값이 그리 크지 않을 경우라도 양호한 합금층(PDa)을 얻을 수 있다. 하중(M4)의 값은 예를 들어 0.15N(뉴턴) 가량이다.
- [0120] 요컨대 본 실시형태에 따르면 하중(M4)보다 낮은 하중(M3)을 인가한 상태로 초음파를 인가하는 활성화 공정(ST5) 후에 볼부(BWb)에 인가하는 하중을 크게 해서 하중(M4) 및 초음파를 인가함으로써 접합면(PDt)과 볼부(BWb)의 접촉 계면이 균일하게 활성화된 상태로 접합을 개시할 수 있다. 그 결과 주요 접합 공정(ST6)에서 패드(PD)에 인가되는 응력의 영향으로 인해 패드(PD)나 절연층(IML1)이 손상됨을 억제할 수 있다. 또, 주요 접합 공정(ST6) 이전에 활성화 공정(ST5)을 실시하므로 도 25에 나타내는 볼부(BWb)와 패드(PD) 사이에 형성되는 합금층(PDa)의 막질이 양호하다. 이 때문에 주요 접합 공정(ST6)에서의 하중(M4)이 낮을 경우라도 충분한 접합 강도를 확보할 수 있다. 또, 본 실시형태에 따르면 합금층(PDa)의 밀도나 조성에 불균일이 생기기 어려우므로 와이어(BW)와 패드(PD)의 접합 계면에서의 전기적인 특성을 안정화시킬 수 있다.
- [0121] 또, 본 실시형태의 경우에는 도 17에 나타내는 스크러빙 공정(ST4)이나 활성화 공정(ST5)에서 인가되는 하중(M2, M3)이 하중(M4)보다 작다. 이 때문에 볼 본딩을 수행하는 기간 동안(도 17에 나타내는 시간(T7)-시간(T1))에 인가되는 하중이 패드(PD)(도 25 참조)에 주는 충격량을 저감할 수 있다.
- [0122] 또, 활성화 공정(ST5)에서 패드(PD)의 접합면(PDt)이 활성화된 후에 즉시 주요 접합 공정(ST6)을 개시하는 관점에서는 도 17에 나타내는 바와 같이 활성화 공정(ST5)에서 인가된 초음파가 계속적으로 인가된 상태로 주요 접합 공정(ST6)을 실시하는 것이 바람직하다. 단, 초음파의 온-오프 전환을 용이하게 할 수 있을 경우에는 활성화 공정(ST5)에서 주요 접합 공정(ST6)으로 옮기 전에 초음파 인가를 일단 정지해도 된다.
- [0123] 그런데 활성화 공정(ST5) 및 주요 접합 공정(ST6)에서 인가되는 초음파는 도 15 및 도 16에 나타내는 와이어 본딩 장치(WBD)의 발진기(USG)에 의해 생성된다. 상세하게는 발진기(USG)에서 발진된 초음파(US1)는 혼(horn)(USH)으로 증폭되어서 모세관(CAP)을 개재해서 와이어(BW)에 전달된다. 본 실시형태의 경우에는 상술한 바와 같이 활성화 공정(ST5) 및 주요 접합 공정(ST6)에서 예를 들어 120kHz(킬로헤르츠) 가량의 주파수의 초음파가 인가된다. 또, 상술한 바와 같이 접합 계면이 불균일한 상태인 것으로 인해 생기는 응력을 저감하는 관점에서는 스크러빙 공정(ST4) 시 접합이 개시되지 않도록 하는 것이 바람직하다. 따라서 활성화 공정(ST5) 및 주요 접합 공정(ST6) 이외의 각 공정에서는 발진기(USG)를 오프 시켜서 초음파가 인가되지 않도록 하는 것이 특히 바람직하다. 단, 볼부(BWb)와 패드(PD)의 접합에 영향을 미치지 못할 정도의 진동이 인가되어 있어도 된다. 예컨대 스크러빙 공정(ST4)에서 볼부(BWb)에 1Hz(헤르츠) 가량의 주파수의 진동이 인가되어 있어도 된다. 또, 예컨대 볼부(BWb)와 접합면(PDt)의 접합 개시에 기여하지 않을 정도의 초음파라면 예를 들어 도 17에 나타내는 스크러빙 공정(ST4)에 초음파가 인가되어 있어도 된다. 스크러빙 공정(ST4)에서 초음파가 인가될 경우에는 이 주파수는 후술하는 활성화 공정(ST5) 및 주요 접합 공정(ST6)에서 인가되는 초음파의 주파수 대비 절반 미만(특히 바람직하게는 1/4이하)인 것이 바람직하다.
- [0124] 또, 볼부(BWb)에 인가되는 초음파의 진동 방향은 다음과 같은 이유로 인해 한쪽 방향에 한정된다. 초음파(US1)는 소밀파(종파)이므로 혼(USH)의 연장 방향(도 15 및 도 16에 나타내는 예에서는 X방향)을 따라 진동된다. 또, 도 16에 나타내는 바와 같이 모세관(CAP)은 혼(USH)에 고정되어 있으므로 모세관(CAP)을 개재해서 볼부(BWb)에 전달되는 초음파(US1)의 평면에서 보았을 때의 진동 방향은 혼(USH)의 연장 방향과 동일한 방향으로 된다.
- [0125] 도 24 및 도 25에 나타내는 예에서는 초음파의 진동 방향(직선을 따라 왕복 운동하는 방향)인 방향(DR3)은 X방

향과 동일하다. 단, 상술한 바와 같이 초음파의 진동 방향은 도 15에 나타내는 혼(USH)의 연장 방향에 따라 규정된다. 이 때문에 본 실시형태의 변형예로서는 초음파의 진동 방향인 방향(DR3)이 X방향 및 Y방향과 상위한 방향(X방향 및 Y방향과 교차되는 방향)이어도 된다.

[0126] 또, 볼부(BWb)에 초음파를 인가하면 초음파에 따른 진동으로 인해 패드(PD)를 구성하는 금속 재료의 일부분이 주위로 배출되어 스플래쉬(splash)부(SPP)가 형성된다. 스플래쉬부(SPP)는 초음파의 진동 방향인 방향(DR3)으로 연장된다. 이 때문에 도 24에 나타내는 예에서는 스플래쉬부(SPP)는 Y방향보다 X방향으로 길게 연장된다. 또, 스플래쉬부(SPP)는 고주파 진동이 인가되는 것으로 인해 길게 성장된다. 따라서 상술한 볼부 변형 공정(ST3)(도 17 참조)이나 스크러빙 공정(ST4)(도 17 참조)에서도 볼부(BWb)의 주위에 불거진 부분이 형성되지만 스플래쉬부(SPP)는 이들 불거진 부분과 비교해서 얇고 또 길게 연장된다.

[0127] 또, 활성화 공정(ST5)(도 17 참조)과 주요 접합 공정(ST6)(도 17 참조)을 비교하면 초음파 인가 시에 볼부(BWb)에 인가되는 하중이 작을수록 스플래쉬부(SPP)가 성장되기 쉽다. 따라서, 본 실시형태의 경우에는 활성화 공정(ST5)에서 스플래쉬부(SPP)가 성장되기 쉽다. 단, 다음과 같은 관점에서는 스플래쉬부(SPP)의 진행을 억제하는 것이 바람직하다. 즉, 스플래쉬부(SPP)가 성장되어 서로 인접한 패드(PD) 각각에 형성된 스플래쉬부(SPP)끼리가 접촉되면 전기적인 단락의 원인으로 된다. 또, 스플래쉬부(SPP)의 면적이 커지면 과단되기 쉬워지는 데 패드(PD)와 스플래쉬부(SPP)가 과단되어 분리되면 전도성 이물질이 된다. 따라서 반도체 장치의 신뢰성을 향상시키는 관점에서 스플래쉬부(SPP)가 발생되어도 그 면적을 작게 억제하는 것이 바람직하다.

[0128] 스플래쉬부(SPP)의 성장을 억제하는 방법으로서는 스플래쉬부(SPP)의 원료로 되는 패드(PD)의 체적을 작게 하는 방법이 유효하다. 본 실시형태의 경우에는 상술한 바와 같이 패드(PD)의 두께(THpd)(도 6 참조)가 얇으며 예를 들어 패드(PD)를 피복하는 절연막(PV)의 두께(THpv)(도 6 참조) 이하이다. 이와 같이 본 실시형태에 따르면 패드(PD)의 두께(THpd)가 얇으므로 활성화 공정(ST5)에서 저하중인 하중(M3)(도 17 참조)이 인가된 상태로 초음파를 인가해도 스플래쉬부(SPP)의 성장을 억제할 수 있다.

[0129] 또, 본 실시형태의 경우에는 도 14에 나타내는 합금층(PDa)의 대부분은 도 17에 나타내는 주요 접합 공정(ST6)에서 형성된다. 다시 말하면 주요 접합 공정(ST6)이 개시될 때까지는 볼부(BWb)와 패드(PD)는 거의 접합되어 있지 않다. 이 때문에 접합 강도를 향상시키는 관점에서는 합금층(PDa)이 형성되는 주요 접합 공정(ST6)의 실시 시간은 어느 정도 긴 편이 좋다. 본 실시형태의 경우에는 도 17에 나타내는 바와 같이 주요 접합 공정(ST6)의 길이(시간(T6)-시간(T5))가 활성화 공정(ST5)의 길이(시간(T5)-시간(T4))보다 길다. 다시 말하면 주요 접합 공정(ST6)에서 초음파를 인가하는 시간이 활성화 공정(ST5)에서 초음파를 인가하는 시간보다 길다. 또, 주요 접합 공정(ST6)의 길이(시간(T6)-시간(T5))가 볼부 변형 공정(ST3)의 길이(시간(T4)-시간(T3))보다 길다. 이와 같이 주요 접합 공정(ST6)의 길이를 길게 함으로써 볼부(BWb)와 패드(PD) 사이의 접합 강도를 향상시킬 수 있다.

[0130] 이상의 공정들에 따라 와이어(BW)의 볼부(BWb)가 패드(PD)에 접합된다. 와이어 본딩 공정에서는 볼부(BWb)와 패드(PD)를 접합한 이후에, 즉 주요 접합 공정(ST6) 후에 도 10에 나타내는 바와 같은 와이어 루프(wire loop)를 형성한다. 와이어 루프는 와이어(BW)를 모세관(CAP)(도 25 참조)으로부터 끌어 내면서 모세관(CAP)을 리드(LD)의 와이어 본딩 영역을 향해 이동시킨다. 그 후 와이어(BW)의 다른쪽 단부를 리드(LD)의 상면(LDt)에 접합함으로써 도 10에 나타내는 와이어(BW)를 형성한다.

[0131] <변형예>

[0132] 이상으로 본 발명자에 의해 이루어진 발명을 실시형태에 의거해서 구체적으로 설명했으나 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지로부터 벗어나지 않는 범위에서 다양하게 변형이 가능한 것은 말할 나위도 없다.

[0133] <변형예 1>

[0134] 상기 실시형태에서는 볼 본딩 공정에서의 본딩 톨의 높이, 볼부에 인가하는 하중, 스크러빙 동작의 유무, 및 초음파 진동의 유무의 관계에 대해 도 17에 나타내는 타이밍 차트를 사용해서 설명했으나, 도 17에 대해서는 다양한 변형예를 적용할 수 있다. 도 26 내지 도 28 각각은 도 17에 대한 변형예인 타이밍 차트이다.

[0135] 우선 도 17에서는 스크러빙 공정(ST4)에서 볼부(BWb)에 인가되는 하중(M2)의 값이 하중(M3)보다 크고, 또 하중(M4)보다 작은 실시양태에 대해 설명했으나, 하중(M2)의 값에는 다양한 변형예가 있다.

[0136] 예컨대 도 26에 나타내는 변형예와 같이 스크러빙 공정(ST4)에서 볼부(BWb)(도 23 참조)에 인가되는 하중(M2)의 값이 주요 접합 공정(ST6)에서 볼부(BWb)(도 25 참조)에 인가되는 하중(M4)의 값과 동일해도 된다. 도 26에 나

타내는 변형예의 경우에는 스크러빙 동작이 종료되는 시간(T4) 이후이고, 또 초음파를 인가하는 시간(T5) 이전에 볼부(BWb)에 인가되는 하중을 작게 해서 하중(M3)으로 한다. 그리고 초음파를 인가하는 시간(T5) 이후에 볼부(BWb)에 인가되는 하중을 다시 크게 해서 하중(M2)과 동일한 하중(M4)으로 한다. 이 경우 스크러빙 공정(ST4)에 있어서 도 17에 나타내는 예와 비교해서 큰 하중을 이용해서 금속 산화막을 제거하므로 금속 산화막을 효율적으로 제거할 수 있다. 도 17 및 도 26에 나타내는 예에서는 스크러빙 동작을 실시하는 기간의 길이(시간(T4)-시간(T3))는 5msec(밀리 초) 가량이지만 금속 산화막의 제거 효율의 정도에 따라서는 이 기간의 길이를 단축할 수 있을 경우도 있다.

[0137] 단, 하중(M2)의 값이 크게 되면 볼 본딩 공정 전체에 있어서 패드(PD)에 인가되는 하중의 충격량이 크게 되어 패드(PD)(도 25 참조) 혹은 절연층(IML1)(도 25 참조)이 손상되는 원인으로 된다. 따라서 하중(M2)은 하중(M4) 이하인 것이 바람직하다.

[0138] 또, 예컨대 도 27에 나타내는 변형예와 같이 스크러빙 공정(ST4)에서 볼부(BWb)(도 23 참조)에 인가되는 하중(M2)의 값은 활성화 공정(ST5)에서 볼부(BWb)에 인가되는 하중(M3)의 값과 동일해도 된다. 도 27에 나타내는 변형예의 경우에는 볼부 변형 공정(ST3)이 종료된 시간(T2)에 있어서 볼부(BWb)에 전달되는 하중의 값을 하중(M2)까지 낮추고, 그 후 주요 접합 공정(ST6)이 개시되는 시간(T6)까지의 동안은 일정한 하중을 계속적으로 인가한다. 이 경우에는 스크러빙 공정(ST4)에 있어서 패드(PD)에 전달되는 응력을 도 17에 나타내는 예보다 더욱 저감할 수 있다. 이 때문에 도 6에 나타내는 패드(PD)의 두께(THpd)가 특별히 얇을 경우(예를 들어 600nm 이하)라도 도 23에 나타내는 패드(PD)나 절연층(IML1)의 손상을 억제할 수 있다.

[0139] 또, 도 17, 도 26, 및 도 27 각각에 기재되는 시간(T2)부터 시간(T3)까지의 기간 및 시간(T4)부터 시간(T5)까지의 기간은 하나의 공정이 종료된 후, 다음 공정에 들어갈 때까지의 이행 기간이며, 이들 기간은 짧아도 된다. 예컨대 도시를 생략하지만 시간(T2)과 시간(T3)이 동시이어도 된다.

[0140] 또, 도 17에 나타내는 예에서는 시간(T5)부터 시간(T7)까지의 기간에 초음파가 인가되고, 기타의 기간에는 초음파가 인가되지 않는다. 그러나 도 17에 대한 변형예로서 시간(T5)부터 시간(T7)까지의 기간 이외에 초음파가 인가되어 있어도 된다.

[0141] 예컨대 도 28에 나타내는 변형예에서는 시간(T5)부터 시간(T7)까지의 기간 이외에 시간(T0)부터 시간(T1)까지의 기간에도 초음파가 인가되어 있는 점에서 도 17에 나타내는 실시양태와 상위하다. 시간(T0)부터 시간(T1)까지의 기간은 상술한 와이어 본딩 공정 중 볼부 형성 공정(ST1)부터 볼부 접촉 공정(ST2)까지의 기간이다. 이와 같이 볼부 형성 공정(ST1)부터 볼부 접촉 공정(ST2)까지 초음파를 인가함으로써 도 19에 나타내는 평면에서 보았을 때의 볼부(BWb)와 패드(PD) 사이의 위치 맞춤 정밀도를 향상시킬 수 있다.

[0142] 또, 도시를 생략하지만 도 17에 대한 또 다른 변형예로서 시간(T5)부터 시간(T7)까지의 기간 이외의 기간 동안에 와이어(BW)와 패드(PD)의 접합이 개시되지 않을 정도의 주파수의 초음파가 인가되어 있어도 된다.

[0143] <변형예 2>

[0144] 또, 상기 실시형태에서는 도 3에 나타내는 복수의 와이어(BW) 각각이 동으로 이루어지며, 패드(PD)가 알루미늄으로 이루어지는 실시양태에 대해 설명했다. 그러나 상기 실시형태에서 설명한 바와 같이 와이어(BW)를 구성하는 금속 재료가 패드(PD)를 구성하는 금속 재료보다 더 단단해서 볼 본딩 시에 패드(PD)가 변형되기 쉬운 경우에는 다른 금속 재료라도 적용할 수 있다. 단, 와이어(BW)가 금으로 이루어지며 패드(PD)가 알루미늄으로 이루어질 경우에는 와이어(BW)가 동으로 이루어질 경우와 비교해서 와이어(BW)와 패드(PD)가 접합하기 쉽다. 따라서 상기 실시형태에서 설명한 바와 같이 주요 접합 공정(ST6)까지 와이어(BW)와 패드(PD)의 접합이 거의 개시되지 않는 점에서 와이어(BW)가 동으로 이루어질 경우에 적용해서 특히 유효하다.

[0145] <변형예 3>

[0146] 또, 상기 실시형태에서는 도 6을 사용해서 설명한 바와 같이 패드(PD)의 두께(THpd)가 얇을(예를 들어 1 μ m 이하일) 경우에 대해 설명했다. 그러나 예를 들어 패드(PD)의 두께(THpd)가 패드(PD)를 피복하는 절연막(PV)의 두께(THpv)보다 두꺼울 경우라도 상기 실시형태에서 설명한 와이어 본딩 공정을 적용할 수 있다. 단, 상기 실시형태에서 설명한 실시양태와 비교해서 스플래쉬부(SPP)(도 25 참조)가 성장되기 쉬우므로 활성화 공정(ST5)의 기간을 단축하는 등 스플래쉬부(SPP)의 성장을 억제하기 위한 대책이 필요하다.

[0147] <변형예 4>

[0148] 또, 예컨대 상기 실시형태에서는 반도체 칩(CP)의 패드(PD)와 와이어(BW)의 볼부(BWb)가 접합되는 반도체 장치

의 예로서 리드 프레임형 반도체 장치에 대해 설명했으나, 반도체 장치의 실시양태로서는 다양한 변형예가 있다. 예컨대 도 29에 나타내는 반도체 장치(PKG2)와 같이 반도체 칩(CP)이 배선 기판(기재)(WS)에 탑재되는 에어리어 어레이(area array)형 반도체 장치에 적용할 수도 있다. 도 29는 도 2에 대한 변형예인 반도체 장치의 단면도이다. 에어리어 어레이형 반도체 장치란 실장면에 배치된 외부 단자가 어레이 형태(매트릭스 형태라고도 함)로 배열된 반도체 장치를 말한다. 에어리어 어레이형 반도체 장치로서는 도 29에 나타내는 반도체 장치(PKG2)와 같이 배선 기판(WS)의 실장면인 하면(WSb)에 있어서 외부 단자로서의 뿔납볼(SB)이 형성된 BGA(Ball Grid Array) 등이 있다.

[0149] 반도체 장치(PKG2)의 경우에는 와이어(BW)의 한쪽 단부인 볼부(BWb)가 반도체 칩(CP)의 패드(PD)에 연결되고, 다른쪽 단부는 배선 기판(WS)의 상면(WSt)측에 노출된 본딩 리드(단자)(BL)에 연결된다. 본딩 리드(BL)는 배선 기판(WS)이 구비하는 배선(WSw)을 개재해서 외부 단자인 뿔납볼(SB)에 연결된다.

[0150] 또, 반도체 장치(PKG2)의 제조 방법의 경우에는 도 7에 나타내는 기재 준비 공정에 있어서 상기 실시형태에서 설명한 리드 프레임(LF)(도 8 참조) 대신에 배선 기판(WS)을 준비한다. 또, 도 7에 나타내는 다이 본딩 공정에 있어서 반도체 칩(CP)이 배선 기판(WS)의 칩 탑재면인 상면(주면)(WSt)에 다이 본딩재(DB)를 개재해서 탑재된다. 또, 도 7에 나타내는 와이어 본딩 공정에 있어서 와이어(BW)의 한쪽 단부인 볼부(BWb)가 반도체 칩(CP)의 패드(PD)에 연결되고, 다른쪽 단부가 배선 기판(WS)의 상면(WSt)측에 노출된 본딩 리드(BL)에 연결된다. 또, 도 7에 나타내는 밀봉 공정에 있어서 배선 기판(WS)의 상면(WSt)에 탑재된 반도체 칩(CP), 복수의 와이어(BW) 및 복수의 본딩 리드(BL) 각각이 밀봉체(MR)에 의해 밀봉된다. 한편 배선 기판(WS)의 하면(WSb)측은 밀봉되지 않고 밀봉체(MR)로부터 노출된다. 또, 도 7에 나타내는 도금 공정 및 리드 컷 공정은 생략되며 그 대신에 복수의 뿔납볼(SB)을 배선 기판(WS)의 하면(WSb)측에 탑재하기 위한 볼 마운트 공정이 실시된다.

[0151] <변형예 5>

[0152] 또, 상기 실시형태에서 설명한 기술 사상의 요지에서 벗어나지 않는 범위 내에 있어서 변형예끼리를 조합해서 적용할 수 있다. 또, 상기 실시형태에서 설명한 기술 사상의 요지에서 벗어나지 않는 범위 내에 있어서 상술한 각 실시형태끼리 혹은 각 실시형태에서 설명한 각 변형예끼리를 조합해서 적용할 수 있다.

부호의 설명

- [0153] BL : 본딩 리드(단자)
- BW : 와이어(전도성 부재)
- BWb : 볼부
- CAP : 모세관
- CBb : 하면
- CBP : 도체 패턴(배선)
- CBt : 상면
- CP : 반도체 칩
- CPb : 뒷면(하면)
- CPs : 측면
- CPs1, CPs2, CPs3, CPs4, Pks1, Pks2, Pks3, Pks4, S1, S2, S3, S4 : 변(주변)
- CPt : 표면(주면, 상면)
- DB : 다이 본딩재(접착제)
- DL : 배선층
- DP : 다이 패드(칩 탑재부)
- DPt : 상면(표면, 주면, 칩 탑재면)
- DR1, DR2, DR3 : 방향

HL : 현수 리드
ILD : 이너 리드부
IML, IML1 : 절연층
LD : 리드(단자, 외부 단자)
LDt : 상면
LF : 리드 프레임(기재)
LFa : 디바이스 형성부
LFb : 프레임부
M1, M2, M3, M4 : 하중
MC : 금속막(외장 도금막)
MD : 성형 금형
MDc : 캐비티
MR : 밀봉체(수지체, 밀봉부)
MRb : 하면(뒷면, 피실장면)
MRs : 측면
MRt : 상면
OLD : 아우터 리드부
OSP : 오프셋부
PD : 패드(전극, 전극 패드, 본딩 패드)
PDa : 합금층
PDb : 뒷면
PDt : 접합면
PKG1, PKG2 : 반도체 장치
PV : 보호막(패시베이션막, 절연막)
PVb : 하면 (면)
PVk : 개구부
PVt : 상면 (면)
Q1 : 반도체 소자
SB : 땀납볼
SDL : 배선부
SPP : 스플래쉬부
SS : 반도체 기관
SSb : 하면(뒷면)
SSt : 상면(반도체 소자 형성면)
ST1 : 불부 형성 공정
ST2 : 불부 접촉 공정

ST3 : 불부 변형 공정

ST4 : 스크리빙 공정

ST5 : 활성화 공정

ST6 : 주요접합 공정

STG : 스테이지

SUP : 지지부

TB : 타이 바

TH1, THcb, THpd, THpv : 두께

US1 : 초음파

USG : 발진기

USH : 혼

WBD : 와이어 본딩 장치

WS : 배선 기관(기재)

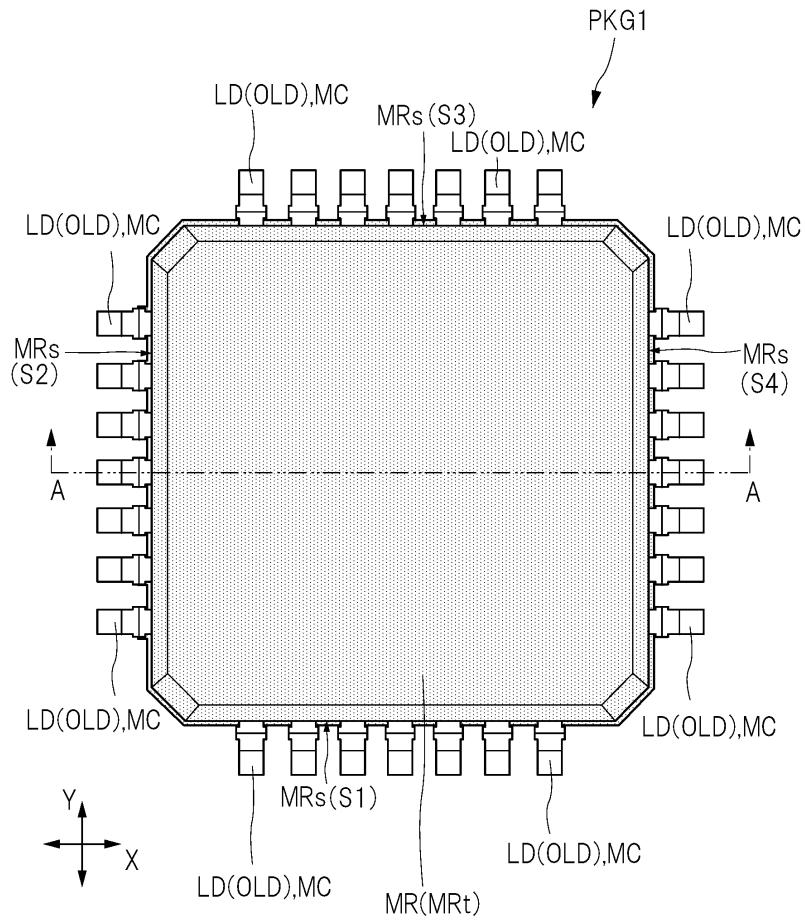
WSb : 하면

WSt : 상면(주면)

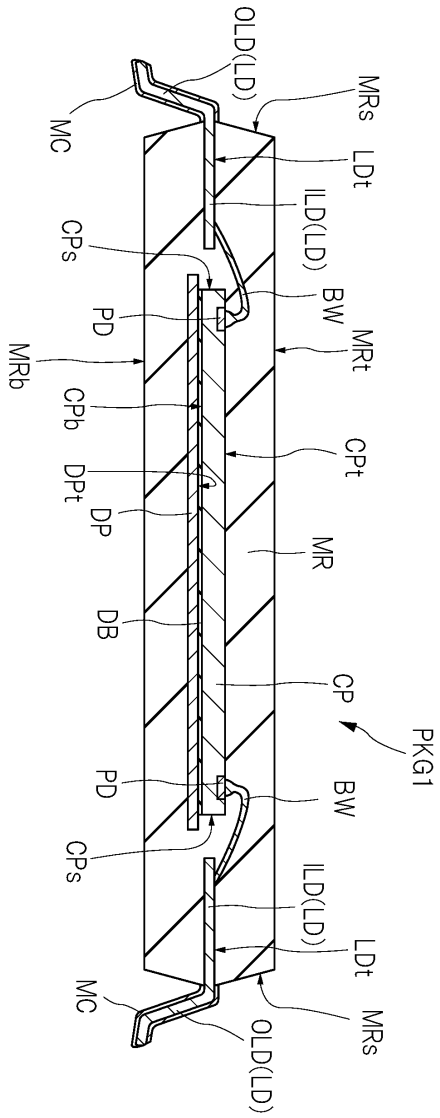
WSw : 배선

도면

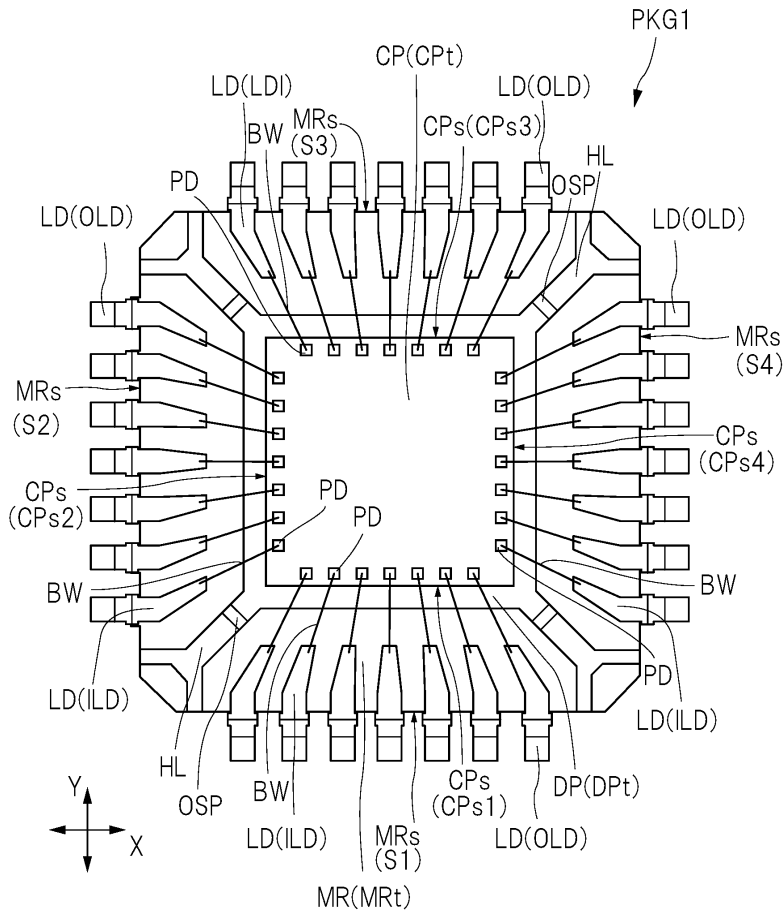
도면1



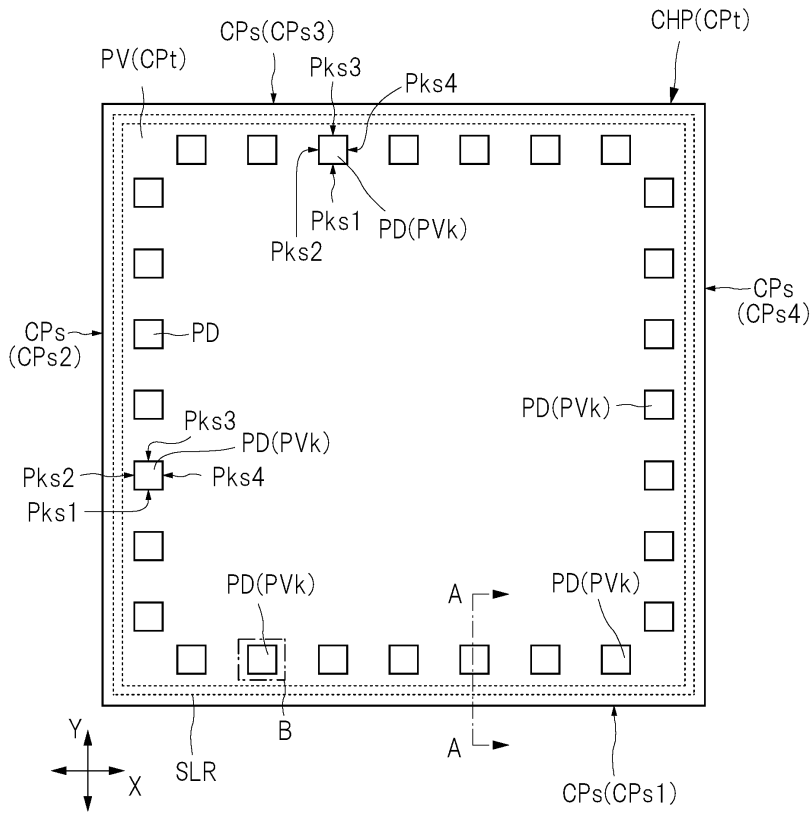
도면2



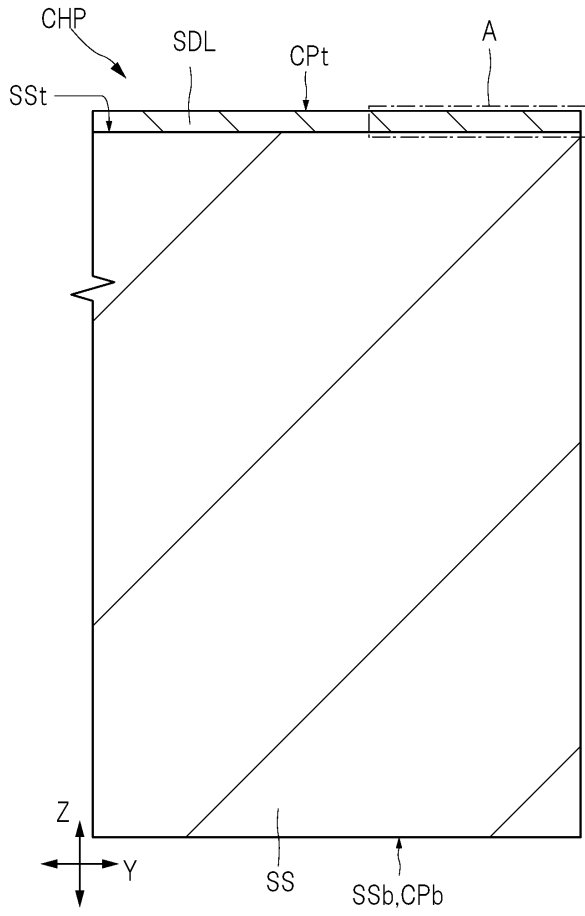
도면3



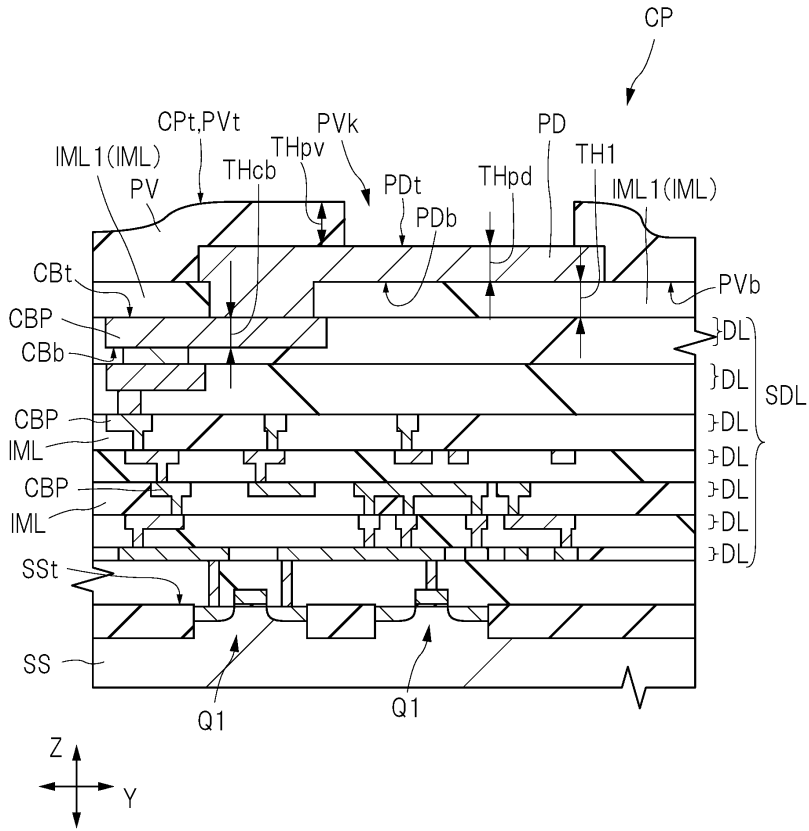
도면4



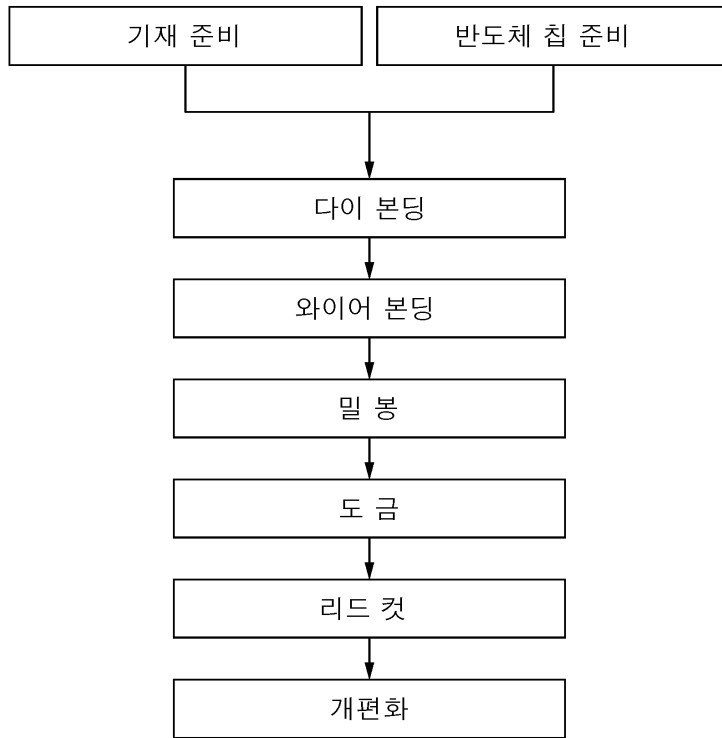
도면5



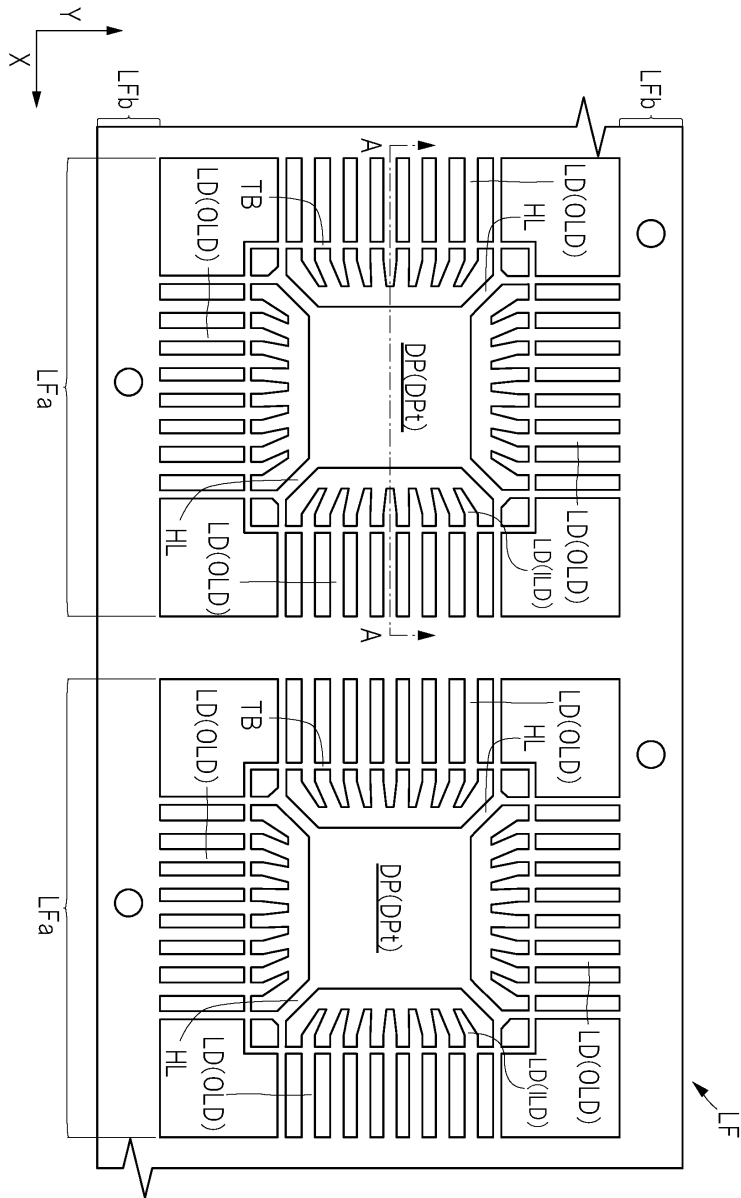
도면6



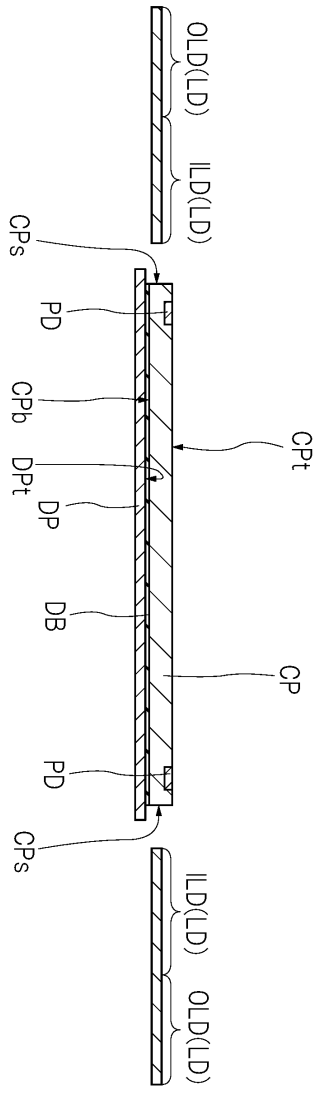
도면7



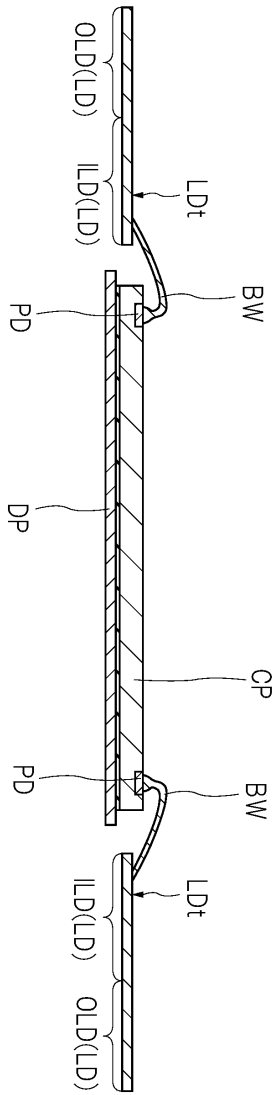
도면8



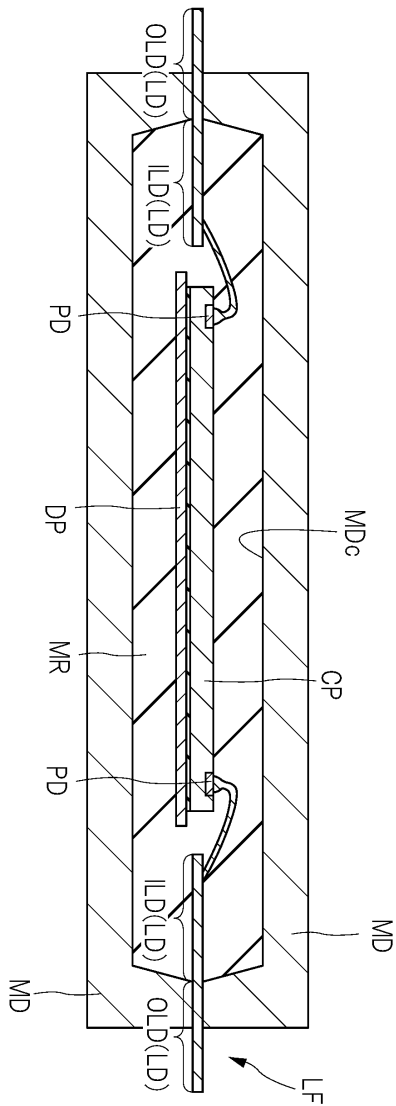
도면9



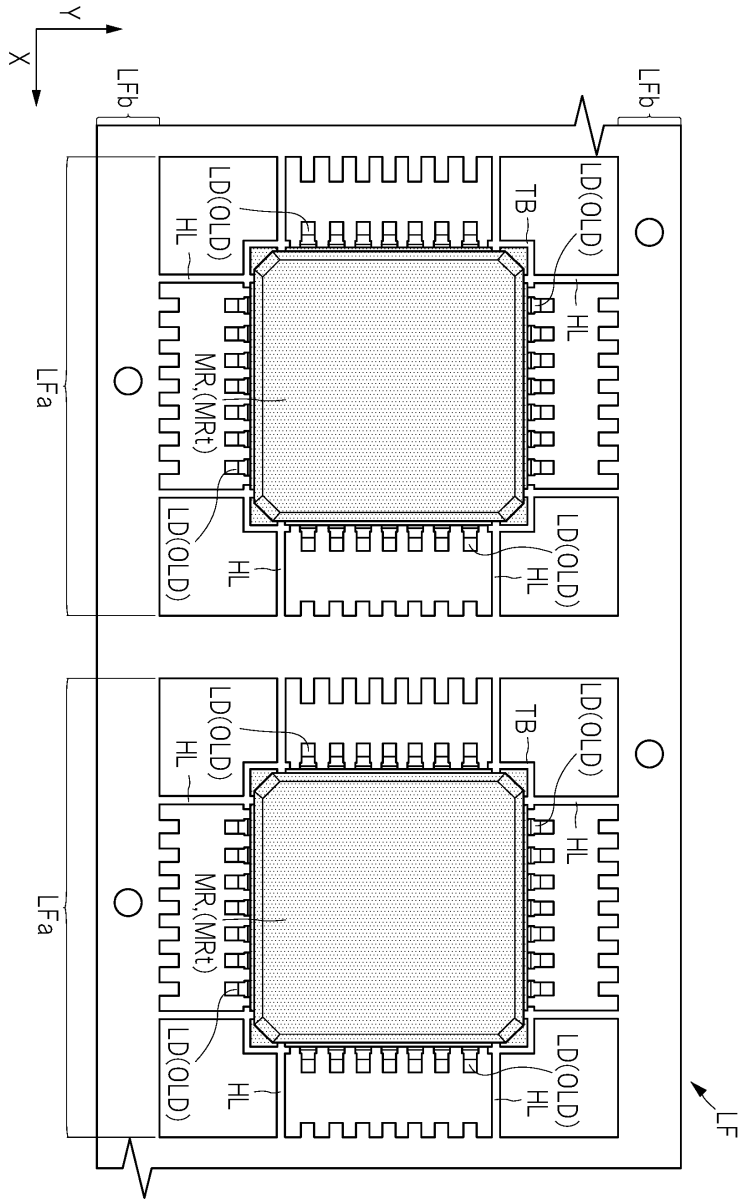
도면10



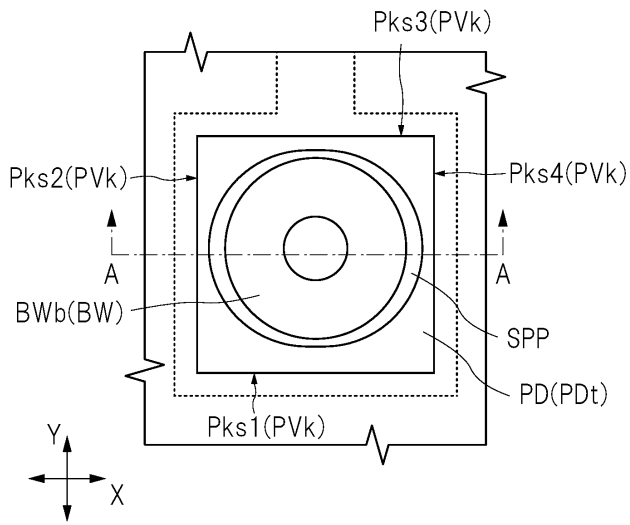
도면11



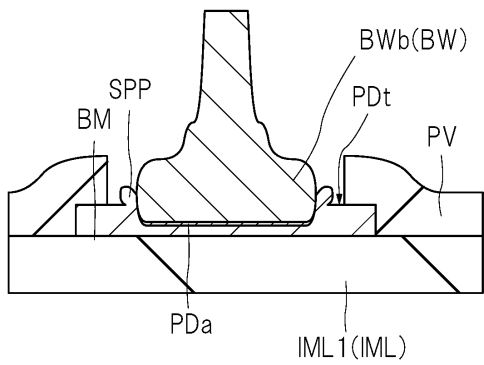
도면12



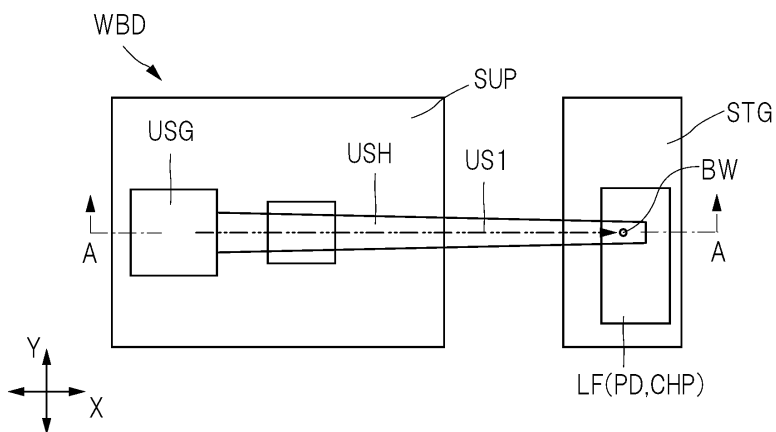
도면13



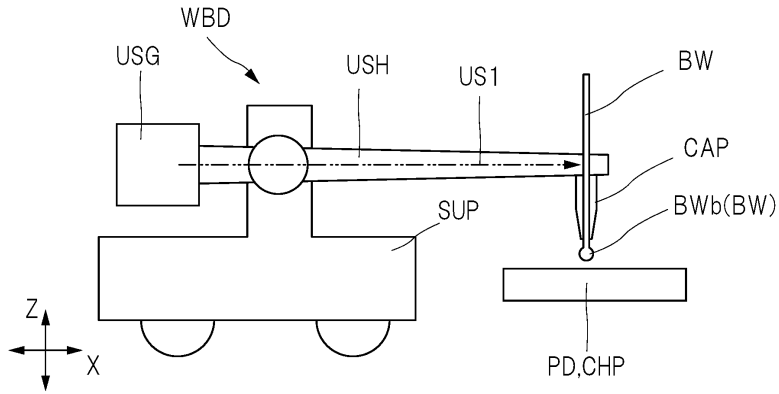
도면14



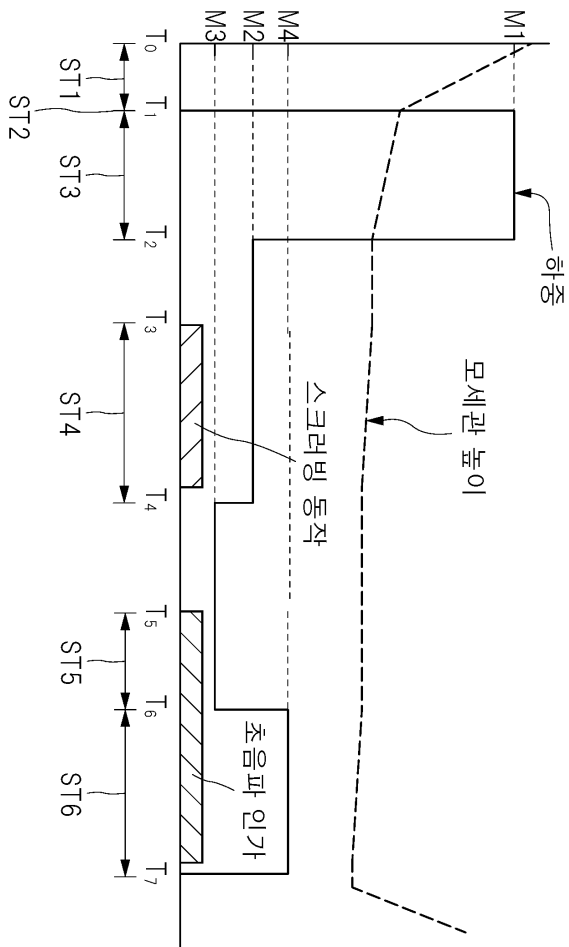
도면15



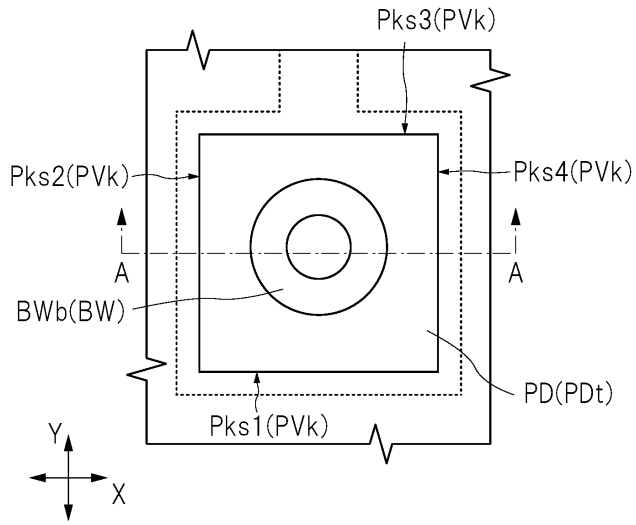
도면16



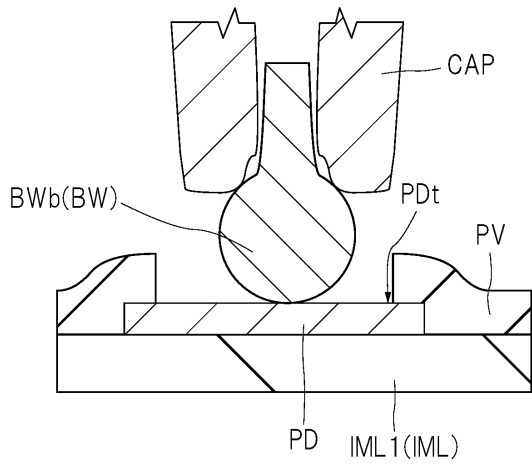
도면17



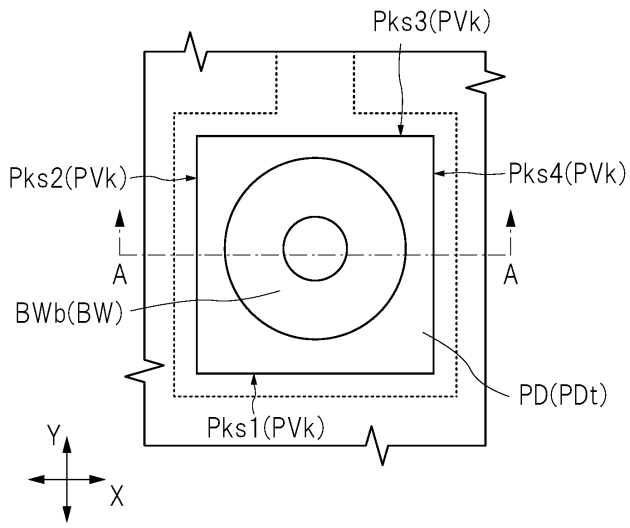
도면18



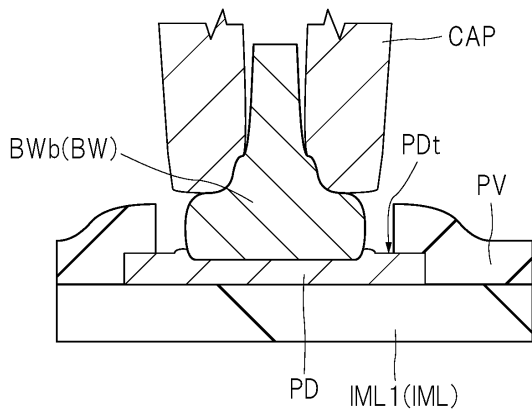
도면19



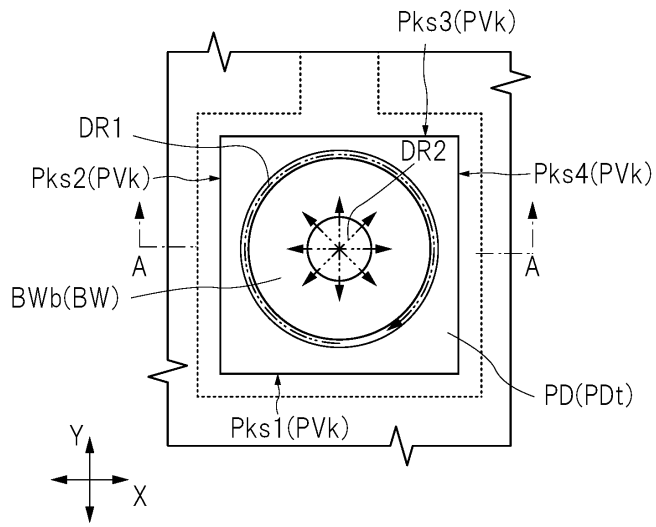
도면20



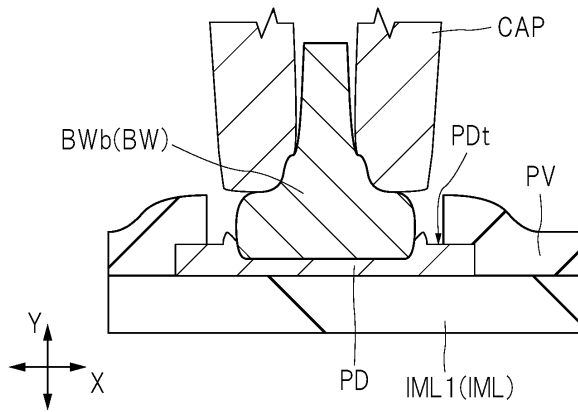
도면21



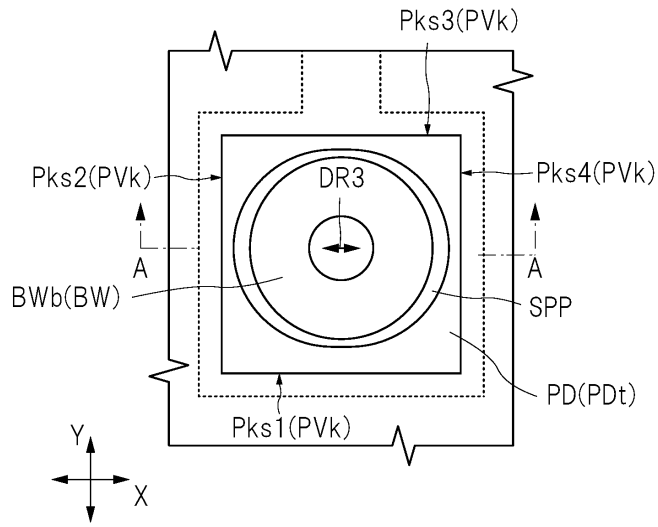
도면22



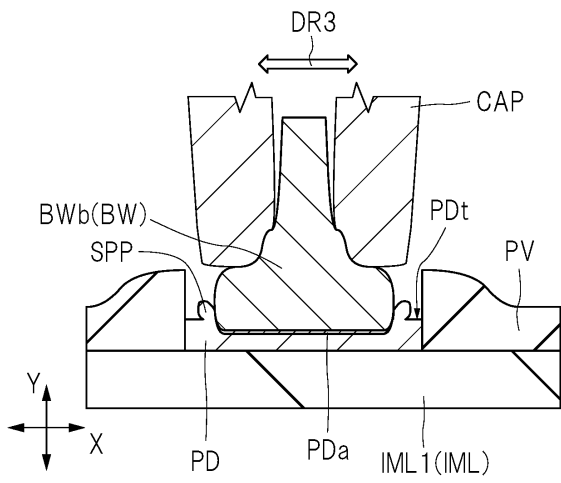
도면23



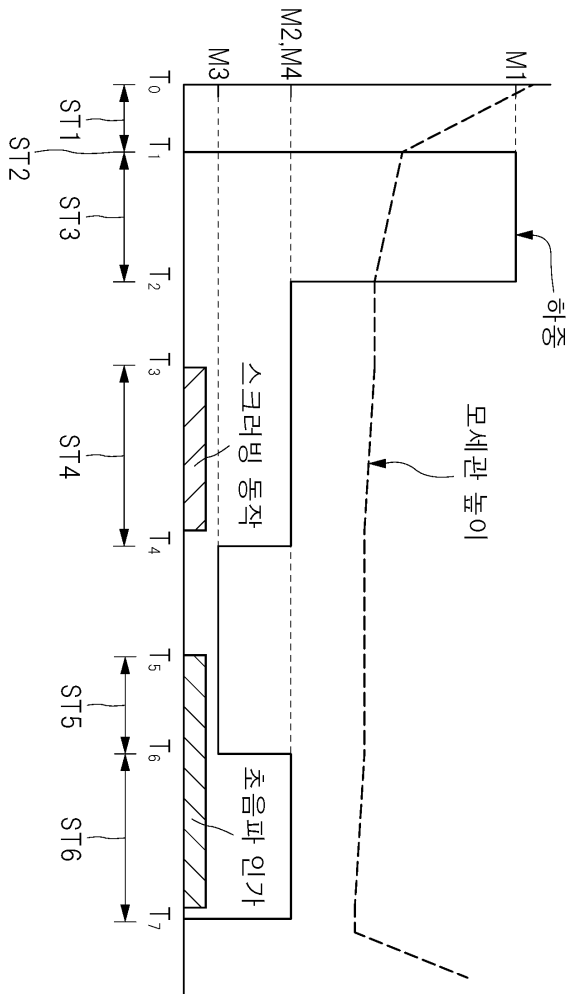
도면24



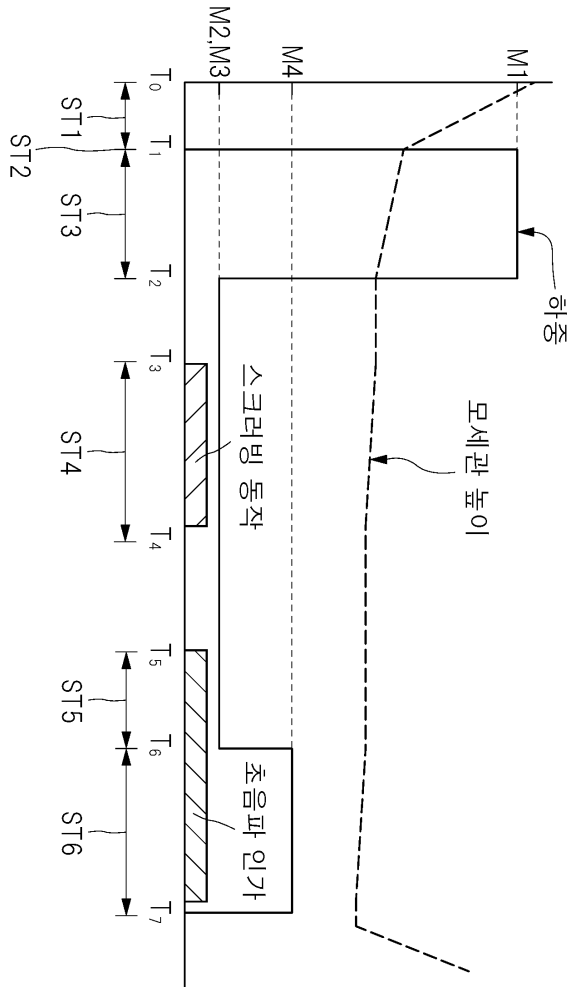
도면25



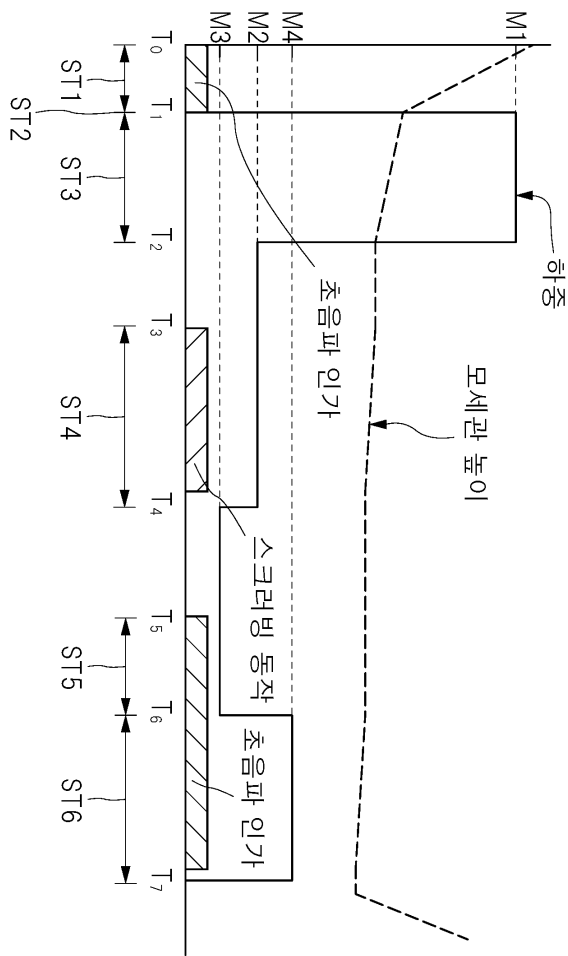
도면26



도면27



도면28



도면29

