



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월30일
(11) 등록번호 10-0865944
(24) 등록일자 2008년10월23일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2002-0042069
(22) 출원일자 2002년07월18일
심사청구일자 2007년07월12일
(65) 공개번호 10-2004-0008432
(43) 공개일자 2004년01월31일

(56) 선행기술조사문헌
KR1019980040650 A*
JP09092786 A*
JP2001320026 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

김영근

충청북도청주시흥덕구북대1동2459
두진백로아파트105동102호

(74) 대리인

특허법인아주

전체 청구항 수 : 총 7 항

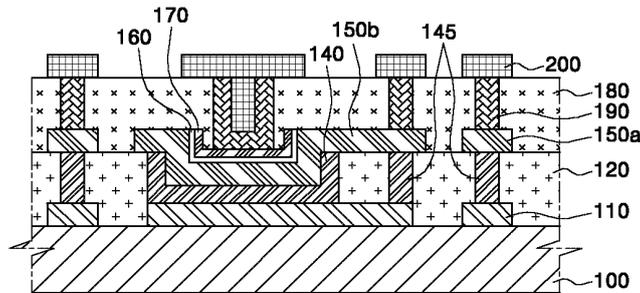
심사관 : 이우식

(54) MIM 구조의 커패시터 제조방법

(57) 요약

본 발명은 반도체소자의 배선과 상호 연결되는 MIM 구조의 커패시터 제조방법에 관한 것으로서, 특히 이 방법은 제1금속배선이 형성된 반도체기판 상에 층간절연막을 증착한 후, 제2금속배선과 제1금속배선을 연결할 수 있도록 층간절연막 내에 플러그를 형성을 위한 식각 시, MIM 구조의 커패시터 형성영역도 같이 식각하여 MIM 구조의 커패시터 패턴을 형성함으로써, 기존의 MIM 구조의 커패시터 패턴을 형성하기 위한 포토 마스크링 공정을 생략할 수 있어 반도체소자의 제조공정이 단순화되어 그에 따른 반도체소자의 제조 수율을 향상시킬 수 있는 기술이다.

대표도 - 도2f



특허청구의 범위

청구항 1

반도체기판 상에 제1 금속배선을 형성하는 단계;

상기 제1 금속배선이 형성된 결과물 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 식각하여 제1 비아홀을 형성하는 동시에 MIM 구조의 커패시터가 형성될 영역에 개구부를 형성하는 단계;

상기 제1 비아홀 및 개구부가 형성된 결과물 상에, 상기 제1 비아홀이 매립되도록 도전막을 증착하는 단계;

상기 제1 층간절연막이 노출되도록 상기 도전막을 식각하는 단계;

상기 도전막이 식각된 결과물 상에 제1 금속막, 유전막 및 제2 금속막을 순차적으로 형성하는 단계;

상기 제1 금속막이 노출되도록 상기 유전막 및 제2 금속막에 대해 화학기계적연마 공정을 수행하여 MIM 커패시터의 유전체막 및 상부전극을 형성하는 단계; 및

상기 제1 금속막을 선택적으로 식각하여 제2 금속배선과 MIM 구조의 커패시터 하부전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 2

제 1항에 있어서, 상기 도전막은 텅스텐과 알루미늄 및 구리 중 적어도 어느 하나를 사용하여 선택하여 형성하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 3

제 1항에 있어서, 상기 도전막은 초전도체를 사용하여 형성하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 4

제 1항에 있어서, 상기 유전막은 질화물과 산화물 및 강유전체물 중 적어도 어느 하나를 사용하여 형성하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 5

제 4항에 있어서, 상기 강유전체막은 PZT 또는 BST 중 어느 하나인 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 6

제 1항에 있어서, 상기 제2금속막은 금속과 금속화합물 및 초전도체 중 어느 하나인 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

청구항 7

제 1항에 있어서,

상기 유전막과 제2 금속막에 화학기계적연마 공정을 수행할 때,

상기 유전막이 노출되도록 상기 제2 금속막에 화학기계적연마 공정을 수행한 후, 상기 제1 금속막이 노출되도록 상기 유전막에 화학기계적연마 공정을 수행하거나,

상기 제1 금속막이 노출되도록 상기 제2 금속막과 유전막에 동시에 화학기계적연마 공정을 진행하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 반도체소자의 배선과 상호 연결되는 MIM 구조의 커패시터 제조방법에 관한 것으로서, 보다 상세하게는 MIM 구조의 커패시터 패턴 형성을 위한 포토공정을 생략하여 그에 따른 반도체 소자의 제조 공정을 단순화하게 하는 MIM 구조의 커패시터 제조방법에 관한 것이다.
- <12> MIM 구조의 커패시터는 다른 반도체소자와 동시에 구현되어야 하므로 상호 연결배선(interconnection line)인 금속배선을 통해서 반도체소자와 전기적으로 연결되어 있다.
- <13> 상기의 MIM 구조의 커패시터를 혼합 신호(Mixed Signal) 및 RF(Radio Frequency) IC으로 적용되기 위해서는 단위 정전 용량(Unit capacitance)의 요구 사양이 용도에 따라 다르다. 예를 들어, 아날로그(Analog) 및 RF 커플링 커패시터(Coupling capacitor)의 정전 용량은 1 내지 3 fF/mm²이고, 필터 커패시터(Filter capacitor)의 정전 용량은 2 내지 5 fF/mm²이며, RF 바이패스 커패시터(Bypass Capacitor)는 정전 용량은 5 내지 10 fF/mm²이다. 따라서 단일칩(System-on-a-chip)으로의 적용이 가능하기 위해서는 상기의 조건(Spec)을 만족하는 커패시터들을 통합(Integration)하여야 하며, 동일 레이어(Layer)에서 형성시켜야 비용(Cost) 측면에서 강점을 가질 수 있다.
- <14> 도 1a 내지 도 1d는 종래 MIM 구조의 커패시터 제조방법을 설명하기 위해 순차적으로 나타낸 단면도이다.
- <15> 먼저, 도 1a에 도시된 바와 같이, 제1금속배선(2)과 제1금속배선(2)이 후속 공정에 의해 형성될 제2금속배선(2)과 연결되도록 플러그가 형성된 반도체기판 상에 제1금속막(예컨대, Al)을 증착한 후, 실리콘나이트라이드로 이루어진 유전막(6)과 제2금속막(7)(예컨대, Al)을 증착한다.
- <16> 그리고, 도 1b에 도시된 바와 같이, 결과물 상에 감광막(미도시함)을 도포하고, 커패시터 영역이 형성되도록 노광 및 현상공정을 진행하여 제1감광막 패턴(8)을 형성한 후, 이를 식각마스크로 제2금속막(7)과 유전막(6)을 식각하여 MIM 구조의 커패시터 패턴을 형성한다.
- <17> 이때, 상기 제2금속막(7)은 MIM 구조의 상부전극으로 사용된다.
- <18> 이어서, 도 1c에 도시된 바와 같이, 제1감광막 패턴(미도시함)을 제거한 후, 커패시터 형성부(미도시함)와 제2금속배선 형성부(미도시함)를 한정하는 제2감광막 패턴(9)을 마스크로 이용하여 제1금속막(5)을 식각하여 상기 반도체기판(1) 상에 제2금속배선(8a)과 MIM 구조의 커패시터 패턴의 하부전극(8b)을 동시에 형성한다.
- <19> 그리고, 도 1d에 도시된 바와 같이, 결과물 상에 층간절연막(10)을 증착한 후, 층간절연막(10) 내에 하부 제2금속배선(8a)과 MIM 구조의 커패시터의 상부전극(7)이 상부 다른 배선과 전기적으로 연결되도록 플러그(11)를 형성한다.
- <20> 그 후, 결과물 상에 제3금속막(미도시함)을 증착한 후, 식각하여 제3금속배선(12)을 형성한다.
- <21> 그러나, 상기와 같은 종래 기술의 MIM 구조의 커패시터 제조방법을 이용하게 되면, 제1금속막을 식각하여 상기 반도체기판 상에 제2금속배선과 MIM 구조의 커패시터 패턴의 하부전극을 동시에 형성하기 전에 MIM 구조의 상부전극과 절연막 및 하부전극 즉, MIM 구조의 커패시터 패턴을 형성하기 위한 포토 마스크 공정을 진행하여 공정이 복잡해지는 어려움이 있었으며, 그에 따라 반도체소자의 제조수율이 감소되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <22> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 제1금속 배선이 형성된 반도체기판 상에 층간절연막을 증착한 후, 제2금속 배선과 제1금속 배선을 연결할 수 있도록 층간절연막 내에 플러그를 형성을 위한 식각 시, MIM 구조의 커패시터 형성영역도 같이 식각하여 MIM 구조의 커패시터 패턴을 형성함으로써, 반도체소자의 제조공정을 단순화하는 MIM 구조의 커패시터 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- <23> 상기 목적을 달성하기 위하여 본 발명은, 반도체기판 상에 제1 금속배선을 형성하는 단계와, 제1 금속배선이 형성된 결과물 상에 제1 층간절연막을 형성하는 단계와, 제1 층간절연막을 식각하여 제1 비아홀을 형성하는 동시에 MIM 구조의 커패시터가 형성될 영역에 개구부를 형성하는 단계와, 제1 비아홀과 개구부가 형성된 결과물 상에, 제1 비아홀이 매립되도록 도전막을 증착하는 단계와, 제1 층간절연막 상부가 노출되도록 도전막을 식각하는 단계와, 도전막이 식각된 결과물 상에 제1 금속막, 유전막 및 제2 금속막을 순차적으로 형성하는 단계와, 제1 금속막이 노출되도록 유전막 및 제2 금속막에 대해 화학기계적연마 공정을 수행하여 MIM 커패시터의 유전체막 및 상부전극을 형성하는 단계, 및 제1 금속막을 선택적으로 식각하여 제2 금속배선과 MIM 구조의 커패시터 하부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법을 제공한다.
- 상기 유전막과 제2 금속막에 화학기계적연마 공정을 수행할 때, 상기 유전막이 노출되도록 상기 제2 금속막에 화학기계적연마 공정을 수행한 후, 상기 제1 금속막이 노출되도록 상기 유전막에 화학기계적연마 공정을 수행하거나, 상기 제1 금속막이 노출되도록 상기 제2 금속막과 유전막에 동시에 화학기계적연마 공정을 진행할 수 있다.
- <24> 삭제
- <25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하고자 한다.
- <26> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 MIM 구조의 커패시터 제조방법을 설명하기 위해 순차적으로 나타낸 단면도이다.
- <27> 먼저, 도 2a에 도시된 바와 같이 반도체소자를 형성하기 위한 여러 요소가 형성된 반도체기판(100) 상에 Ti/TiN/Ti/Al/TiN을 증착한 후, 노광 및 식각공정을 진행하여 반도체기판(100)에 제1금속배선(110)을 패터닝 한다.
- <28> 그리고, 도 2b에 도시된 바와 같이, 제1금속배선(110)이 패터닝된 반도체기판(100) 전면에 제1금속배선(110)과 후속 공정에 의해 형성될 상부 금속배선(미도시함)과의 전기적인 절연을 위해 산화물을 이용하여 제1층간절연막(120)을 증착한다.
- <29> 이어, 제1층간절연막(120) 내에 후속 공정에 의해 형성될 상부 금속배선(미도시함)과 하부 제1금속배선(110)을 전기적으로 연결할 수 있는 플러그를 형성하기 위해 제1층간절연막(120)을 선택적으로 식각하여 제1비아홀(130)을 형성하는 동시에, MIM 구조의 커패시터를 형성할 영역의 제1층간절연막(120)도 식각하여 MIM 구조의 커패시터가 형성될 영역에 개구부(135)를 형성한다.
- <30> 그 후, 도 2c에 도시된 바와 같이, 상기 제1비아홀(미도시함)과 개구부가 형성된 결과물 상에 텅스텐, 알루미늄, 구리 등의 초전도체 물질을 증착하여 도전막(140)을 형성하고, 도전막(140)을 화학기계적연마 공정에 의해 제1층간절연막(120) 상부가 드러날 때까지 제거하여 결과물을 평탄화시킨다.
- <31> 이때, 제1비아홀 내부에는 도전막이 매립되어 하부 제1금속배선(110)과 후속 공정에 의해 형성될 상부 금속배선(미도시함)을 전기적으로 연결할 제1플러그(145)가 형성되며, MIM 구조의 커패시터가 형성될 개구부(도 2b의 135)에는 제1비아홀의 CD보다 넓기 때문에 개구부의 측면과 하부면에 도전막(140)이 잔류하게 된다.
- <32> 그리고, 도 2d에 도시된 바와 같이, 제1플러그(145)가 형성된 결과물 상에 제2금속배선과 하부전극으로 이용될 제1금속막(150)과, 유전막(160) 및 제2금속막(170)을 순차적으로 증착한다.
- <33> 이때, 상기 제1금속막(150)과 제2금속막(170)은 금속, 금속화합물 및 초전도체 중 적어도 어느 하나 이상을 선택하여 사용하여 형성하며, 유전막(160)은 질화물과 산화물 및 강유전체물 중 어느 하나를 이용하여 형성한다.
- <34> 또한, 상기 강유전체물은 바람직하게는 PZT 또는 BST 중 어느 하나를 이용한다.
- <35> 이어서, 도 2e에 도시된 바와 같이, 상기 제2금속막(170)을 유전막(160) 상부까지 화학기계적 연마공정을 진행하여 제거한 후 소정의 지연시간을 가진 뒤에 다시 화학기계적 연마공정을 진행하여 유전막(160)을 제1금속막(150) 상부까지 식각하여 결과물을 평탄화 시킨다.
- <36> 상기 제2금속막(170)과 유전막(160)을 식각할 때, 제2금속막(170)과 유전막(160)을 동시에 제1금속막(150) 상부가 드러날때까지 화학기계적연마 공정을 진행하여 평탄화할 수도 있다. 제2금속막(170)은 MIM 커패시터의 상부전극이 된다.

- <37> 그 후, 도 2f에 도시된 바와 같이, 상기 제2금속막(170)과 유전막(160)이 평탄화되어 노출된 제1금속막(도 2e의 150)을 선택적으로 식각하여 제2금속배선(150a)과 MIM 구조의 커패시터 하부전극(150b)을 동시에 형성한다.
- <38> 상기 MIM 구조의 커패시터는 제1금속막(150)으로 이루어진 하부전극(150b)과 유전막(160), 그리고 제2금속막(170)으로 이루어진 상부전극으로 이루어진다.
- <39> 이어서, 상기 제2금속배선(150a)과 MIM 구조의 커패시터가 형성된 결과물 상에 제2층간절연막(180)을 증착하고, 노광 및 식각공정을 진행하여 제2비아홀(미도시함)을 형성한 후, 도전막으로 매립하여 제2층간절연막(180) 내에 제2플러그(190)를 형성한다.
- <40> 그리고, 상기 제2플러그(190) 상부에 제3금속배선(200)을 패터닝하여 외부회로와 MIM 구조의 커패시터 상부전극을 전기적으로 연결한다.

발명의 효과

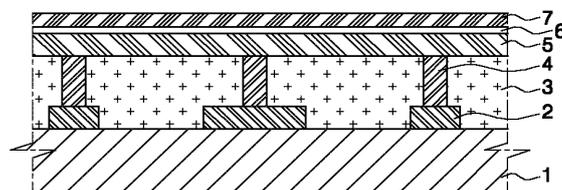
- <41> 따라서, 상기한 바와 같이, 본 발명에 따른 반도체소자의 배선과 상호 연결되는 MIM 구조의 커패시터 제조방법을 이용하게 되면, 제2금속배선과 제1금속배선을 연결할 수 있도록 층간절연막 내에 플러그를 형성을 위한 식각시, MIM 구조의 커패시터를 위한 개구부도 함께 형성하고, 후속 단계에서 유전막과 제2금속배선용 금속막을 증착한 후 평탄화를 통해 상기 개구부에 유전막 및 상부전극이 형성되도록 함으로써, MIM 구조의 커패시터 패턴을 형성하기 위한 포토 마스킹 공정을 생략할 수 있어 반도체소자의 제조공정을 단순화시키며, 그에 따른 반도체소자의 제조 수율을 향상시킬 수 있다.

도면의 간단한 설명

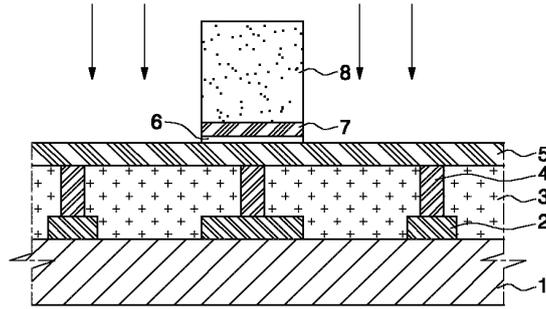
- <1> 도 1a 내지 도 1d는 종래 MIM 구조의 커패시터 제조방법을 설명하기 위해 순차적으로 나타낸 단면도이다.
- <2> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 MIM 구조의 커패시터 제조방법을 설명하기 위해 순차적으로 나타낸 단면도이다.
- <3> -- 도면의 주요부분에 대한 부호의 설명 --
- <4> 100 : 반도체기판 110 : 제1금속배선
- <5> 120 : 제1층간절연막 130 : 제1비아홀
- <6> 135 : MIM 구조의 커패시터 형성영역
- <7> 140 : 제1플러그 150 : 제1금속막
- <8> 160 : 유전막 170 : 제2금속막
- <9> 180 : 제2층간절연막 190 : 제2플러그
- <10> 200 : 제3금속배선

도면

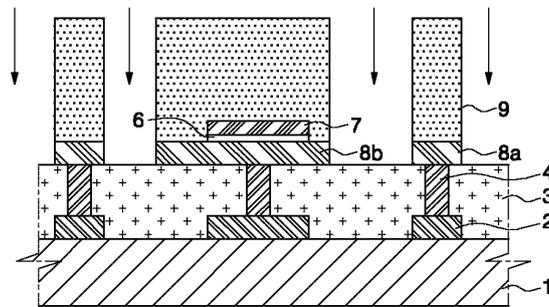
도면1a



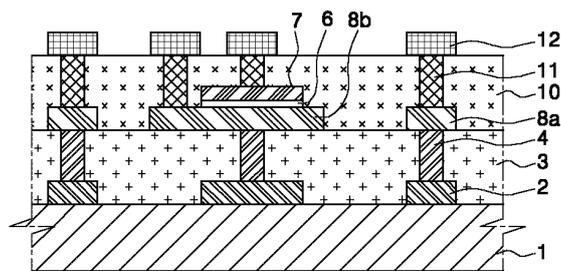
도면1b



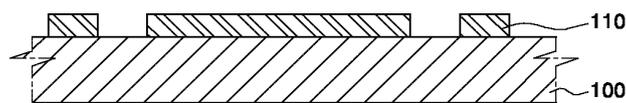
도면1c



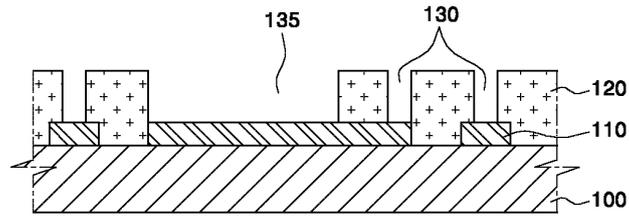
도면1d



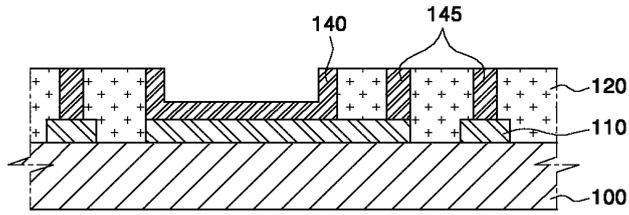
도면2a



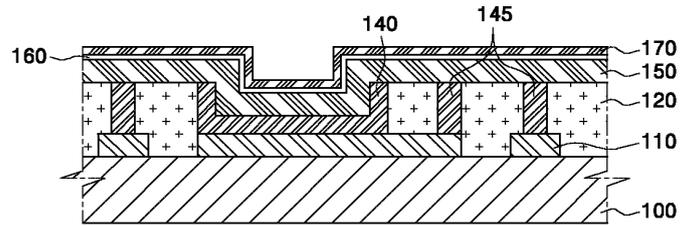
도면2b



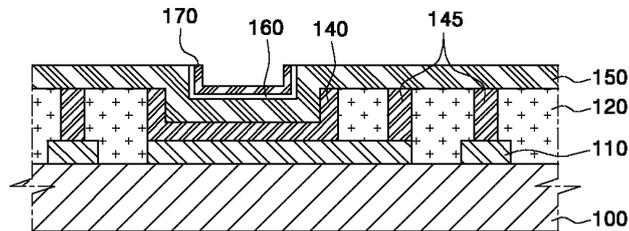
도면2c



도면2d



도면2e



도면2f

