

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6806213号
(P6806213)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月8日(2020.12.8)

(51) Int. Cl.	F I				
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 G		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 21/8234 (2006.01)	HO 1 L	29/78	6 5 2 J		
HO 1 L 27/06 (2006.01)	HO 1 L	29/78	6 5 7 D		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 F		
請求項の数 11 (全 15 頁) 最終頁に続く					

(21) 出願番号	特願2019-181852 (P2019-181852)	(73) 特許権者	000006013
(22) 出願日	令和1年10月2日(2019.10.2)		三菱電機株式会社
(62) 分割の表示	特願2017-536136 (P2017-536136) の分割		東京都千代田区丸の内二丁目7番3号
原出願日	平成27年8月26日(2015.8.26)	(74) 代理人	100082175
(65) 公開番号	特開2019-220722 (P2019-220722A)		弁理士 高田 守
(43) 公開日	令和1年12月26日(2019.12.26)	(74) 代理人	100106150
審査請求日	令和1年10月2日(2019.10.2)		弁理士 高橋 英樹
		(74) 代理人	100148057
			弁理士 久野 淑己
		(72) 発明者	小西 和也
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	深田 祐介
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板の上に形成されたエミッタ電極と、
 前記半導体基板の上に形成されたゲート電極と、
 前記半導体基板の上面側に形成された第1導電型のソース層と、
 前記半導体基板の上面側に形成された第2導電型のベース層と、
 前記半導体基板の下に形成されたコレクタ電極と、
 前記半導体基板の上面側に形成された、前記ゲート電極と接続された複数のアクティブ
 トレンチゲートと、
 前記半導体基板の上面側に形成され、前記ゲート電極に接続されていない複数のダミ
 トレンチゲートと、を備え、
 前記アクティブトレンチゲートが3つ以上並び第1構造と、前記ダミートレンチゲート
 が3つ以上並び第2構造が、交互に設けられ、かつ前記第1構造における前記アクティブ
 トレンチゲートの数よりも前記第2構造における前記ダミートレンチゲートの数が大きく

10

、
 前記ベース層は、前記第1構造と前記第2構造との間で前記エミッタ電極に接続された
 ことを特徴とする半導体素子。

【請求項2】

前記半導体基板は、

20

前記ソース層の下に形成された前記ベース層の下に設けられた、第1導電型のキャリア蓄積層と、

前記キャリア蓄積層の下にある、第1導電型のドリフト層と、を備え、

前記キャリア蓄積層の不純物濃度は、前記ドリフト層の不純物濃度より大きく、前記ソース層の不純物濃度より小さく、

前記複数のアクティブトレンチゲートと前記複数のダミートレンチゲートは、前記ソース層、前記ベース層及び前記キャリア蓄積層を貫通することを特徴とする請求項1に記載の半導体素子。

【請求項3】

前記ベース層のうち、前記アクティブトレンチゲートに隣接する部分は、前記エミッタ電極に接続され、

前記ベース層のうち、前記ダミートレンチゲートに挟まれた部分は、前記エミッタ電極に接続されないことを特徴とする請求項1または2に記載の半導体素子。

【請求項4】

前記ベース層のうち、前記アクティブトレンチゲートに隣接する部分は、前記エミッタ電極に接続され、

前記ベース層のうち、前記ダミートレンチゲートに挟まれた部分は、前記エミッタ電極に接続されたことを特徴とする請求項1又は2に記載の半導体素子。

【請求項5】

前記第2構造には、前記ダミートレンチゲートに挟まれた前記ベース層が2箇所以上あり、1箇所は前記エミッタ電極に接続され、別の1箇所は前記エミッタ電極に接続されないことを特徴とする請求項1又は2に記載の半導体素子。

【請求項6】

前記第1構造を構成する3つ以上の前記アクティブトレンチゲートが接続されることで、前記第1構造は、平面視でメッシュ状に形成されたことを特徴とする請求項1から5のいずれか1項に記載の半導体素子。

【請求項7】

前記ソース層は、前記複数のアクティブトレンチゲート及び前記複数のダミートレンチゲートに対し交差する、第1ソース層と第2ソース層を有し、

第1ソース層と第2ソース層の間隔は一定ではないことを特徴とする請求項1から6のいずれか1項に記載の半導体素子。

【請求項8】

トレンチMOSFETを構成することを特徴とする請求項1から7のいずれか1項に記載の半導体素子。

【請求項9】

RC-IGBTを構成することを特徴とする請求項1から8のいずれか1項に記載の半導体素子。

【請求項10】

前記半導体基板はワイドバンドギャップ半導体によって形成されたことを特徴とする請求項1から9のいずれか1項に記載の半導体素子。

【請求項11】

前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料又はダイヤモンドであることを特徴とする請求項10に記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、例えば大電流のスイッチングなどに用いられる半導体素子に関する。

【背景技術】

【0002】

近年、省電力化と小型化が進むエアコン及び冷蔵庫などの家電機器、鉄道のインバータ

10

20

30

40

50

ー並びに産業用ロボットのモーター制御等に、絶縁ゲート型バイポーラトランジスタ（IGBT）が幅広く用いられている。電力機器を高効率化するために、IGBTの定常損失とターンオン損失を低減することが求められている。

【0003】

特許文献1にはトレンチ構造をもつIGBTは、ゲートに接続したアクティブトレンチゲートの両側にエミッタ電極に接続したダミーゲートを配置し、このアクティブトレンチゲートとダミーゲート間のp型ベース層にn型ソースを形成することが開示されている。

【0004】

特許文献2には、隣接するアクティブトレンチゲートとアクティブトレンチゲート間のp型ベース層にn型ソースを形成するIGBTが開示されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-016252号公報

【特許文献2】特開2003-188382号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

コレクタが電源の高電位側（p側）に接続されたp側半導体素子のエミッタと、エミッタが電源の低電位側（n側）に接続されたn側半導体素子のコレクタを接続することがある。p側半導体素子とn側半導体素子の接続点に負荷が接続される。p側半導体素子とn側半導体素子には1つずつ還流ダイオードが接続される。p側半導体素子に逆並列に接続される還流ダイオードをp側ダイオードといい、n側半導体素子に逆並列に接続される還流ダイオードをn側ダイオードという。

20

【0007】

n側ダイオードに還流電流が流れている状態で、p側半導体素子をターンオンするとn側ダイオードにリカバリ電流が流れる。例えば、p側半導体素子として、特許文献1、2に開示の半導体素子を採用すると、p側半導体素子のコレクタ電流に応じてn側ダイオードのリカバリ dV/dt が変化する。具体的に言えば、p側IGBTの低電流でのターンオン損失時におけるn側ダイオードのリカバリ dV/dt はp側IGBTの定格電流時でのリカバリ dV/dt に比べ大きくなる。図15にはこのことが示されている。図15において、「低電流側」とはp側半導体素子のコレクタ電流が小さいことを意味し、「定格電流側」とはp側半導体素子のコレクタ電流が大きいことを意味する。p側半導体素子のコレクタ電流が小さいときはn側ダイオードのリカバリ dV/dt が大きいのに対し、p側半導体素子のコレクタ電流が大きいときはn側ダイオードのリカバリ dV/dt が小さい。

30

【0008】

このように、ダイオードのリカバリ dV/dt が電流依存性をもつと以下の問題が生じる。すなわち、半導体素子のゲート抵抗は、大きいリカバリ dV/dt が所定の値になるように設定される。そのため、例えば、低電流側のリカバリ dV/dt が $20\text{ kV}/\mu\text{s}$ になるようゲート抵抗を決めた時、（ターンオン損失を評価する）定格電流側の dV/dt は $10\text{ kV}/\mu\text{s}$ 程度となる。その結果、半導体素子のスイッチング時間が長くなりターンオン時のターンオン損失（ターンオン損失）が増大する。つまり、ダイオードのリカバリ dV/dt が電流依存性をもつと、ターンオン損失が増大する。

40

【0009】

本発明は上述の問題を解決するためになされたものであり、還流ダイオードのリカバリ dV/dt が半導体素子のコレクタ電流に依存することを抑制できる半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0010】

50

本願の発明にかかる半導体素子は、半導体基板と、該半導体基板の上に形成されたエミッタ電極と、該半導体基板の上に形成されたゲート電極と、該半導体基板の上面側に形成された第1導電型のソース層と、該半導体基板の上面側に形成された第2導電型のベース層と、該半導体基板の下に形成されたコレクタ電極と、該半導体基板の上面側に形成された、該ゲート電極と接続された複数のアクティブトレンチゲートと、該半導体基板の上面側に形成され、該ゲート電極に接続されていない複数のダミートレンチゲートと、を備え、該アクティブトレンチゲートが3つ以上並ぶ第1構造と、該ダミートレンチゲートが3つ以上並ぶ第2構造が、交互に設けられ、かつ該第1構造における該アクティブトレンチゲートの数よりも該第2構造における該ダミートレンチゲートの数が大きく、該ベース層は、該第1構造と該第2構造との間で該エミッタ電極に接続されたことを特徴とする。

10

【0011】

本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【0012】

この発明によれば、アクティブトレンチゲートが3つ以上並ぶ第1構造と、ダミートレンチゲートが3つ以上並ぶ第2構造を、交互に設けた半導体素子を提供することで、還流ダイオードのリカバリ dV/dt が半導体素子のコレクタ電流に依存することを抑制できる。

【図面の簡単な説明】

【0013】

20

【図1】実施の形態1に係る半導体素子の一部断面斜視図である。

【図2】半導体素子の断面図である。

【図3】半導体素子を用いた回路構成例を示す回路図である。

【図4】半導体素子の動作時における空乏層の伸び方を示す図である。

【図5】トレンチゲートの配列と C_{ge} の関係を示す図である。

【図6】平準化されたリカバリ dV/dt を示す図である。

【図7】低減されたターンオン損失を示す図である。

【図8】実施の形態2に係る半導体素子の一部断面図である。

【図9】変形例に係る半導体素子の一部断面図である。

【図10】実施の形態3に係る半導体素子の一部断面図である。

30

【図11】変形例に係る半導体素子の一部断面図である。

【図12】実施の形態4に係る半導体素子の一部断面図である。

【図13】実施の形態5に係る半導体素子を構成する半導体基板の平面図である。

【図14】実施の形態6に係る半導体素子の一部断面斜視図である。

【図15】課題を説明する図である。

【発明を実施するための形態】

【0014】

本発明の実施の形態に係る半導体素子について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0015】

40

実施の形態1.

図1は、本発明の実施の形態1に係る半導体素子の一部断面斜視図である。この半導体素子はIGBTである。この半導体素子は半導体基板10を備えている。半導体基板10にはn型のドリフト層12が形成されている。ドリフト層12の下にはn型のバッファ層14が形成されている。バッファ層14の下にはp+型のコレクタ層16が形成されている。

【0016】

半導体基板10の表面側にはn+型のソース層18と、p+型のコンタクト層20が形成されている。ソース層18の下にはp型のベース層22が形成されている。ベース層22の下にはn型のキャリア蓄積層24が形成されている。そして、キャリア蓄積層24の

50

下には前述のドリフト層 12 がある。

【0017】

半導体基板 10 の上面側には、複数のアクティブトレンチゲート A1、A2 と、複数のダミートレンチゲート D1 が形成されている。アクティブトレンチゲートとはゲート電極に電氣的に接続されたトレンチゲートであり、ダミートレンチゲートとはエミッタ電極に電氣的に接続されたトレンチゲートである。複数のアクティブトレンチゲート A1、A2 と複数のダミートレンチゲート D1 は、半導体基板 10 に溝を形成し、その溝の壁面に絶縁膜 26 を形成し、その後溝を導電体 28 で埋め込むことで形成される。複数のアクティブトレンチゲート A1、A2 と複数のダミートレンチゲート D1 は、半導体基板 10 の表面からソース層 18、ベース層 22 及びキャリア蓄積層 24 を貫通し、ドリフト層 12 にまで達している。

10

【0018】

前述のソース層 18 は、アクティブトレンチゲート A1、A2 の片側もしくは両側壁にそれぞれ接して形成されればよい。しかし、ダミートレンチゲート D1 に挟まれた領域にソース層 18 を形成してもよい。

【0019】

半導体基板 10 の下にはコレクタ電極 40 が形成されている。半導体基板 10 の上面には層間絶縁膜 42 が設けられている。層間絶縁膜 42 には開口が設けられ、その開口には、コンタクト層 20 及びソース層 18 に接触するエミッタコンタクト 44 が設けられている。エミッタコンタクト 44 はベース層 22 の上に形成される。層間絶縁膜 42 の上にはエミッタコンタクト 44 に接触するエミッタ電極 46 が形成されている。

20

【0020】

図 2 は、半導体素子の断面図である。図 2 を参照してトレンチゲートの配列を説明する。半導体基板 10 の上には、エミッタ電極 46 とゲート電極 50 が形成されている。3つのアクティブトレンチゲート A1 と3つのアクティブトレンチゲート A2 はゲート電極 50 と接続されている。3つのダミートレンチゲート D1 と3つのダミートレンチゲート D2 はゲート電極 50 に接続されず、エミッタ電極 46 に接続されている。

【0021】

ソース層 18 のうち、アクティブトレンチゲート A1、A2 に隣接する部分にはエミッタコンタクト 44 が接している。従って、ソース層 18 のうちアクティブトレンチゲート A1、A2 に隣接する部分はエミッタ電極 46 に接続されている。他方、ベース層 22 のうち、ダミートレンチゲート D1、D2 に挟まれた部分は、エミッタ電極 46 に接続されない。

30

【0022】

3つのアクティブトレンチゲート A1 が並ぶことで第 1 構造 60 が形成されている。第 1 構造 60 の横には、3つのダミートレンチゲート D1 が並ぶことで第 2 構造 62 が形成されている。第 2 構造 62 の横には、3つのアクティブトレンチゲート A2 が並ぶことで第 1 構造 64 が形成されている。第 1 構造 64 の横には、3つのダミートレンチゲート D2 が並ぶことで第 2 構造 66 が形成されている。このように、3つのアクティブトレンチゲートで構成される第 1 構造と、3つのダミートレンチゲートで構成される第 2 構造が交互に設けられている。

40

【0023】

図 3 は、半導体素子を用いた回路構成例を示す回路図である。p 側半導体素子 70 と n 側半導体素子 74 の接続点 P1 に負荷 78 が接続される。p 側半導体素子 70 には還流ダイオードとして p 側ダイオード 72 が接続され、n 側半導体素子 74 には還流ダイオードとして n 側ダイオード 76 が接続される。p 側半導体素子 70 と n 側半導体素子 74 として、本発明の実施の形態 1 に係る半導体素子を採用する。

【0024】

図 2 の説明に戻る。第 1 構造 60、64 におけるアクティブトレンチゲート間の距離 L1 は $1.5 \mu\text{m}$ 以下とした。アクティブトレンチゲートとダミートレンチゲートの距離 L

50

2、及びダミートレンチゲートとダミートレンチゲートの距離 L 3 は特に限定しないが、例えば 1.5 μm 程度とする。

【0025】

本発明の実施の形態 1 に係る半導体素子の製造方法の一例について説明する。まず、n 型の半導体基板を準備する。次いで、マスクとして酸化膜を形成し、その酸化膜上に写真製版法によってレジストパターンを形成する。レジストパターンをマスクとして酸化膜をエッチングする。次いで、レジストパターンを除去する。

【0026】

次いで、マスクを用いて n 型キャリア蓄積層を形成するためリン (P) イオンを注入する。次いで、同一マスクでボロン (B) イオンを注入してもよい。これにより使用するマスク枚数を減らすことができるが、別々のマスクを用いてもよい。次いで、注入したリンとボロンをドライブによって拡散する。これにより、n 型のキャリア蓄積層 24 と p 型のベース層 22 が形成される。キャリア蓄積層 24 の不純物濃度はドリフト層 12 より高濃度でベース層 22 より低濃度であればよく、たとえば、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ である。キャリア蓄積層 24 の拡散深さは例えば 2.0 μm である。p 型のベース層 22 の表面濃度は例えば $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり、拡散深さは例えば 2.0 μm である。

【0027】

次に酸化膜からなるマスクを用いて、不純物としてヒ素 (As) イオンを注入し、注入したヒ素をドライブにより拡散する。これにより、p 型のベース層 22 の上に、n 型のソース層 18 が形成される。例えばソース層 18 の不純物濃度は例えば $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であり、拡散深さは例えば 0.5 μm である。

【0028】

次にアクティブトレンチゲートとダミートレンチゲートを形成する。アクティブトレンチゲートはゲート電極に、ダミートレンチゲートはエミッタ電極に接続するようにパターニングされた酸化膜からなるマスクを用いて、ドライエッチングによりベース層 22 とキャリア蓄積層 24 を貫通してトレンチが形成される。例えば、トレンチの深さは 6.0 μm、幅は 1.0 μm である。

【0029】

次に、酸化膜マスクを除去し、トレンチの側壁を覆う酸化膜 (絶縁膜 26) を形成する。続いて、絶縁膜 26 で覆われたトレンチにポリシリコンなどの導電体 28 を充填する。次いで、トレンチ内の導電体 28 を絶縁するための酸化膜等からなる層間絶縁膜 42 を形成する。層間絶縁膜 42 の膜厚はたとえば 1.0 μm である。

【0030】

次いで、酸化膜からなるマスクを用いて、エミッタコンタクト 44 を形成する。次いでエミッタ電極 46 を形成する。エミッタ電極 46 の材料は、たとえばアルミニウム又はアルミニウムシリコンである。エミッタ電極 46 の膜厚はたとえば 4.0 μm である。また、エミッタ電極 46 と絶縁されたゲート電極 50 も形成する。

【0031】

次いで、半導体基板 10 の下面に P イオン及び B イオンを注入し、アニールにより p 型のコレクタ層 16、n 型のバッファ層 14 を形成する。アニールは工程を削減するため上記記載の様に 1 回で行ってもよく、P イオンと B イオンをそれぞれ注入した後に 2 回に分けて行ってもよい。次いで、コレクタ電極 40 を形成する。コレクタ電極 40 の材料と膜厚は任意に設定することができる。

【0032】

発明者は、還流ダイオードのリカバリ dV/dt が半導体素子のコレクタ電流に依存することを抑制するためには、半導体素子のゲート電極 - コレクタ電極間容量 (C_{gc}) をゲート電極 - エミッタ電極間容量 (C_{ge}) で除した値 (C_{gc}/C_{ge}) を大きくすることが有効であることを見出した。より具体的には、半導体素子の C_{gc} を大きくすることで低電流時のリカバリ dV/dt の増加を抑制できる。また、半導体素子の C_{ge} を小

10

20

30

40

50

さくすることで大電流時（定格電流時）のリカバリ dV/dt を増加させることができる。 C_{gc}/C_{ge} の値を大きくすることで、スイッチング時間を短くしターンオン損失を低減できる。本発明の実施の形態 1 に係る半導体素子は、この知見に基づき製造されたものである。

【0033】

本発明の実施の形態 1 に係る半導体素子は、 C_{gc} の値を維持しつつ C_{ge} を低減するのに好適な構成となっている。そのことについて、半導体素子の動作時における空乏層の伸び方を示す図 4 を参照して説明する。ゲート電極 50 - エミッタ電極 46 間に電圧 V_{ge} を印加すると、ベース層 22 において、アクティブトレンチゲート A1 の側壁から空乏層 80 が広がる。例えば、空乏層 80 は破線で示された領域に形成される。半導体素子の C_{ge} は酸化膜容量（絶縁膜 26 を誘電体層とする容量）と空乏層容量に依存する。そのため、空乏層 80 の距離 d が大きく、表面積 S が小さいほど、 C_{ge} を低減することができる。

10

【0034】

印加電圧 V_{ge} が大きくなると、アクティブトレンチゲートの側壁から形成された空乏層と、隣のアクティブトレンチゲートから形成された空乏層が重なり、空乏層の距離 d は大きくなる。本発明の実施の形態 1 では、第 1 構造におけるアクティブトレンチゲート間の距離を $1.5 \mu\text{m}$ 以下としたので、低い印加電圧 V_{ge} でも空乏層を重ねることができる。空乏層が重なると距離 d が大きい 1 つの空乏層が形成されるので、 C_{ge} を十分に低減することができる。

20

【0035】

空乏層の表面積 S を小さくすることは、キャリア蓄積層 24 の不純物濃度を調整することで実現した。つまり、キャリア蓄積層 24 の不純物濃度をドリフト層 12 の不純物濃度より大きくした。また、キャリア蓄積層 24 の不純物濃度をソース層 18 の不純物濃度より小さくした。キャリア蓄積層 24 の不純物濃度をドリフト層 12 の不純物濃度より大きくしたので、大規模な空乏層がキャリア蓄積層 24 に形成されることを防止できる。つまり空乏層の表面積 S の増加を抑制できる。また、キャリア蓄積層 24 の不純物濃度をソース層 18 の不純物濃度より小さくすることで、キャリア蓄積層 24 の不純物濃度が極端に大きくなり、ホールがキャリア蓄積層 24 の上方へ抜けにくくなることを防止できる。

【0036】

隣接したアクティブトレンチゲート間の距離 L_1 を $1.5 \mu\text{m}$ 以下とし、キャリア蓄積層 24 の不純物濃度をドリフト層 12 の不純物濃度より大きくしたので、空乏層容量を小さくすることができる。仮に上記のキャリア蓄積層の不純物濃度が実現されなければ、十分に C_{ge} を低減できず、しかも C_{gc} を増加させてしまう。

30

【0037】

ところで、アクティブトレンチゲートとダミートレンチゲートが隣り合った部分では、アクティブトレンチゲートの側壁から空乏層が広がるが、ダミートレンチゲートの側壁からは空乏層が広がらない。そのため、2 つの空乏層を重ねることによる C_{ge} の低減効果を得ることができない。したがって、アクティブトレンチゲートとダミートレンチゲートの隣接箇所の密度を考慮して、アクティブトレンチゲートとダミートレンチゲートの配列を決める必要がある。

40

【0038】

図 5 は、アクティブトレンチゲートとダミートレンチゲートの配列方法と、 C_{ge} の関係を示すグラフである。2 : 1 というのは、アクティブトレンチゲートの数とダミートレンチゲートの数の比（個数比）が 2 : 1 ということである。1 : 1 はアクティブトレンチゲートの数とダミートレンチゲートの数の比が 1 : 1 であることを表し、1 : 2 はアクティブトレンチゲートの数とダミートレンチゲートの数の比が 1 : 2 であることを表す。

【0039】

横軸のトレンチゲートの倍数というのは、前述の比における 1 がいくつのトレンチゲートで構成されるかを示す。具体的には、図 5 の 1 : 1 の場合における 6 つのプロットに着

50

目して説明する。1 : 1の場合において、トレンチゲートの倍数が $\times 1$ であれば、1つのアクティブトレンチゲートと1つのダミートレンチゲートが交互に設けられる。1つのアクティブトレンチゲートと1つのダミートレンチゲートの和が2であり、そのうち1つがアクティブであるから、 $1/2$ 間引きと言う。1 : 1の場合において、トレンチゲートの倍数が $\times 2$ であれば、2つのアクティブトレンチゲートと2つのダミートレンチゲートが交互に設けられる。

【0040】

1 : 1の場合において、トレンチゲートの倍数が $\times 3$ であれば、3つのアクティブトレンチゲートと3つのダミートレンチゲートが交互に設けられる。本発明の実施の形態1に係る半導体素子は、1 : 1でトレンチゲートの倍数が $\times 3$ の場合に相当する。3つのアクティブトレンチゲートと3つのダミートレンチゲートの和が6であり、そのうち3つがアクティブであるから、 $3/6$ 間引きと言う。

10

【0041】

1 : 1の場合において、トレンチゲートの倍数が $\times 4$ であれば、4つのアクティブトレンチゲートと4つのダミートレンチゲートが交互に設けられる。そして、トレンチゲートの倍数が $\times 5$ であれば5つのアクティブトレンチゲートと5つのダミートレンチゲートが交互に設けられる。トレンチゲートの倍数が $\times 6$ であれば6つのアクティブトレンチゲートと6つのダミートレンチゲートが交互に設けられる。

【0042】

例えば2 : 1の場合において、トレンチゲートの倍数が $\times 3$ であれば、6つのアクティブトレンチゲートと3つのダミートレンチゲートが交互に設けられる。例えば1 : 2の場合において、トレンチゲートの倍数が $\times 3$ であれば、3つのアクティブトレンチゲートと6つのダミートレンチゲートが交互に設けられる。前述の「間引き」という言葉を用いることで、図5の18プロットの各々を簡潔に言い表すことができる。例を挙げれば、個数比2 : 1の場合において、トレンチゲートの倍数が $\times 1$ であれば「 $1/3$ 間引き」といい、個数比1 : 2の場合において、トレンチゲートの倍数が $\times 1$ であれば「 $2/3$ 間引き」という。

20

【0043】

ここまでの説明で明らかであるが、トレンチゲートの倍数を増加させることは、アクティブトレンチゲートとダミートレンチゲートの個数比を固定したままで、各本数を整数倍することを意味する。

30

【0044】

本発明の実施の形態1では「 $3/6$ 間引き」を採用したので、 $1/2$ 間引きの半導体素子と比較すれば C_{ge} を20%低減できる。しかも C_{gc} の増加はない。そのため、 $1/2$ 間引きと比較して C_{gc}/C_{ge} を20%増加させることができる。したがって、還流ダイオードのリカバリ dV/dt が半導体素子のコレクタ電流に依存することを抑制できる。

【0045】

図5から、アクティブトレンチゲートの数とダミートレンチゲートの数の比（個数比）が1 : 2の場合にも低い C_{ge} を得ることができることが分かる。しかしながら、個数比が2 : 1の場合、個数比が1 : 1の場合と比較して C_{ge} が大きくなる。個数比が2 : 1の場合の基準構造である $1/3$ 間引はアクティブトレンチゲートが隣接する構造であるため、既にアクティブトレンチゲートが隣接することによる C_{ge} 低減効果が得られているので、トレンチゲートの倍数を増加させても C_{ge} を大きく低下させることができない。

40

【0046】

本発明の実施の形態1では、 $3/6$ 間引きを採用したが別の配列を採用してもよい。アクティブトレンチゲートが3つ以上並ぶ第1構造と、ダミートレンチゲートが3つ以上並ぶ第2構造が、交互に設けられた構成を採用することでアクティブトレンチゲートの隣接数を増やし、アクティブトレンチゲートとダミートレンチゲートの隣接密度を低下させることができるので、 C_{ge} を低減することができる。その上で、第1構造におけるアクテ

50

ィブトレンチゲートの数よりも、第2構造におけるダミートレンチゲートの数を大きくすること（例えば1：2とすること）で、特に C_{ge} を低下させることができる。なお、本発明の実施の形態1ではキャリア蓄積層24を形成したがこれに限定するものではなく、キャリア蓄積層24を形成しなくてもよい。

【0047】

図6は、本発明の実施の形態1に係る半導体素子のコレクタ電流と、還流ダイオードのリカバリ dV/dt の関係を示す図である。実施の形態1の半導体素子では小さい C_{ge} を実現しているため、 C_{gc}/C_{ge} が大きくなり、還流ダイオードのリカバリ dV/dt が半導体素子のコレクタ電流に依存することを抑制できている。図7は、ターンオン損失の低減効果を説明するグラフである。図7には、上記のとおり C_{ge} を小さくすること

10

【0048】

本発明の実施の形態1に係る半導体素子によれば、定常損失($V_{ce(sat)}$)を低減することができる。つまり、ベース層22のうち、ダミートレンチゲートD1、D2に挟まれた部分は、エミッタ電極46に接続されないため、フローティングベース層が形成される。フローティングベース層によりInjection Enhancement効果(IE効果)が促進される。フローティングベース層にはホールが蓄積し、伝導度変調が起こるため、ドリフト層12の比抵抗が低下し $V_{ce(sat)}$ を低減できる。

【0049】

本発明の実施の形態1に係る半導体素子は、様々な変形が可能である。例えば半導体素子はIGBTを構成せず、トレンチMOSFET又はRC-IGBTを構成してもよい。半導体基板10はケイ素によって形成してもよいが、ケイ素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成してもよい。ワイドバンドギャップ半導体としては、例えば、炭化珪素、窒化ガリウム系材料又はダイヤモンドがある。n型の層はp型に置き換え、p型の層をn型に置き換えてもよい。つまり、半導体基板の各層は第1導電型か第2導電型で形成される。上述の各変形例については、以下の実施の形態に係る半導体素子においても適宜応用できる。なお、以下の実施の形態に係る半導体素子については、実施の形態1との共通点が多いので実施の形態1との相違点を中心に説明する。

20

【0050】

実施の形態2

30

図8は、実施の形態2に係る半導体素子の一部断面図である。ベース層22のうち、ダミートレンチゲートD1に挟まれた部分は、エミッタ電極46に接続されている。つまり、エミッタコンタクト44をダミートレンチゲートD1の両側に設け、ダミートレンチゲートD1をエミッタコンタクト44で挟む。エミッタコンタクト44の下部にはコンタクト抵抗を低減させるためのp+型のコンタクト層20を形成してもよい。コンタクト層20のパターンは特定のパターンに限定されず、例えばエミッタコンタクト44の下部に選択的に形成してもよい。エミッタコンタクト44をダミートレンチゲートD1に挟まれた部分に設けることで、エミッタコンタクト44からのホールの排出を促進しターンオフ損失を低減することができる。

【0051】

40

特にダミートレンチゲートの本数が増えると、フローティングベース層が形成されることによるIE効果による $V_{ce(sat)}$ の低減効果よりも、ターンオフ損失の増加が問題となる。そこで、図8に示すようにすべてのベース層22の上にエミッタコンタクト44を設けることで、ターンオフ損失を低減できる。

【0052】

ここで、あるダミートレンチゲートD1の右側だけにエミッタコンタクト44を設け、そのダミートレンチゲートD1の左側にはエミッタコンタクト44を設けなくてもよい。これによりホールの蓄積量を調整できる。あるいは、あるダミートレンチゲートD1の両側にはエミッタコンタクト44を設けるが、別のダミートレンチゲートD1については片側にだけエミッタコンタクト44を設けてもよい。図9を参照しつつ説明すると、第2構

50

造 6 2 により、ダミートレンチゲート D 1 に挟まれたベース層 2 2 が 2 箇所以上あり、1 箇所はエミッタ電極 4 6 に接続され、別の 1 箇所はエミッタ電極 4 6 に接続されない。こうすることで、ターンオフ損失と $V_{ce(sat)}$ のトレードオフ特性を悪化させることなくターンオン損失を低減することができる。

【 0 0 5 3 】

実施の形態 3 .

図 1 0 は、実施の形態 3 に係る半導体素子の一部断面図である。ベース層 2 2 のうち、アクティブトレンチゲートに挟まれた部分だけに、エミッタ電極 4 6 (エミッタコンタクト 4 4) が接続されている。アクティブトレンチゲートと、アクティブトレンチゲートとダミートレンチゲートの間にあるエミッタコンタクト 4 4 との間で発生する C_{ge} を、エミッタコンタクト 4 4 を間引くことで低減する。

10

【 0 0 5 4 】

アクティブトレンチゲートに隣接するフローティングベース層 2 2 ' はターンオン時に流入したホールにより電位が変動し変位電流を発生させるので、低電流時の dV/dt の増加につながる。したがって、上記のようにアクティブトレンチゲートが 3 つ以上並ぶ第 1 構造と、ダミートレンチゲートが 3 つ以上並ぶ第 2 構造を交互に設けることで当該フローティングベース層 2 2 ' の密度を低下させることが重要である。

【 0 0 5 5 】

図 1 1 は、変形例に係る半導体素子の一部断面図である。ベース層 2 2 のうち、アクティブトレンチゲートに挟まれた部分と、ダミートレンチゲートに挟まれた部分だけにエミッタ電極 4 6 (エミッタコンタクト 4 4) を接続する。アクティブトレンチゲートとダミートレンチゲートの間のベース層 2 2 にはエミッタコンタクト 4 4 を設けない。これにより、エミッタコンタクト 4 4 からのホールの排出を促進しつつ、 C_{ge} を低減しターンオフ損失を低減できる。

20

【 0 0 5 6 】

実施の形態 4 .

図 1 2 は、実施の形態 4 に係る半導体素子の一部断面図である。ベース層 2 2 は、アクティブトレンチゲートとダミートレンチゲートの間の領域を避けて形成されている。つまり、アクティブトレンチゲート A 1 とダミートレンチゲート D 1 の間にはベース層 2 2 が配置されない。これにより、アクティブトレンチゲート A 1 と、アクティブトレンチゲート A 1 とダミートレンチゲート D 1 の間のエミッタコンタクトの間で発生する C_{ge} を削減することができる。

30

【 0 0 5 7 】

上記のようにアクティブトレンチゲートが 3 つ以上並ぶ第 1 構造と、ダミートレンチゲートが 3 つ以上並ぶ第 2 構造を交互に設けることで、ベース層 2 2 が省略された部分 (アクティブトレンチゲートとダミートレンチゲートの間の部分) の割合が減少していきベース層 2 2 の割合が増える。ベース層 2 2 は逆バイアス時に空乏層が伸びて耐圧を高める機能があるので、上述のようにベース層 2 2 の割合を増やすと耐圧を高めることができる。

【 0 0 5 8 】

実施の形態 5 .

図 1 3 は、実施の形態 5 に係る半導体素子を構成する半導体基板の平面図である。アクティブトレンチゲート A 1 は横方向に 3 本伸びている。3 本のアクティブトレンチゲート A 1 はそれらの短手方向に伸びるアクティブトレンチゲートによって接続され、アクティブトレンチゲートは平面視でメッシュ状になっている。ダミートレンチゲート D 1 は平面視でストライプ状に配置されている。なお、ダミートレンチゲート D 1 の形状はストライプ状に限定されずメッシュ状であってもよい。

40

【 0 0 5 9 】

メッシュ状のアクティブトレンチゲートを形成することで、ゲート-エミッタ間に電圧を印加すると x 正負方向だけでなく y 正負方向にも空乏層が広がり、広がった空乏層が互いに重なりあう。従って、空乏層の表面積 S は小さく、空乏層の距離 d は大きくなり、C

50

g e を小さくすることができる。

【 0 0 6 0 】

第 1 構造を構成するアクティブトレンチゲートの数は 3 に限定されない。第 1 構造を構成する 3 つ以上のアクティブトレンチゲートを接続し平面視でメッシュ状の第 1 構造を形成することで、C g e を小さくできる。

【 0 0 6 1 】

実施の形態 6 .

図 1 4 は、実施の形態 6 に係る半導体素子の一部断面斜視図である。ソース層 1 8 は、平行に伸びる複数のアクティブトレンチゲート A 1 , A 2 及び複数のダミートレンチゲート D 1 に対し交差する、第 1 ソース層 1 8 a と第 2 ソース層 1 8 b を有している。そして、第 1 ソース層 1 8 a と第 2 ソース層 1 8 b の間隔は一定ではない。つまり、ソース層の間隔が一定ではなく部分的に長くなるようにした。例えば、ソース層の間隔 L 4 が 1 の場合、ソース層の間隔 L 5 は 1 0 という比率である。

10

【 0 0 6 2 】

このような構成にした場合、電子の注入効率がそれぞれのセルで変化する。ソース層の間隔が長いセルでは注入効率が小さくなり、閾値電圧 V t h が高くなる。このため同一チップ内で、高 V t h のセルと通常の V t h のセルの二種類のセルが構成される。図 1 4 には、高 V t h セル (High V t h セル) と通常の V t h のセル (Ref V t h セル) が示されている。リカバリ d V / d t はゲートエミッタ間電圧の時間変化 d V g e / d t に依存し、d V g e / d t は閾値電圧 V t h に依存する。ターンオン時において d V g e / d t が急増する場合は d V / d t も急増する。V t h の異なる二種類のセルを構成すると、それぞれのセルから出る d V g e / d t の大きさは異なり、かつ位相がずれるため、チップとして見た場合、それぞれのセルから出た d V g e / d t のピークが大きい箇所と小さい箇所が互い重なり合う。そのため、d V g e / d t のピークは緩やかになる。その結果、リカバリ d V / d t の電流依存性を小さくできる。更に d V g e / d t 波形のピークを小さくできるため E M I ノイズを低減することも可能である。

20

【 0 0 6 3 】

なお、上記の各実施の形態に係る半導体素子の特徴を適宜に組み合わせて、本発明の効果を高めても良い。

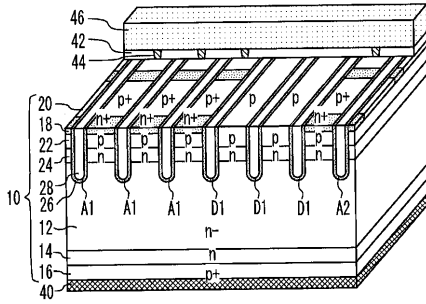
【 符号の説明 】

30

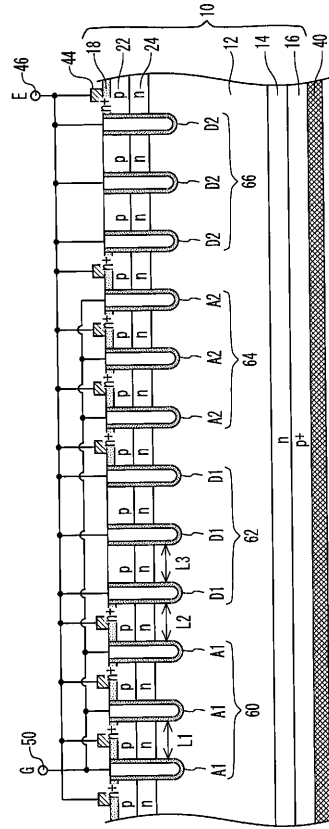
【 0 0 6 4 】

1 0 半導体基板、 1 8 ソース層、 2 0 コンタクト層、 2 2 ベース層、 2 4 キャリア蓄積層、 4 6 エミッタ電極、 5 0 ゲート電極、 6 0 , 6 4 第 1 構造、 6 2 , 6 6 第 2 構造、 8 0 空乏層、 A 1 , A 2 アクティブトレンチゲート、 D 1 , D 2 ダミートレンチゲート

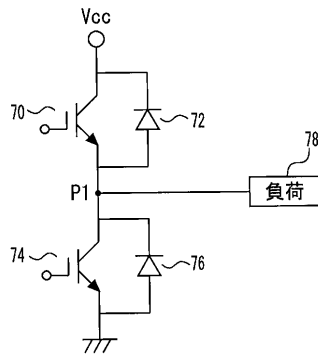
【図1】



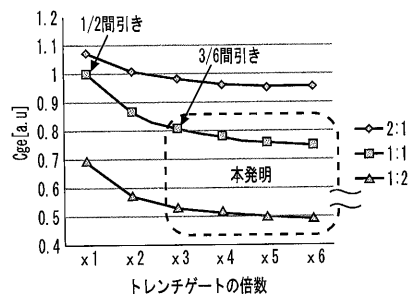
【図2】



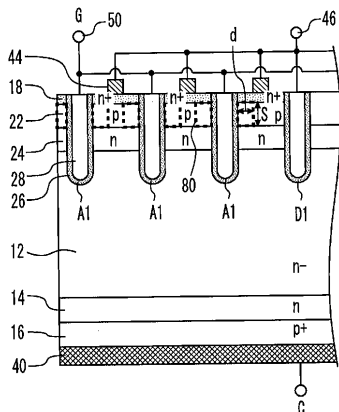
【図3】



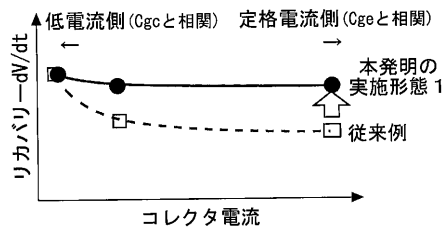
【図5】



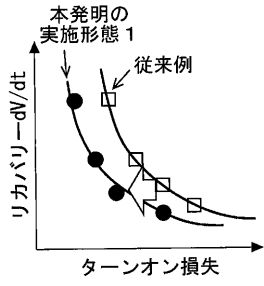
【図4】



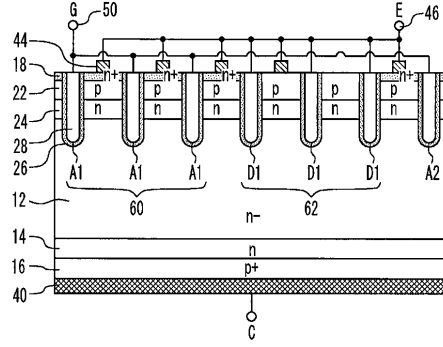
【図6】



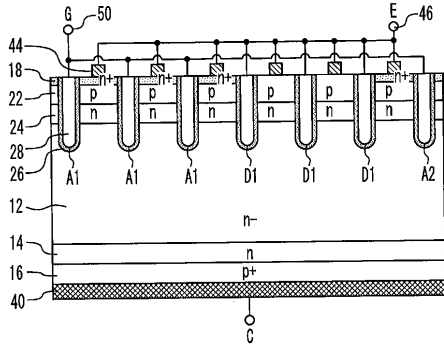
【図7】



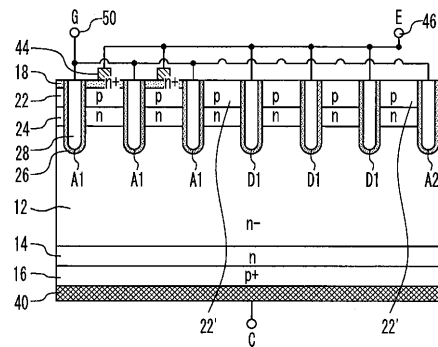
【図9】



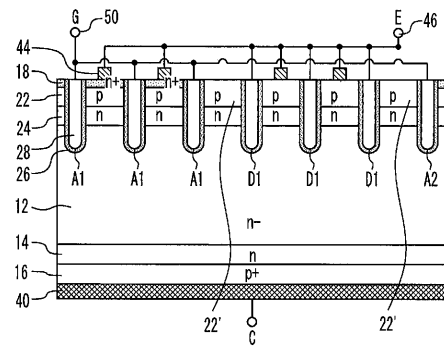
【図8】



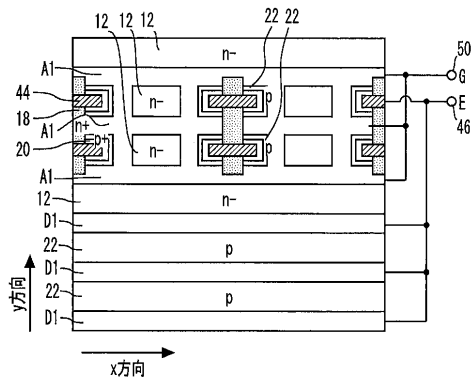
【図10】



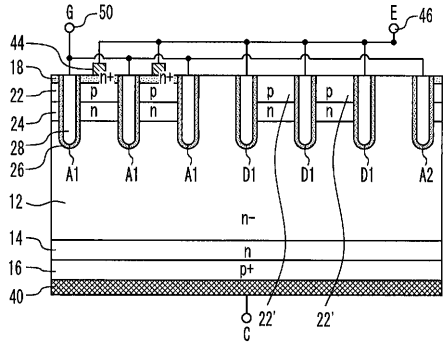
【図11】



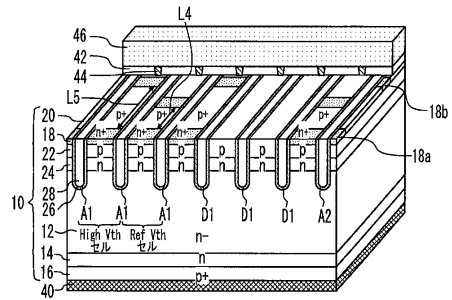
【図13】



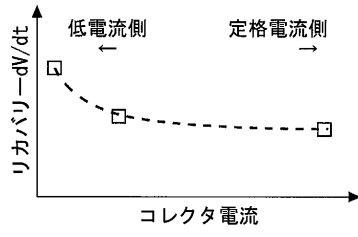
【図12】



【図14】



【図 15】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 C
H 0 1 L 29/78 6 5 2 K
H 0 1 L 29/78 6 5 2 B
H 0 1 L 27/06 1 0 2 A
H 0 1 L 29/78 6 5 2 T

(72)発明者 上馬場 龍
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 梅山 真理子
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 榎崎 敦司
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 多留谷 政良
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 杉山 芳弘

(56)参考文献 特開2015-072950(JP,A)
特開2008-205500(JP,A)
特開2015-103697(JP,A)
国際公開第2015/022989(WO,A1)
特開2004-228553(JP,A)
特開平10-321856(JP,A)
特開2006-005248(JP,A)
特開2007-324539(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 1 / 3 3 6