



(12) 发明专利申请

(10) 申请公布号 CN 113078212 A

(43) 申请公布日 2021.07.06

(21) 申请号 202011483584.4

(22) 申请日 2020.12.16

(30) 优先权数据

16/734,649 2020.01.06 US

(71) 申请人 半导体元件工业有限责任公司

地址 美国亚利桑那

(72) 发明人 P·莫恩斯 P·范米尔贝克

A·巴纳尔吉 M·塔克

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/778 (2006.01)

H01L 29/10 (2006.01)

H01L 21/336 (2006.01)

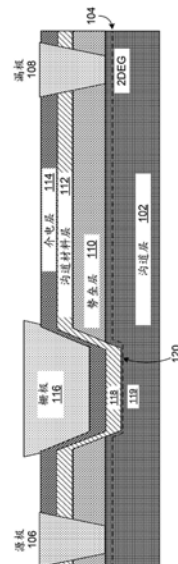
权利要求书2页 说明书7页 附图10页

(54) 发明名称

在栅极区域下方具有GaN沟道再生的增强型
MISHEMT

(57) 摘要

本发明描述了一种在栅极区域下方具有GaN沟道再生的增强型(E型)金属绝缘体半导体(MIS)高电子迁移率晶体管(HEMT)或EMISHEMT。在栅极区域下方具有GaN沟道再生的EMISHEMT为常关器件提供适当高且稳定的阈值电压,同时提供低栅极泄漏电流。沟道层提供2DEG和相关联的低导通电阻,同时沟道材料层延伸穿过蚀刻的凹陷部并进入该沟道层中并局部中断2DEG以实现常关操作。



1. 一种半导体器件,包括:
高电子迁移率晶体管 (HEMT),所述高电子迁移率晶体管具有:
沟道层;
势垒层,所述势垒层与所述沟道层相邻地形成并且至少部分地在所述高电子迁移率晶体管的源极和漏极之间延伸;
沟道材料层,所述沟道材料层延伸穿过所述势垒层并进入所述沟道层中;
至少一个介电层,所述至少一个介电层与所述沟道材料层相邻地形成;和
栅极,所述栅极与所述至少一个介电层相邻地形成。
2. 根据权利要求1所述的半导体器件,其中所述沟道材料层形成在所述势垒层中的凹陷部内,并且其中所述至少一个介电层形成在所述势垒层中的所述凹陷部内。
3. 根据权利要求1所述的半导体器件,其中二维电子气 (2DEG) 至少部分地在所述沟道层内在所述高电子迁移率晶体管的源极和漏极之间延伸,并且当所述栅极未被偏压时,所述沟道材料层中断所述二维电子气。
4. 根据权利要求1所述的半导体器件,其中所述至少一个介电层至少包括第一介电层和第二介电层,所述第一介电层包括钝化层,所述第二介电层包括相对于所述沟道层和所述沟道材料层的导带和价带两者具有带隙偏移的氧化物。
5. 一种高电子迁移率晶体管 (HEMT) 器件,包括:
沟道层;
势垒层,所述势垒层与所述沟道层相邻并与所述沟道层形成异质结,所述异质结导致二维电子气 (2DEG) 出现在所述沟道层内;
沟道材料层,所述沟道材料层至少部分地形成在所述势垒层中的凹陷部内并包括延伸到所述沟道层中的一部分;
至少一个介电层,所述至少一个介电层与所述沟道材料层相邻地形成;
栅极,所述栅极与所述至少一个介电层相邻地形成;以及
源极和漏极,所述源极和所述漏极在所述二维电子气的相对的端部处形成以在所述源极和所述漏极之间限定延伸穿过所述沟道层的电流沟道,所述电流沟道包括所述沟道层的与所述沟道材料层的所述一部分相邻的区域。
6. 根据权利要求5所述的高电子迁移率晶体管器件,其中所述至少一个介电层形成在所述势垒层中的所述凹陷部内。
7. 根据权利要求5所述的高电子迁移率晶体管器件,其中当所述栅极未被偏压时,所述沟道材料层的所述一部分中断所述二维电子气。
8. 根据权利要求5所述的高电子迁移率晶体管器件,还包括蓝宝石衬底。
9. 一种制造高电子迁移率晶体管 (HEMT) 的方法,所述方法包括:
形成层叠堆,所述层叠堆至少包括沟道层和与所述沟道层相邻的势垒层,以及形成异质结,在所述异质结处电流沟道被限定于所述沟道层中;
在所述势垒层中形成延伸到所述沟道层中的凹陷部;
在所述凹陷部内形成沟道材料层;
形成与所述沟道材料层相邻的至少一个介电层;
形成与所述至少一个介电层相邻的栅极;以及

在所述电流沟道的相对的端部处形成源极和漏极。

10. 根据权利要求9所述的方法,其中形成所述凹陷部包括:第一蚀刻过程以蚀刻穿过所述势垒层到达所述沟道层和所述势垒层之间的所述层叠堆中的蚀刻停止层,并且其中形成所述沟道材料层包括:第二蚀刻过程以蚀刻到所述沟道层中。

11. 根据权利要求9所述的方法,其中形成所述至少一个介电层包括:
用所述沟道材料层原位形成所述至少一个介电层。

12. 根据权利要求9所述的方法,其中形成所述至少一个介电层包括:
在所述沟道材料层上形成钝化层;以及
形成相对于所述沟道层和所述沟道材料层的导带和价带两者具有带隙偏移的绝缘层。

在栅极区域下方具有Ga_N沟道再生的增强型MISHEMT

技术领域

[0001] 本说明书涉及高电子迁移率晶体管 (HEMT)。

背景技术

[0002] HEMT是一种应用电流沟道的晶体管,该电流沟道是在具有不同带隙的两种材料之间的边界处使用异质结而形成的。例如,相对宽的带隙材料诸如AlGa_N(氮化铝镓)可掺杂有n型杂质,并且被用于与无掺杂的相对窄的带隙材料诸如Ga_N(氮化镓)形成结。然后,达到平衡,其中窄带隙材料具有形成二维电子气(2DEG)的过量多数载流子。因此,并且由于窄带隙材料不具有通过散射而中断电流的掺杂杂质,因此除了其他优点外,HEMT器件还提供非常高的开关速度、高增益和高功率应用。

发明内容

[0003] 根据一个一般方面,半导体器件可包括高电子迁移率晶体管(HEMT),该HEMT具有沟道层和势垒层,该势垒层与沟道层相邻地形成并且至少部分地在HEMT的源极和漏极之间延伸。HEMT可包括:沟道材料层,该沟道材料层延伸穿过势垒层并进入沟道层中;至少一个介电层,该至少一个介电层与沟道材料层相邻地形成;和栅极,该栅极与至少一个介电层相邻地形成。

[0004] 根据另一个一般方面,高电子迁移率晶体管(HEMT)器件可包括:沟道层和势垒层,该势垒层与沟道层相邻并与该沟道层形成异质结,该异质结导致二维电子气(2DEG)出现在沟道层内。HEMT可包括:沟道材料层,该沟道材料层至少部分地形成在势垒层中的凹陷部内并且包括延伸到沟道层中的一部分;至少一个介电层,该至少一个介电层与沟道材料层相邻地形成;和栅极,该栅极与至少一个介电层相邻地形成。在2DEG的相对两端处形成的源极和漏极可在源极和漏极之间限定延伸穿过沟道层的电流沟道,其中电流沟道包括沟道层的与沟道材料层的部分相邻的区域。

[0005] 根据另一个一般方面,制作高电子迁移率晶体管(HEMT)的方法包括:形成层叠堆,该层叠堆至少包括沟道层和与沟道层相邻的势垒层,以及形成异质结,在该异质结处电流沟道被限定于该沟道层中;以及在势垒层中形成延伸到沟道层中的凹陷部。该方法可包括在凹陷部内形成沟道材料层,以及形成与沟道材料层相邻的至少一个介电层。该方法可包括形成与至少一个介电层相邻的栅极,以及在电流沟道的相对两端处形成源极和漏极。

[0006] 一个或多个实施方式的细节在附图和以下描述中阐明。其他特征将从说明书和附图中以及从权利要求书中显而易见。

附图说明

[0007] 图1示出了根据一些示例性实施方式的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的横截面。

[0008] 图2示出了图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的更详细示例性

器件结构。

[0009] 图3示出了可用于图1和图2的示例性器件中的示例性介电材料的带隙和带隙偏移。

[0010] 图4示出了用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的第一示例性中间器件结构。

[0011] 图5示出了用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的第二示例性中间器件结构。

[0012] 图6示出了用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的第三示例性中间器件结构。

[0013] 图7示出了用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的第四示例性中间器件结构。

[0014] 图8示出了用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的第五示例性器件结构。

[0015] 图9是示出根据图4-图8的用于形成图1的在栅极区域下方具有Ga_N沟道再生的E型MISHEMT的实施方式的示例性过程的流程图。

[0016] 图10是示出示例性实施方案的随栅极电位变化的漏极电流的曲线图。

具体实施方式

[0017] 如下文详细描述，实施方案包括半导体器件，该半导体器件包括在栅极区域下方具有Ga_N沟道再生的增强型(E型)金属绝缘体半导体(MIS)高电子迁移率晶体管(HEMT)或EMISHEMT。在栅极区域下方具有Ga_N沟道再生的EMISHEMT为常关器件提供适当高且稳定的阈值电压(V_t)，同时提供低栅极泄漏电流。沟道层提供2DEG和相关联的低导通电阻(R_{on})，同时沟道材料层延伸穿过蚀刻的凹陷部并进入沟道层中，并且局部中断2DEG以实现常关操作。即使当势垒层经历蚀刻以提供沟道材料层(其通常可能在蚀刻的凹陷部处形成过量的界面状态)时，也可以保持低界面状态密度(D_{it})和对应的高沟道迁移率。

[0018] 更详细地讲，沟道层的部分与势垒层相邻(例如，与势垒层形成界面)，并且因此具有在其中形成的2DEG。沟道材料层延伸穿过凹陷部(例如，蚀刻的凹陷部)、穿过势垒层并进入沟道层，并且沟道材料层的至少一部分延伸到沟道层中。沟道材料层的延伸到沟道层中的部分中断沟道层的相邻区域(本文称为被中断的2DEG区域)中的2DEG。

[0019] 至少一个绝缘电介质可以与沟道材料层相邻地形成，并且栅极可以形成在至少一个电介质上。所得结构形成常关器件，使得当在栅极处施加适当的电压时，通过2DEG和沟道层的被中断的2DEG区域形成电流沟道，从而在栅极区域下方具有Ga_N沟道再生的EMISHEMT的源极和漏极之间传导电流。

[0020] 一般来说，由于上文所提及的2DEG的存在，因而形成“常开”HEMT是很简单的。然而，尤其针对高功率应用，“常关”HEMT会是所需的，并且已开发出了若干修改以实现常关HEMT器件。一般来说，在高功率应用中常关HEMT可具有改善的安全特性，并且可简化相关的驱动电路。本文所述的在栅极区域下方具有Ga_N沟道再生的EMISHEMT提供了可有效且可靠地形成的E型HEMT，并且提供了E型HEMT的优点(例如，高开关速度)，同时最小化或减少了现有E型HEMT器件的缺点。

[0021] 在图1中,示出了在栅极区域下方具有GaN沟道再生的EMISHEMT,该EMISHEMT具有沟道层102,该沟道层具有在与势垒层110的界面处形成的2DEG 104。势垒层110至少部分地在2DEG 104的相对两端处的源极106和漏极108之间延伸。在操作期间,因此电流被限定在源极106和漏极108之间,如下文更详细所述。

[0022] 沟道材料层112与势垒层110相邻,并且沟道材料层112的至少一部分形成在势垒层110中的凹陷部内,该凹陷部延伸到沟道层102中。沟道材料层112可使用与沟道层相同的材料(例如GaN)或其变型形式来形成。例如,如下所述,沟道材料层112可以是p掺杂的。至少一个绝缘介电层114形成在沟道材料层112上,并且栅极116形成在至少一个绝缘电介质114上。

[0023] 如上所述,并且如图1所示,沟道材料层112的一部分118至少部分地延伸到沟道层102中。例如,沟道材料层112的一部分设置在沟道层102的顶表面(或沿着顶表面或界面对准的平面)上方,并且沟道材料层112的部分118设置在沟道层102的顶表面下方。沟道材料层112的设置于沟道层102的顶表面上方的部分(经由附加部分(例如,倾斜部分、与栅极116沟槽对准的连接部分))与沟道材料层112的设置于沟道层102的顶表面下方的部分118可以是邻接的。因此,在沟道层102与势垒层110之间不存在界面,使得2DEG 104被中断。还如上所述,沟道层的与沟道材料层112的部分118相邻的区域119在本文中可称为2DEG中断区域119,使得图1的EMISHEMT在默认或非偏压状态为常关的(例如, $V_{gs}=0V$),但是通过在栅极116处施加正偏压而被接通,这从而允许源极-漏极电流流过2DEG 104并且流过通过2DEG中断区域119的电流沟道120。

[0024] 图2示出了图1的再生E型MISHEMT的更详细示例性器件结构。在图2的示例中,示出了衬底200,该衬底可以是例如GaN、Si、碳化硅(SiC)、氮化铝(AlN)或蓝宝石(例如单晶 Al_2O_3)。另外在图4中,示出了高电压(HV)阻挡层201,该HV阻挡层在高电压环境下使用图2的器件的情况下可以是有利的。例如,HV阻挡层201可包含碳掺杂的氮化镓(GaN)。通过用碳或其他合适的p型材料掺杂GaN缓冲层201,n型性质的GaN被有效地反掺杂,使得HV阻挡层201更具绝缘性并且能够承受高电压。

[0025] 尽管在图2中未单独示出,但可包括附加的或可供选择的层。例如,如果需要,可包括应变消除层,以有利于相对于可能发生的任何晶格失配的应变消除。例如,如果不使用HV阻挡层201,则可在衬底200与沟道层202之间包括应变消除层。例如,GaN沟道层与由Si形成的衬底200具有非平凡的晶格失配。例如,通过在中间应变消除层内包含掺杂有一定百分比Al的Ga_{1-x}Al_xN,可解除在结处所产生的应变。

[0026] 类似于图1,图2的示例性EMISHEMT包括由Ga_{1-x}Al_xN形成的沟道层202,其中在沟道层202与由AlGa_{1-x}N形成的势垒层210的界面处在其中形成2DEG 204。在图2中,示出了蚀刻停止层205,该蚀刻停止层用于图2的EMISHEMT器件的示例性形成过程中,如下文参考图4和图5更详细地描述。

[0027] 同样类似于图1,沟道材料层212的一部分218延伸到沟道层202中并与该沟道层相邻,从而形成被中断的2DEG区域219。因此,当在栅极216处施加偏压时,通过被中断的2DEG区域119的电流沟道220与2DEG 204一起使得电流能够在源极206和漏极208之间流动。

[0028] 在图2的示例中,图1的至少一个介电层114被实现为第一介电层214和第二介电层215。具体地讲,第一介电层214可被实现为氮化硅(Si₃N₄,本文称为SiN),并且如下文参考图

6详细描述,可以与沟道材料层212一起原位形成。第一介电层214作为SiN的此类原位形成提供了与沟道材料层212的极其良好形成的高质量界面,还如下所述。

[0029] 第二介电层215可由任何合适的绝缘材料形成,诸如合适的氧化物材料,包括SiO₂或氧化铝例如Al₂O₃。所示的不同绝缘介电层214、215的组合提供了多个潜在特征和优点,如参考图3所示和所述。

[0030] 具体地讲,图3示出了可用于图1和图2的示例性器件中的示例性介电材料的带隙和带隙偏移。如图所示,示例性Al₂O₃带隙302可以是7.0eV,同时SiN带隙304可以是5.2eV,并且SiO₂带隙306可以是9.0eV。还如图所示,GaN 308的能隙E_g 310是3.4eV。图3还示出了相对于GaN的导带(E_c)和价带(E_v)的带隙302、304、306、308,以及Al₂O₃(9.1)、SiN(7.0)和SiO₂(3.9)的相对介电常数K。

[0031] 因此,如可以观察到的,SiN为导带电子而不是价带电子提供合适的导带偏移。因此,从栅极216进入SiN的空穴可以到达沟道层202、212的GaN。

[0032] 另一方面,Al₂O₃和SiO₂两者对于电子和空穴两者以及对于导带和价带两者均具有大的带隙。因此,例如,来自栅极216的空穴将被阻挡。

[0033] 尽管如此,还如所提及的,SiN还提供了特征和优点。例如,如上文提及和下文详细描述,沟道材料层212可在蚀刻势垒层210之后再生。此类蚀刻可在凹陷的势垒层210上产生大量界面状态,这可降低电荷载流子迁移率并且还可导致器件阈值电压的不稳定性。

[0034] SiN通过在势垒层210的凹陷的表面处提供表面钝化和低界面状态密度D_{it}来最小化或消除相关问题。这些特征和优点通过在形成沟道材料层212之后立即原位形成SiN214来增强,这在其间提供高质量界面。下文参考图6示出并描述了SiN层214的此类原位形成的附加示例性方面。

[0035] 图4-图8示出了根据图2的示例的用于形成图1的具有GaN沟道再生的E型MISHEMT的实施方式的第一示例性中间器件结构。图9是示出根据图4-图8的示例性中间结构的用于形成EMISHEMT的示例性操作的流程图。

[0036] 图4示出了EMISHEMT的层叠堆或晶圆结构,该层叠堆或晶圆结构包括衬底400、HV阻挡层401以及由GaN形成的沟道层402。图4的层叠堆也包括氮化铝(AlN)蚀刻停止层(或间隔物)405以及势垒层410。势垒层410使得2DEG 404存在于层叠堆内。在一些实施方式中,沟道层402可以是大约几百纳米厚,例如大约300nm厚。AlGaN势垒层410可以是大约几十纳米厚,诸如在大约35nm-50nm的范围内,例如40nm。在示例性实施方式中,AlGaN势垒层410可掺杂有大约15%的Al。图4的结构可例如在金属有机化学气相沉积(MOCVD)过程中形成,并且可根据图9的过程步骤902形成。

[0037] 在图5中,根据图9的过程步骤904,可实施掩模和蚀刻过程以形成穿过势垒层410并进入沟道层402的凹陷部502(例如,沟槽)。例如,蚀刻停止层405可在第一蚀刻过程期间使用,例如,在氟化学过程中使用,以提供对势垒层410的蚀刻的精确停止。

[0038] 然后,可实施第二湿法蚀刻并将其用于移除蚀刻停止层405在凹陷部502内的部分。第三数字蚀刻可用于蚀刻沟道层402。例如,数字蚀刻可以大约1.1nm/数字蚀刻循环进行,使得例如进入沟道层402中约4.4nm-5.5nm的4个-5个蚀刻循环。

[0039] 在图6中,沟道材料层612和SiN层614在凹陷部502内的生长可以根据图9的过程步骤906原位执行。例如,可以执行GaN的MOCVD再生以获得沟道材料层612,并且在单个反应器

步骤期间,也可以生长SiN层614。

[0040] 如所提及的,在同一高温过程步骤期间形成SiN层614,而不存在可能与从反应器移除和重新插入反应器中相关联的冒险的污染,提供了非常高的质量界面,特别是因为GaN和SiN两者都是二元系统。此外,MOCVD期间的冲刷操作将导致所示的栅极轮廓渐缩,这例如有利于稍后形成栅极。

[0041] 在示例性实施方式中,沟道材料层612的深度可以是确保中断2DEG 404所需的最小深度。形成超过该最小深度的沟道材料层612可由于不必要的延长电流沟道(例如,包括图1的电流沟道120)而导致较慢的开关速度和其他潜在负面效应。

[0042] 例如,沟道材料层612可以大约类似于2DEG 404本身的厚度和/或沟道层的数字蚀刻的厚度生长。例如,沟道材料层612可以大约几纳米(例如,约5nm)的厚度生长。可将SiN层或其他钝化层设定为用于优化上文提及的例如表面钝化和低界面状态密度的优点所确定的厚度。

[0043] 在一些实施方式中,沟道材料层612可以是p掺杂的(例如,镁)。在沟道材料层612中包含此类pGaN可提供阈值电压 V_{th} 的增加。下面参考图8提供了在沟道材料层612中包含pGaN的另外的示例。

[0044] 在图7中,根据图9的过程步骤908形成第二介电(例如,氧化物)层715,以及源极706、漏极708(欧姆接触件;可能需要退火)和栅极716(栅极金属、多晶硅或其他栅极导体)。栅极716可形成在栅极沟槽或栅极凹陷部602内。例如, SiO_2 层可在等离子体增强化学气相沉积(PECVD)过程中形成。在另外的示例中,第二电介质715可被实现为电介质堆叠。层715可完全覆盖在614上面。

[0045] 在图8中,如参考图6并且作为过程步骤910包括在图9中,沟道材料层被示出为pGaN沟道材料层812。在该示例中,沟道材料层812、原位SiN层814和 SiO_2 层815可选择性地在栅极816区域外部蚀刻,但留下漏极空穴注入部818。此类空穴注入部可例如提供空穴以补偿任何捕获的电子,以及在漏极708附近提供电场调制。

[0046] 在一些示例性实施方式中,可调整或选择上面讨论的各种参数和方面以获得期望的效果。例如,增加SiN层214(图2)、614(图6)或814(图8)的厚度可导致更高的 V_{th} ,但具有相对更平缓的接通特性。

[0047] 图10是示出随沟道材料层(例如,图1中的112)穿过势垒层(图1中的110)并进入沟道层(例如,图1中的102)的凹陷部深度变化的漏极电流与栅极电压的曲线图。在图10中,介于-0.010微米和-0.002微米之间的凹陷部深度对应于使对应量的势垒层完整,而介于0.002微米和0.050微米之间的凹陷部深度对应于在沟道层102内形成图1的部分118。

[0048] 如图所示,使势垒层110部分完整可能导致不令人满意的接通特性,因为漏极电流可能在0V附近或0V以下产生。另一方面,至少部分地在沟道层内形成沟道材料层(其中在两个沟道层之间没有势垒层的任何部分保持完整)提供了具有期望的接通特性的正接通电压(即,E型操作)。

[0049] 在一些示例性实施方式中,半导体器件可包括高电子迁移率晶体管(HEMT),该HEMT具有:沟道层;势垒层,该势垒层与沟道层相邻地形成并且至少部分地在HEMT的源极和漏极之间延伸;和沟道材料层,该沟道材料层延伸穿过势垒层并进入沟道层。HEMT还可包括:至少一个介电层,该至少一个介电层与沟道材料层相邻地形成;和栅极,该栅极与至少

一个介电层相邻地形成。

[0050] 沟道材料层可形成在势垒层中的凹陷部内。至少一个介电层可形成在势垒层中的凹陷部内。二维电子气 (2DEG) 可以至少部分地在沟道层内在 HEMT 的源极和漏极之间延伸, 并且当栅极未被偏压时, 沟道材料层可中断 2DEG。至少一个介电层可至少包括第一介电层和第二介电层。第一介电层可包括钝化层。第一介电层可包括氮化硅。第二介电层可包括相对于沟道层和沟道材料层的导带和价带两者具有带隙偏移的氧化物。沟道材料层可以是 p 掺杂的。

[0051] 在一些示例性实施方式中, 高电子迁移率晶体管 (HEMT) 器件可包括: 沟道层; 势垒层, 该势垒层与沟道层相邻并与该沟道层形成异质结, 该异质结导致二维电子气 (2DEG) 出现在沟道层内; 和沟道材料层, 该沟道材料层至少部分地形成在势垒层中的凹陷部内并且包括延伸到沟道层中的一部分。HEMT 可包括: 至少一个介电层, 该至少一个介电层与沟道材料层相邻地形成; 栅极, 该栅极与至少一个介电层相邻地形成; 以及源极和漏极, 该源极和该漏极在 2DEG 的相对两端处形成以在源极和漏极之间限定延伸穿过沟道层的电流沟道, 该电流沟道包括沟道层的与沟道材料层的部分相邻的区域。

[0052] 在 HEMT 中, 至少一个介电层可形成在势垒层中的凹陷部内。当栅极未被偏压时, 沟道材料层的该部分可中断 2DEG。至少一个介电层可至少包括第一介电层和第二介电层。第一介电层可包括钝化层。HEMT 可包括蓝宝石衬底。沟道材料层可以是 p 掺杂的。

[0053] 在一些示例性实施方式中, 制作高电子迁移率晶体管 (HEMT) 的方法可包括: 形成层叠堆, 该层叠堆至少包括沟道层和与该沟道层相邻的势垒层, 以及形成异质结, 在该异质结处电流沟道被限定于该沟道层中。该方法可包括在势垒层中形成延伸到沟道层中的凹陷部, 以及在凹陷部内形成沟道材料层。该方法可包括: 形成与沟道材料层相邻的至少一个介电层; 形成与至少一个介电层相邻的栅极; 以及在电流沟道的相对两端处形成源极和漏极。

[0054] 在该方法中, 形成凹陷部可包括第一蚀刻过程以蚀刻穿过势垒层到达沟道层和势垒层之间的层叠堆中的蚀刻停止层, 并且形成沟道材料层可包括第二蚀刻过程以蚀刻到沟道层中。形成至少一个介电层可包括用沟道材料层原位形成至少一个介电层。形成至少一个介电层可包括在沟道材料层上形成钝化层, 以及形成相对于沟道层和沟道材料层的导带和价带两者具有带隙偏移的绝缘层。

[0055] 应当理解, 在前述描述中, 当元件诸如层、区域、衬底或部件被提及为在另一个元件上, 连接到另一个元件, 电连接到另一个元件, 耦接到另一个元件, 或电耦接到另一个元件时, 元件可以直接地在另一个元件上, 连接到或耦接到另一个元件上, 或者可以存在一个或多个中间元件。相反, 当元件被提及直接在另一个元件或层上、直接连接到另一个元件或层、或直接耦接到另一个元件或层时, 不存在中间元件或层。虽然在整个具体实施方式中可能不会使用术语直接在...上、直接连接到...、或直接耦接到..., 但是被示为直接在元件上、直接连接或直接耦接的元件能以此类方式提及。本申请的权利要求书(如果存在的话)可被修订以叙述在说明书中描述或者在附图中示出的示例性关系。

[0056] 如在本说明书和权利要求书中所使用的, 除非根据上下文明确地指出特定情况, 否则单数形式可包括复数形式。除了附图中所示的取向之外, 空间相对术语(例如, 在...上方、在...上面、在...之上、在...下方、在...下面、在...之下、在...之以下等)旨在涵盖器件在使用或操作中的不同取向。在一些实施方式中, 在...上面和在...下面的相对术语可分别包括

竖直地在…上面和竖直地在…下面。在一些实施方式中,术语邻近能包括横向邻近或水平邻近。在一些实施方式中,相邻可包括第一元件与第二元件接触或直接接触(例如,在第一元件和第二元件之间没有中间元件)。

[0057] 一些实施方式可使用各种半导体处理和/或封装技术来实现。一些实施方式可使用与半导体衬底相关联的各种类型的半导体处理技术来实现,该半导体衬底包括但不限于,例如硅(Si)、砷化镓(GaAs)、氮化镓(GaN)、碳化硅(SiC)等。

[0058] 虽然所描述的实施方式的某些特征已经如本文所述进行了说明,但是本领域技术人员现在将想到许多修改形式、替代形式、变化形式和等同形式。因此,应当理解,所附权利要求书旨在涵盖落入实施方式的范围内的所有此类修改形式和变化形式。应当理解,这些修改形式和变化形式仅仅以举例而非限制的方式呈现,并且可以进行形式和细节上的各种变化。除了相互排斥的组合以外,本文所述的装置和/或方法的任何部分可以任意组合进行组合。本文所述的实施方式能包括所描述的不同实施方式的功能、部件和/或特征的各种组合和/或子组合。

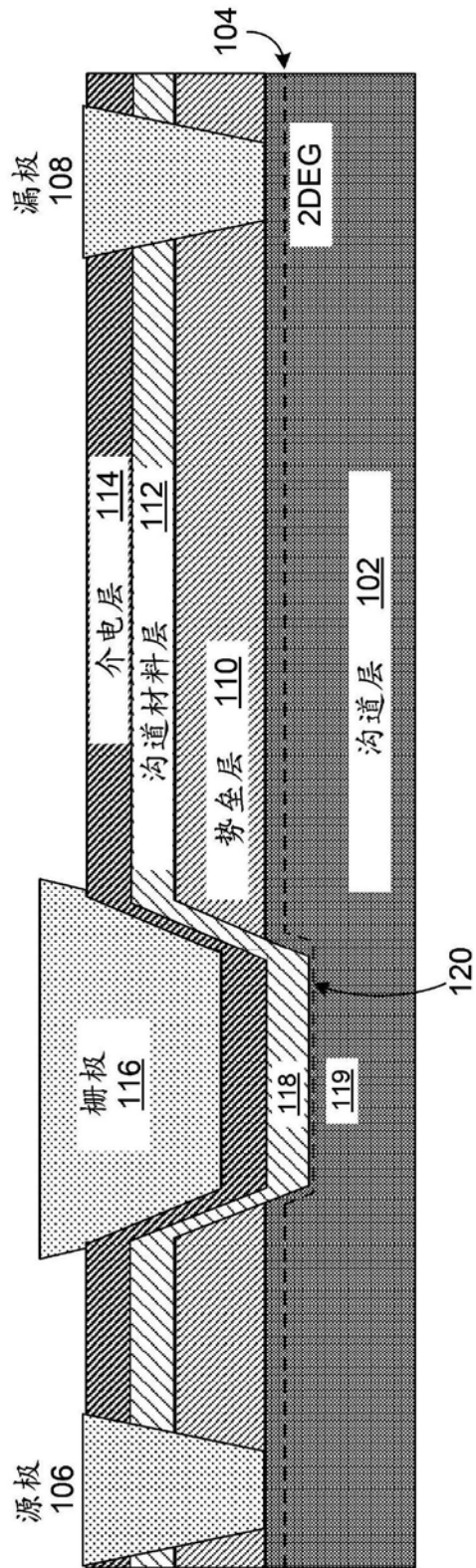


图1

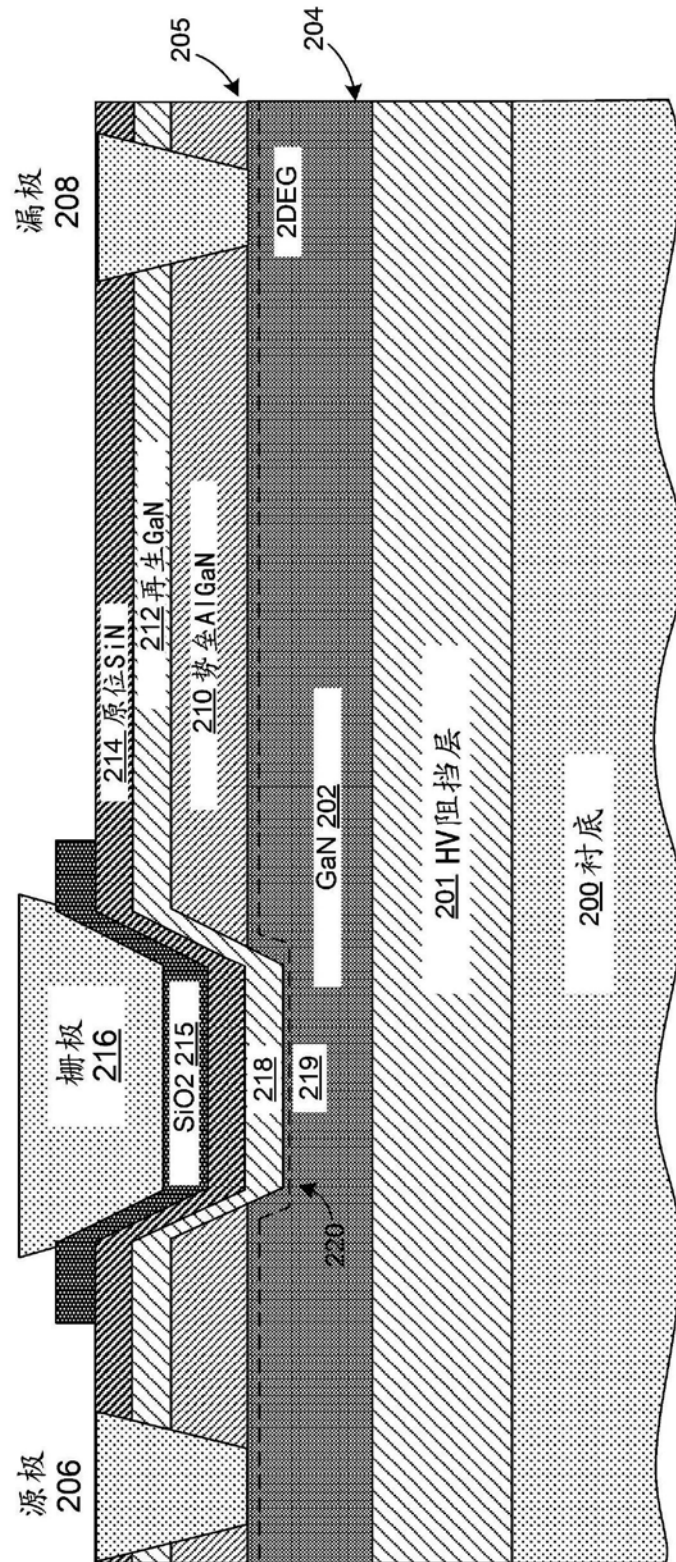


图2

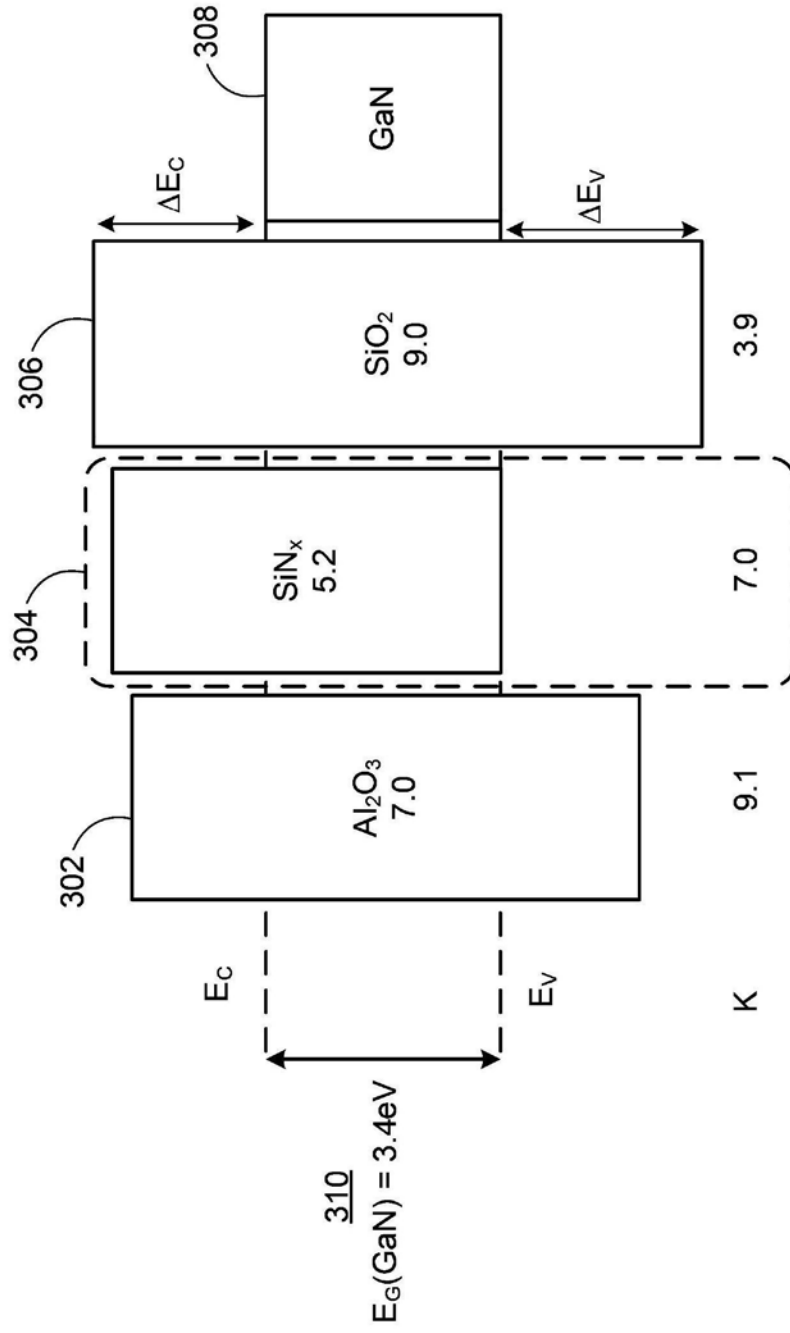


图3

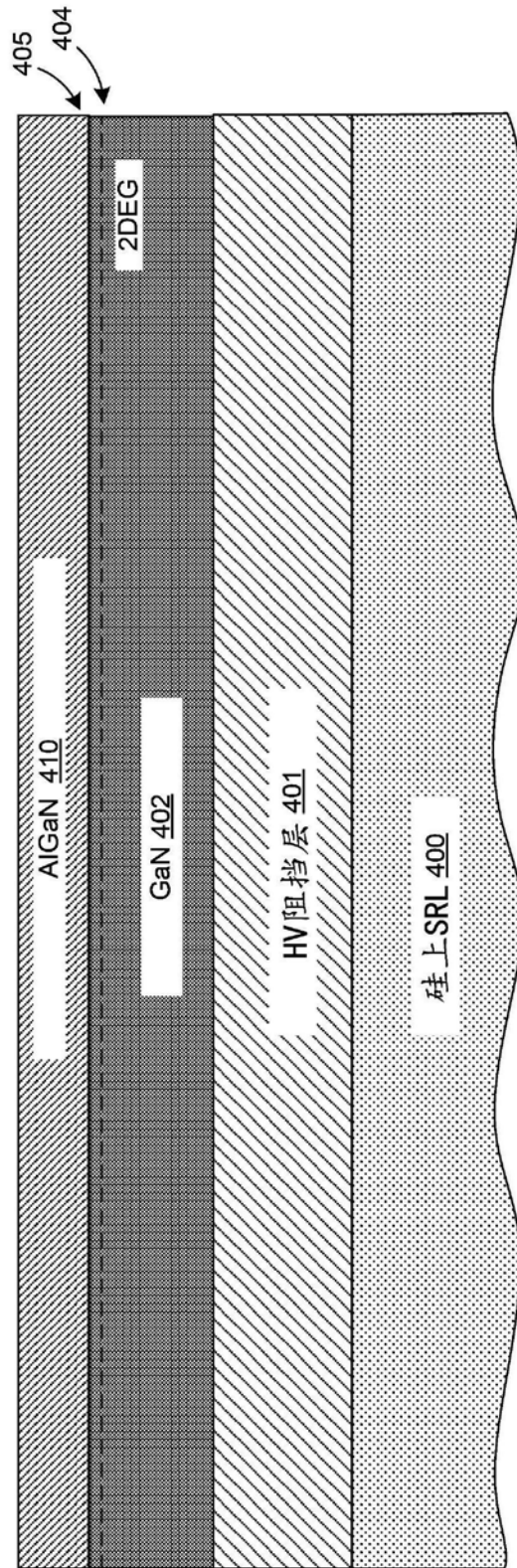


图4

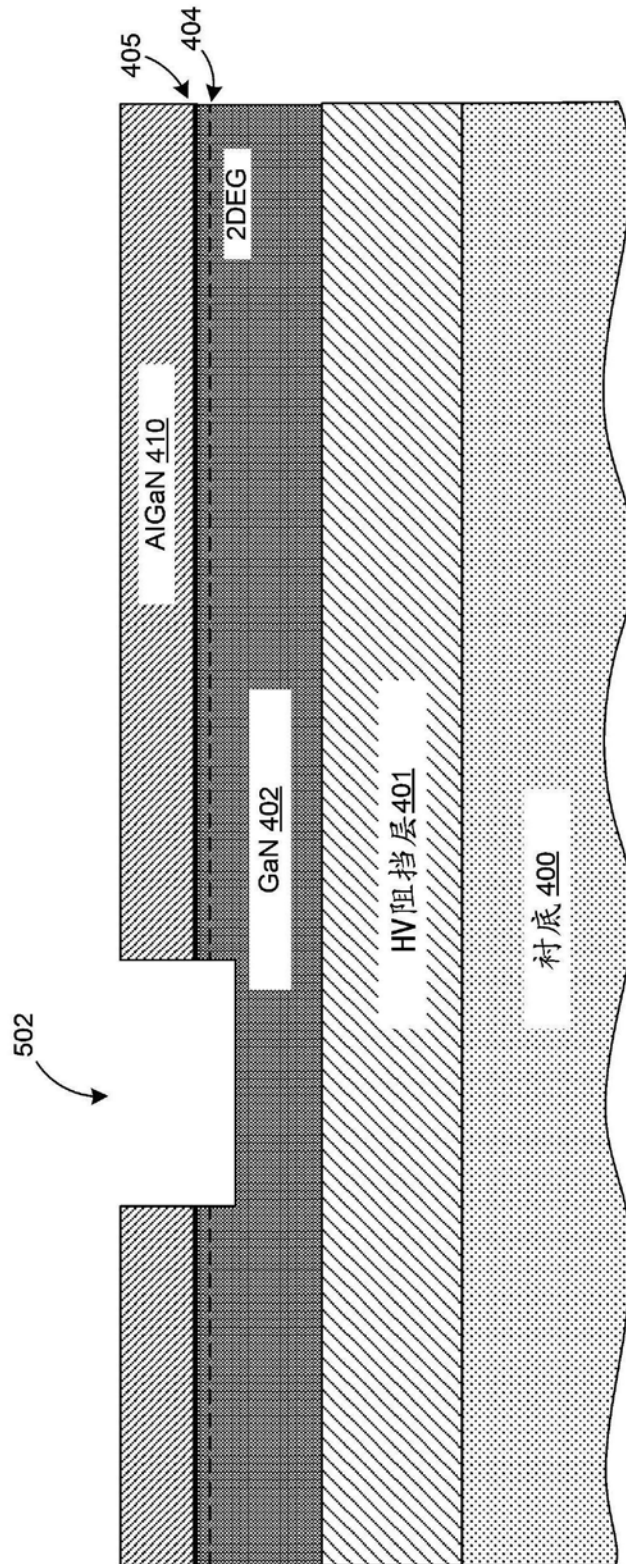


图5

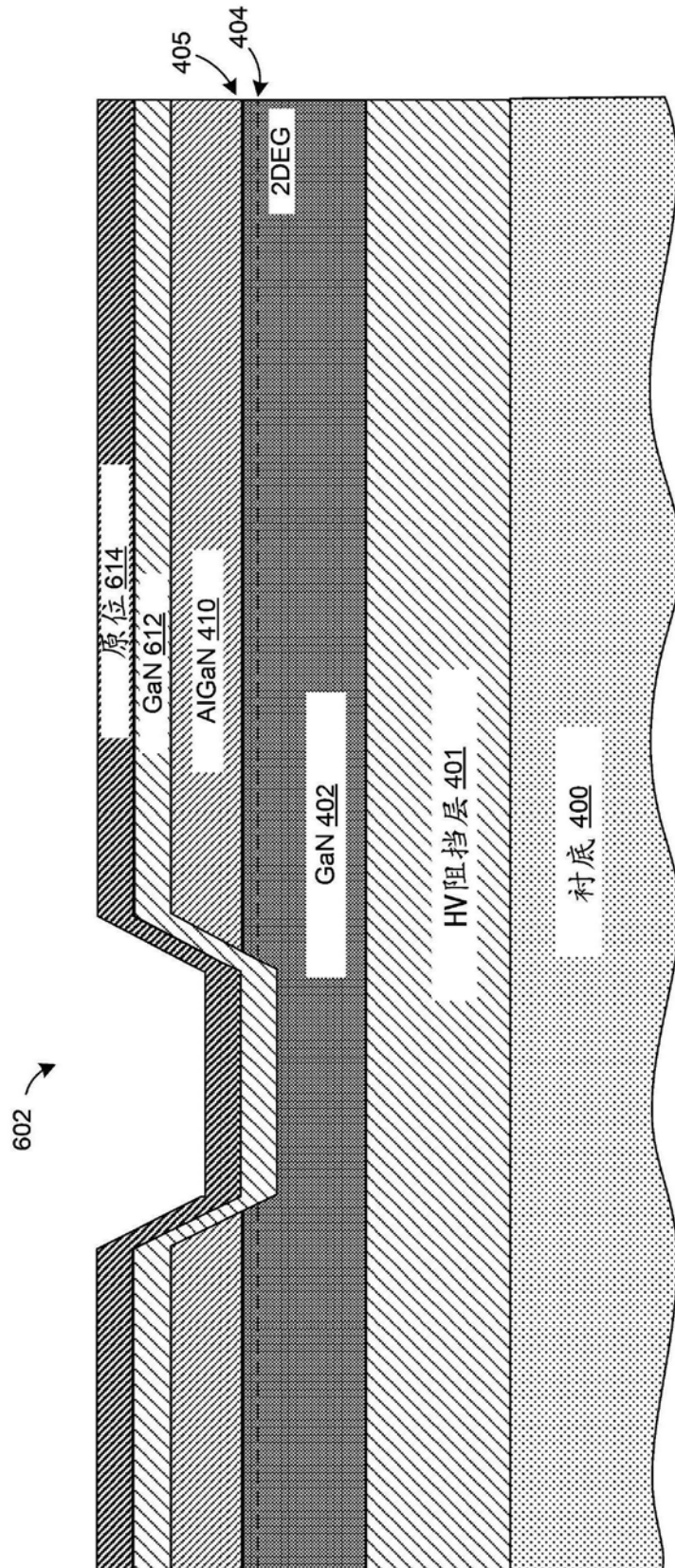


图6

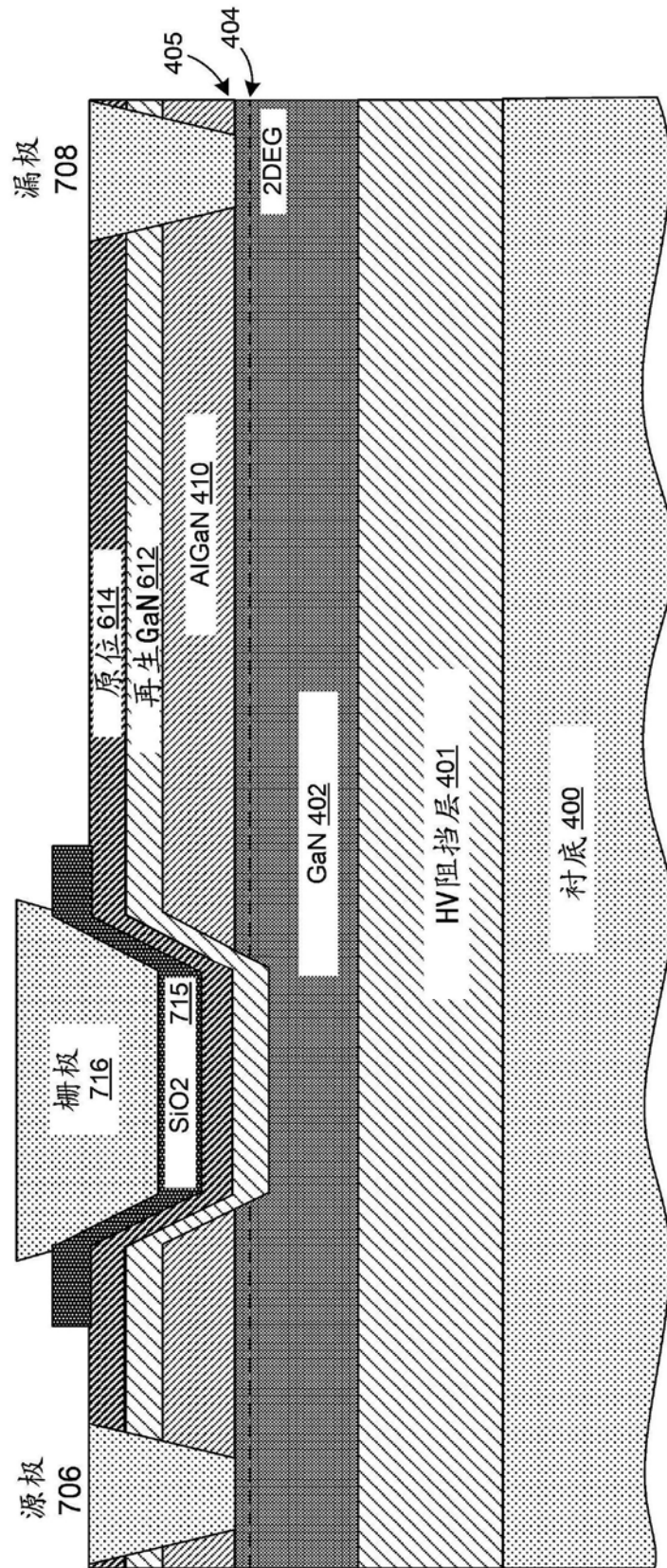


图7

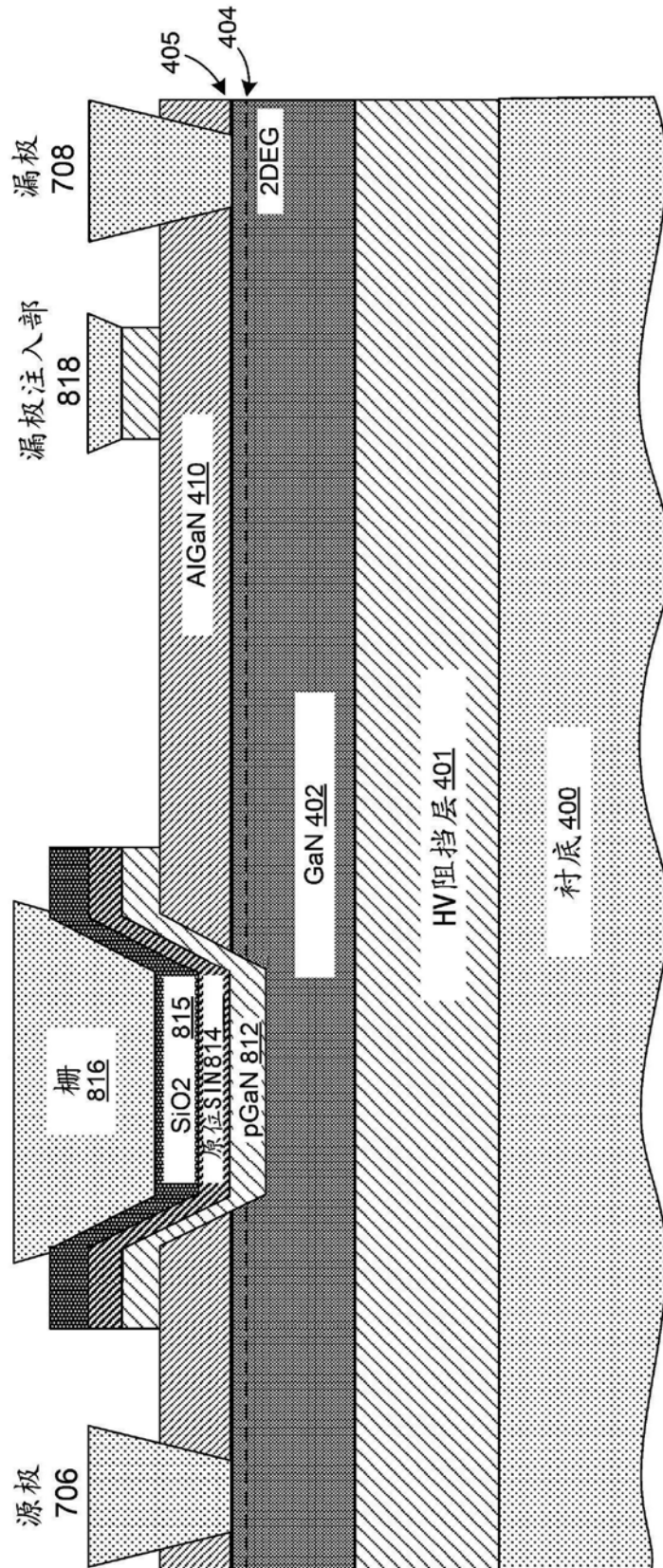


图8

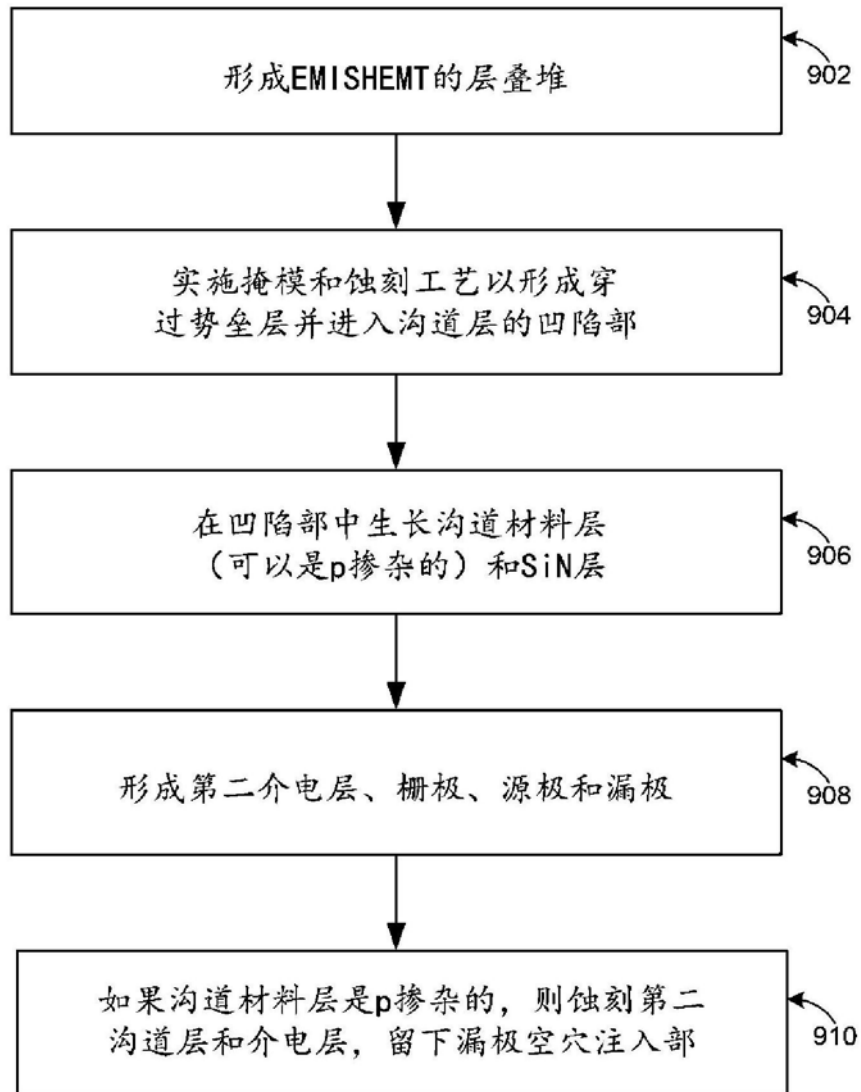


图9

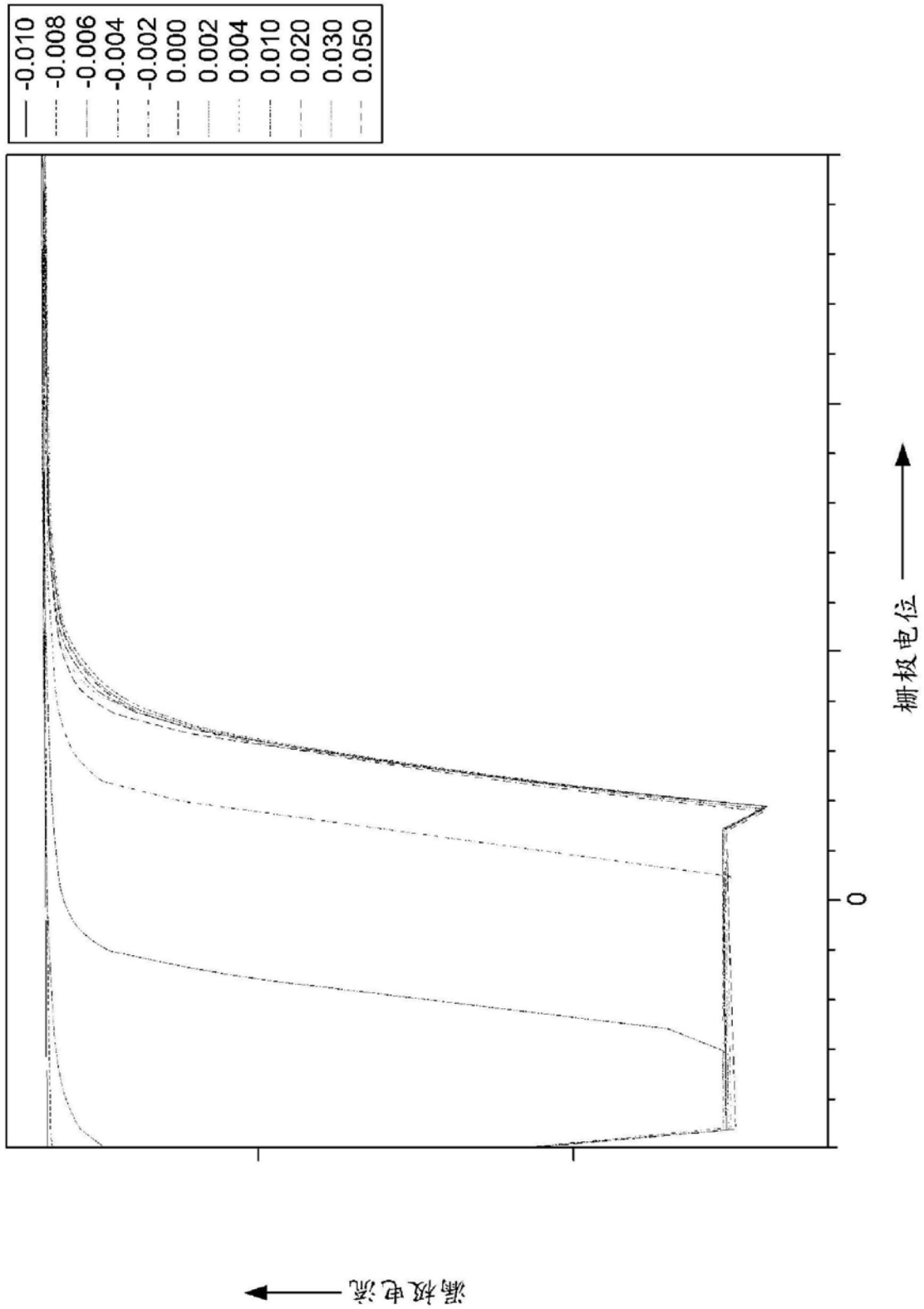


图10