

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-514947  
(P2018-514947A)

(43) 公表日 平成30年6月7日(2018.6.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 R	5 F 0 6 7
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 L	

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

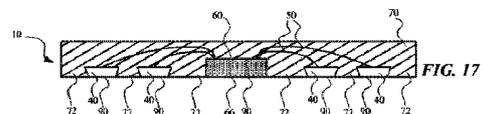
(21) 出願番号	特願2017-554508 (P2017-554508)	(71) 出願人	517357882 イーオーブックス リミテッド 中華人民共和国 香港 ノース ポイント 、エレクトリック ロード 148, ユニ ット 902 9階
(86) (22) 出願日	平成28年5月4日 (2016.5.4)	(74) 代理人	100091683 弁理士 ▲吉▼川 俊雄
(85) 翻訳文提出日	平成29年12月1日 (2017.12.1)	(74) 代理人	100179316 弁理士 市川 寛奈
(86) 国際出願番号	PCT/US2016/030775	(72) 発明者	ログレン, フィリップ イー アメリカ合衆国 95131 カリフォル ニア州, サン ノゼ リッター パーク ドライブ 1321, 스위트 #10 フィリップ イー ログレン
(87) 国際公開番号	W02016/179278	Fターム(参考)	5F067 AB04 BA02 EA05
(87) 国際公開日	平成28年11月10日 (2016.11.10)		最終頁に続く
(31) 優先権主張番号	62/156,488		
(32) 優先日	平成27年5月4日 (2015.5.4)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	62/156,983		
(32) 優先日	平成27年5月5日 (2015.5.5)		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 ダイ取り付けパッドがないリードキャリア構造およびそれに形成されたパッケージ

(57) 【要約】

リードキャリアは、上側面および対向する下側面を有する成形化合物の連続シートを備え、半導体パッケージに対応するパッケージサイトの列を形成する。製造された各パッケージサイトは、成形化合物の連続シートの裏面に露出している上側面および対向する処理基部を有する半導体ダイと、成形化合物の連続シートの裏面に露出している上側面および対向する裏面を有する1組の端子パッドと、半導体パッドの上側面および各端子パッドの上側面上にある1組の入出力接合部に形成された複数のワイヤボンドと、半導体ダイ、1組の端末パッド、複数のワイヤボンドをカプセル化した硬化成形化合物とを備える。各パッケージサイトは半導体ダイが固定されるダイ取り付けパッドを除外する。

【選択図】 図17



**【特許請求の範囲】****【請求項 1】**

成形化合物内にカプセル化され、パッケージ化された半導体ダイを組み立てるためのリードキャリアであり、

上側面および対向する下側面を有する前記成形化合物の連続シートであり、前記成形化合物の前記連続シートはパッケージサイトのアレイを備え、各パッケージサイトは半導体ダイパッケージに対応している各パッケージサイトは、

製造された各パッケージサイトは上側面および成形化合物の連続シートの裏面に露出している、対向する処理基部半導体ダイを含む前記成形化合物の連続シートと、

1組の末端パッドであり、各末端パッドは、前記成形化合物の前記連続シートの下側に露出した、上側面および対向する下側面を有する1組の末端パッドと、

前記半導体パッドの上側面および前記各端子パッドの上側面上にある1組の入出力接合部間に形成された複数のワイヤボンダと、

各パッケージサイトは前記半導体ダイが固定される前記ダイ取り付けパッドを除外する、前記半導体ダイ、前記1組の末端パッド、前記複数のワイヤボンダをカプセル化した硬化成形化合物とを

備えるリードキャリア。

**【請求項 2】**

各パッケージサイトは前記半導体ダイが固定されるダイ取り付けパッドを除外する請求項1に記載のリードキャリア。

**【請求項 3】**

金、プラチナ、銀および/またはそれらの合金の被膜を備えた前記半導体ダイの前記処理基部が前記半導体ダイの裏面に塗布された請求項1に記載のリードキャリア。

**【請求項 4】**

各パッケージサイトにおいて、前記半導体ダイの露出した処理基部と前記各末端パッドの露出した裏面が前記パッケージサイトに対応している前記半導体ダイパッケージの表面実装接合部を画定する請求項1に記載のリードキャリア。

**【請求項 5】**

前記成形化合物の前記連続シートの裏面が反対側にある上側面を有する仮支持層であり、前記成形化合物の前記連続シートを支持する前記仮支持層を備える請求項1に記載のリードキャリア。

**【請求項 6】**

各パッケージサイトにおいて、仮接着層は前記半導体ダイの前記処理基部から除去可能である、前記半導体ダイの前記処理基部と前記仮支持層の上側面との間に積層された前記仮粘着層を備える請求項5に記載のリードキャリア。

**【請求項 7】**

前記一時的な粘着層は前記半導体ダイの前記処理基部よりも前記仮支持層の上側面に高い粘着度を有する従来のダイ取り付け材料を備える請求項6に記載のリードキャリア。

**【請求項 8】**

各末端パッドは前記仮支持層の上側面に付着する焼結材料を備える請求項6に記載のリードキャリア。

**【請求項 9】**

各末端パッドは高さおよび周縁部を有し、前記1組の末端パッド内の少なくとも1つの末端パッドの前記周縁部を備え、各縁部の底部から間隔を空けたその少なくとも一部が各縁部の前記底部部分により近い各縁部の部分よりも横方向により遠くに延出するように、張り出すようにしてテーパを付けることができるので、前記成形化合物は、硬化した前記成形化合物内に前記末端パッドをしっかりと固着させることができる請求項8に記載のリードキャリア。

**【請求項 10】**

各パッケージサイトにおいて、各末端パッドと前記仮支持層の上側面との粘着度は、前

10

20

30

40

50

記 末端パッドの前記周縁部と前記硬化成形化合物との粘着度より低い請求項 9 に記載のリードキャリア。

【請求項 1 1】

前記仮支持層は成形化合物の前記連続シートから剥離することにより除去可能である請求項 1 0 に記載のリードキャリア。

【請求項 1 2】

上側面および対向する下側面を有する半導体ダイパッケージであり、前記半導体ダイパッケージは、

前記半導体ダイパッケージの裏面に露出している、対向する処理基部を有する半導体ダイと、

1 組の末端パッドであり、各末端パッドは、前記半導体ダイパッケージの裏面に露出した、上側面および対向する下側面を有する 1 組の末端パッドと、

半導体ダイの上側面および各端子パッドの上側面上にある 1 組の入出力接合部間に形成された複数のワイヤボンダと、

前記半導体ダイ、前記 1 組の末端パッド、前記複数のワイヤボンダをカプセル化した硬化成形化合物とを備え、

前記半導体ダイパッケージは前記半導体ダイが固定されるダイ取り付けパッドを除外する半導体ダイパッケージ。

【請求項 1 3】

前記半導体ダイパッケージは、クワッド・フラット・ノー・リード (QFN) パッケージである請求項 1 2 に記載の半導体ダイパッケージ。

【請求項 1 4】

前記半導体ダイの前記処理基部は、前記半導体ダイの裏面に塗布される金、プラチナ、銀および / またはそれらの合金の被膜を備える請求項 1 2 に記載の半導体ダイパッケージ。

【請求項 1 5】

各末端パッドは高さおよび周縁部を有し、前記 1 組の末端パッド内の少なくとも 1 つの末端パッドの周縁部を備え、前記各縁部の底部から間隔を空けたその少なくとも一部が各縁部の底部部分により近い各縁部の部分よりも横方向により遠くに延出するように、張り出すようにしてテーパを付けることができるので、前記成形化合物は、前記硬化成形化合物内に前記末端パッドをしっかりと固着させることができる請求項 1 2 に記載の半導体ダイパッケージ。

【請求項 1 6】

リードキャリアによってパッケージ化された半導体ダイの製造方法であり、

各パッケージサイトは仮支持層の上の所定の断面領域を備え、ダイ取り付け領域をその中に有し、半導体ダイパッケージが対応するパッケージサイト上に組み立てられた上側面を有する前記仮支持層を提供する工程と、

前記仮支持層の上側面に所定のパターンで焼結材料であるペーストを配置する工程と、

1 組の末端パッドは、前記ペーストの所定パターンに基づいてパッケージサイトのダイ取り付け領域の外側に配置され、各前記末端パッドは上側面と前記仮支持層に付着する対向する下側面を有する各パッケージサイトに前記末端パッドを形成するために前記ペーストを焼結する工程と、

前記各パッケージサイトにおいて、前記ダイ取り付け領域の前記仮支持層の上側面に仮粘着層を配置し、前記半導体ダイの処理基部と前記仮支持層の上側面の間に挟み込むように前記仮支持層上にある前記半導体ダイの処理基部を配置することでパッケージサイトの前記ダイ取り付け領域に前記半導体ダイを実装する工程と、

パッケージサイトにおいて、前記 1 組の末端パッド内に前記半導体ダイの上側面にある 1 組の入出力端子と各末端パッドの上側面の間に複数のワイヤボンダを選択的に形成する工程と、

各パッケージサイトで形成された前記半導体ダイ、前記 1 組の末端パッド、前記複数の

10

20

30

40

50

ワイヤボン드가成形化合物内にカプセル化されるよう、前記パッケージサイトの全面に成形化合物を塗布することで成形パッケージサイトの連続シートを形成する工程と、前記成形パッケージサイトの前記連続シートから前記仮支持層を剥離して、前記成形パッケージサイトの前記連続シートの前記半導体ダイの前記処理基部から前記仮粘着層を除去する工程と、

選択された前記1組のパッケージの端末パッド内において選択された前記半導体ダイの前記処理基部および各端末パッドの下側面を有する各パッケージサイトは、上側面と対向する下側面を備え、電氣的に接続された、それぞれが選択された半導体ダイおよび選択された前記1組の端末パッドを内包する個別パッケージを形成するために前記成形パッケージサイトの前記連続シート内にある個々のパッケージサイトをそれぞれ分離する工程とを備える

10

パッケージ化された半導体ダイの製造方法。

【請求項17】

各パッケージサイトにおいて、固定可能な前記パッケージサイトの前記半導体ダイはダイ取り付けパッドを提供する工程を回避することを備える請求項16に記載の方法。

【請求項18】

前記仮粘着層は、前記パッケージサイトに配置された前記半導体ダイの前記処理基部よりも前記仮支持層の上側面に高い粘着度を有する従来のダイ取り付け接続材料を備える請求項16に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明の様態は電気システム内の集積回路チップの効果的な相互接続のために集積回路チップに使用するリードキャリア式パッケージに関する。より詳細には、本発明はプリント回路基板などの電子装置用システムボード上で使用する個別パッケージに分離する前の、集積回路との結合、ワイヤボン드의取り付け、および非導電性材料内へのカプセル化の前およびその過程で共通アセンブリ内で複数のパッケージサイトのアレイとして製造されるリードフレームおよびその他のリードキャリアに関する

【背景技術】

【0002】

今日の半導体の集積度の向上と共に、より小型でより能力の高い、携帯型電子システムに対向する需要により、より多くの入出力端子を有するより小型の半導体パッケージのニーズが高まっている。また同時に、民生用電子システムの全ての部品のコストを低減させるべく、絶え間ない圧力がかかっている。クワッド・フラット・ノー・リード(QFN)半導体パッケージファミリーは各種半導体パッケージの中でも最も小型で最もコスト効率の高いものの一つであるが、従来の技術および材料と共に製造される場合には著しい制約がある。例えば、QFN技術では、この技術が対応できるI/O端子および電氣的性能に限界がある。

30

【0003】

図1~図5は、従来のQFNリードフレーム1(図1および図2)の様態ならびに製造または上に組み立てされた対応する従来のQFNパッケージP(図3~図5)の様態を示す概略図である。パッケージPは、銅板等の平面シートからエッチングされた共通エリア・アレイ・リード・フレーム1上に従来の方法で組み立てられ、1組のダイ取り付けパッド2ならびに各ダイ取り付けパッドに対応する複数のワイヤ・ボンド・パッド4を形成する。

40

【0004】

任意のダイ取り付けパッド2とそれに対応するワイヤ・ボンド・パッド4はパッケージサイトを形成する、つまりパッケージサイトとはパッケージPが製造または組み立てられる場所のことである。従来の、各パッケージサイトは1~2列のワイヤ・ボンド・パッド4によって囲まれたダイ取り付けパッド2に相当するか含む。所定のリードフレーム1は数

50

十～数千のパッケージサイトを収容することができる。所定のパッケージPについては、ダイ取り付けパッド2は半導体ダイまたは集積回路チップ7をパッケージP内への固定が容易になる構造を提供する。そしてワイヤ・ボンド・パッド4は、当業者がすぐに理解できる方法で、パッケージP内に端子を提供し、パッケージPは集積回路チップ7の入出力にワイヤボンド8を介して電氣的接続が可能である。ワイヤ・ボンド・パッド4も、当業者がすぐに理解できる方法で、はんだ接合部を介して、対応するワイヤボンド8の表面の反対面となるパッケージPの表面に集積回路チップ7とプリント回路基板等の電子システムボードを結合する方法を提供する。

#### 【0005】

リードフレーム1の構造およびパッケージPが組み立てられる工程の性質により、各パッケージP構成要素は全て、共通リードフレーム1に取り付けられて電氣的に結合する。より具体的には、所定のリードフレーム1上に組み立てられたパッケージP構成要素は全て、従来のタイバー3と呼ばれる導電線（例えば、銅線）によってリードフレーム1に取り付けられており、これによりパッケージP構成要素リードフレーム1の他の部分に対向する位置が維持されるので、構成要素の全てに電氣接続が提供されて各パッケージPに対応するボンディング面およびはんだ付け面のめっきが容易になる。

10

#### 【0006】

さらに具体的には、タイバー3は、リードフレーム1上に組み立てられた各パッケージPの構成要素をリードフレーム1の短絡構造体6（例えば、銅レール）に電氣的に短絡させる。短絡構造体6は各パッケージサイトを取り囲み、XY軸パターン等の既定パターンに配される。これらタイバー3は全て、個々のパッケージPサイトのリードフレーム1からのシンギュレーションの過程で、各パッケージPサイトを取り囲む共通の短絡構造体6から切断されることで、各ダイ取り付けパッド2およびワイヤ・ボンド・パッド4が電氣的に絶縁できるように設計しなければならない。詳細を以下に示す。

20

#### 【0007】

パッケージP構成要素の全てが金属製の構造体によってリードフレーム1に接続されていなければならないという要件は、如何なる所与のパッケージPが実装できるリードの数を大幅に制限する。例えば、任意のパッケージサイトにおいて、ダイ取り付けパッド2から各々異なる距離で離れてダイ取り付けパッド2を取り囲む複数の列のワイヤ・ボンド・パッド4を設けることができる。しかし、タイバー3がパッケージPの（図2における線Xに沿った）設置面積の外側の短絡構造体6まで延長することができるように、ワイヤパッド4の間に配線しなければならない。これらタイバー3の最小スケールは、隣接する2つのパッド4間を1本のみ配線できるようになっている。したがって、標準的なQFNリードフレーム1では、2列のワイヤ・ボンド・パッド4だけを実装することができる。ダイサイズとリード数との間の現在の関係により、標準的なQFNパッケージPでは、100端子程度が限度であり、大半のパッケージは約60個以下の端子を有する。この制限により、さもなくばより小さなサイズおよびより低コストのQFN技術の利益を得るであろうところの多くの種類のダイでは、QFNパッケージPの使用が不可能となっている。

30

#### 【0008】

図1および図2が示すとおり、リードフレーム1の背面、各ダイ取り付けパッド2の裏面、および各ワイヤ・ボンド・パッド4の裏面は成形テープTの前面となるため、リードフレーム1は全体的に高温成形テープT上に実装される。集積回路チップ7がダイ取り付けパッド2に実装された後、各パッケージサイトにおいて、ワイヤボンド8は集積回路チップ7の特定の入出力パッドと対応するワイヤ・ボンド・パッド4との間に形成され、エポキシ成形化合物9がリードフレーム1およびそれに運ばれた構造体成形テープTの上面においてカプセル化する際にエポキシ成形化合物9がリードフレーム1の全面およびそれにより運ばれた構造体に高熱トランスファー成形工程などにより塗布されることで組み立てられたリードフレーム1が作成される。成形テープTの存在が、成形化合物によるダイ取り付けパッド2の裏面およびワイヤ・ボンド・パッド4のカプセル化を妨げる。それにより、成形化合物9が硬化した後、成形テープTは、ダイ取り付けパッド2とワイヤ・ボン

40

50

ド・パッド4の裏面にあたるはんだ接合部5(図5)がリードフレーム1の裏面上に露出するように、剥離することができる。成形テープTと所定のパッケージP間のインターフェイスはパッケージPの裏面を画定する。

【0009】

この成形テープTは悪影響を受けずに高温ワイヤボンディング工程および成形工程に耐えなければならないので、成形テープは比較的高価である。さらに、成形テープTを貼付し、成形テープを除去し、および接着剤の残留物を除去する工程は、各リードフレーム1の加工に著しいコストを追加する可能性がある。また、成形テープは再利用ができないため費用および生じる廃棄物が増加する。

【0010】

成形工程後に、組み立てられたリードフレーム1は複数の構造的または電気相互的に接続されたパッケージPを含む。組み立てられたリードフレーム1にある各パッケージPは、隣接するパッケージPに構造的に接合または接続するよう、短絡構造体6の初期設置面積が、パッケージPを囲む短絡構造体6の中間地点まで延長するように画定されている。個々の電氣的に絶縁パッケージPを製造するため、組み立てられたリードフレーム1は、鋸引き工程等のシンギュレーション工程により切り離されなければならない。シンギュレーション工程中に成形化合物9の一部と、短絡構造体6とタイバー3間の接続部が、例えば図2におけるX線に沿って切り離されて接続が切れる。シンギュレーション工程により、各パッケージPは一般的に、パッケージPを囲む短絡構造体6に近くづくか非常に近くまで延長された最終設置面積を有する。

【0011】

リードフレーム1から入出力個々のパッケージPのシンギュレーションの最も典型的な方法は、(図2の線Xに沿った)鋸引きである。鋸は入出力エポキシ成形化合物の切断に加えて入出力パッケージPの外形のすぐ外側で短絡構造体6の全てを除去しなければならないので、この工程は、まるで成形化合物9のみが切断されるかのようにかなり余計に時間がかかり、刃の寿命が著しく短縮される。短絡構造体6はシンギュレーション工程まで除去されないため、このことは、ダイはシンギュレーション後まで試験することができないことを意味する。数千個のとても小さなパッケージPを取り扱い、各々がその試験機に正しい向きに方向付けられて提示されることを確実にすることは、各パッケージPが既知の位置に配置されているストリップをまるごと試験できる場合よりもはるかに多くの費用がかかる。

【0012】

パンチシンギュレーションとして知られるリードフレーム1に基づく工程は、ソーシンギュレーションに関連付けられる問題にある程度対処し、リードフレーム1のストリップ内での試験を可能とするが、リードフレーム1の利用率がソーシンギュレートしたリードフレーム1の場合の50パーセント未満にまで低下するのでコストが著しく増加する。パンチシンギュレーションはまた、リードフレームの基本設計毎に専用の成形型を必要とする。ソーシンギュレーション用に設計された標準的なリードフレーム1では、同一寸法の全てのリードフレーム1について単一のモールドキャップが使用される。

【0013】

ソーシンギュレートしたパッケージPおよびパンチシンギュレートしたパッケージPの双方において、完成したパッケージP内にはタイバー3が残され、これらのタイバー3は図3~5に示すように各パッケージPの端部において露出したままとなる。完成したパッケージPのタイバーは除去することのできない容量性寄生素子となると共に誘導性寄生素子となる。この場合、これら不必要な金属片は、完成したパッケージPの性能に著しく影響し、多くの高性能集積回路チップ7およびその用途へのQFNパッケージPの使用を妨げている。さらに、このむしろ潜在的な価値のある不要金属のコストはかなりのものであり、従来のQFN工程によって無駄となっている。

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

## 【0014】

QFN型の基板について、エッチングによるリードフレームの制約を排除するいくつかの構想に進展があった。その中の1つが、電気めっきによって犠牲キャリア上にパッケージ構成要素のレイを積層する工程である。キャリアは、先ずめっきレジストでパターン化され、従来のはステンレス鋼であるキャリアは接着性を向上させるために僅かにエッチングされる。ストリップは次に金およびパラジウムでめっきされることで接着/バリア層が生成された後、60ミクロン程度の厚さのNiでめっきされる。Niバンプの上側面は、ワイヤボンディングを容易にするために電気めっきされたAgの層で仕上げされる。ストリップが組み付けられ成形された後、キャリアストリップが剥離されて、シート内で試験し、従来のリードフレームよりも高速かつ高歩留りでシンギュレートすることのできる、パッケージングされたダイのシートが残る。この電気めっきによる方法は、パッケージ内の接合のための金属構造体に関連付けられる全ての問題点を排除し、非常に微細な機構を可能とする。しかし、めっき工程によって得られるストリップは、標準的なエッチングによるリードフレームと比較して非常に高価なものとなる。

10

## 【0015】

別の方法としては、エッチングによるリードフレームの工程の修正があり、この方法では、その前面パターンがリードフレームの厚さの約半分までエッチングされ、リードフレームのストリップの下側面は成形工程が完了するまでそのままの状態が保たれる。成形が完了した後下側面のパターンが印刷され、リードフレームがエッチングされて、ワイヤ・ボンド・パッド及びダイパドルの下側面部分を除く金属の全てが除去される。このダブルエッチング工程は、パッケージ内の接合のための金属構造体（例えばタイパー3）に関連付けられる全ての問題点を排除する。ダブルエッチングによるリードフレームは入出力電気めっきによるバージョンよりも低コストであるが、それでもやはり標準的なエッチングによるリードフレームよりも高価であり、入出力エッチング工程およびめっき工程は環境の面から好ましくない。

20

## 【0016】

リードフレームを用いてパッケージングされた集積回路の故障モードの1つとして、特にパッケージが衝撃荷重を被ったとき（パッケージを内部に搭載している電子装置が落下して硬表面に衝突した場合など）に、ワイヤ・ボンド・パッド4がこれらに連結しているワイヤボンド8から切断されるモードがある。ワイヤ・ボンド・パッド4は、プリント回路基板またはその他の電子システム基板に実装されたままの状態でも周囲のエポキシ成形化合物から僅かに分離し、ワイヤボンド8をワイヤ・ボンド・パッド4から破断させてしまう可能性がある。したがって、特に衝撃荷重を被ったときに入出力パッケージ全体内でワイヤ・ボンド・パッド4をより良好に保持するリード・キャリア・パッケージの必要性がさらに存在する。

30

## 【課題を解決するための手段】

## 【0017】

本発明の実施形態では、リードキャリアまたはリードキャリア構造は多重パッケージ・リード・キャリアの形態の別個のパッケージサイトのレイが設けられている。（例えば、本発明の複数の実施形態におけるQFNパッケージ。）リードキャリアは、まずステンレス鋼などの耐熱性材料から形成される一時的な層の上に配置される。従来の銀粉末から成るまたは銀粉末を含む焼結材料は、規定の構造パターンで一時的な層上に配置されるか形成される。一時的な層を形成するステンレス鋼またはその他の材料が、焼結温度に加熱されている焼結材料を支持する。

40

## 【0018】

焼結材料は、一時的な層の上の、好ましくは相互から、入出力一時的な層を介する以外は、電氣的に絶縁された端子パッドの形態の別個の構造体内に位置する。本発明における実施形態では、半導体装置またはダイは集積回路チップまたは集積回路に対して一時的に配置しまたは（接着剤などによって）付着させればよいので、本発明は、入出力一時的な層の上に、特に当該半導体装置を受領し保持するための構造体が存在する必要を回避する。

50

## 【0019】

したがって、本発明における実施形態におけるリードキャリアおよびそれにより得られるパッケージはダイ取り付けパッドの必要を回避するのでいくつか利点がある。例えば、半導体装置では当然パッケージに大量の電力を損失するので、ダイの下側面はプリント基板の銅片に直接接続できるようなパッケージを提供することでダイとプリント基板間の耐熱性を大幅に減少させ、それによりパッケージ内で発生する最大高熱を大幅に低下させる。さらに、ダイ取り付けパッドを排除することはダイをダイ取り付けパッドに取り付けるために対応するダイ取り付け接着剤もないので、ダイ取り付け接着剤がガラス転移温度を超えらるという可能性がなく、さらに耐熱性が高くなる。

## 【0020】

もう1つの利点は微小電気機械システム(MEMS)装置のような熱応力の低減に影響を受けやすい装置である。この場合、高い熱膨張を示すダイ取り付けパッドを排除することは、影響を受けやすい装置(例えばMEMS)に接する材料における大きな不安材料を排除する。ダイ取り付けパッドを排除することは、従来のパッケージPと比べて、一般的に少なくとも40 $\mu$ m、高電力装置の場合は400 $\mu$ m程のダイ取り付けパッドの厚さ分、パッケージをより薄くすることができる。

## 【0021】

ダイ取り付けパッドを排除することにより、PCBに電気接続および熱接続が必要な箇所で使用される高価な銀充填エポキシの代わりに安価な一時接着剤を使用することができる。ワイヤボンディングおよびモールドイングの際にダイと一時的な層を一時的に接着させるのは、剥離作業中にダイから離すまたは接着剤本体内で機能しなくなり接着剤を一時的な層およびダイの下側面に残す複数の弱接着剤により実現する。いくつかの実施形態において、ダイの下側面は一時的にダイを所定の箇所に固定するために使用されるよう制限および管理されたダイと接着する接着剤を提供する材料で塗布され、はんだ付け性を向上させる前処理となる。塗布作業で使用される材料の種類は、金、プラチナまたは銀等の貴金属である。

## 【0022】

本発明の実施形態は、ダイ取り付けパッドではなく、所定の空間領域または一時的な層の部分に対応するダイ取り付け領域を提供するように設計されている。各ダイ取り付け領域は、その上に支持される集積回路またはその他の半導体装置を有するように構成されている。1つ以上の端子パッドが、各ダイ取り付け領域に関連付けられる。ダイ取り付け領域上の入出力集積回路から各ダイ取り付け領域を取り囲む入出力別個の端子パッドに、ワイヤボンドを配線することができる。一時的な層に搭載されている集積回路、端子パッド、およびワイヤボンドをカプセル化する成形化合物を一時的な層全面に塗布することができるので、一時的な層となる成形リードキャリア構造を含む組み立てられたリードキャリア構造を形成する。集積回路および端子パッドの下側部分を画定する表面実装接合部は一時的な層に隣接しているので、これらのみがカプセル化されないまま残る。

## 【0023】

成形化合物が硬化した後、一時的な層は、組み立てられたリードキャリア構造から剥離することができるので、一時的な層とは別に単独の成形リードキャリア構造を作り出せる。単独の成形リードキャリア構造は、隣接または隣り合うパッケージサイトが硬化成形化合物によって合体した表面エリア上に延長する複数のパッケージサイトのアレイを含む。個別のパッケージサイトは上面または表面、境界線または下側を含み、

(i)一時的な層において特定のダイ取り付け領域に予めある、少なくとも1つの集積回路チップと、(ii)ダイ取り付け領域を囲む端末パッドと、(iii)集積回路チップ間に形成された端末パッドおよび硬化成形化合物に埋め込まれた端末パッドとを含む。個別のパッケージサイトは、露出した表面実装接合部を有する下側面、底面または裏面を含み、(i)パッケージサイトに格納された集積回路パッドの裏面と、(ii)パッケージサイトに格納された端末パッドの裏面とに対応するものを含む。個別のパッケージは、単独の成形リードキャリアを境界線で切断することにより形成される。(例えば、XY軸パ

10

20

30

40

50

ターン) 当業者がすぐに理解できるような方法で、個別のパッケージは次に表面実装接合部を通して、電子システムボードまたは他のサポートまたはインターフェイスに表面成形される。

#### 【0024】

加えて、様々な実施形態において、成形化合物内に末端パッドが確実に保定されるようにするため、各末端パッドはその周囲に、成形化合物とある程度機械的に係合するように構成された縁部を有する。具体的には、これら縁部には、各縁部の底部から間隔を空けたその少なくとも一部が各縁部の底部部分により近い各縁部の部分よりも横方向により遠くに延出するように、張り出すようにしてテーパを付けることができ、または張り出すようにして段差を設けることができ、あるいはその他の方法で構成することができる。したがって、成形化合物は、硬化後に、張り出した成形化合物内にパッドをしっかりと固着させることができる。このようにすれば、パッドはワイヤボンドからの分離および/または別の形での成形化合物からの分離に耐え、パッケージ全体を単一の一体パッケージとして保つ。

10

#### 【0025】

本発明における様態において、成形化合物内にカプセル化され、パッケージ化された半導体ダイを組み立てるためのリードキャリアは、上側面および対向する下側面を有する成形化合物の連続シートであり、成形化合物の連続シートはパッケージサイトのアレイを備え、各パッケージサイトは半導体ダイパッケージに対応し、製造された各パッケージサイトは上側面および成形化合物の連続シートの裏面に露出している、対向する処理基部半導体ダイを含む成形化合物の連続シートと、(例えば、半導体ダイがあるXY軸位置の外側にある、パッケージサイトの特定のXY軸の位置に配置された) 1組の末端パッドであり、各末端パッドは、成形化合物の連続シートの下側面に露出した、上側面および対向する下側面を有する1組の末端パッドと、半導体パッドの上側面および各端子パッドの上側面上にある1組の入出力接合部間に形成された複数のワイヤボンドと、各パッケージサイトは半導体ダイが固定されるダイ取り付けパッドを除外する、半導体ダイ、1組の末端パッド、複数のワイヤボンドをカプセル化した硬化成形化合物とを備える。

20

#### 【0026】

半導体ダイの処理基部は、半導体ダイの裏面に塗布する、金、プラチナ、銀および/またはそれらの合金での被膜を含むことができる。各パッケージサイトにおいて、露出し処理された半導体ダイの基部および末端パッド内の露出した各末端パッドの裏面は、パッケージサイトに対応する半導体ダイパッケージの表面実装接合点を画定する。

30

#### 【0027】

製造中または組み立て中に、リードキャリアはさらに、成形化合物の連続シートを支持する仮支持層と、成形化合物の連続シートの下側面と対向する上側面を有する仮支持層とを備える。各パッケージサイトは、仮粘着層は半導体ダイの処理基部と仮支持層の上側面との間に配置され、仮支持層は半導体ダイの処理基部から除去可能である。仮粘着層は、半導体ダイの処理基部よりも仮支持層の上側面に高い粘着度を有する従来のダイ取り付け材料を備えるかそのものである。

#### 【0028】

各末端パッドは仮支持層の上側面に付着している焼結材料を備えるかそのものである。各末端パッドは高さおよび周縁部を有し、1組の末端パッド内の少なくとも1つの末端パッドの周縁部を備え、各縁部の底部から間隔を空けたその少なくとも一部が各縁部の底部部分により近い各縁部の部分よりも横方向により遠くに延出するように、張り出すようにしてテーパを付けることができるので、成形化合物は、硬化成形化合物内に末端パッドをしっかりと固着させることができる。

40

#### 【0029】

各パッケージサイトにおいて、末端パッドと仮支持層の上側面との粘着度は、末端パッドの周縁部と硬化成形化合物との粘着度より低い。仮支持層はよって、成形化合物の連続シートから剥離することにより除去可能である。

50

**【 0 0 3 0 】**

本発明の様態によれば、クワッド・フラット・ノー・リード（QFN）半導体パッケージ等の半導体ダイパッケージは、上側面および対向する下側面を有し、半導体ダイパッケージの裏面に露出している、対向する処理基部を有する半導体ダイと、（例えば、半導体ダイがあるXY軸位置の外側にある、パッケージサイトの特定のXY軸の位置に配置された）1組（つまり複数）の末端パッドであり、各末端パッドは、半導体ダイパッケージの裏面に露出した、上側面および対向する下側面を有する1組（つまり複数）の末端パッドと、半導体ダイの上側面および各端子パッドの上側面上にある1組の入出力接合部間に形成された複数のワイヤボンダと、各パッケージサイトは半導体ダイが固定されるダイ取り付けパッドを除外する、半導体ダイ、1組の末端パッド、複数のワイヤボンダをカプセル化した硬化成形化合物とを備える。

10

**【 0 0 3 1 】**

半導体ダイの処理基部は、半導体ダイの下側面に塗布される、金、プラチナ、銀、および/またはそれらの合金の被膜を含む。各末端パッドは高さと同縁部を有し、1組の末端パッド内の少なくとも1つの末端パッドの同縁部を備え、各縁部の底部から間隔を空けたその少なくとも一部が各縁部の底部部分により近い各縁部の部分よりも横方向により遠くに延出するように、張り出すようにしてテーパを付けることができるので、成形化合物は、硬化成形化合物内に末端パッドをしっかりと固着させることができる。

**【 0 0 3 2 】**

本発明の様態によれば、リードキャリアによってパッケージ化された半導体ダイの製造方法は、各パッケージサイトは仮支持層の上の所定の断面領域を備え、ダイ取り付け領域をその中に有し、半導体ダイパッケージが対応するパッケージサイト上に組み立てられた上側面を有する仮支持層を提供する工程と、仮支持層の上側面に所定のパターンで焼結材料であるペーストを配置する工程と、1組の末端パッドは、ペーストの所定パターンに基づいてパッケージサイトのダイ取り付け領域の外側に配置され、各末端パッドは上側面と仮支持層に付着する対向する下側面を有する各パッケージサイトに末端パッドを形成するためにペーストを焼結する工程と、各パッケージサイトにおいて、ダイ取り付け領域の仮支持層の上側面に仮粘着層を配置し、半導体ダイの処理基部と仮支持層の上側面の間に挟み込むように仮支持層上にある半導体ダイの処理基部を配置することでパッケージサイトのダイ取り付け領域に半導体ダイを実装する工程と、

20

30

パッケージサイトにおいて、1組の末端パッド内に半導体ダイの上側面にある1組の入出力端子と各末端パッドの上側面の間に複数のワイヤボンダを選択的に形成する工程と、各パッケージサイトで形成された半導体ダイ、1組の末端パッド、複数のワイヤボンダが成形化合物内にカプセル化されるよう、パッケージサイトの全面に成形化合物を塗布することで成形パッケージサイトの連続シートを形成する工程と、成形パッケージサイトの連続シートから仮支持層を剥離して、成形パッケージサイトの連続シートの半導体ダイの処理基部から仮粘着層を除去する工程と、選択された1組のパッケージの末端パッド内において選択された半導体ダイの処理基部および各末端パッドの下側面を有する各パッケージサイトは、上側面と対向する下側面を備え、電氣的に接続された、それぞれが選択された半導体ダイおよび選択された1組の末端パッドを内包する個別パッケージを形成するために成形パッケージサイトの連続シート内にある個々のパッケージサイトをそれぞれ分離する工程とを備える。

40

**【 0 0 3 3 】**

その方法は、さらに、各パッケージサイトにおいて、固定可能なパッケージサイトの半導体ダイはダイ取り付けパッドを提供する工程を回避することを備える。各パッケージサイトでは、仮粘着層は、パッケージサイトに配置された半導体ダイの処理基部よりも仮支持層の上側面に高い粘着度を有する従来のダイ取り付け接続材料を備えることができるかそのものである。

**【 0 0 3 4 】**

代表実施例における非制限目的

50

よって、本発明における特定の実施例の非制限的目的は以下の1つ以上を含むことができる。

【0035】

本発明は、QFNパッケージ化された半導体ダイをより容易に製造するための簡略化されたQFN工程の実施を可能とする半導体パッケージの電気的相互接続構成要素を提供して試験するシステムを提供する。

【0036】

本発明の別の目的は、様々な異なる製造段階での試験および材料の無駄の回避を容易にするため、任意の2つの端末パッド間の電気的な接続を伴わないパッドを有する複数の半導体パッケージの連続的なストリップを生産するために、成形後に剥離することのできる犠牲キャリア上に配列された半導体パッケージの電気的相互接続構成要素を提供するシステムおよび方法を提供することである。いくつかの実施形態では、剥離された後の犠牲キャリアは再生可能か他の目的のために再利用が可能である。

10

【0037】

本発明の別の目的は、標準的なQFN組み立ての工程を簡略化し排除することにより半導体パッケージの組み立てコストを低減させる、入出力パッケージの電気的相互接続構成要素を提供することである。

【0038】

本発明の別の目的は、2つより以上の列の入出力端子および従来技術のリードフレーム式QFNパッケージで現実的な入出力端子の数の何倍もの端子を含むことを可能とする、半導体パッケージの電気的相互接続構成要素を提供することである。

20

【0039】

本発明の別の目的は、リードフレーム式QFNパッケージと比較したときに、複数の電源およびグラウンド構造体ならびにダイ取り付け領域などの機構を組み込むためのより大きな設計自由度を可能とする、半導体パッケージの電気的相互接続構成要素を提供することである。

【0040】

本発明の別の目的は、低コストで高品質な方法で製造できる、複数の集積回路実装パッケージサイトをその上に有するリードキャリアを提供することである。

【0041】

本発明の別の目的は、衝撃荷重に関連付けられる損傷に対して高い耐性を有する、隣接した構成要素に電気的に相互接続するための半導体パッケージを提供することである。

30

【0042】

本発明の別の目的は、内部の余剰な導電部分を最小限に抑えることにより電気的に高性能を呈する、複数の集積回路実装パッケージサイトを有するリードキャリアを提供することである。

【0043】

本発明の別の目的は、製造工程の複数の段階において簡単かつ自動的な方法で試験することのできるパッケージサイトをその上に有するリードキャリアを提供することである。

【0044】

本発明の別の目的は、半導体の組み立て工程に入出力半導体装置を実装し保持する別個の構造体を必要としないQFNまたはランド・グリッド・アレイ型パッケージを製造するための手段を提供することである。

40

【0045】

本発明の産業上の利用可能性を実証するさらに他の目的は、本明細書内に含まれる詳細な説明を注意深く読み、添付図面を検討し、本明細書に含まれる請求項を検討することにより明白となるであろう。

【図面の簡単な説明】

【0046】

【図1】図1は従来のリードフレーム技術を図示した、簡略化した種類のQFNリードフ

50

レームの斜視図である。

【図 2】図 2 は個々のパッケージサイトをリードフレームから分離するために辿る切断線の箇所を示す破線を伴う、図 1 に示したものの一部分の詳細の斜視図である。

【図 3】図 3 は集積回路チップおよびワイヤボンドの配置を示し、パッケージ内の他の導電性構造体に対してカプセル化材料が配置されている様子を破線で図示した、従来技術の QFN パッケージの斜視図である。

【図 4】図 4 はカプセル化成形化合物を配置し、カプセル化成形化合物の部分を破断してパッケージの内部構造体を露呈させた以外は、図 3 に示したものと同様の斜視図である。

【図 5】図 5 は電子システム基板または電気システム内のその他のインターフェース上にパッケージ P を表面実装するために利用できるはんだ接合部を下側から図示した以外は、  
10

【図 6】図 6 は複数の別個のパッケージサイトをその上に有し仮支持部材上に搭載された、本発明に係るリードキャリアの斜視図である。

【図 7】図 7 は集積回路または半導体ダイを実装し、ワイヤボンドを取り付け、成形化合物内にカプセル化する前の各パッケージサイトの詳細をさらに図示した、図 6 に示したリードキャリアの一部分の詳細の斜視図である。

【図 8】図 8 は成形化合物の位置を破線で図示した、集積回路チップおよびワイヤボンドの配置後の本発明のリードキャリア上の個別のパッケージサイトの斜視図である。

【図 9】図 9 はパッケージ内の導電性構造体をカプセル化する成形化合物を適所に示し、成形化合物の部分を破断してパッケージ内部の詳細を露呈させた以外は、図 8 と同様の斜視図である。  
20

【図 10】図 10 は本発明に係るパッケージの表面実装接合部を図示した、パッケージの下側から見た斜視図である。

【図 11】図 11 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 12】図 12 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 13】図 13 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 14】図 14 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 15】図 15 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 16】図 16 は本発明に係るリードキャリアを製造する工程の断面図である。

【図 17】図 17 は本発明に係るリードキャリアを製造する工程の断面図である。  
30

【図 18】図 18 は周囲のカプセル化成形化合物とのいろいろな係合特性を呈するようにいろいろな縁部外形状を有する一種類以上の縁部外形状を有する端子パッドを備える本発明の別の実施形態で示したリードキャリアの一部分の斜視図である。

【図 19】図 19 は仮支持部材がリードキャリアから除去または剥離されているとき、接着層が積層された集積回路チップおよびその基部の配置を示す断面図である。

【発明を実施するための形態】

【0047】

様々な図を通じて同様の参照番号が同様の部分を表示する図面を参照すると、図 6 および図 7 は本発明の実施形態における代表的なリードキャリア構造またはリードキャリア 10 の一部を示し、代表的なリードキャリア構造またはリードキャリア 10 は図 9 および図 10 に示す複数の対応するパッケージ 100 (QFN パッケージ) の製造、組み立て、生産のための複数のパッケージサイト 12 を提供する仮支持層または仮支持部材 20 を備える。  
40

【0048】

各パッケージサイト 12、よって各パッケージ 100 は、少なくとも 1 つの半導体ダイ、集積回路チップ、集積回路および / または他の超小型電子技術装置 60 を備えるか内包し、以下に詳細に記載があるように、少なくとも 1 つかつ一般的には複数のその装置 60 (例えば、数百個までの経路) との電気信号転送経路、カップリング、または接続を提供する。簡潔にかつ分かりやすく説明すると、本発明の実施形態において、リードキャリア 10、パッケージサイト 12、およびパッケージ 100 には、半導体ダイ、集積回路チップ  
50

、集積回路、および/またはその他のタイプの超小型電子技術装置 60 を内蔵できる。

【0049】

様々な実施形態において、仮支持部材 20 は、ステンレス鋼のような薄い平面の耐熱性材料から成る仮支持部材 20 を備えているかそのものである。仮支持部材 20 は、リードキャリア 10 の一部が製造され、組み立てられ、生産された上側面 22 を備える。仮支持部材 20 の端部 24 は仮支持部材 20 の周縁を画定する。仮支持部材 20 は他の実施形態で他の形をとりえるが、この例示的な実施形態においては、仮支持部材 20 は一般的に長方形である。

【0050】

仮支持部材 20 の上側面 22 はその上にある複数のパッケージサイト 12 を支持し、各パッケージサイト 12 は少なくとも 1 つのダイ取り付け領域 30 と、各ダイ取り付け領域に関連するか囲まれている、少なくとも 1 つの一般的には複数の導電性末端パッド 40 を備える。例えば、複数のダイ取り付け領域 30 と末端パッド 40 はパッケージサイト 12 の仮支持部材 20 上に、複数の末端パッド 40 が各ダイ取り付け領域を囲むように配列される。本発明の実施形態において、パッケージ 100 の組み立て、製造される際に、集積回路チップ 60 はパッケージ 12 の対応する末端パッド 40 に囲まれるように、所定のダイ取り付け領域 30 は、仮支持部材 20 上に集積回路チップ 60 は配置されるか実装される特定のパッケージサイト 12 内における所定領域として画定できる。一般的に、切断線 Y が各パッケージサイト 12、つまり各パッケージサイト 100 の境界を画定する。

10

【0051】

簡潔にかつ分かりやすく説明すると、図 6 および図 7 が示す例示的な実施形態は典型的な実施形態と比べて非常に簡略化されており、各パッケージサイト 12 は、各ダイ取り付け領域 30 を取り囲む 4 つの末端パッド 40 のみを備えて示され、上側面 64 を有する、図 8 においてパッケージサイト 12 に対応する集積回路チップ 60 は、パッケージサイトのダイ取り付け領域 30 の 4 つの末端パッド 40 にワイヤボンディングされた 4 つの入出力接合部のみを備えると示される。当業者は、典型的な実施形態では、集積回路チップ 60 は多くの入出力接合部 62 (例えば潜在的には数百個の入出力接合部 62) を備えることができる理解する。関連して、多くの末端パッド 40 は各ダイ取り付け領域の周囲に存在する、例えば、数百個の末端パッド 40 が存在する。このような端子パッド 40 は、通常、ダイ取り付け領域 30 に最も近い最も内側の列と、ダイ取り付け領域 30 から最も遠い最も外側の端子パッド 40 の列と、可能性としては最も内側の列と最も外側の端子パッド 40 の列との間の複数の中間の列とを含む、複数の列を含む。さらに、複数または全ての末端パッド 40 は、この例示的な実施形態で示されたダイ取り付け領域 30 と比べてより小さいか大きくなることができる。

20

30

【0052】

所定のリードキャリア 10 において、端子パッド 40 は、異なる幾何学的形状および位置を呈することができるが、好ましくは同様または同一の材料から形成される。具体的には、これら端子パッド 40 は、好ましくは焼結可能な材料または焼結された導電性材料から形成される。いくつかの実施形態によれば、これら端子パッド 40 は、導電性材料の粉末、好ましくは銀粉末を懸濁成分と混合したものとして開始し、その懸濁成分は導電材料を有機液体または有機液体の複合物を 5 ~ 25 重量%含む。この懸濁成分は、一般的に、銀粉末に 20 P a s ~ 50, 000 P a s の範囲のペーストの粘稠度またはその他の流動性材料の特性を与えるための結着液として作用し、それにより、パッド 40 が所望の幾何学的形状を呈するように銀粉末を最も良好に処理し操作することが可能となる。

40

【0053】

図 12 ~ 図 14 にて下記で示すように、銀粉末を含むこの懸濁成分は、末端パッド 40 を画定するように、選択的に仮支持部材 20 上のサイトに塗布される。目的のサイトを仮支持部材 20 上に塗布した後、この懸濁成分および銀粉末またはその他の導電性金属粉末の混合物が入出力金属粉末の焼結温度まで加熱される。懸濁成分は揮発して気体となり、入出力リードキャリア 10 から排出される。入出力金属粉末が焼結され入出力端子パッド 4

50

0 に任意の形状を有する一体的な塊となる。

【0054】

仮支持部材20は、その可撓性および任意の程度の強度並びに導電性材料がパッド40を形成するためのこの焼結温度に耐えられるその他の特性を維持するような温度特性を有するように構成されている。通常、この焼結温度は焼結されてパッド40となる金属粉末の融点に近い。

【0055】

より具体的には、図11～14を参照すると、端末パッド40を形成する一連の工程におけるリードキャリア10の断面図が提示されている。まず、図11では仮支持部材20が提供されている。次に、図12では端末パッド40が形成される位置に対応する開口部を有する所定のパターンに従って、仮支持部材20上には先ず仮成形材料80が配置される。この成形材料80は、仮支持部材20の入出力上面22の上に印刷することができ、または仮支持部材20上に事前配置された連続的な材料にエッチングすることもでき、あるいはその他の方法で形成することができる。

10

【0056】

仮成形材料80の側面82が、仮成形材料80のエリア間の間隙84の縁部を画定する。図13に示すとおり、次に、これら間隙84は金属粉末および懸濁成分の混合物をこれら間隙84内に流入させることによりこの混合物で充填される。焼結工程が行われ、仮支持部材20並びに仮成形材料80および金属粉末および懸濁混合物が加熱されると、金属粉末が焼結され懸濁成分が揮発して除去されるだけでなく、仮成形材料80もまた揮発してリードキャリア10上のパッケージサイト12から除去される。したがって、図14に示すとおり、焼結後は、仮支持部材20上には焼結材料から成るパッド40のみが残る。

20

【0057】

端子パッド40は、様々な異なるサイズおよび幾何学的形状を有することができる。様々な実施形態において、端子パッド40は、実質的な底面(図8～図10)と対向する側に実質的に平面の上面42(図8および図9)を含むこととなる。典型的には、各端子パッドの上面42は同一平面上にある。しかし、いくつかの実施形態においては、異なる端子パッド40の上面42は異なる高さを有し、上面42は完全なる平面ではない形態をとり得る。

【0058】

端子パッド40の縁部46が、端子パッド40の周囲形状を画定している。この縁部46は、好ましくは、仮支持部材20に対して垂直な平面内で方向付けられているのではなく、テーパ部を有し、あるいは他の方法で、各縁部46の上方部が各縁部46の下方部よりも張り出すように少なくとも部分的な張り出し部が存在するような外形状(つまり、仮支持部材20の上側面22)に構成されている。(仮支持部材20の上側面22の近傍)

30

【0059】

この張り出し関係は、図示のように縁部46のテーパ付けなどにより連続的であることができる。代替的な形状(図18)では、縁部46は、段差のある外形状など他の外形状を有しながらも依然として何らかの形状の張り出し部を提供することができる。縁部46の少なくとも所定の部分が縁部46の下方部により近い縁部46の一部分よりも張り出ししている限り、張り出し部の形状は、その他の形状においても提供される。図16および図17に見てとれるように、成形化合物70によりパッド40がカプセル化された後、特に仮支持部材20の取り外し時において、端子パッド40の縁部46にあるこの張り出し部により端子パッド40が成形化合物70内に保持される。

40

【0060】

端子パッド40が形成されるとき、図7に見てとれるように、各端子パッド40の下側面44は仮支持部材20の上側面22の上にある。下記で示すように、各端子パッド40の下側面44は、図10に示すとおり、端末パッド40を保持するパッケージ100の下側面に露出したままである表面実装接合部90を形成する。

【0061】

50

端末パッド40を形成後、図15に示された方法で、集積回路チップは、対応するパッケージサイト12の全面に仮支持基材20のダイ取り付け領域30に配置されるか実装される。集積回路チップ60をダイ取り付け領域30に実装することについては、図19にあるとおり、各集積回路チップ60はその下部を画定する基部66を含む。いくつかの実施形態で、集積回路チップ60の基部66は、金、プラチナ、銀、および/またはそれら材料の合金の薄膜等である1つ以上の材料に処理されるか塗布される。集積回路チップ60の処理基部66は、仮支持部材20上にあるダイ取り付け領域30に接している仮支持部材20に接して配置される。よって、仮接着層35は、仮支持部材20の上側面22と集積回路チップ60の処理基部の間の中間層となる。下記により詳細に記載されるように、仮接着層30は、集積回路チップ60の処理基部66から仮支持部材20をきれいに分離するのに役立つ。集積回路チップ60を仮支持部材20の所定のダイ取り付け領域30に実装する前に、各集積回路チップ60はその処理基部66に塗布された、対応する仮接着層35を有することができる。

10

20

30

40

50

#### 【0062】

図8に示すように、集積回路チップ60がダイ取り付け領域30上に配置されて実装されると、各集積回路チップ60の上側面64上にある複数の入出力接合部62は、図8、図9、および図15に示すような、当業者がすぐに理解できる方法で、ワイヤボンド50によって、選択的に、端末パッド40に電氣的に接続または連結できる。所定の集積回路チップ60では、1本のワイヤボンド50は、チップ60上の各入出力接合部62と周囲の端子パッド40との間で終端する。したがって、各ワイヤボンド50は、端子側端と反対側のチップ側端を有する。

#### 【0063】

ワイヤボンド50が、集積回路チップ60の入出力接合部62とそれに対応する端末パッド40間にて形成された後、成形化合物70がリードキャリア10の上側面22上を流動するときに成形工程が実行される。成形化合物70は、第1の温度では流体状であるが第2の温度に調整されると硬化できる種類であり、20秒~200秒後に重合して硬化する。成形化合物70は、端末パッド40は相互から電氣的に絶縁されるように、従来の非導電性材料または実質的に非導電性材料で形成される。

#### 【0064】

成形化合物70は、図16に示すように、各端子パッド40と、ワイヤボンドおよび、リードキャリア10のパッケージサイト12の全面にある集積回路チップ60を仮支持部材20の上側面22上に完全にカプセル化する。より具体的には、成形化合物70は、仮支持部材20の上側面22に対して成形し、成形化合物に露出した、仮支持部材20の上側面22の上にある構造をカプセル化する。成形化合物70は、仮支持部材20に直接向き合い、隣接する構造をカプセル化しない。よって、各端子パッド40の下側面(図10に示すように、すべてのパッケージ100が形成する表面実装接合部90)と、各集積回路チップ60の処理基部66に接触する仮接着層35と、各集積回路チップ60の処理基部66(図10に示すように、すべてのパッケージ100において露出した部分のままであり、よってパッケージ100の下部に露出したままの表面実装接合部90と画定されるか形成される)とは、成形工程において成形化合物70にカプセル化されない。

#### 【0065】

成形化合物70が硬化後、硬化成形化合物70と構造は内部にカプセル化されて、次に仮支持部材20が組み立てられたリードキャリア10として画定される。仮支持部材20は、図17に示す方法で、独立型成形リードキャリア10'を得るために、図19に示す組み立てられたリードキャリア10から剥離される。独立型成形リードキャリア10'は、隣接したパッケージサイトは、硬化成形化合物70により構造的に相互接続されたパッケージサイト12のストリップ、アレイまたはマトリックスを含む。

#### 【0066】

個別のパッケージ100は、独立型成形リードキャリア10'をパッケージサイトの境界(例えば、図7に示す切断線Y)に沿って切断または鋸引きすることにより、独立型成形

リードキャリア 10' から形成される。図 10 に示すとおり、各パッケージ 100 は上部 102、反対側にある底部 104 および周囲側部 10 を含む。すべてのパッケージ 100 において、図 10 に示すとおり、パッケージ 100 の端末パッド 40 に対応する表面実装接合部 90 と、パッケージ 100 の集積回路チップ 60 の処理基部 66 は、パッケージ 100 の底面 104 に露出したままである。

#### 【0067】

有益なことに、本発明において製造されたリードキャリア 100 は、従来技術のリードフレーム 1 にある短絡構造体 6 およびタイバー 2 を除外する。よって、従来技術の QFN パッケージ P がその周囲側部から導電性材料を延出させなければならないのとは対照的に、本発明に基づくパッケージ 100 は、そこから延出する一切の導電性材料を有する必要がない。本発明におけるパッケージ 100 はしたがって、従来技術の QFN パッケージ P がもつ寄生容量と同じ障害の被害を受けず、高い周波数で作動する集積回路チップ 60 の使用に適している。

10

#### 【0068】

上記のように、端末パッド 40 の縁部は、貼り出すような形状または段差がついた形状を有する。成形工程の際、成形化合物 70 は、パッド 40 および近傍のパッド 40 と、対応する集積回路チップ 60 の間を流動する。端子パッド 40 の縁部 46 が貼り出すような形状または段差がついた形状をしているので、図 16 に示すように、成形化合物 70 は、効果的に、成形化合物 70 と端子パッド 40 の縁部 46 は本来構造的に係合するか、機械的に自ら係合するインターロック 72 を形成する。より具体的には、インターロック 72 の縁部または境界線は、端末パッド 40 が硬化成形化合物 70 から下方垂直に引き離されるのに耐えるように貼り出すような形状または段差がついた形状の端末パッドの縁部 46 を接続する。インターロック 72 はしたがって、端末パッド 40 を成形化合物 70 内の位置に保持する傾向があり、また端末パッド 40 がワイヤボンダ 50 から引き離されるようにする。このような引き離しの傾向に対し、先ず仮支持部材 20 がリードキャリア 10 から取り外されるときに抵抗が生じ、さらに、パッケージ 100 が使用中に、抵抗がない場合はパッケージ 100 から端子パッド 40 を引き離す恐れのある衝撃荷重を受ける可能性があるときに、再度、有益に抵抗が生じる。これらインターロック 72 は、パッド 40 の縁部 46 に関連して、および初期には仮成形材料 80 の側面 82 の外形状 (図 12 および 13) に基づいて、上記に画定されたように、様々な異なる形状を有することができる。

20

30

#### 【0069】

図 19 に示すように、各集積回路チップ 60 の基部 66 と仮支持部材 20 の間にある仮接着層 35 は、例えば、Hysol (登録商標) QMI 538NB のような市販されたエポキシダイ取り付け材料を 1 つ以上の材料を含む。各集積回路チップ 60 の基部 66 は、接着層 35 と強固な接着を形成するのに抵抗する材料に処理されるか被膜される。この処置により集積回路チップ 60 の基部 66 は酸化せず、良好な付け可能な表面を提供することができる。上述のように、基部は、金、プラチナ、銀および/またはそれらの合金で処理されるか被膜される。接着層 35 は、集積回路チップ 60、端末パッド 40 および成形化合物 70 のワイヤボンダ 50 をカプセル化する成形工程の後に仮支持部材 20 を容易に取り外せるように、集積回路チップ 60 の処理基部 66 の表面よりも 2 倍 ~ 10 倍強固に接着する仮支持部材 20 の上側面 22 を形成するために選択される。

40

#### 【0070】

上記により、仮支持部材 20 が組み立てられたリードキャリア 10 から除去されるとき、仮支持部材 20 は成形化合物 70 および各端末パッド 40 の表面実装接合部からきれいに分離されるが、仮接着層 35 は仮支持部材 20 に取りついたままであり、各集積回路チップ 60 からきれいに除去される。よって、任意のパッケージ 100 において、図 10 が示すように、仮支持部材 20 を除去した後、各端末パッド 40 の表面実装接合部 90 および各集積回路チップ 60 の基部 66 は露出したままである。端末パッド 40 の表面実装接合部 90 および集積回路チップ 60 の基部 66 は、例えば従来の表面実装はんだ付け方法によって表面実装基板に表面実装され得る。

50

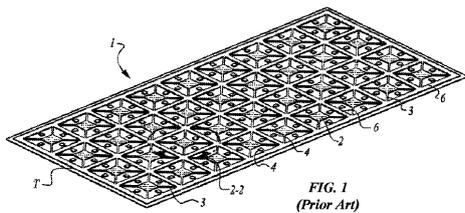
【 0 0 7 1 】

図 1 8 において、別のリードキャリア 1 1 0 の詳細を示す。この別のリードキャリアでは、仮支持部材 1 2 0 はその上に置かれている別パッド 1 3 0 を有する。これらの別パッド 1 3 0 は、上側面 1 3 2、対向する下側面 1 3 4 およびその上に段差のある端部 1 3 6 を含む。この段差のある端部 1 3 6 は上述の端末パッド 4 0 上に提供された端部 4 6 の別の端部である。このような段差のある端部 1 3 6 は、パッケージ 1 0 0 の全面内にパッド 4 0 を有益に保持するために、まだ成形化合物と連動させる形態を提供する。

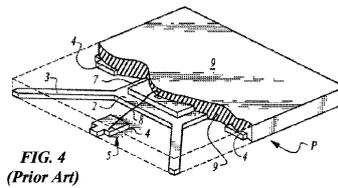
【 0 0 7 2 】

本発明は、本発明の好適な実施形態および本発明を実践する最良の態様を明らかにするために提供されている。本発明をこのように説明したものの、本発明の開示の範囲および趣旨から逸脱することなく、入出力好適な実施形態に様々な異なる修正を施すことができることは明白な筈である。

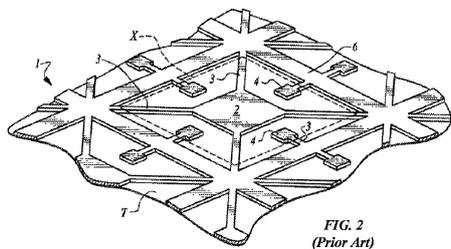
【 図 1 】



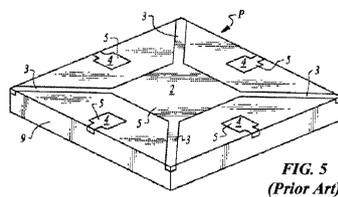
【 図 4 】



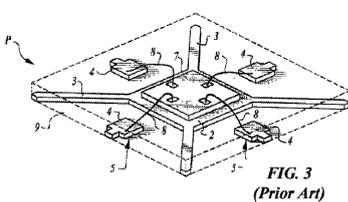
【 図 2 】



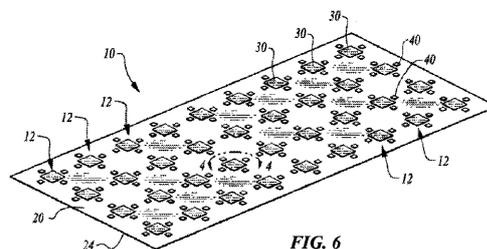
【 図 5 】



【 図 3 】



【 図 6 】



【 図 7 】

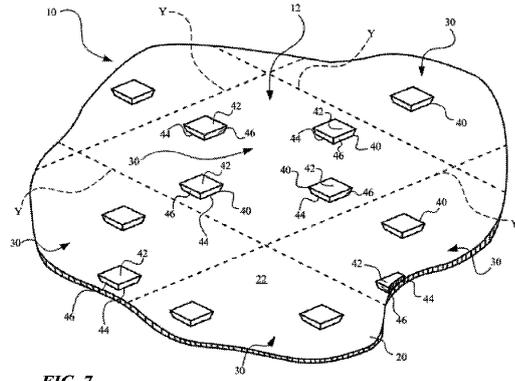


FIG. 7

【 図 8 】

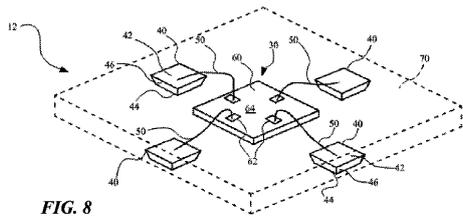


FIG. 8

【 図 9 】

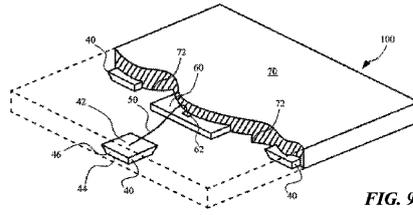


FIG. 9

【 図 10 】

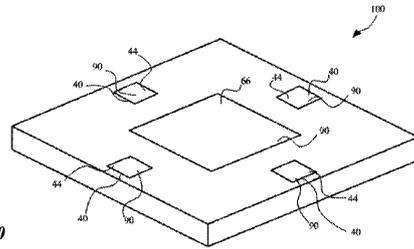


FIG. 10

【 図 11 】

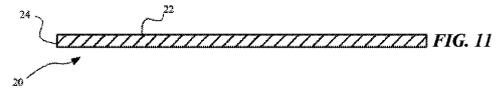


FIG. 11

【 図 12 】

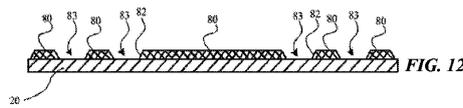


FIG. 12

【 図 17 】

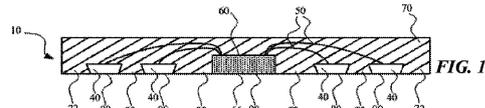


FIG. 17

【 図 13 】

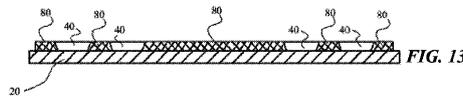


FIG. 13

【 図 18 】

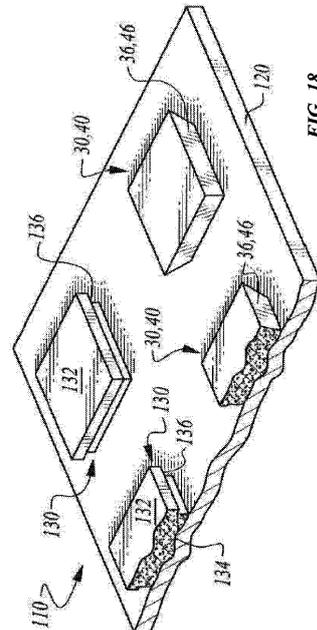


FIG. 18

【 図 14 】

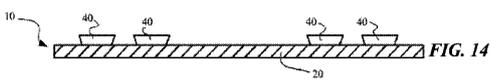


FIG. 14

【 図 15 】

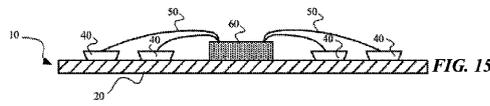


FIG. 15

【 図 16 】

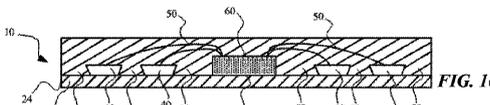


FIG. 16



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2016/030775</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <b>H01L 23/48(2006.01)I, H01L 23/495(2006.01)I, H01L 23/49(2006.01)I, H01L 21/60(2006.01)I</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L 23/48; H01L 21/60; H01L 21/46; H01L 21/30; H01L 21/77; H01L 29/06; H01L 21/78; H01L 23/495; H01L 21/683; H01L 23/488; C09J 7/00; H01L 23/49		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & keywords: device, metal, temporary adhesive layer, remove, lead carrier		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014-0070391 A1 (EOPLEX LIMITED) 13 March 2014 See abstract, paragraphs [0015]-[0029], [0043]-[0066], claim 18 and figures 8-17.	1-5, 12-15
A		6-11, 16-18
Y	US 7883991 B1 (WEN-JIN WU et al.) 08 February 2011 See abstract, column 2, line 34 - column 7, line 28 and figures 2A-5G.	1-5, 12-15
A	US 2014-0117504 A1 (ROHM AND HAAS ELECTRONIC MATERIALS LLC) 01 May 2014 See abstract, paragraphs [0050]-[0055] and figures 1A-2F.	1-18
A	US 2012-0211889 A1 (DARVIN R. EDWARDS et al.) 23 August 2012 See abstract, paragraphs [0027]-[0029] and figure 1.	1-18
A	EP 2657963 A2 (SHIN-ETSU CHEMICAL CO., LTD.) 30 October 2013 See abstract, paragraphs [0026]-[0033] and figure 1.	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 20 July 2016 (20.07.2016)		Date of mailing of the international search report <b>21 July 2016 (21.07.2016)</b>
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer CHOI, Sang Won  Telephone No. +82-42-481-8291

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2016/030775**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014-0070391 A1	13/03/2014	CN 104854695 A EP 2893562 A2 JP 2015-527753 A KR 10-2015-0079592 A US 9184114 B2 WO 2014-037815 A2 WO 2014-037815 A3	19/08/2015 15/07/2015 17/09/2015 08/07/2015 10/11/2015 13/03/2014 03/07/2014
US 7883991 B1	08/02/2011	CN 102163559 A CN 102163559 B TW 201130022 A TW I446419 B	24/08/2011 30/01/2013 01/09/2011 21/07/2014
US 2014-0117504 A1	01/05/2014	CN 103779255 A EP 2725605 A2 EP 2725605 A3 JP 2014-150239 A KR 10-1505875 B1 KR 10-2014-0052905 A TW 201436064 A US 2014-0117503 A1 US 9269623 B2	07/05/2014 30/04/2014 26/08/2015 21/08/2014 25/03/2015 07/05/2014 16/09/2014 01/05/2014 23/02/2016
US 2012-0211889 A1	23/08/2012	CN 103403864 A JP 2014-509455 A US 2014-0038358 A1 US 8643165 B2 US 8716068 B2 WO 2012-116218 A2 WO 2012-116218 A3	20/11/2013 17/04/2014 06/02/2014 04/02/2014 06/05/2014 30/08/2012 22/11/2012
EP 2657963 A2	30/10/2013	JP 2013-243350 A KR 10-2013-0119883 A TW 201406911 A US 2013-0280886 A1 US 9096032 B2	05/12/2013 01/11/2013 16/02/2014 24/10/2013 04/08/2015

---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US