



(12)发明专利申请

(10)申请公布号 CN 109388595 A

(43)申请公布日 2019.02.26

(21)申请号 201810903592.6

(22)申请日 2018.08.09

(30)优先权数据

62/543,918 2017.08.10 US

15/796,743 2017.10.27 US

(71)申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区三星路129号

(72)发明人 郑宏忠 罗伯特·瑞南 金晋贤

金亨硕 克里希纳·特佳·马拉迪

(74)专利代理机构 广州华进联合专利商标代理

有限公司 44224

代理人 刘培培 黄隶凡

(51)Int.Cl.

G06F 13/16(2006.01)

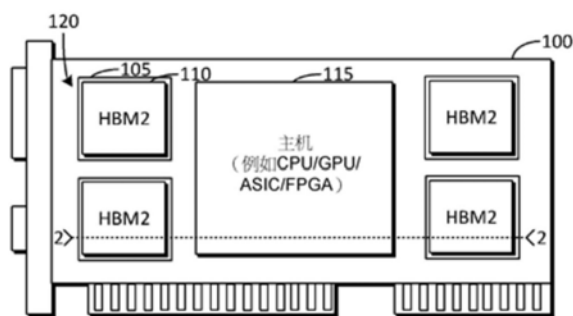
权利要求书3页 说明书9页 附图5页

(54)发明名称

高带宽存储器系统以及逻辑管芯

(57)摘要

本发明公开一种高带宽存储器系统以及一种逻辑管芯。所述高带宽存储器系统包括：主机，其包括中央处理单元、图形处理单元、专用集成电路或现场可编程门阵列中的至少一个；以及包括一个配置在另一个上方的多个高带宽存储器模块及配置在多个高带宽存储器模块下方的逻辑管芯的高带宽存储器堆叠。逻辑管芯配置成从主机卸载处理操作。本发明公开一种在高带宽存储器的逻辑管芯中提供特定计算能力的系统架构，以及支持硬件及软件架构、逻辑管芯微架构以及存储器接口信令选项。提供使用高带宽存储器堆叠下方的逻辑管芯的存储器内处理能力的各种新方法。另外，本发明公开各种新的信令协议以使用高带宽存储器接口。还描述逻辑管芯微架构及支持系统框架。



1. 一种高带宽存储器系统,其特征在於,包括:

主机,包括中央处理单元、图形处理单元、专用集成电路或现场可编程门阵列中的至少一个;以及

高带宽存储器堆叠,包括一个配置在另一个顶上的多个高带宽存储器模块及配置在所述多个高带宽存储器模块下方的逻辑管芯。

2. 根据权利要求1所述的高带宽存储器系统,其特征在於,所述逻辑管芯被配置以从所述主机卸载处理操作。

3. 根据权利要求1所述的高带宽存储器系统,其特征在於,所述高带宽存储器系统还包括耦合到所述主机且耦合到所述逻辑管芯的内插器。

4. 根据权利要求3所述的高带宽存储器系统,其特征在於,所述高带宽存储器系统还包括耦合到所述内插器的衬底。

5. 根据权利要求4所述的高带宽存储器系统,其特征在於,所述多个高带宽存储器模块以通信方式耦合到所述逻辑管芯,且所述逻辑管芯以通信方式耦合到所述主机。

6. 根据权利要求1所述的高带宽存储器系统,其特征在於:

所述高带宽存储器堆叠被称作第一高带宽存储器堆叠;

所述多个高带宽存储器模块被称作第一多个高带宽存储器模块;

所述逻辑管芯被称作第一逻辑管芯;以及

所述高带宽存储器系统还包括:第二高带宽存储器堆叠,其包括一个配置在另一个顶上的第二多个高带宽存储器模块及配置在所述第二多个高带宽存储器模块下方的第二逻辑管芯。

7. 根据权利要求6所述的高带宽存储器系统,其特征在於:

所述第一逻辑管芯及所述第二逻辑管芯各被配置以从所述主机卸载处理操作;

所述第一多个高带宽存储器模块以通信方式耦合到所述第一逻辑管芯,且所述第一逻辑管芯以通信方式耦合到所述主机;

所述第二多个高带宽存储器模块以通信方式耦合到所述第二逻辑管芯,且所述第二逻辑管芯以通信方式耦合到所述主机;以及

所述系统还包括耦合到所述主机且耦合到所述第一逻辑管芯及所述第二逻辑管芯的内插器以及耦合到所述内插器的衬底。

8. 根据权利要求1所述的高带宽存储器系统,其特征在於,所述高带宽存储器系统还包括:

存储器;

其中所述逻辑管芯包括:

主机管理器,包括接口及主机队列管理器,其中所述主机管理器被配置以经由所述接口与所述主机接口连接,且被配置以使从所述主机接收到的通信排队;

存储器控制器,包括预取引擎及高速缓存控制器,其中所述存储器控制器被配置以经由所述预取引擎及所述高速缓存控制器与所述存储器接口连接;

高带宽存储器控制器,包括被配置以与所述多个高带宽存储器模块接口连接的存储器控制器;以及

卸载处理逻辑部分,被配置以从所述主机卸载处理操作。

9. 根据权利要求8所述的高带宽存储器系统,其特征在于:

所述卸载处理逻辑部分被配置以经由所述主机管理器从所述主机接收关于所述卸载处理操作的信息;以及

所述卸载处理逻辑部分被配置以取决于所接收的关于所述卸载处理操作的信息执行所述卸载处理操作。

10. 根据权利要求9所述的高带宽存储器系统,其特征在于,所接收的信息包括标志。

11. 根据权利要求9所述的高带宽存储器系统,其特征在于,所接收的信息包括命令。

12. 根据权利要求11所述的高带宽存储器系统,其特征在于:

所述逻辑管芯还包括:

命令解码逻辑部分,被配置以解码所述命令;以及

命令发布逻辑部分,被配置以发布所述命令。

13. 根据权利要求12所述的高带宽存储器系统,其特征在于,所述卸载处理逻辑部分被配置以响应于所发布的命令执行所述卸载处理操作。

14. 根据权利要求8所述的高带宽存储器系统,其特征在于,所述卸载处理逻辑部分包括算术逻辑单元、浮点单元、固定逻辑或可重构逻辑中的至少一个。

15. 根据权利要求8所述的高带宽存储器系统,其特征在于,所述卸载处理逻辑部分被配置以取决于存储在所述多个高带宽存储器模块中的数据执行所述卸载处理操作。

16. 根据权利要求8所述的高带宽存储器系统,其特征在于:

所述存储器控制器是静态随机存取存储器控制器;以及

所述存储器是静态随机存取存储器。

17. 一种逻辑管芯,其特征在于,包括:

主机管理器,包括接口及主机队列管理器,其中所述主机管理器被配置以经由所述接口与主机接口连接,且被配置以使从所述主机接收到的通信排队;

存储器控制器,包括预取引擎及高速缓存控制器,其中所述存储器控制器被配置以经由所述预取引擎及所述高速缓存控制器与存储器接口连接;

高带宽存储器控制器,包括被配置以与高带宽存储器模块的堆叠的接口连接的存储器控制器;以及

卸载处理逻辑部分,被配置以从所述主机卸载处理操作。

18. 根据权利要求17所述的逻辑管芯,其特征在于:

所述卸载处理逻辑部分被配置以经由所述主机管理器从所述主机接收关于所述卸载处理操作的信息;以及

所述卸载处理逻辑部分被配置以取决于所接收的关于所述卸载处理操作的信息执行所述卸载处理操作。

19. 根据权利要求17所述的逻辑管芯,其特征在于,所接收的信息包括标志。

20. 根据权利要求17所述的逻辑管芯,其特征在于,所接收的信息包括命令。

21. 根据权利要求20所述的逻辑管芯,还包括:

命令解码逻辑部分,被配置以解码所述命令;以及

命令发布逻辑部分,被配置以发布所述命令。

22. 根据权利要求21所述的逻辑管芯,其特征在于,所述卸载处理逻辑部分被配置以响

应于所发布的命令执行所述卸载处理操作。

23. 根据权利要求21所述的逻辑管芯,其特征在于,所述卸载处理逻辑部分包括算术逻辑单元、浮点单元、固定逻辑或可重构逻辑中的至少一个。

24. 根据权利要求21所述的逻辑管芯,其特征在于,所述卸载处理逻辑部分被配置以取决于存储在高带宽存储器模块的所述堆叠中的数据执行所述卸载处理操作。

25. 根据权利要求17所述的逻辑管芯,其特征在于:

所述存储器控制器是静态随机存取存储器控制器;以及
所述存储器是静态随机存取存储器。

高带宽存储器系统以及逻辑管芯

技术领域

[0001] 本发明涉及半导体电路,且更确切地说,涉及包括用于卸载传统上由主机执行的复杂逻辑操作的逻辑管芯的智能高带宽存储器设备。

背景技术

[0002] 因特网已引起将数据提供到数百万台计算机及移动装置的计算机服务器的数目的巨大的扩展。人工智能(Artificial Intelligence, AI)及其它深度学习应用程序变得更常见且目前需求高。当今的服务器计算机环境朝向存储装置内和存储器内计算移动,使得某一计算更接近数据实际上驻留之处执行。这增加性能且减小能量消耗。

[0003] 如神经网络等新兴应用需要大量的计算能力和记忆能力来训练不同的数据集且以高精度学习。此外,随着如高性能计算机(high performance computer, HPC)、图形算法等的应用变得数据和计算密集,能量效率和低时延变得关键。

[0004] 近年来,高带宽存储器(High Bandwidth Memory, HBM)和高带宽存储器2(HBM2)已用于获得更高带宽同时通过将动态随机存储器(Dynamic Random Access Memory, DRAM)管芯一个堆叠在另一个顶上在更小外观尺寸中使用更小功率,且提供与主机的异步通信接口。通信的异步性质增加性能而且使得更加难以处理复杂逻辑操作。当逻辑操作复杂时,存在更小确定性。换句话说,完成特定复杂逻辑操作将花费的时间较不确定。

发明内容

[0005] 公开一种高带宽存储器(HBM+)系统,包括:主机,其包括中央处理单元(central processing unit, CPU)、图形处理单元(graphics processing unit, GPU)、专用集成电路(application specific integrated circuit, ASIC)或现场可编程门阵列(field programmable gate array, FPGA)中的至少一个;以及HBM+堆叠,其包括一个配置在另一个顶上的多个高带宽存储器(high bandwidth memory, HBM)模块及配置在所述多个HBM模块下方的逻辑管芯。逻辑管芯被配置以从主机卸载处理操作。

[0006] 在一些实施例中,逻辑管芯包括包括接口PHY及主机队列管理器的主机管理器,其中主机管理器被配置以经由接口PHY与主机接口连接且被配置以使从主机接收到的通信排队。逻辑管芯可另外包括存储器控制器,所述存储器控制器包括预取引擎及高速缓存控制器,其中存储器控制器被配置以经由预取引擎及高速缓存控制器与存储器接口连接。逻辑管芯可另外包括高带宽存储器(HBM)控制器,所述高带宽存储器控制器包括被配置以与HBM模块的堆叠接口连接的存储器控制器。逻辑管芯可另外包括被配置以从主机卸载处理操作的卸载处理逻辑部分。

附图说明

[0007] 本发明原理的先前及额外特征及优点将从参考附图进行的以下详细描述变得显而易见,在附图中:

- [0008] 图1是HBM+单元的实例俯视框图。
- [0009] 图2示出沿着线2-2获取的图1中HBM+单元的侧视框图。
- [0010] 图3示出用于从主机卸载计算工作的两种类型的架构的框架框图。
- [0011] 图4示出包括主机组件及HBM+堆叠的系统的实例框图,其中根据一些实施例提供主要硬件实施方案。
- [0012] 图5A示出包括主机组件及HBM+堆叠的系统的实例框图,其中根据一些实施例提供主要软件实施方案。
- [0013] 图5B示出根据一些实施例绘示在GPU或HBM+堆叠上可如何处理不同内核的图。
- [0014] 图6示出图1及图2的逻辑管芯的微架构。
- [0015] 图7是根据本文中所公开的实施例的包括图1的HBM+单元的计算机系统的实例框图。
- [0016] 附图标记说明:
- [0017] 2-2:线;
- [0018] 100:HBM+单元;
- [0019] 105:逻辑管芯;
- [0020] 110:HBM2模块;
- [0021] 115:主机;
- [0022] 120:HBM+堆叠;
- [0023] 205:内插器;
- [0024] 210:封装衬底;
- [0025] 300:框架框图;
- [0026] 305:人工智能app;
- [0027] 310:计算统一装置架构;
- [0028] 315:GPU指令集架构;
- [0029] 320、420:GPU;
- [0030] 325:库;
- [0031] 330:存储器ISA;
- [0032] 335:HBM+特定库函数调用;340:第一架构;
- [0033] 345:替代性架构;
- [0034] 400、500:系统;
- [0035] 405:CPU;
- [0036] 410:DRAM缓冲器;
- [0037] 415:PCI-E接口;
- [0038] 502:图;
- [0039] 605:核心架构;
- [0040] 610:卸载处理逻辑部分;
- [0041] 615:主机管理器;
- [0042] 620:SRAM控制器;
- [0043] 625:HBM控制器;

- [0044] 630:HBM2模块的堆叠;
- [0045] 635:SRAM;
- [0046] 640:命令解码逻辑部分;
- [0047] 645:命令发布逻辑部分;
- [0048] 650:有限状态机;
- [0049] 655:算术逻辑单元;
- [0050] 660:浮点单元;
- [0051] 665:可重构逻辑;
- [0052] 670:固定逻辑;
- [0053] 675:接口PHY;
- [0054] 680:主机队列管理器;
- [0055] 685:预取引擎;
- [0056] 690:高速缓存控制器;
- [0057] 695:纠错码逻辑部分;
- [0058] 698、745:存储器控制器;
- [0059] 700:计算机系统;
- [0060] 705:系统总线;
- [0061] 710:时钟;
- [0062] 715:随机存取存储器及/或闪存存储器;
- [0063] 720:用户接口;
- [0064] 725:调制解调器;
- [0065] 735:自动化测试设备;
- [0066] 740:电池;
- [0067] 745:存储器控制器。

具体实施方式

[0068] 现在将详细参考各种实施例,在附图中示出所述实施例的实例。在以下详细描述中,阐述众多具体细节以实现了对实施例的透彻理解。然而,应理解,本领域技术人员可以在没有这些具体细节的情况下实践本发明概念。在其它例子中,未详细描述众所周知的方法、程序、组件、电路和网络,以免不必要地混淆实施例的各方面。

[0069] 应理解,虽然术语“第一”、“第二”等可在本文中用以描述各种元件,但这些元件不应受这些术语限制。这些术语仅用于将一个元件与另一元件区分开来。举例来说,在不脱离实施例的范围的情况下,第一模块可以被称为第二模块,并且类似地,第二模块可以被称为第一模块。

[0070] 本文中用于实施例的描述中的术语是仅出于描述具体实施例的目的且并不希望限制本发明概念。如实施例及所附权利要求书的描述中所使用,单数形式“一”及“所述”意在也包括复数形式,除非上下文另有清楚指示。还将理解,如本文中所使用的术语“和/或”指代且涵盖相关联的所列项目中的一或多者的任何及所有可能的组合。应进一步理解,当用于本说明书中时,术语“包括(comprises/comprising)”指定存在所陈述的特征、整数、步

骤、操作、元件和/或组件,但不排除存在或添加一个或多个其它特征、整数、步骤、操作、元件、组件和/或其群组。附图中的组件和特征未必是按比例绘制。

[0071] 在成长期人工智能(AI)计算应用的情况下,需要新硬件来在跨越图像和言语分类、媒体分析、医疗保健、独立机械和智能助理的域中启用新应用。AI应用驱动机器学习框架。举例来说,在深度神经网络算法中,数据集的大小常常使可用的硬件的计算能力过度成长。具有许多万亿次浮点运算的计算性能能力的新高性能计算机(high performance computer, HPC)已出现为替代解决方案直到较新架构可用为止。在每主机单元四个到八个模块堆叠的情况下,HBM演进到HBM2且针对并行加速器提供高带宽。举例来说,主机可包括例如微处理器的中央处理单元(CPU)、专用集成电路(ASIC)、图形处理单元(GPU)、现场可编程门阵列(FPGA)等等。现用带宽处于每秒一太字节范围内,其为双资料速率类型的五同步图形RAM(GDDR5)的效率的两倍。

[0072] 本文中所公开的实施例包括在高带宽存储器的逻辑管芯中提供特定计算能力的系统架构以及支持硬件和软件架构、逻辑管芯微架构以及存储器接口信令选项。提供使用HBM堆叠下方的逻辑管芯的内存处理能力的各种新方法。另外,公开各种新的信令协议以使用HBM接口。还描述逻辑管芯微架构及支持系统框架。

[0073] 系统为在例如GPU、FPGA等的加速器上执行高效节能和高速计算提供端到端解决方案。卸载处理操作在硬件或软件工具链中引入额外复杂程度以提取益处。本文中被称作“HBM+”新架构构建HBM2和PIM。HBM2架构包括多达每主机四个堆叠,多达每堆叠八个信道,其中每堆叠四到八个管芯。每通道可能存在八到16个库,且库群经支持。举例来说,数据线(data line, DQ)宽度为128加上任选的错误码校正(error code correcting, ECC)引脚加上两个伪信道。在每个库每秒二十亿字节的情况下,系统带宽为每系统每秒一太字节。

[0074] 图1是HBM+单元100的实例俯视框图。HBM+单元100可包括主机115(例如,CPU、GPU、ASIC、FPGA等)。HBM+单元100可包括HBM2模块110的多个HBM+堆叠120及配置在HBM2模块110下方的对应逻辑管芯105。HBM+单元100可以是PCI-E兼容板。

[0075] 图2示出沿着线2-2获取的图1的HBM+单元100的侧视框图。如图2中所示,HBM2模块堆叠在逻辑管芯105上,形成HBM+堆叠120。多个HBM+堆叠120可包括在HBM+单元100上。主机115可与逻辑管芯105中的每一个通信。主机115及逻辑管芯105可配置在内插器205顶上且耦合到所述内插器205。内插器205可配置在封装衬底210顶上且耦合到所述封装衬底210。

[0076] 在HBM+中,逻辑管芯105可执行基本输入/输出(I/O)操作,从而引起较低时延及较好存储器流量。机器学习算法受益于此架构,这是因为所述机器学习算法需要用于训练及预测的密集型带宽。接近处理器的存储器借助于HBM+逻辑管芯105辅助主机115。

[0077] HBM+堆叠120可将计算工作从主机115卸载到HBM2模块110下方的逻辑管芯105。主机115可为CPU、GPU、ASIC、FPGA等等。逻辑管芯105随后实施专用逻辑功能,所述专用逻辑功能可特定针对于具有特殊高带宽要求的机器学习应用程序。因此,系统性能提高且能量消耗减少。

[0078] 图3示出用于从主机(例如,115)卸载计算工作的两种类型的架构(例如,340及345)的框架框图300。如图3中所示,第一架构340使用HBM计算能力(例如,310、315以及320)而无需修改上部层应用程序(例如,人工智能(AI) app 305)。HBM计算能力可以包括计算统一装置架构(compute unified device architecture, CUDA) 310、GPU指令集架构(GPU-ISA

或G-ISA) 315及/或GPU 320。

[0079] 替代性架构345将HBM+库函数调用(例如,325、330以及335)提供到应用程序305以使用底层HBM逻辑指令集架构(instruction set architecture,ISA)。HBM+库函数调用可以包括库325、存储器ISA (M-ISA) 330或其它HBM+特定库函数调用335。在此实施例中,上部层应用程序(例如,人工智能(AI) app 305)经修改以对库函数调用进行调用。整个框架包括系统、微架构、库以及驱动器。系统还可包括两种硬件协议及逻辑微架构,如下文进一步描述。

[0080] 图4示出包括主机组件(例如,405、410、415以及420)的系统400及HBM+堆叠120的实例框图,其中根据一些实施例提供主要硬件实施方案。主机115可包括例如CPU 405、DRAM缓冲器410、PCI-E接口415、GPU 420等等。在主要硬件实施方案中,主机115(例如,GPU 420)可包括存储器控制器变化。GPU 420可将操作直接卸载到HBM2模块(例如,110)及/或卸载到HBM+堆叠120,所述GPU 420可执行卸载逻辑处理。在此实施例中,可能存在同步或异步主机到存储器协议且不需要应用程序变化。

[0081] 图5A示出包括主机组件(例如,405、410、415以及420)的系统500及HBM+堆叠120的实例框图,其中根据一些实施例提供主要软件实施方案。主机115可包括例如CPU 405、DRAM缓冲器410、PCI-E接口415、GPU 420等等。

[0082] 在主要软件实施方案中,可使用存储器映射I/O (MMIO) 技术,例如gdrCOPY,以在CPU 405中产生GPU存储器的缓存用户空间映射。此用户空间映射使得CPU 405能够将卸载内核510的数据从GPU 420直接读取到DRAM缓冲器410内的共用缓冲器中。随后,CPU 405可将数据拷贝到HBM+堆叠120中或将HBM逻辑重引导到相关地址。例如(图3的)AI应用程序305的上层应用程序可修改成针对计算使用HBM+堆叠120。不需要硬件变化。

[0083] 图5B示出根据一些实施例绘示在GPU或HBM+堆叠上可如何处理不同内核的图502。换句话说,应用程序的不同部分可取决于配置在不同硬件上运行。换句话说,不同内核或功能可在GPU 420或HBM+堆叠120上起始及处理,进而分布处理负荷。举例来说,GPU 420可接收DATA_IN且处理KERNEL_1。HBM+堆叠120可接收DATA_1、处理KERNEL_2且产生DATA_2。GPU 420可处理KERNEL_3且产生DATA_OUT。以下是用于实例实施方案的伪码:

[0084] gdrCOPY (DATA_IN,numBytes,HostToDevice)

[0085] GPU_Kernel<<<1,N>>> (DATA_IN)

[0086] CpuWaitFunction (lock)

[0087] gdrCOPY (DATA_1,numBytes,DeviceToHost)

[0088] HBM_Kernel<<<1,N>>> (DATA_1)

[0089] CpuWaitFunction (lock)

[0090] gdrCOPY (DATA_2,numBytes,HostToDevice)

[0091] GPU_Kernel<<<1,N>>> (DATA_2)

[0092] 在一些实施例中,一或多个标志可设置成协调各种硬件组件之间的处理。举例来说,第一标志可由CPU 405设置以指示处理应开始。随后,CPU 405可将数据从DRAM缓冲器410复制到GPU 420,其中处理中的至少一些由HBM+堆叠120处理。随后,第二标志可由GPU 420及/或HBM+堆叠120设置成指示处理完成。随后,CPU 405可将数据复制回DRAM缓冲器410。

[0093] 图6示出图1及图2的逻辑管芯105的微架构。核心架构605解码存储器内处理 (processing-in-memory, PIM) 命令 (例如, PIM_CMD)、发布内部微操作, 以及调度多个存储器内处理 (PIM) 操作。外围逻辑可以包括具有排队控制的主机管理器615、SRAM控制器620、HBM控制器625以及可以包括各种状态机的卸载处理逻辑部分610。

[0094] 更具体地说, 逻辑管芯105可以包括主机管理器615, 所述主机管理器615包括接口PHY 675及主机队列管理器680。在一些实施例中, 主机管理器615配置成经由接口PHY 675与主机 (例如, 图1的115) 接口连接。此外, 主机管理器615配置成使从主机115接收到的通信排队。逻辑管芯105可以包括SRAM控制器620, 所述SRAM控制器620包括预取引擎685及高速缓存控制器690。SRAM控制器620配置成经由预取引擎685及高速缓存控制器690与SRAM 635接口连接。

[0095] 逻辑管芯105可以包括高带宽存储器 (HBM) 控制器625, 所述高带宽存储器控制器625包括配置成与HBM2模块的堆叠630接口连接的存储器控制器698及纠错码 (ECC) 逻辑部分695。在一些实施例中, 逻辑管芯105可以包括配置成从主机 (例如, 图1的115) 卸载处理操作的卸载处理逻辑部分610。在一些实施例中, 卸载处理逻辑部分610配置成经由主机管理器615从主机115接收关于卸载处理操作的信息。在一些实施例中, 卸载处理逻辑部分610配置成取决于所接收的关于卸载处理操作的信息执行卸载处理操作。所接收的信息可以包括标志。所接收的信息可以包括命令。

[0096] 在一些实施例中, 命令解码逻辑部分640配置成解码命令。在一些实施例中, 命令发布逻辑部分645配置成发布命令。卸载处理逻辑部分610可响应于所发布的命令执行卸载处理操作。卸载处理逻辑部分610包括算术逻辑单元 (arithmetic logic unit, ALU) 655、浮点单元 (floating-point unit, FPU) 660、固定逻辑670或可重构逻辑665中的至少一个。在一些实施例中, 卸载处理逻辑部分610配置成取决于存储在HBM2模块的堆叠630中的数据执行卸载。另外, 核心架构605可包括有限状态机650。

[0097] 基于硬件的协议可包括单步协议或两步协议。单步协议适合于其中主机 (例如, 图1的115) 不必在继续进行额外操作之前等待计算结果的简单操作。换句话说, 主机115与HBM+堆叠 (例如, 图1的120) 之间存在确定性定时。在单步协议中, 存储器控制器698可仅锁定源及目的地地址及/或组。单步协议的实例包括例如读取-修改-写入操作的原子操作。

[0098] 两步协议适合于其中主机115等待计算结果的操作。实例包括事务命令。在此实施例中, PHY通过经改变用途的事务引脚修改 (例如, 引脚改变或添加) 以获得 (图1的) 主机115与HBM+堆叠120之间的信息流。在此实施例中, 存储器控制器698在事务期间可锁定HBM2模块的整个堆叠630。实例包括转置100乘100矩阵。

[0099] 能够在逻辑管芯 (例如, 图1的105) 上执行的函数库的各种类别 (即, 编号1到5) 示出于下方表1中。函数库可通过主机 (例如, 图1的115) 协调, 所述函数库各自具有离散操作字段及成分函数。这些函数库与同步及异步HBM+接口两种兼容。性能借助于较低总线事务、排队及存储器控制器时延而增加。固定逻辑及/或可重配置逻辑可用于执行函数。

[0100] 表1:

[0101]

编号	类别	函数实例	操作字段	使用情况
1.	数据原子性	读取-修改-写入; 测试与设置; 比较和交换 (compare-and-swap, CAS); 递增	标识符 (ID); 地址; 条件性操作; 值	更高ML线程并行性
2.	数据拷贝	存储器拷贝; 存储器设置	ID; 源; 目的地地址; 范围; 值	初始化; 低时延数据移动

[0102]

3.	数据重塑	转置; 封装/解封装 (例如, 向量); 交换 (例如, 矩阵中的元素)	ID; 源; 目的地地址; 重塑操作; 数据跨距; 数目	卷积神经网络 (Convolutional neural network, CNN); 线性代数
4.	数据简化	Popcount (例如, 对向量中的项目进行计数); 积累 (例如, 添加); 按位操作 (例如, 按位与 (AND)、或 (OR) 等); 总和; 最小值; 点积; 欧几里得距离 (Euclidean distance)	ID; 源; 目的地地址; 操作; 数据跨距; 数目	卷积神经网络 (CNN); 二进制神经网络 (binary neural network, BNN); 计数器
5.	特殊函数	映射函数; 散列; 模式匹配; 可重配置计算块	ID; 源; 目的地地址; 操作; 数据跨距; 数目	函数映射器

[0103] 本文中公开包括基于HBM的逻辑模块微架构、应用程序库内核驱动器以及相关框架的系统架构。系统可将离散函数类别用于高带宽存储器装置来提供处理能力。系统可使用具有对主机存储器控制器的修改的基于主要硬件的方法来识别HBM计算的区域,且在HBM+微架构上处理所述区域。系统可使用具有直接从CPU存取HBM存储空间的MMIO的基于主要软件的方法,以便辅助任务划分而不需要GPU支持。系统可使用单步协议及/或两步协议来分别启用同步和异步HBM存储器接口。本文中所公开的HBM逻辑可实施微架构以辅助命令解码、并行函数调度、主控,以及外围逻辑,从而管理主机-侧面接口、排队、内部SRAM高速缓存及/或误差校正。

[0104] 图7是根据如本文中所公开的实施例的包括图1的HBM+单元100的计算机系统700

的实例框图。HBM+单元100可电连接到系统总线705。计算机系统700还可包括时钟710、随机存取存储器(random access memory, RAM)及/或闪存存储器715、存储器控制器745、用户接口720、例如基带芯片组的调制解调器725,及/或自动化测试设备(automated test equipment, ATE) 735,其中的任一个或全部可电耦合到系统总线705。

[0105] 当计算机系统700是移动装置时,其可另外包括电池740,所述电池740为计算机系统700供电。尽管图7中未示出,但计算机系统700可另外包括应用程序芯片组、相机图像处理器(camera image processor, CIS)、移动DRAM等。存储器控制器745和快闪存储器715可构成固态驱动器/磁盘(solid state drive, SSD),其使用非易失性存储器来存储数据。

[0106] 在实例实施例中,计算机系统700可用作计算机、便携式计算机、超移动PC(Ultra Mobile PC, UMPC)、工作站、小型笔记本式计算机(net-book)、PDA、上网本、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(portable multimedia player, PMP)、数码相机、数字音频记录器/播放器、数字图片/视频记录器/播放器、便携式游戏机、导航系统、黑箱、3维电视、能够在无线情形下传输和接收信息的装置、构成家庭网络的各种电子装置中的一个、构成计算机网络的各种电子装置中的一个、构成远程信息处理网路的各种电子装置中的一个、RFID,或构成计算机系统的各种电子装置中的一个。

[0107] 以下论述预期提供其中可以实施本发明概念的某些方面的一或多个合适机器的简要一般描述。通常,一或多个机器包括系统总线,处理器、存储器(例如,随机存取存储器(RAM)、只读存储器(read-only memory, ROM)或其它状态保持媒体)、存储装置、视频接口以及输入/输出接口端口附接到所述系统总线。一或多个机器可以至少部分地通过从例如键盘、鼠标等常规输入装置的输入,以及通过从另一机器接收的指令、与虚拟现实(virtual reality, VR)环境的交互、生物计量反馈或其它输入信号控制。本文所使用的术语“机器”预期广泛地涵盖单个机器、虚拟机,或以通信方式耦合的机器、虚拟机或一起操作的装置的系统。示例性机器包括计算装置,例如个人计算机、工作站、服务器、便携式计算机、手持式装置、电话、平板电脑等,以及交通装置,例如私人或公共交通工具,例如汽车、火车、出租车等。

[0108] 一或多个机器可以包括嵌入式控制器,例如,可编程或不可编程逻辑装置或阵列、专用集成电路(ASIC)、嵌入式计算机、智能卡等。一或多个机器可以利用例如通过网络接口、调制解调器或其它通信耦合与一或多个远程机器的一或多个连接。机器可以借助于物理和/或逻辑网络,例如企业内部网、因特网、局域网、广域网等互连。本领域的技术人员应理解,网络通信可利用各种有线和/或无线短程或长程载波和协议,包括射频(radio frequency, RF)、卫星、微波、电气和电子工程师学会(Institute of Electrical and Electronics Engineer, IEEE) 545.11、**Bluetooth®**、光、红外线、电缆、激光等。

[0109] 可以参考或结合包括功能、程序、数据结构、应用程序等的相关联数据描述本发明概念的实施例,所述相关联数据在通过机器访问时引起机器执行任务或定义抽象数据类型或低级硬件上下文。相关联数据可以存储在例如易失性和/或非易失性存储器,例如RAM、ROM等中,或其它存储装置及其相关联存储媒体中,包括硬盘驱动器、软盘、光学存储装置、磁带、快闪存储器、存储棒、数字视频盘、生物存储装置等。相关联数据可以采用包、串行数据、并行数据、传播信号等形式在包括物理和/或逻辑网络的传输环境上递送,并且可以压缩或加密格式使用。相关联数据可以用于分布式环境中,并且本地和/或远程地存储用于

机器访问。

[0110] 在参考所示出实施例描述和示出本发明概念的原理之后,将认识到,所示出实施例的配置和细节可以在不脱离此原理的情况下进行修改,并且可以按任何所需方式组合。并且,尽管前述论述集中于具体实施例,但是预期其它配置。具体而言,即使本文中使用的例如“根据本发明概念的实施例”等的表达,但是这些词语一般表示参考实施例可能性,且并不意图将本发明概念限制到具体实施例配置。如本文中所使用,这些术语可以参考可组合到其它实施例中的相同或不同实施例。

[0111] 本发明概念的实施例可以包括非暂时性机器可读媒体,所述非暂时性机器可读媒体包括可由一或多个处理器执行的指令,所述指令包括用于执行如本文中所描述的发明性概念的元件的指令。

[0112] 前述说明性实施例不应被解释为限制其本发明概念。虽然已经描述几个实施例,但本领域技术人员将容易了解,在实质上不脱离本公开的新颖教导和优点的情况下,对这些实施例的许多修改是可能的。因此,所有此类修改预期包括在如所附权利要求中定义的此发明概念的范围内。

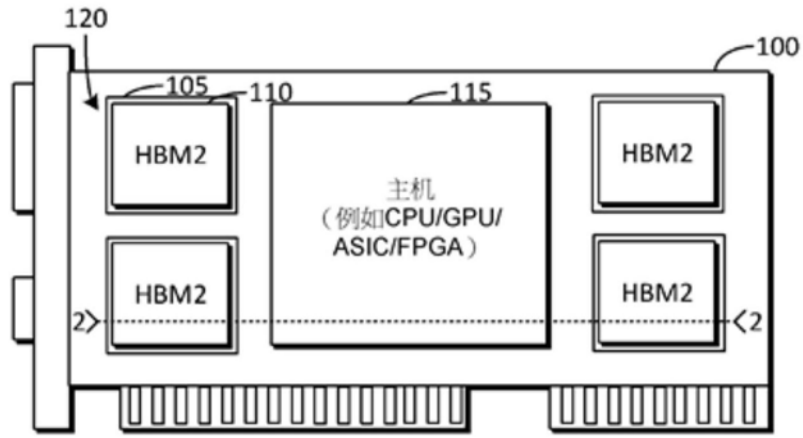


图1

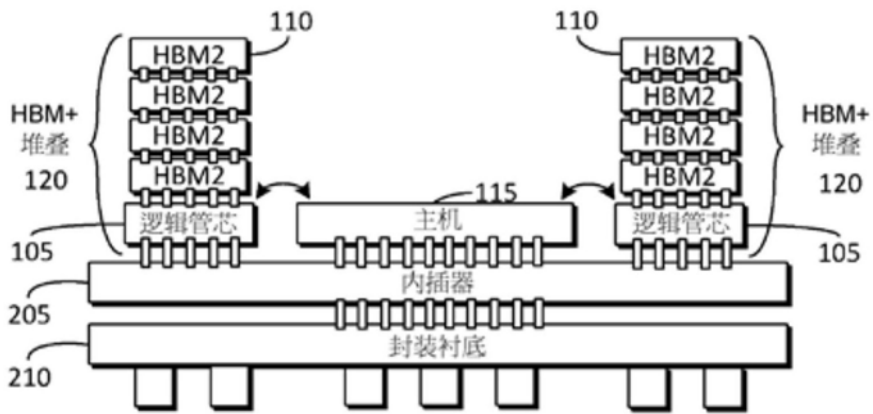


图2

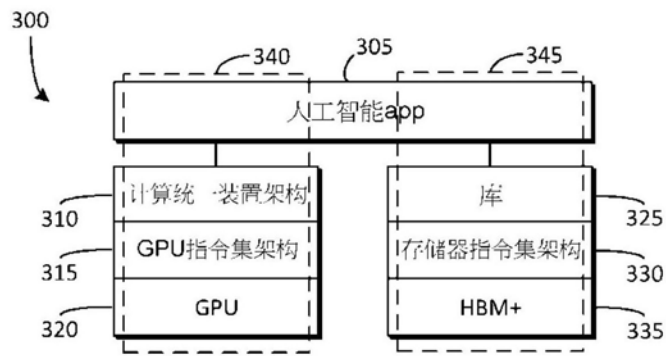


图3

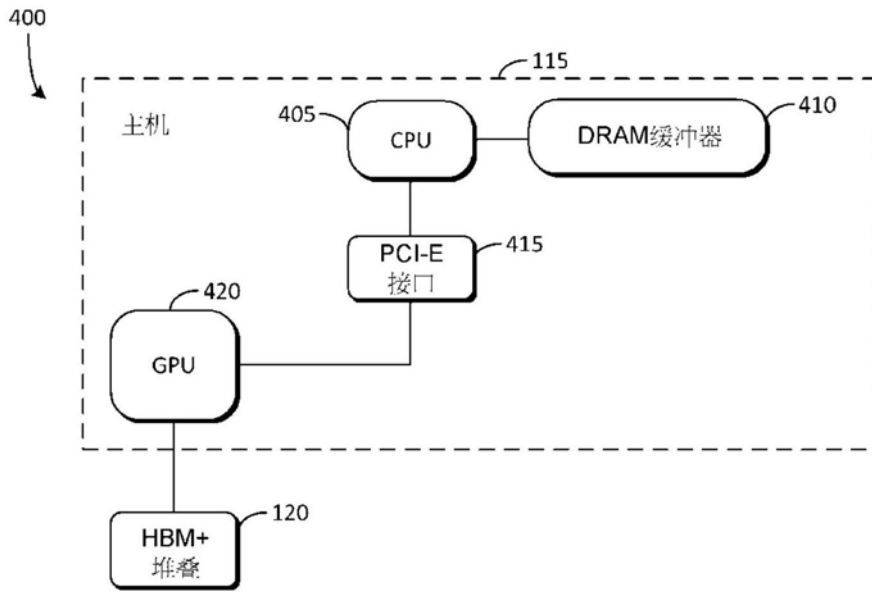


图4

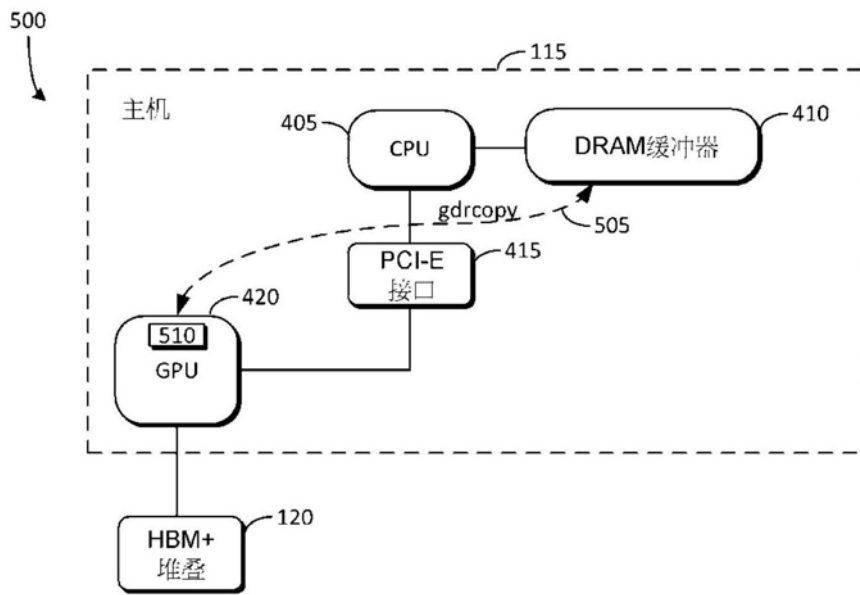


图5A

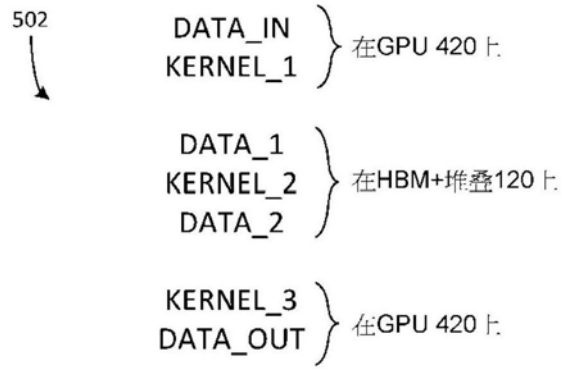


图5B

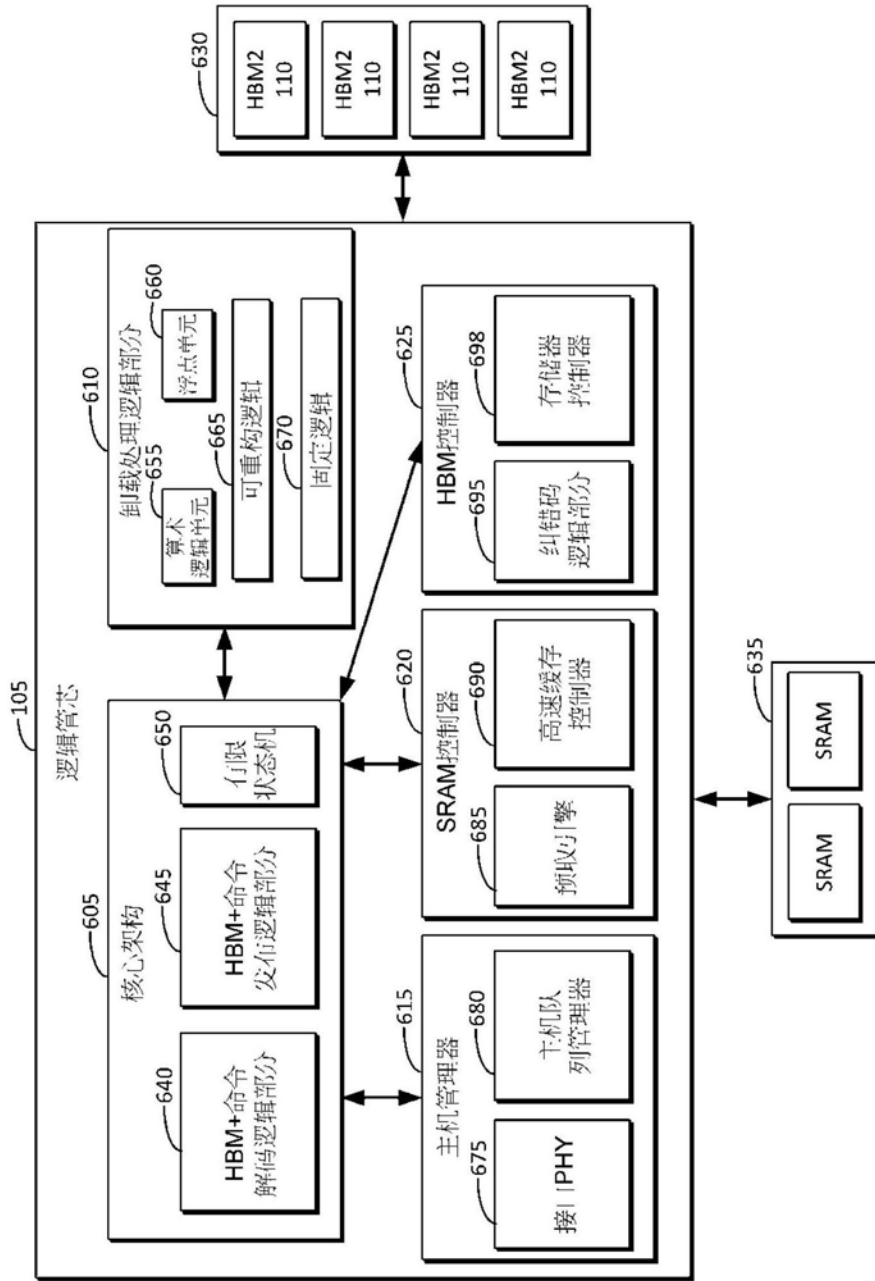


图6

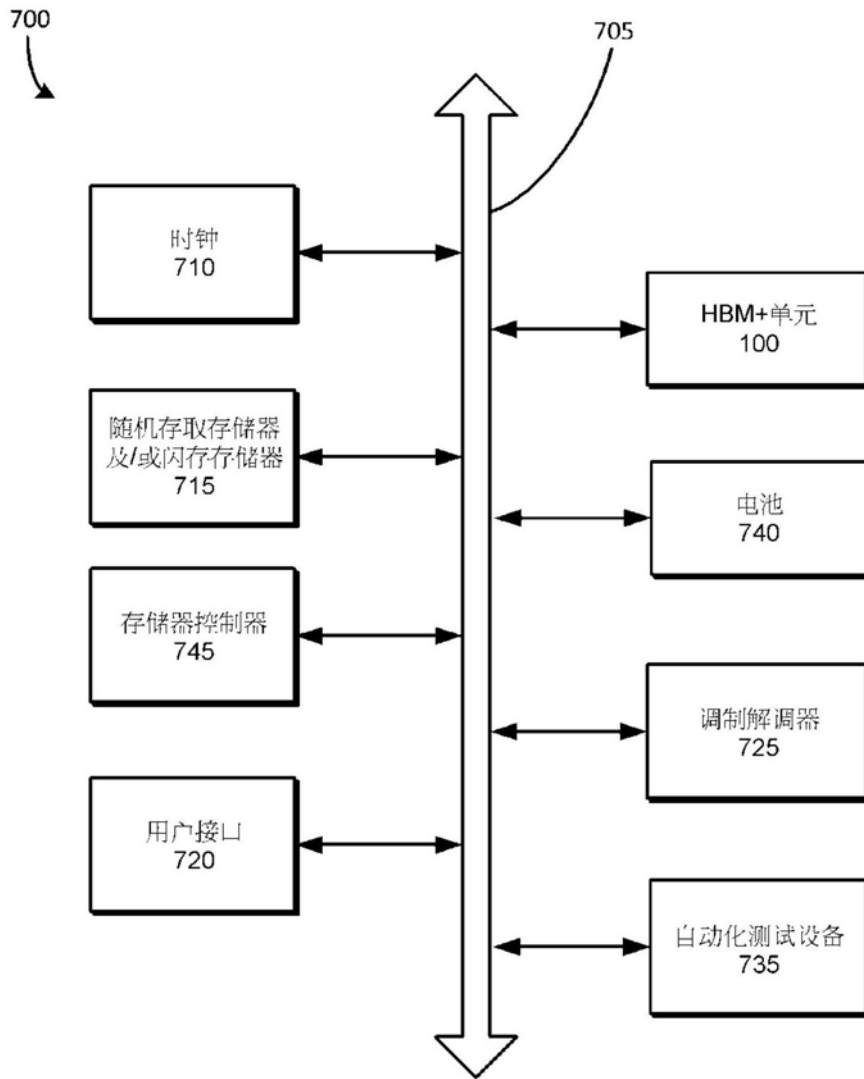


图7