



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I681403 B

(45)公告日：中華民國 109 (2020) 年 01 月 01 日

(21)申請案號：107124718

(22)申請日：中華民國 107 (2018) 年 07 月 18 日

(51)Int. Cl. : *G11C8/08 (2006.01)**G11C11/4197(2006.01)**G11C11/413 (2006.01)*

(71)申請人：修平學校財團法人修平科技大學(中華民國) HSIUPING UNIVERSITY OF SCIENCE AND TECHNOLOGY (TW)

臺中市大里區工業路 11 號

(72)發明人：蕭明椿 SHIAU, MING CHUEN (TW)；李相毅 LI, XIANG YI (TW)

(56)參考文獻：

TW I618083B

TW I618091B

US 8503221B1

US 2006/0002223A1

US 2007/0217262A1

US 2007/0236984A1

US 2009/0323401A1

US 2011/0007596A1

審查人員：劉耀允

申請專利範圍項數：10 項 圖式數：9 共 49 頁

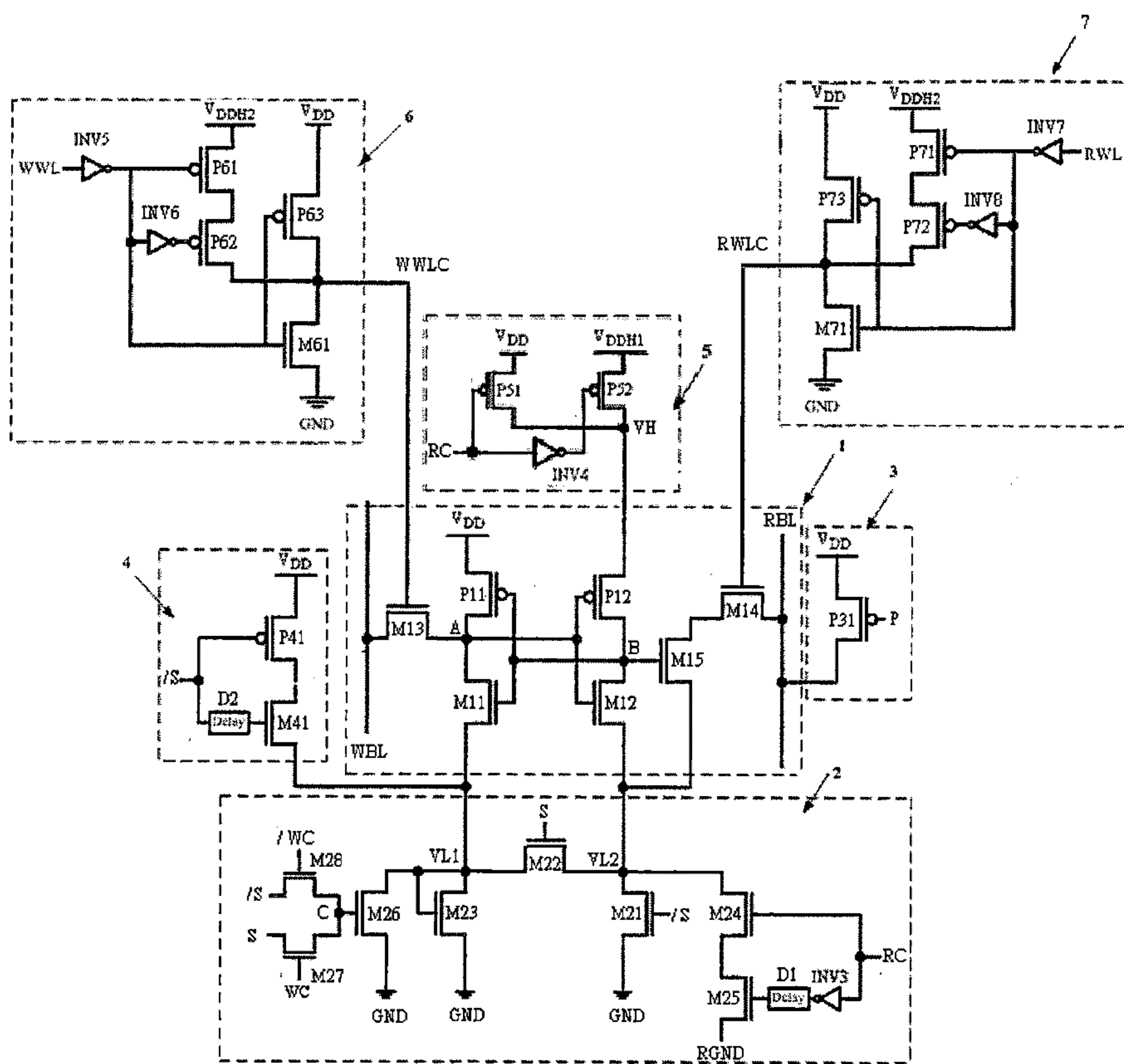
(54)名稱

7 T 雙埠靜態隨機存取記憶體

(57)摘要

本發明提出一種 7T 雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列(1)、複數個控制電路(2)、複數個預充電電路(3)、一待機啟動電路(4)、複數個高電壓位準控制電路(5)、複數個寫入用字元線控制電路(6)、以及複數個讀取用字元線控制電路(7)。藉此，於寫入模式時，可藉由該複數個控制電路(2)以及該複數個寫入用字元線控制電路(6)的組合以防止寫入邏輯 1 困難之同時，亦有效提高寫入速度，而於讀取模式時，則藉由該複數個控制電路(2)、該複數個高電壓位準控制電路(5)以及該複數個讀取用字元線控制電路(7)的組合以於提高讀取速度的同時，亦避免無謂的功率耗損。

指定代表圖：



第 6 圖

符號簡單說明：

- 1 . . . SRAM 晶胞
- 2 . . . 控制電路
- 3 . . . 預充電電路
- 4 . . . 待機啟動電路
- 5 . . . 高電壓位準控制電路
- 6 . . . 寫入用字元線控制電路
- 7 . . . 讀取用字元線控制電路
- /WC . . . 反相寫入控制信號
- WC . . . 寫入控制信號
- P11 . . . 第一 PMOS 電晶體
- P12 . . . 第二 PMOS 電晶體
- M11 . . . 第一 NMOS 電晶體
- M12 . . . 第二 NMOS 電晶體
- M13 . . . 第三 NMOS 電晶體
- A . . . 儲存節點
- B . . . 反相儲存節點
- C . . . 節點
- M14 . . . 第一讀取用電晶體
- M15 . . . 第二讀取用電晶體
- WBL . . . 寫入用位元線
- WWL . . . 寫入用字元線
- RBL . . . 讀取用位元線

RWL . . . 讀取用字
元線

WWLC . . . 寫入用
字元線控制信號

RWLC . . . 讀取用
字元線控制信號

S . . . 待機模式控制
信號

/S . . . 反相待機模
式控制信號

VL1 . . . 第一低電
壓節點

VL2 . . . 第二低電
壓節點

M21 . . . 第四
NMOS 電晶體

M22 . . . 第五
NMOS 電晶體

M23 . . . 第六
NMOS 電晶體

M24 . . . 第七
NMOS 電晶體

M25 . . . 第八
NMOS 電晶體

M26 . . . 第九
NMOS 電晶體

M27 . . . 第十
NMOS 電晶體

M28 . . . 第十一
NMOS 電晶體

RC . . . 讀取控制信
號

RGND . . . 加速讀
取電壓

INV3 . . . 第三反相
器

D1 . . . 第一延遲電
路

P31 . . . 第三
PMOS 電晶體

P . . . 預充電信號
M41 . . . 第十二
NMOS 電晶體
P41 . . . 第四
PMOS 電晶體
D2 . . . 第二延遲電
路
 V_{DD} . . . 電源供應
電壓
 V_{DDH1} . . . 第一高
電源供應電壓
 V_{DDH2} . . . 第二高
電源供應電壓
P51 . . . 第五
PMOS 電晶體
P52 . . . 第六
PMOS 電晶體
INV4 . . . 第四反相
器
VH . . . 高電壓節點
P61 . . . 第七
PMOS 電晶體
P62 . . . 第八
PMOS 電晶體
P63 . . . 第九
PMOS 電晶體
M61 . . . 第十三
NMOS 電晶體
INV5 . . . 第五反相
器
INV6 . . . 第六反相
器
P71 . . . 第十
PMOS 電晶體
P72 . . . 第十一
PMOS 電晶體
P73 . . . 第十二
PMOS 電晶體

M71 . . . 第十四

NMOS 電晶體

INV7 . . . 第七反相
器

INV8 . . . 第八反相
器

I681403

發明摘要

※ 申請案號：107124718

G11C 8/08 (2006.01)

G11C 11/4197 (2006.01)

※ 申請日：107年7月18日

※IPC 分類：G11C 11/413 (2006.01)

【發明名稱】(中文/英文)

7T 雙埠靜態隨機存取記憶體

Seven-Transistor Dual Port Static Random Access Memory

【中文】

本發明提出一種7T雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列(1)、複數個控制電路(2)、複數個預充電電路(3)、一待機啟動電路(4)、複數個高電壓位準控制電路(5)、複數個寫入用字元線控制電路(6)、以及複數個讀取用字元線控制電路(7)。藉此，於寫入模式時，可藉由該複數個控制電路(2)以及該複數個寫入用字元線控制電路(6)的組合以防止寫入邏輯1困難之同時，亦有效提高寫入速度，而於讀取模式時，則藉由該複數個控制電路(2)、該複數個高電壓位準控制電路(5)以及該複數個讀取用字元線控制電路(7)的組合以於提高讀取速度的同時，亦避免無謂的功率耗損。

【英文】

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

1	SRAM 晶胞	2	控制電路
3	預充電電路	4	待機啟動電路
5	高電壓位準控制電路	6	寫入用字元線控制電路
7	讀取用字元線控制電路	/WC	反相寫入控制信號
WC	寫入控制信號		
P11	第一 PMOS 電晶體	P12	第二 PMOS 電晶體
M11	第一 NMOS 電晶體	M12	第二 NMOS 電晶體
M13	第三 NMOS 電晶體	A	儲存節點
B	反相儲存節點	C	節點
M14	第一讀取用電晶體	M15	第二讀取用電晶體
WBL	寫入用位元線	WWL	寫入用字元線
RBL	讀取用位元線	RWL	讀取用字元線
WWLC	寫入用字元線控制信號	RWLC	讀取用字元線控制信號
S	待機模式控制信號	/S	反相待機模式控制信號
VL1	第一低電壓節點	VL2	第二低電壓節點
M21	第四 NMOS 電晶體	M22	第五 NMOS 電晶體

M23	第六 NMOS 電晶體	M24	第七 NMOS 電晶體
M25	第八 NMOS 電晶體	M26	第九 NMOS 電晶體
M27	第十 NMOS 電晶體	M28	第十一 NMOS 電晶體
RC	讀取控制信號	RGND	加速讀取電壓
INV3	第三反相器	D1	第一延遲電路
P31	第三 PMOS 電晶體	P	預充電信號
M41	第十二 NMOS 電晶體	P41	第四 PMOS 電晶體
D2	第二延遲電路	V _{DD}	電源供應電壓
V _{DDH1}	第一高電源供應電壓	V _{DDH2}	第二高電源供應電壓
P51	第五 PMOS 電晶體	P52	第六 PMOS 電晶體
INV4	第四反相器	VH	高電壓節點
P61	第七 PMOS 電晶體	P62	第八 PMOS 電晶體
P63	第九 PMOS 電晶體	M61	第十三 NMOS 電晶體
INV5	第五反相器	INV6	第六反相器
P71	第十 PMOS 電晶體	P72	第十一 PMOS 電晶體
P73	第十二 PMOS 電晶體	M71	第十四 NMOS 電晶體
INV7	第七反相器	INV8	第八反相器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

7T 雙埠靜態隨機存取記憶體

Seven-Transistor Dual Port Static Random Access Memory

【技術領域】

【0001】 本發明係有關於一種7T雙埠 (dual port) 靜態隨機存取記憶體 (Static Random Access Memory, 簡稱SRAM), 尤指一種有效提高7T SRAM待機效能, 並能有效提高讀取速度與寫入速度, 且能有效降低漏電流 (leakage current)、降低讀取時之半選定晶胞干擾以及避免無謂的功率耗損之SRAM。

【先前技術】

【0002】 習知之單埠靜態隨機存取記憶體 (SRAM) 如第1a圖所示, 其主要包括一記憶體陣列 (memory array), 該記憶體陣列係由複數個記憶體區塊 (memory block, MB₁、MB₂等) 所組成, 每一記憶體區塊更由複數列記憶體晶胞 (a plurality of rows of memory cells) 與複數行記憶體晶胞 (a plurality of columns of memory cells) 所組成, 每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞; 複數條字元線 (word line, WL₁、WL₂等), 每一字元線對應至複數列記憶體晶胞中之一列; 以及複數位元線對 (bit line pairs, BL₁、BLB₁...BL_m、BLB_m等), 每一位元線對係對應至複數行記憶體晶胞中之一行, 且每一位元線對係由一位元線 (BL₁...BL_m) 及一互補位元線 (BLB₁...BLB_m) 所組成。

【0003】 第1b圖所示即是6T單埠靜態隨機存取記憶體 (SRAM) 晶胞

之電路示意圖，其中，PMOS電晶體(P1)和(P2)稱為負載電晶體 (load transistor)，NMOS電晶體(M1)和(M2)稱為驅動電晶體 (driving transistor)，NMOS電晶體(M3)和(M4)稱為存取電晶體 (access transistor)，WL為字元線 (word line)，而BL及BLB分別為位元線 (bit line) 及互補位元線 (complementary bit line)，由於該單埠SRAM晶胞需要6個電晶體，且於讀取邏輯0時，為了避免讀取操作初始瞬間 (initial instant) 另一驅動電晶體導通，節點A之讀取初始瞬間電壓 (V_{AR}) 必須滿足方程式 (1)：

$$V_{AR} = V_{DD} \times (R_{M1}) / (R_{M1} + R_{M3}) < V_{TM2} \quad (1)$$

以防止讀取時之半選定晶胞干擾 (half-selected cell disturbance)，其中， V_{AR} 表示節點A之讀取初始瞬間電壓， R_{M1} 與 R_{M3} 分別表示該NMOS電晶體 (M1) 與該NMOS電晶體 (M3) 之導通電阻，而 V_{DD} 與 V_{TM2} 分別表示電源供應電壓與該NMOS電晶體 (M2) 之臨界電壓，此導致驅動電晶體與存取電晶體之間的電流驅動能力比 (即單元比率，cell ratio) 通常設定在2.2至3.5之間 (請參考98年10月20日第US76060B2號專利說明書第2欄第8-10行)。

【0004】 第1b圖所示6T單埠靜態隨機存取記憶體晶胞於寫入操作時之HSPICE暫態分析模擬結果，如第2圖所示，其係使用TSMC 90奈米CMOS製程參數加以模擬。

【0005】 用來減少6T靜態隨機存取記憶體 (SRAM) 晶胞之電晶體數之一種方式係揭露於第3圖中。第3圖顯示一種僅具單一位元線之5T單埠靜態隨機存取記憶體晶胞之電路示意圖，與第1b圖之6T單埠靜態隨機存取記憶體晶胞相比，此種5T靜態隨機存取記憶體晶胞比6T靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該5T單埠靜態隨機存取記憶體晶胞

在不變更PMOS電晶體P1和P2以及NMOS電晶體M1、M2和M3的通道寬長比的情況下存在寫入邏輯1相當困難之問題。茲考慮記憶體晶胞左側節點A原本儲存邏輯0的情況，由於節點A之電荷僅單獨自位元線（BL）傳送，因此在將節點A中先前寫入的邏輯0蓋寫成邏輯1之寫入初始瞬間電壓（ V_{AW} ）等於方程式（2）：

$$V_{AW} = V_{DD} \times (R_{M1}) / (R_{M1} + R_{M3}) \quad (2)$$

其中， V_{AW} 表示節點A之寫入初始瞬間電壓， R_{M1} 與 R_{M3} 分別表示NMOS電晶體（M1）與NMOS電晶體（M3）之導通電阻，比較方程式（1）與方程式（2）可知，寫入初始瞬間電壓（ V_{AW} ）小於NMOS電晶體（M2）之臨界電壓（ V_{TM2} ），因而無法完成寫入邏輯1之操作。第3圖所示5T靜態隨機存取記憶體晶胞，於寫入操作時之HSPICE暫態分析模擬結果，如第4圖所示，其係使用TSMC 90奈米CMOS製程參數加以模擬，由該模擬結果可証實，具單一位元線之5T靜態隨機存取記憶體晶胞存在寫入邏輯1相當困難之問題。

【0006】 接下來討論靜態隨機存取記憶體(SRAM)之單埠及雙埠架構，第1b圖之6T靜態隨機存取記憶體(SRAM)晶胞即是單埠靜態隨機存取記憶體(SRAM)晶胞之一例，其係使用兩條位元線BL及BLB做讀寫的動作，也就是讀與寫均是經由同樣的一對位元線來達成，是以在同一時間內只能進行讀或寫的動作，因此，當欲設計具有同時讀寫能力之雙埠靜態隨機存取記憶體時，便需要多加入兩顆存取電晶體以及另一對位元線（請參考第5圖所示電路，其中WBL及WBLB為寫入用位元線對、RBL及RBLB為讀取用位元線對、WWL為寫入用字元線、RWL為讀取用字元線），這使得記憶體晶胞的面積大大地增加，如果我們能夠簡化記憶體晶胞的架構，使得一條

位元線負責讀取的動作，而另一條位元線負責寫入的動作，則在設計雙埠靜態隨機存取記憶體時，記憶體晶胞便不需要多加入兩顆電晶體及一對位元線，這樣記憶體晶胞的面積便會減小許多，傳統的雙埠靜態隨機存取記憶體晶胞之所以不採用這種方法，是因為如前所述存在寫入邏輯1相當困難之問題。

【0007】 迄今，有許多具單一讀取位元線之雙埠靜態隨機存取記憶體晶胞之技術被提出，例如專利文獻1所提出之「Dual write wordline memory cell」(第US9336863B2號，105年5月10日授予Qualcomm Corporation)，其係藉由二階段之寫入操作以避免由於使用單一寫入位元線所導致寫入邏輯1困難之問題，於寫入操作之第一階段預先寫入邏輯1，而於寫入操作之第二階段，則視實際寫入資料而決定是否將該預先寫入之邏輯1放電至邏輯0；專利文獻2所提出之「Method of writing to and reading data from a three-dimensional two port register file」(第US 9275724B2號，105年3月1日授予TSMC Corporation)，其係使用二個專用的讀取NMOS電晶體以達成單一讀取位元線之SRAM晶胞的讀取操作，而於寫入操作時由於使用二個存取電晶體與需要互補寫入位元線，導致SRAM晶胞電晶體數量較多之缺失；專利文獻3所提出之「雙埠靜態隨機存取記憶體」(第TW I605551B，106年11月11日授予修平科技大學)，其係藉由控制電路與高電壓位準控制電路的組合設計，於讀取操作之第一階段，利用控制電路將原本的接地電壓節點的電位拉低至小於接地電壓，並配合高電壓位準控制電路以減少讀取路徑之電阻，而加速單一讀取位元線之電荷的放電從而提高SRAM之讀取速度，而於讀取操作之第二階段，則將原本比接地電壓低的電壓改回接地電壓，以避

免無謂的功率消耗。該等專利雖可有效解決使用單一寫入位元線所導致寫入邏輯1困難之問題，惟該等專利均未考慮到SRAM操作電壓將降為0.9伏特以下，此時易因製程-電壓-溫度(PVT)變化而造成可能無法在規範的時間內完成寫入操作，因此仍有改進空間。

【0008】 有鑑於此，本發明之主要目的係提出一種7T雙埠靜態隨機存取記憶體，其能藉由二階段的寫入用字元線控制電路(6)以有效解決10奈米以下SRAM操作電壓降為0.9V以下時易造成寫入時間無法滿足規範之問題，該寫入用字元線控制電路(6)於對應寫入用字元線(WWL)致能的第一階段，將對應寫入用字元線控制信號(WWLC)設定成較電源供應電壓(V_{DD})還高之第二高電源供應電壓(V_{DDH2})，以有效提高寫入速度，而於該第一階段後之第二階段時，則將該對應寫入用字元線控制信號(WWLC)拉低回該電源供應電壓(V_{DD})，以減緩寫干擾入。

【0009】 本發明之次要目的係提出一種7T雙埠靜態隨機存取記憶體，其能藉由讀取用字元線控制電路(7)以於對應讀取用字元線(RWL)致能的第一階段，將對應讀取用字元線控制信號(RWLC)設定成較該電源供應電壓(V_{DD})還高之該第二高電源供應電壓(V_{DDH2})，以進一步減少讀取路徑之電阻，並加速讀取用位元線(RWL)上之電荷的放電從而有效提高讀取速度，而於該第一階段後之第二階段時，則將該對應讀取用字元線控制信號(RWLC)拉低回該電源供應電壓(V_{DD})，以減緩讀取干擾。

【發明內容】

【0010】 本發明提出一種7T雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列(1)、複數個控制電路(2)、複數個預充電電路(3)、一

待機啟動電路（4）、複數個高電壓位準控制電路（5）、複數個寫入用字元線控制電路（6）、以及複數個讀取用字元線控制電路（7）。藉此，於寫入模式時，可藉由該複數個控制電路（2）以及該複數個寫入用字元線控制電路（6）的組合以防止寫入邏輯1困難之同時，亦有效提高寫入速度，而於讀取模式時，則藉由該複數個控制電路（2）、該複數個高電壓位準控制電路（5）以及該複數個讀取用字元線控制電路（7）的組合以於提高讀取速度的同時，亦避免無謂的功率耗損。

【圖式簡單說明】

【0011】

第 1a 圖 係顯示習知之靜態隨機存取記憶體；

第 1b 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；

第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；

第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

第 5 圖 係顯示習知 8T 雙埠靜態隨機存取記憶體晶胞之電路示意圖；

第 6 圖 係顯示本發明較佳實施例所提出之電路示意圖；

第 7 圖 係顯示第 6 圖之本發明較佳實施例於寫入期間之簡化電路圖；

第 8 圖 係顯示第 6 圖之本發明較佳實施例於讀取期間之簡化電路圖；

第 9 圖 係顯示第 6 圖之本發明較佳實施例於待機期間之簡化電路圖。

【實施方式】

【0012】 根據上述之主要目的，本發明提出一種 7T 雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列，該記憶體陣列係由複數列記憶體晶

胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞均包括有複數個記憶體晶胞（1）；複數個控制電路（2），每一列記憶體晶胞設置一個控制電路（2）；複數個預充電電路（3），每一行記憶體晶胞設置一個預充電電路（3）；一待機啟動電路（4），該待機啟動電路（4）係促使雙埠SRAM快速進入待機模式，以有效提高雙埠SRAM之待機效能；複數個高電壓位準控制電路（5），每一列記憶體晶胞設置一個高電壓位準控制電路（5），以在讀取邏輯0時減少讀取路徑之電阻從而提高讀取速度；複數個寫入用字元線控制電路（6），每一列記憶體晶胞設置一個寫入用字元線控制電路（6），以在由邏輯0寫入邏輯1或由邏輯1寫入邏輯0時，於對應寫入用字元線（WWL）致能的第一階段，將對應寫入用字元線控制信號（WWLC）設定成較電源供應電壓（ V_{DD} ）還高之第二高電源供應電壓（ V_{DDH2} ），以有效提高寫入速度；以及複數個讀取用字元線控制電路（7），每一列記憶體晶胞設置一個讀取用字元線控制電路（7），以在讀取邏輯0時，於對應讀取用字元線（RWL）致能的第一階段，將對應讀取用字元線控制信號（RWLC）設定成較電源供應電壓（ V_{DD} ）還高之第二高電源供應電壓（ V_{DDH2} ），以進一步減少讀取路徑之電阻，並加速讀取用字元線（RWL）上之電荷的放電，從而有效提高讀取速度。

【0013】 為了便於說明起見，第6圖所示之7T雙埠靜態隨機存取記憶體僅以一個記憶體晶胞（1）、一條寫入用字元線（WWL）、一條寫入用字元線（WBL）、一條讀取用字元線（RWL）、一條讀取用字元線（RBL）、一控制電路（2）、一預充電電路（3）、一待機啟動電路（4）、一高電壓位準控制電路（5）、一寫入用字元線控制電路（6）、以及一讀取用字元線

控制電路(7)做為實施例來說明。該記憶體晶胞(1)係包括一第一反相器(由一第一PMOS電晶體P11與一第一NMOS電晶體M11所組成)、一第二反相器(由一第二PMOS電晶體P12與一第二NMOS電晶體M12所組成)、一第三NMOS電晶體(M13)、一第一讀取用電晶體(M14)以及一第二讀取用電晶體(M15),其中,該第一反相器及該第二反相器係呈交互耦合連接,亦即該第一反相器之輸出(即節點A)係連接該第二反相器之輸入,而該第二反相器之輸出(即節點B)則連接該第一反相器之輸入,並且該第一反相器之輸出(節點A)係用於儲存SRAM晶胞之資料,而該第二反相器之輸出(節點B)則用於儲存SRAM晶胞之反相資料。

【0014】 該記憶體晶胞(1)之該第一反相器(由該第一PMOS電晶體P11與該第一NMOS電晶體M11所組成)係連接在一電源供應電壓(V_{DD})與一第一低電壓節點(VL1)之間,該第二反相器(由該第二PMOS電晶體P12與該第二NMOS電晶體M12所組成)係連接在一高電壓節點(VH)與一第二低電壓節點(VL2)之間,該第一讀取用電晶體(M14)之源極、閘極與汲極係分別連接至該第二讀取用電晶體(M15)之汲極、該讀取用字元線(RWL)與該讀取用位元線(RBL),而該第二讀取用電晶體(M15)之源極、閘極與汲極則分別連接至該第二低電壓節點(VL2)、該第二反相器之輸出(即節點B)與該第一讀取用電晶體(M14)之源極。

【0015】 請再參考第6圖,該控制電路(2)係由一第四NMOS電晶體(M21)、一第五NMOS電晶體(M22)、一第六NMOS電晶體(M23)、一第七NMOS電晶體(M24)、一第八NMOS電晶體(M25)、一第九NMOS電晶體(M26)、一第十NMOS電晶體(M27)、一第十一NMOS電晶體

(M28)、一讀取控制信號(RC)、一第三反相器(INV3)、一第一延遲電路(D1)、一加速讀取電壓(RGND)、一反相寫入控制信號(/WC)、一寫入控制信號(WC)、一待機模式控制信號(S)以及一反相待機模式控制信號(/S)所組成。該第四NMOS電晶體(M21)之源極、閘極與汲極係分別連接至接地電壓、該反相待機模式控制信號(/S)與該第二低電壓節點(VL2)；該第五NMOS電晶體(M22)之源極、閘極與汲極係分別連接至該第一低電壓節點(VL1)、該待機模式控制信號(S)與該第二低電壓節點(VL2)；該第六NMOS電晶體(M23)之源極係連接至接地電壓，而閘極與汲極連接在一起並連接至該第一低電壓節點(VL1)；該第七NMOS電晶體(M24)之源極、閘極與汲極係分別連接至該第八NMOS電晶體(M25)之汲極、該讀取控制信號(RC)與該第二低電壓節點(VL2)；該第八NMOS電晶體(M25)之源極、閘極與汲極係分別連接至該加速讀取電壓(RGND)、該第一延遲電路(D1)之輸出與該第七NMOS電晶體(M24)之源極；該第一延遲電路(D1)係連接在該第三反相器(INV3)之輸出與該第八NMOS電晶體(M25)之該閘極之間；該第三反相器(INV3)之輸入係供接收該讀取控制信號(RC)，而輸出則連接至該第一延遲電路(D1)之輸入；該第九NMOS電晶體(M26)之源極、閘極與汲極係分別連接至接地電壓、該第十NMOS電晶體(M27)之汲極與該第一低電壓節點(VL1)；該第十NMOS電晶體(M27)之源極、閘極與汲極係分別連接至該待機模式控制信號(S)、該寫入控制信號(WC)與該第九NMOS電晶體(M26)之閘極；而該第十一NMOS電晶體(M28)之源極、閘極與汲極係分別連接至該反相待機模式控制信號(/S)、該反相寫入控制信號(/WC)與該第十NMOS電晶體(M27)

之汲極。在此值得注意的是，該反相待機模式控制信號（/S）係由該待機模式控制信號（S）經一反相器而獲得，且該反相寫入控制信號（/WC）係由一寫入控制信號（WC）經另一反相器而獲得。

【0016】 其中，該第十一NMOS電晶體（M28）之汲極、該第十NMOS電晶體（M27）之汲極及該第九NMOS電晶體（M26）之閘極係連接在一起並形成一節點（C），當該寫入控制信號（WC）為邏輯高位準時，該節點（C）之電壓位準係為該待機模式控制信號（S），而當該寫入控制信號（WC）為邏輯低位準時，該節點（C）之電壓位準係為該反相待機模式控制信號（/S）之邏輯位準；由於該節點（C）之邏輯高位準係為一電源供應電壓（ V_{DD} ）扣減該第十一NMOS電晶體（M28）之臨界電壓（ V_{TM28} ）的電壓位準，因此當該7T靜態隨機存取記憶體於非寫入模式（此時對應之該反相寫入控制信號（/WC）為邏輯高位準）時，該節點（C）係為該電源供應電壓（ V_{DD} ）扣減該第十一NMOS電晶體（M28）之該臨界電壓（ V_{TM28} ）的電壓位準，而非該電源供應電壓（ V_{DD} ）之電壓位準，故可具有較低之功率消耗；且於後續進入寫入模式（此時對應之該寫入控制信號（WC）為邏輯高位準）時，由於可快速地將儲存於該節點（C）之電荷經由該第十NMOS電晶體（M27）放電至足以關閉以該節點（C）作為閘極之該第九NMOS電晶體（M26），故可較快速地進入該寫入模式。

【0017】 該控制電路（2）係設計成可因應不同操作模式而控制該第一低電壓節點（VL1）與該第二低電壓節點（VL2）之電壓位準，於寫入模式時，將選定晶胞中較接近該寫入用位元線（WBL）之驅動電晶體（即該第一NMOS電晶體M11）的源極電壓（即該第一低電壓節點VL1）設定成較

接地電壓為高之一預定電壓（即該第六NMOS電晶體（M23）之閘源極電壓 $V_{GS(M23)}$ ）且將選定晶胞中另一驅動電晶體（即該第二NMOS電晶體M12）的源極電壓（即該第二低電壓節點VL2）設定成接地電壓，以便防止寫入邏輯1困難之問題。

【0018】 於讀取模式之第一階段時，將選定晶胞中較接近讀取用位元線(RBL)之驅動電晶體（即該第二NMOS電晶體M12）的源極電壓（即該第二低電壓節點VL2）設定成呈較接地電壓為低之電壓，該較接地電壓為低之該第二低電壓節點(VL2)可有效提高讀取速度，而於讀取模式之第二階段時，將選定晶胞中較接近讀取用位元線(RBL)之驅動電晶體（即該第二NMOS電晶體M12）的源極電壓設定回接地電壓，以便減少無謂的功率消耗，其中該讀取模式之該第二階段與該第一階段相隔之時間，係等於該讀取控制信號(RC)由邏輯低位準轉變為邏輯高位準起算，並至該第八NMOS電晶體(M25)之閘極電壓足以關閉該第八NMOS電晶體(M25)為止之時間，其值可藉由該第三反相器(INV3)之下降延遲時間與該第一延遲電路(D1)所提供之延遲時間來調整。

【0019】 於待機模式時，將所有記憶體晶胞中之驅動電晶體的源極電壓設定成較接地電壓為高之該預定電壓，以便降低漏電流；而於保持模式時則將記憶體晶胞中之驅動電晶體的源極電壓設定成接地電壓，以便維持原來之保持特性，該第一低電壓節點（VL1）及該第二低電壓節點VL2於寫入模式、讀取模式、待機模式與保持模式之詳細工作電壓位準如下述表1所示。

表 1 各種工作模式下之電壓位準

RC	/WC	S	VL1	VL2	模式
RGND	0	0	$V_{GS(M23)}$	0	寫入
V_{DD}	V_{DD}	0	0	RGND (第一階段) 0 (第二階段)	讀取
RGND	V_{DD}	V_{DD}	$V_{GS(M23)}$	$V_{GS(M23)}$	待機
RGND	V_{DD}	0	0	0	保持

【0020】 表1中之該反相寫入控制信號 (/WC) 係為一寫入控制信號 (WC) 之反相信號，而該寫入控制信號 (WC) 則為一寫入致能信號 (Write Enable, 簡稱WE) 與對應之寫入用字元線 (WWL) 信號的及閘 (AND gate) 運算結果，此時僅於該寫入致能信號 (WE) 與該對應之寫入用字元線 (WWL) 信號均為邏輯高位準時，該寫入控制信號(WC)方為邏輯高位準；該讀取控制信號(RC)為一讀取致能信號 (Read Enable, 簡稱RE) 與對應之讀取用字元線 (RWL) 信號的及閘運算結果。在此值得注意的是，對於非選定字元線及非選定位元線係設定為浮接 (floating) 狀態，而對於非讀取模式期間之該讀取控制信號(RC) 係設定為該加速讀取電壓 (RGND) 之位準，以防止該第七NMOS電晶體 (M24) 之漏電流。

【0021】 請參考第6圖，該預充電電路 (3) 係由一第三PMOS電晶體 (P31) 以及一預充電信號 (P) 所組成，該第三PMOS電晶體 (P31) 之源極、閘極與汲極係分別連接至該電源供應電壓 (V_{DD})、該預充電信號 (P)

與相對應之讀取用位元線(RBL)，以便於預充電期間，藉由邏輯低位準之該預充電信號(P)，以將相對應之讀取用位元線(RBL)預充電至該電源供應電壓(V_{DD})之位準。

【0022】 請再參考第6圖，該待機啟動電路(4)係由一第四PMOS電晶體(P41)、一第十二NMOS電晶體(M41)、一第二延遲電路(D2)以及該反相待機模式控制信號(/S)所組成。該第四PMOS電晶體(P41)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該反相待機模式控制信號(/S)與該第十二NMOS電晶體(M41)之汲極；該第十二NMOS電晶體(M41)之源極、閘極與汲極係分別連接至該第一低電壓節點(VL1)、該第二延遲電路(D2)之輸出與該第四PMOS電晶體(P41)之汲極；該第二延遲電路(D2)之輸入連接至該反相待機模式控制信號(/S)，而該第二延遲電路(D2)之輸出則連接至該第十二NMOS電晶體(M41)之閘極。

【0023】 請再參考第6圖，該高電壓位準控制電路(5)係由一第五PMOS電晶體(P51)、一第六PMOS電晶體(P52)以及一第四反相器(INV4)所組成，其中該第五PMOS電晶體(P51)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該讀取控制信號(RC)與該高電壓節點(VH)，該第六PMOS電晶體(P52)之源極、閘極與汲極係分別連接至一第一高電源供應電壓(V_{DDH1})、該第四反相器(INV4)之輸出與該高電壓節點(VH)，而該第四反相器(INV4)之輸入係供接收該讀取控制信號(RC)，而輸出則連接至該第六PMOS電晶體(P52)之汲極。在此值得注意的是，該第一反相器係連接在該電源供應電壓(V_{DD})與該第一低電壓節點(VL1)之間，而該第二反相器則連接在該高電壓節點(VH)與該第二低電壓節點(VL2)

之間。

【0024】 請再參考第6圖，該寫入用字元線控制電路（6）係由一第七PMOS電晶體（P61）、一第八PMOS電晶體（P62）、一第九PMOS電晶體（P63）、一第十三NMOS電晶體（M61）、一第五反相器（INV5）、一第六反相器（INV6）、一第二高電源供應電壓（ V_{DDH2} ）、一寫入用字元線（WWL）以及一寫入用字元線控制信號（WWLC）所組成。該第七PMOS電晶體（P61）之源極、閘極與汲極係分別連接至該第二高電源供應電壓（ V_{DDH2} ）、該第五反相器（INV5）之輸出與該第八PMOS電晶體（P62）之源極；該第八PMOS電晶體（P62）之源極、閘極與汲極係分別連接至該第七PMOS電晶體（P61）之汲極、該第六反相器（INV6）之輸出與該寫入用字元線控制信號（WWLC）；該第九PMOS電晶體（P63）之源極、閘極與汲極係分別連接至該電源供應電壓（ V_{DD} ）、該第五反相器（INV5）之輸出與該寫入用字元線控制信號（WWLC）；該第十三NMOS電晶體（M61）之源極、閘極與汲極係分別連接至該寫入用字元線控制信號（WWLC）、該第五反相器（INV5）之輸出與該接地電壓；該第五反相器（INV5）之輸入係供接收該寫入用字元線（WWL），而該第六反相器（INV6）之輸入則與該第五反相器（INV5）之輸出連接。

【0025】 該寫入用字元線控制電路（6）於致能時係採用二階段操作以有效解決10奈米以下SRAM操作電壓降為0.9以下時易造成寫入時間無法滿足規範之問題，於該寫入用字元線（WWL）致能的第一階段，將該寫入用字元線控制信號（WWLC）設定成較該電源供應電壓（ V_{DD} ）還高之該第二高電源供應電壓（ V_{DDH2} ），以有效提高寫入速度，而於該第一階段後之

第二階段時，則將該寫入用字元線控制信號（WWLC）拉低回該電源供應電壓（ V_{DD} ），以減緩寫干擾入；其中，該寫入用字元線控制電路（6）之該第二階段與該第一階段相隔之時間，係等於該第五反相器（INV5）之輸出足以導通該第七PMOS電晶體（P61）之時間起算，並至該第六反相器（INV6）之輸出足以關閉該第八PMOS電晶體（P62）為止之時間，其值可藉由該第六反相器（INV6）之上升延遲時間來調整。

【0026】 請再參考第6圖，該讀取用字元線控制電路（7）係由一第十PMOS電晶體（P71）、一第十一PMOS電晶體（P72）、一第十二PMOS電晶體（P73）、一第十四NMOS電晶體（M71）、一第七反相器（INV7）、一第八反相器（INV8）、該第二高電源供應電壓（ V_{DDH2} ）、一讀取用字元線（RWL）以及一讀取用字元線控制信號（RWLC）所組成。該第十PMOS電晶體（P71）之源極、閘極與汲極係分別連接至該第二高電源供應電壓（ V_{DDH2} ）、該第七反相器（INV7）之輸出與該第十一PMOS電晶體（P72）之源極；該第十一PMOS電晶體（P72）之源極、閘極與汲極係分別連接至該第十PMOS電晶體（P71）之汲極、該第八反相器（INV8）之輸出與該讀取用字元線控制信號（RWLC）；第十二PMOS電晶體（P73）之源極、閘極與汲極係分別連接至該電源供應電壓（ V_{DD} ）、該第七反相器（INV7）之輸出與該讀取用字元線控制信號（RWLC）；該第十四NMOS電晶體（M71）之源極、閘極與汲極係分別連接至該讀取用字元線控制信號（RWLC）、該第七反相器（INV7）之輸出與該接地電壓；該第七反相器（INV7）之輸入係供接收該讀取用字元線（RWL），而該第八反相器（INV8）之輸入則與該第七反相器（INV7）之輸出連接。

【0027】 該讀取用字元線控制電路(7)於致能時係採用二階段操作，於該讀取用字元線(RWL)致能的第一階段，將該讀取用字元線控制信號(RWLC)設定成較該電源供應電壓(V_{DD})還高之該第二高電源供應電壓(V_{DDH2})，以有效提高讀取速度，而於該第一階段後之第二階段時，則將該讀取用字元線控制信號(RWLC)拉低回該電源供應電壓(V_{DD})，以減緩讀取擾入；其中，該讀取用字元線控制電路(7)之該第二階段與該第一階段相隔之時間，係等於該第七反相器(INV7)之輸出足以導通該第十PMOS電晶體(P71)之時間起算，並至該第八反相器(INV8)之輸出足以關閉該第十一PMOS電晶體(P72)為止之時間，其值可藉由該第八反相器(INV8)之上升延遲時間來調整。

【0028】

茲說明第6圖之本發明較佳實施例的工作原理如下：

(I) 寫入模式 (write mode)

於寫入操作開始前，該寫入控制信號(WC)為邏輯低位準，使得該第十一NMOS電晶體(M28)導通(ON)，並使得該第十NMOS電晶體(M27)截止(OFF)，由於此時該反相待機模式控制信號(/S)為邏輯高位準，於是該第十一NMOS電晶體(M28)之汲極呈邏輯高位準，該邏輯高位準之該第十一NMOS電晶體(M28)之汲極會導通該第九NMOS電晶體(M26)，並使得該低電壓節點(VL1)呈接地電壓。

【0029】 而於寫入操作期間內，該寫入控制信號(WC)為邏輯高位準，使得該第十NMOS電晶體(M27)導通(ON)，並使得該第十一NMOS電晶體(M28)之汲極呈接地電壓(由於此時該待機模式控制信號(S)為接

地電壓)，該接地電壓使得該第九NMOS電晶體（M26）截止，並使得該低電壓節點（VL1）等於該第六NMOS電晶體（M23）之閘源極電壓 $V_{GS(M26)}$ ，藉此得以有效防止寫入邏輯1困難之問題。第7圖所示為第6圖之本發明較佳實施例於寫入期間之簡化電路圖。

【0030】

接下來依 4 種寫入狀態來說明第 7 圖之本發明較佳實施例如何完成寫入動作。

（一）節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 0：

在寫入動作發生前（該寫入用字元線控制信號 WWLC 為接地電壓），該第一 NMOS 電晶體（M11）為導通（ON）。因為該第一 NMOS 電晶體（M11）為 ON，所以當寫入動作開始時，該寫入用字元線（WWL）由 Low（接地電壓）轉 High（電源供應電壓 V_{DD} ）。當該寫入用字元線控制信號（WWLC）的電壓大於該第三 NMOS 電晶體（M13）（即存取電晶體）的臨界電壓時，該第三 NMOS 電晶體（M13）由截止（OFF）轉變為導通（ON），此時因為寫入用位元線（WBL）是接地電壓，所以會將該節點 A 放電，而完成邏輯 0 的寫入動作，直到寫入週期結束。

【0031】

（二）節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1：

在寫入動作發生前（該寫入用字元線控制信號 WWLC 為接地電壓），該第一 NMOS 電晶體（M11）為導通（ON）。在此值得注意的是，因為該第一 NMOS 電晶體（M11）為 ON，所以當寫入動作開始時，該寫入用字元線控制信號（WWLC）由 Low（接地電壓）轉 High，該節點 A 的電壓

會由於寄生電容耦合效應而跟隨該寫入用字元線控制信號 (WWLC) 的電壓呈現些微上升。當該寫入用字元線控制信號 (WWLC) 的電壓大於該第三 NMOS 電晶體 (M13) 的臨界電壓時，該第三 NMOS 電晶體 (M13) 由截止 (OFF) 轉變為導通 (ON)，此時因為該寫入用字元線 (WBL) 為該電源供應電壓 (V_{DDH}) 之電壓位準，並且因為該第一 NMOS 電晶體 (M11) 仍為 ON 且該節點 B 仍處於電壓位準為接近於該電源供應電壓 (V_{DD}) 之電壓位準的初始狀態，所以該第一 PMOS 電晶體 (P11) 仍為截止 (OFF)，而該節點 A 之寫入初始瞬間電壓 (V_{AWI}) 滿足方程式 (3)：

$$V_{AWI} = V_{DD} \times (R_{M11} + R_{M23}) / (R_{M13} + R_{M11} + R_{M23}) > V_{TM12} \quad (3)$$

其中， V_{AWI} 表示節點 A 之寫入初始瞬間電壓， R_{M13} 表示該第三 NMOS 電晶體 (M13) 之導通電阻， R_{M11} 表示該第一 NMOS 電晶體 (M11) 之導通電阻， R_{M23} 表示該第六 NMOS 電晶體 (M23) 之導通電阻，而 V_{DD} 與 V_{TM12} 分別表示該電源供應電壓 (V_{DD}) 與該第二 NMOS 電晶體 (M12) 之臨界電壓。由於在該第一低電壓節點 (VL1) 處提供一等於該第六 NMOS 電晶體 (M23) 之閘-源極電壓 $V_{GS(M23)}$ 之電壓位準，因此可輕易地將節點 A 之電壓位準設定成比第 4 圖之習知 5T 靜態隨機存取記憶體晶胞之該節點 A 之電壓位準還要高許多。該還要高許多之分壓電壓位準係足以使該第二 NMOS 電晶體 (M12) 導通，於是使得節點 B 放電至一較低電壓位準，該節點 B 之較低電壓位準會使得該第一 NMOS 電晶體 (M11) 之導通等效電阻 (R_{M11}) 呈現較高的電阻值，該第一 NMOS 電晶體 (M11) 之該較高的電阻值會於該節點 A 獲得較高電壓位準，該節點 A 之較高電壓位準又會經由該第二反相器 (由第二 PMOS 電晶體 P12 與第二 NMOS 電晶體 M12 所組成)，而使得該節點 B 呈現更低電

壓位準，該節點B之更低電壓位準又會經由該第一反相器（由第一PMOS電晶體P11與第一NMOS電晶體M11所組成），而使得該節點A獲得更高電壓位準，依此循環，即可將該節點A充電至該電源供應電壓（ V_{DD} ），而完成邏輯1的寫入動作。

【0032】 其中，該第一低電壓節點(VL1)於節點A原本儲存邏輯0，而在寫入邏輯1之期間，係具有等於該第六NMOS電晶體（M23）之閘源極電壓 $V_{GS(M23)}$ 的電壓位準，而於寫入邏輯1後，又會因經由該第九NMOS電晶體(M26)放電而為接地電壓之位準。

【0033】 在此值得注意的是，本發明係藉由二階段的寫入用字元線控制電路（6）以有效解決10奈米以下SRAM操作電壓降為0.9V以下時易造成寫入時間無法滿足規範之問題，該寫入用字元線控制電路（6）於該寫入用字元線（WWL）致能的第一階段，將該寫入用字元線控制信號（WWLC）設定成較該電源供應電壓（ V_{DD} ）還高之該第二高電源供應電壓（ V_{DDH2} ），由於在節點A原本儲存邏輯0而在寫入邏輯1初期，該第三NMOS電晶體（M13）係工作於飽和區，飽和區之電流係與閘-源極電壓 $V_{GS(M13)}$ 之電壓位準扣減其臨界電壓 V_{TM13} 後之平方成正比例，因此將該寫入用字元線控制信號（WWLC）設定成較該電源供應電壓（ V_{DD} ）還高之該第二高電源供應電壓（ V_{DDH2} ）的該第一階段期間，可有效加速寫入邏輯1之速度；此外，為了減緩寫入期間對於半選定晶胞的干擾現象，於該第一階段後之第二階段期間，則將該寫入用字元線控制信號(WWLC)拉低回該電源供應電壓(V_{DD})之電壓位準，其中，該寫入用字元線控制電路（6）之該第二階段與該第一階段相隔之時間，係等於該第五反相器（INV5）之輸出足以導通該第七

PMOS電晶體（P61）之時間起算，並至該第六反相器（INV6）之輸出足以關閉該第八PMOS電晶體（P62）為止之時間，其值可藉由該第六反相器（INV6）之上升延遲時間來調整。

【0034】

（三）節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 1：
在寫入動作發生前（該寫入用字元線控制信號 WWLC 為接地電壓），該第一 PMOS 電晶體（P11）為導通（ON）。當該寫入用字元線控制信號（WWLC）由 Low（接地電壓）轉 High，由於該節點 A 為該電源供應電壓（ V_{DD} ）之電壓位準，且該寫入用位元線（WBL）為該電源供應電壓（ V_{DD} ）之電壓位準，因此當該第二高電源供應電壓（ V_{DDH2} ）設定為高於該電源供應電壓（ V_{DD} ）但低於該電源供應電壓（ V_{DD} ）與該第三 NMOS 電晶體（M13）臨界電壓之 V_{TM13} 的總和時，亦即

$$V_{DD} < V_{DDH2} < V_{DD} + V_{TM13} \quad (4)$$

會使該第三 NMOS 電晶體（M13）繼續保持截止（OFF）狀態；此時因為該第一 PMOS 電晶體（P11）仍為 ON，所以該節點 A 的電壓會維持於該電源供應電壓（ V_{DD} ）之電壓位準，直到寫入週期結束。

【0035】

（四）節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 0：
在寫入動作發生前（該寫入用字元線控制信號 WWLC 為接地電壓），該第一 PMOS 電晶體（P11）為導通（ON）。當該寫入用字元線控制信號（WWLC）由 Low（接地電壓）轉 High，且該寫入用字元線控制信號（WWLC）的電壓大於該第三 NMOS 電晶體（M13）的臨界電壓時，該第三 NMOS 電晶

體 (M13) 由截止 (OFF) 轉變為導通 (ON) ，此時因為該寫入用位元線 (WBL) 是Low (接地電壓) ，所以會將該節點A以及該第一低電壓節點 (VL1) 放電而完成邏輯0的寫入動作，直到寫入週期結束。

【0036】 在此值得注意的是，節點A由邏輯0寫入邏輯1以及由邏輯1寫入邏輯0時，該第三NMOS電晶體 (M13) 係工作於飽和區，飽和區之電流係與其閘-源極電壓 $V_{GS(M13)}$ 之電壓位準扣減其臨界電壓後之平方成正比例，因此藉由二階段的該寫入用字元線控制電路 (6) 而於該寫入用字元線 (WWL) 致能的第一階段，將該寫入用字元線控制信號 (WWLC) 設定成較該電源供應電壓 (V_{DD}) 還高之該第二高電源供應電壓 (V_{DDH2}) ，可有效加速節點A由邏輯0寫入邏輯1以及由邏輯1寫入邏輯0之寫入速度。

【0037】

(II) 讀取模式 (read mode)

於讀取操作開始前，該讀取控制信號(RC)及該寫入控制信號 (WC) 均為邏輯低位準，而該反相待機模式控制信號 (/S) 及該反相寫入控制信號 (/WC) 均為邏輯高位準，使得該第十一NMOS電晶體 (M28) 導通，並使得該第十NMOS電晶體(M27)截止，於是該第十一NMOS電晶體 (M28) 之汲極呈邏輯高位準，邏輯高位準之該第十一NMOS電晶體 (M28) 之汲極會導通第九NMOS電晶體(M26)，並使得該第一低電壓節點 (VL1) 呈接地電壓。另一方面，由於該讀取控制信號(RC)為邏輯低位準，使得該第七NMOS電晶體(M24)截止 (OFF) ，並使得該第八NMOS電晶體(M25)導通 (ON) 。

【0038】 在此值得注意的是，於讀取操作開始前之預充電期間，該預充電信號 (P) 係為邏輯低位準，藉此以將相對應之讀取用位元線(RBL)預

充電至該電源供應電壓 (V_{DD}) 之位準，惟由於例如10奈米以下製程技術之操作電壓將降為0.9伏特以下時將造成讀取速度降低而無法滿足規範之問題，因此，本發明提出二階段的讀取控制以於提高讀取速度並滿足規範的同時，亦避免無謂的功率耗損。

【0039】 第6圖所示之本發明較佳實施例係藉由二階段的讀取控制以於提高讀取速度的同時，亦避免無謂的功率耗損，於讀取操作之第一階段，該讀取控制信號(RC)為邏輯高位準，使得該第七NMOS電晶體(M24)導通，由於此時該第八NMOS電晶體(M25)仍導通，於是該第二低電壓節點(VL2)大約呈較接地電壓為低之該加速讀取電壓(RGND)，該較接地電壓為低之該加速讀取電壓(RGND)可有效提高讀取速度。

【0040】 而於讀取操作之第二階段，雖然該讀取控制信號(RC)仍為邏輯高位準，使得該第七NMOS電晶體(M24) 仍為導通，惟由於此時該第八NMOS電晶體(M25) 截止，於是該第二低電壓節點(VL2)會經由導通的該第四NMOS電晶體(M21)而呈接地電壓(由於讀取操作期間該反相待機模式控制信號(/S)為邏輯高位準)，藉此可有效減少無謂的功率消耗。在此值得注意的是，該讀取操作之該第二階段與該第一階段相隔之時間，係等於該讀取控制信號(RC)由邏輯低位準轉變為邏輯高位準起算，並至該第八NMOS電晶體(M25)之間極電壓足以關閉該第八NMOS電晶體(M25)為止之時間，其值可藉由該第三反相器(INV3)之下降延遲時間與該第一延遲電路(D1)所提供之延遲時間來調整。再者，無論於讀取操作之第一階段抑是第二階段，該第四NMOS電晶體(M21)均呈導通狀態(由於讀取操作期間該反相待機模式控制信號(/S)為邏輯高位準)。第8圖所示為第6圖之本發

明較佳實施例於讀取期間之簡化電路圖。

【0041】 接下來依2種讀取狀態來說明第8圖之本發明較佳實施例如何藉由控制電路（2）、該高電壓位準控制電路（5）以及讀取用字元線控制電路（7）以於提高讀取速度的同時，亦避免無謂的功率耗損。

（一）讀取邏輯1（節點A儲存邏輯1）：

在讀取動作發生前，該第一NMOS電晶體（M11）為截止（OFF）且該第二NMOS電晶體（M12）為導通（ON），該節點A與該節點B分別為該電源供應電壓（ V_{DD} ）與接地電壓，而該讀取用位元線（RBL）則因該預充電電路（3）而等於該電源供應電壓（ V_{DD} ）。於讀取期間，由於節點B為接地電壓，因此該第二讀取用電晶體（M15）截止（OFF），藉此可有效保持該讀取用位元線（RBL）為該電源供應電壓（ V_{DD} ）直到讀取週期結束而順利完成讀取邏輯1之操作。在此值得注意的是，於讀取操作之該第一階段，該第二低電壓節點（VL2）於讀取邏輯1時之讀取初始瞬間電壓（ V_{RVL2I} ）必須滿足方程式(5)：

$$V_{RVL2I} = RGND \times R_{M21} / (R_{M21} + R_{M24} + R_{M25}) > -V_{TM12} \quad (5)$$

以有效地防止讀取時之半選定晶胞干擾，其中， V_{RVL2I} 表示該第二低電壓節點（VL2）於讀取邏輯1時之讀取初始瞬間電壓， $RGND$ 表示該加速讀取電壓， R_{M21} 表示該第四NMOS電晶體（M21）之導通電阻， R_{M24} 表示該第七NMOS電晶體（M24）之導通電阻， R_{M25} 表示該第八NMOS電晶體（M25）之導通電阻，而 V_{TM12} 表示該第二NMOS電晶體（M12）之臨界電壓；而於該讀取操作之該第二階段，該第二低電壓節點（VL2）之電壓（ V_{RVL2} ）可由方程式(6)表示

$$V_{RVL2} = \text{接地電壓} \quad (6)$$

藉此，可有效地減少無謂的功率消耗。再者，為了有效降低讀取時之半選定晶胞干擾與有效降低漏電流，必須將較接地電壓為低之該加速讀取電壓 (RGND) 設定為使該第二低電壓節點 (VL2) 之電壓位準小於該第二NMOS電晶體 (M12) 之臨界電壓 (V_{TM12})，同時可更嚴謹地將較接地電壓為低之該加速讀取電壓 (RGND) 之絕對值 $|RGND|$ 設定為低於該第二NMOS電晶體 (M12) 之臨界電壓 (V_{TM12})，亦即

$$|RGND| < V_{TM12} \quad (7)$$

其中， $|RGND|$ 與 V_{TM12} 分別表示該加速讀取電壓之絕對值與該第二NMOS電晶體 (M12) 之臨界電壓。

【0042】 (二) 讀取邏輯0 (節點A儲存邏輯0)：

在讀取動作發生前，該第一NMOS電晶體 (M11) 為導通 (ON) 且該第二NMOS電晶體 (M12) 為截止 (OFF)，該節點A與該節點B分別為接地電壓與該電源供應電壓 (V_{DD})，而該讀取用位元線 (RBL) 則因該預充電電路 (3) 而等於該電源供應電壓 (V_{DD})。於讀取期間，由於節點B為該第一高電源供應電壓 (V_{DDH1})，且該第二低電壓節點 (VL2) 呈較接地電壓為低之電壓，本發明將該第一高電源供應電壓 (V_{DDH1}) 設定為高於該電源供應電壓 (V_{DD}) 但低於該電源供應電壓 (V_{DD}) 與該第二PMOS電晶體 (P12) 臨界電壓之絕對值 $|V_{TP12}|$ 的總和，亦即

$$V_{DD} < V_{DDH1} < V_{DD} + |V_{TP12}| \quad (8)$$

其中， $|V_{TP12}|$ 表示該第二PMOS電晶體 (P12) 臨界電壓之絕對值，因此，可藉由增加該第二讀取用電晶體 (M15) 之導通程度，以提高讀取邏

輯0之速度，同時配合較接地電壓為低之該第二低電壓節點（VL2）以進一步提高讀取速度。

【0043】再者，於讀取期間，藉由該讀取用字元線控制電路（7）以於該讀取用字元線（RWL）致能的第一階段，將該讀取用字元線控制信號（RWLC）設定成較該電源供應電壓（ V_{DD} ）還高之該第二高電源供應電壓（ V_{DDH2} ），以進一步減少讀取路徑之電阻，並加速該讀取用位元線（RWL）上之電荷的放電從而再進一步提高讀取速度，而於該第一階段後之第二階段時，則將該讀取用字元線控制信號（RWLC）拉低回該電源供應電壓（ V_{DD} ），以減緩讀取干擾。在此值得注意的是，該第二高電源供應電壓（ V_{DDH2} ）設定為高於該電源供應電壓（ V_{DD} ）但低於該電源供應電壓（ V_{DD} ）與該第一讀取用電晶體（M14）臨界電壓之 V_{TM14} 的總和時，亦即

$$V_{DD} < V_{DDH2} < V_{DD} + V_{TM14} \quad (9)$$

比較方程式(4)與方程式(9)可知，該第二高電源供應電壓（ V_{DDH2} ）必須滿足該電源供應電壓（ V_{DD} ）與該第一讀取用電晶體（M14）臨界電壓之 V_{TM14} 的總和（ $V_{DD} + V_{TM14}$ ）以及該電源供應電壓（ V_{DD} ）與該第三NMOS電晶體（M13）臨界電壓之 V_{TM13} 的總和（ $V_{DD} + V_{TM13}$ ）兩者中之較小者。

【0044】

（ III ） 待機模式（standby mode）

首先，說明第6圖之待機啟動電路（4）如何促使雙埠SRAM快速進入待機模式，以有效提高SRAM之待機效能：首先，於進入待機模式之前，該反相待機模式控制信號（/S）為邏輯High，該邏輯High之反相待機模式控制信號（/S）使得該第四PMOS電晶體（P41）截止（OFF），並使得該第十二

NMOS電晶體(M41)導通(ON)；接著於進入待機模式後，該反相待機模式控制信號(/S)為邏輯Low，該邏輯Low之反相待機模式控制信號(/S)使得該第四PMOS電晶體(P41)導通(ON)，惟於待機模式之初始期間內(該初始期間係等於該反相待機模式控制信號(/S)由邏輯High轉變為邏輯Low起算，至該第十二NMOS電晶體(M41)之閘極電壓足以關閉該第十二NMOS電晶體(M41)為止之時間，其可藉由該第二延遲電路(D2)所提供之一延遲時間來調整)，該第十二NMOS電晶體(M41)仍導通(ON)，於是可對該第一低電壓節點(VL1)快速充電到達該第六NMOS電晶體(M23)之臨界電壓(V_{TM23})的電壓位準，亦即雙埠SRAM可快速進入待機模式。在此值得注意的是，於待機模式之初始期間後，該第十二NMOS電晶體(M41)關閉並停止供應電流。

【0045】 請參考第6圖，於待機模式時，該待機模式控制信號(S)為邏輯高位準，而該反相待機模式控制信號(/S)為邏輯低位準，該邏輯低位準之該反相待機模式控制信號(/S)可使得該控制電路(2)中之該第四NMOS電晶體(M21)截止(OFF)，而該邏輯高位準之該待機模式控制信號(S)則使得該第五NMOS電晶體(M22)導通(ON)，此時該第五NMOS電晶體(M22)係作為等化器(equalizer)使用，因此可藉由呈導通狀態之該第五NMOS電晶體(M22)，以使得該第一低電壓節點(VL1)之電壓位準相等於該第二低電壓節點(VL2)之電壓位準，且該等電壓位準均會等於該第六NMOS電晶體(M23)之臨界電壓(V_{TM23})的電壓位準。第9圖所示為第6圖之本發明較佳實施例於待機期間之簡化電路圖。

【0046】 接下來說明本發明於待機模式(standby mode)時如何減少

漏電流，請參考第9圖，第9圖描述有本發明實施例處於待機模式時所產生之各漏電流（subthreshold leakage current） I_1 、 I_2 、 I_3 、 I_4 ，其中假設SRAM晶胞中之該第一反相器之輸出（即節點A）為邏輯Low（在此值得注意的是，由於待機模式時該第一低電壓節點（VL1）與該第二低電壓節點（VL2）之電壓位準均維持在該第六NMOS電晶體（M23）之臨界電壓（ V_{TM23} ）的電壓位準，因此節點A為邏輯Low之電壓位準亦維持在該 V_{TM23} 的電壓位準），而該第二反相器之輸出（即節點B）為邏輯High（電源供應電壓 V_{DD} ）。請參考第5圖之傳統8T雙埠SRAM與第9圖之本發明實施例，來說明本發明所提出之雙埠靜態隨機存取記憶體與第5圖之傳統8T雙埠SRAM於漏電流方面之比較，首先關於流經該第三NMOS電晶體（M13）之漏電流 I_1 ，由於本發明於待機模式時節點A之電壓位準係維持在該 V_{TM23} 的電壓位準，且假設該寫入用字元線（WWL）於待機模式時係設定成接地電壓，而該寫入用位元線（WBL）於待機模式時則設定為該電源供應電壓（ V_{DD} ），因此本發明之第三NMOS電晶體（M13）的閘源極電壓（ V_{GS} ）為負值，反觀於待機模式時第5圖之傳統8T雙埠SRAM之NMOS電晶體（M3）的閘源極電壓（ V_{GS} ）等於0，根據閘極引發汲極洩漏（Gate Induced Drain Leakage，簡稱GIDL）效應或2005年3月8日第US6865119號專利案第3（A）及3（B）圖之結果可知，對於NMOS電晶體而言，閘源極電壓為-0.1伏特時之次臨界電流約為閘源極電壓為0伏特時之次臨界電流的1%，因此導因於GIDL效應所引發之流經本發明之該第三NMOS電晶體（M13）之漏電流 I_1 遠小於第5圖之傳統8T雙埠SRAM之NMOS電晶體（M3）者；再者，本發明該第三NMOS電晶體（M13）之汲源極電壓（ V_{DS} ）為該電源供應電壓（ V_{DD} ）扣減該 V_{TM23}

的電壓位準，反觀於第5圖之傳統8T雙埠SRAM之NMOS電晶體（M3）之汲源極電壓（ V_{DS} ）係等於該電源供應電壓（ V_{DD} ），根據汲極引發能障下跌（Drain-Induced Barrier Lowering，簡稱DIBL）效應，由於DIBL效應所引發之流經本發明之該第三NMOS電晶體（M13）之漏電流 I_1 亦小於第5圖之傳統8T雙埠SRAM之NMOS電晶體（M3）者；結果，流經本發明之該第三NMOS電晶體（M13）之漏電流 I_1 遠小於第5圖之傳統8T雙埠SRAM之NMOS電晶體（M3）者。

【0047】 接著關於流經該第一PMOS電晶體（P11）之漏電流 I_2 ，由於待機模式時該第一PMOS電晶體（P11）之源極係為該電源供應電壓（ V_{DD} ），而該第一PMOS電晶體（P11）之汲極係維持在該 V_{TM23} 的電壓位準，因此本發明之該第一PMOS電晶體（P11）之源汲極電壓（ V_{SD} ）為該電源供應電壓（ V_{DD} ）扣減該 V_{TM23} 的電壓位準，反觀於第5圖之傳統8T雙埠SRAM之PMOS電晶體（P1）之源汲極電壓（ V_{SD} ）係等於該電源供應電壓（ V_{DD} ），根據DIBL效應，因此流經本發明之該第一PMOS電晶體（P11）之漏電流 I_2 會小於第1b圖先前技藝之PMOS電晶體（P1）者。

【0048】 然後，關於流經該第二NMOS電晶體（M12）之漏電流 I_3 ，由於待機模式時該第二低電壓節點（VL2）之電壓位準係維持在該 V_{TM23} 的電壓位準，節點A之電壓位準亦維持在該 V_{TM23} 的電壓位準，而節點B之電壓位準係等於該電源供應電壓（ V_{DD} ）且該第二NMOS電晶體（M12）之基底為接地電壓，因此本發明之該第二NMOS電晶體（M12）的基源極電壓（ V_{BS} ）為負值，且該第二NMOS電晶體（M12）之汲源極電壓（ V_{DS} ）為該電源供應電壓（ V_{DD} ）扣減該 V_{TM23} 的電壓位準，反觀於第5圖之傳統8T雙埠SRAM

之NMOS電晶體 (M2) 的基源極電壓 (V_{BS}) 等於0，且NMOS電晶體 (M2) 之汲源極電壓 (V_{DS}) 等於該電源供應電壓 (V_{DD})，根據本體效應 (body effect) 及DIBL效應可知，流經本發明之該第二NMOS電晶體 (M12) 之漏電流 I_3 遠小於第5圖之傳統8T雙埠SRAM之NMOS電晶體 (M2) 者。

【0049】 最後，關於流經該第一讀取用電晶體 (M14) 之漏電流 I_4 ，由於本發明與第5圖之傳統8T雙埠SRAM之讀取方式不同，且本發明待機模式下之讀取用位元線 (RBL) 可設定成接地電壓，而第5圖之傳統8T雙埠SRAM為了防止節點B之電壓位準下降，待機模式下之讀取用位元線對 (RBL、RBLB) 係設定成電源供應電壓，因此無從比較流經該第一讀取用電晶體 (M14) 之漏電流 I_4 。綜合以上分析可知，本發明所提出之雙埠靜態隨機存取記憶體與第5圖之傳統8T雙埠SRAM相較具有較低之漏電流。

【0050】

(IV) 保持模式 (retention mode)

保持模式時，由於該第一低電壓節點 ($VL1$) 與該第二低電壓節點 ($VL2$) 均設定成接地電壓，其工作原理相同於傳統具單一位元線之雙埠 SRAM 晶胞，於此不再累述。

【0051】

【發明功效】

本發明所提出之7T雙埠靜態隨機存取記憶體，具有如下功效：

- (1) 高寫入速度：由於由邏輯0寫入邏輯1以及由邏輯1寫入邏輯0時，存取電晶體 (即第三NMOS電晶體M13) 係工作於飽和區，飽和區之電流係與其閘-源極電壓 $V_{GS(M13)}$ 之電壓位準扣減其臨界電壓後之平方成正比例，因此藉由二階段的該寫入用字元線控制電路 (6) 而於該寫入用字元線 (WWL) 致能的第一階段，將該寫入用字元線控制信號 (WWLC)

設定成較該電源供應電壓 (V_{DD}) 還高之該第二高電源供應電壓 (V_{DDH2})，可有效加速由邏輯0寫入邏輯1以及由邏輯1寫入邏輯0之寫入速度；

- (2) 高讀取速度並避免無謂的功率消耗：藉由該複數個控制電路 (2)、該複數個高電壓位準控制電路 (5) 以及該複數個讀取用字元線控制電路 (7) 的創新組合以於提高讀取速度的同時，亦避免無謂的功率耗損；其中，該複數個控制電路 (2) 於讀取邏輯0之第一階段，將該第二低電壓節點 ($VL2$) 設定成較接地電壓為低之電壓，該複數個高電壓位準控制電路 (5) 於讀取邏輯0時，將該節點B設定成較該電源供應電壓 (V_{DD}) 還高之該第一高電源供應電壓 (V_{DDH1})，而該讀取用字元線控制電路 (7) 於讀取邏輯0之第一階段，將該讀取用字元線控制信號 (RWLC) 設定成較該電源供應電壓 (V_{DD}) 還高之該第二高電源供應電壓 (V_{DDH2})。
- (3) 快速進入待機模式：由於本發明所提出之7T雙埠靜態隨機存取記憶體設置有待機啟動電路 (4) 以促使SRAM快速進入待機模式，並藉此以謀求提高7T雙埠SRAM之待機效能；
- (4) 提高寫入邏輯1之速度，並避免寫入邏輯1困難之問題：本發明於寫入操作時，可藉由該複數個控制電路 (2) 以及該複數個寫入用字元線控制電路 (6) 以有效防止寫入邏輯1困難之同時，亦提高寫入邏輯1之速度；
- (5) 低待機電流：由於本發明所提出之7T雙埠靜態隨機存取記憶體於待機模式時，可藉由呈導通狀態之該第五NMOS電晶體 ($M22$)，以使得該第一低電壓節點 ($VL1$) 之電壓位準相等於該第二低電壓節點 ($VL2$) 之電壓位準，並使得該等電壓位準均等於該第六NMOS電晶體 ($M23$) 之臨界電壓的位準，因此本發明所提出之雙埠靜態隨機存取記憶體亦具備低待機電流之功效；
- (6) 有效降低半選定晶胞干擾：本發明所提出之7T雙埠靜態隨機存取記憶體由於使用分離的讀/寫路徑，且該讀取路徑係設計成將該第一和第二讀取用電晶體 ($M14$ 和 $M15$) 串聯連接在該讀取用位元線 (RBL) 與該第二低電壓節點 ($VL2$) 之間，並將該反相儲存節點 (B) 連接至該第

- 二讀取用電晶體 (M15)的閘極，因此可有效降低半選定晶胞干擾 (half-selected cell disturbance)，其中該半選定晶胞係指被該讀取用字元線 (RWL) 選定但未被該讀取用位元線 (RBL) 選定之記憶體晶胞。
- (7) 低電晶體數：對於具有1024列1024行之SRAM陣列而言，傳統第5圖之8T雙埠SRAM陣列共需 $1024 \times 1024 \times 8 = 8,388,608$ 顆電晶體，而本發明所提出之7T雙埠靜態隨機存取記憶體僅需 $1024 \times 1024 \times 7 + 1024 \times 36 + 6 = 7,376,902$ 顆電晶體，其減少12.1%之電晶體數。

雖然本發明特別揭露並描述了所選之較佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本發明的精神與範圍。因此，所有相關技術範疇內之改變都包括在本發明之申請專利範圍內。

【符號說明】

【0052】

1	SRAM 晶胞	2	控制電路
3	預充電電路	4	待機啟動電路
5	高電壓位準控制電路	6	寫入用字元線控制電路
7	讀取用字元線控制電路	/WC	反相寫入控制信號
WC	寫入控制信號		
P11	第一 PMOS 電晶體	P12	第二 PMOS 電晶體
M11	第一 NMOS 電晶體	M12	第二 NMOS 電晶體
M13	第三 NMOS 電晶體	A	儲存節點
B	反相儲存節點	C	節點

M14	第一讀取用電晶體	M15	第二讀取用電晶體
WBL	寫入用位元線	WWL	寫入用字元線
RBL	讀取用位元線	RWL	讀取用字元線
WWLC	寫入用字元線控制信號	RWL	讀取用字元線控制信號
S	待機模式控制信號	/S	反相待機模式控制信號
VL1	第一低電壓節點	VL2	第二低電壓節點
M21	第四 NMOS 電晶體	M22	第五 NMOS 電晶體
M23	第六 NMOS 電晶體	M24	第七 NMOS 電晶體
M25	第八 NMOS 電晶體	M26	第九 NMOS 電晶體
M27	第十 NMOS 電晶體	M28	第十一 NMOS 電晶體
RC	讀取控制信號	RGND	加速讀取電壓
INV3	第三反相器	D1	第一延遲電路
P31	第三 PMOS 電晶體	P	預充電信號
M41	第十二 NMOS 電晶體	P41	第四 PMOS 電晶體
D2	第二延遲電路	V _{DD}	電源供應電壓
V _{DDH1}	第一高電源供應電壓	V _{DDH2}	第二高電源供應電壓
P51	第五 PMOS 電晶體	P52	第六 PMOS 電晶體
INV4	第四反相器	VH	高電壓節點
P61	第七 PMOS 電晶體	P62	第八 PMOS 電晶體

P63	第九 PMOS 電晶體	M61	第十三 NMOS 電晶體
INV5	第五反相器	INV6	第六反相器
P71	第十 PMOS 電晶體	P72	第十一 PMOS 電晶體
P73	第十二 PMOS 電晶體	M71	第十四 NMOS 電晶體
INV7	第七反相器	INV8	第八反相器
BLB	互補位元線	BLB ₁ ...BLB _m	互補位元線
MB ₁ ...MB _k	記憶體區塊	WL ₁ ...WL _n	字元線
BL ₁ ...BL _m	位元線	M1...M4	NMOS 電晶體
P1...P2	PMOS 電晶體	I ₁ 、I ₂ 、I ₃ 、I ₄	漏電流

申請專利範圍

1. 一種 7T 雙埠靜態隨機存取記憶體，包括：

一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞均包含有複數個記憶體晶胞 (1)；

複數個控制電路 (2)，每一列記憶體晶胞設置一個控制電路 (2)；

複數個預充電電路 (3)，每一行記憶體晶胞設置一個預充電電路 (3)；

一待機啟動電路 (4)，該待機啟動電路 (4) 係促使該 7T 雙埠靜態隨機存取記憶體快速進入待機模式，以有效提高該 7T 雙埠靜態隨機存取記憶體之待機效能；以及

複數個寫入用字元線控制電路 (6)，每一列記憶體晶胞設置一個寫入用字元線控制電路 (6)，以於寫入模式有效提高由邏輯 0 寫入邏輯 1 以及由邏輯 1 寫入邏輯 0 之寫入速度；

其中，每一記憶體晶胞 (1) 更包含：

一第一反相器，係由一第一 PMOS 電晶體 (P11) 與一第一 NMOS 電晶體 (M11) 所組成，該第一反相器係連接在一電源供應電壓 (V_{DD}) 與一第一低電壓節點 (VL1) 之間；

一第二反相器，係由一第二 PMOS 電晶體 (P12) 與一第二 NMOS 電晶體 (M12) 所組成，該第二反相器係連接在一高電壓節點 (VH) 與一第二低電壓節點 (VL2) 之間；

一儲存節點 (A)，係由該第一反相器之輸出端所形成；

一反相儲存節點 (B)，係由該第二反相器之輸出端所形成；

一第三 NMOS 電晶體 (M13)，係連接在該儲存節點 (A) 與一寫入用位元線 (WBL) 之間，且閘極連接至一寫入用字元線控制信號 (WWLC)；

一第一讀取用電晶體 (M14)，該第一讀取用電晶體 (M14) 之源極、閘極與汲極係分別連接至一第二讀取用電晶體 (M15) 之汲極、一讀取用字元線控制信號 (RWLC) 與一讀取用位元線 (RBL)；以及

該第二讀取用電晶體 (M15)，該第二讀取用電晶體 (M15) 之源極、閘極與汲極係分別連接至該第二低電壓節點 (VL2)、該反相儲存節點 (B) 與該第一讀取用電晶體 (M14) 之源極；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端（即該儲存節點 A）係連接至該第二反相器之輸入端，而該第二反相器之輸出端（即該反相儲存節點 B）則連接至該第一反相器之輸入端；

而每一控制電路(2)更包含：一第四NMOS電晶體(M21)、一第五NMOS電晶體(M22)、一第六NMOS電晶體(M23)、一第七NMOS電晶體(M24)、一第八NMOS電晶體(M25)、一第九NMOS電晶體(M26)、一第十NMOS電晶體(M27)、一第十一NMOS電晶體(M28)、一讀取控制信號(RC)、一第三反相器(INV3)、一第一延遲電路(D1)、一加速讀取電壓(RGND)、一反相寫入控制信號(/WC)、一寫入控制信號(WC)、一待機模式控制信號(S)以及一反相待機模式控制信號(/S)；

其中，該第四NMOS電晶體(M21)之源極、閘極與汲極係分別連接至一接地電壓、該反相待機模式控制信號(/S)與該第二低電壓節點(VL2)；該第五NMOS電晶體(M22)之源極、閘極與汲極係分別連接至該第一低電壓節點(VL1)、該待機模式控制信號(S)與該第二低電壓節點(VL2)；

該第六NMOS電晶體(M23)之源極係連接至該接地電壓，而閘極與汲極連接在一起並連接至該第一低電壓節點(VL1)；

該第七NMOS電晶體(M24)之源極、閘極與汲極係分別連接至該第八NMOS電晶體(M25)之汲極、該讀取控制信號(RC)與該第二低電壓節點(VL2)；

該第八NMOS電晶體(M25)之源極、閘極與汲極係分別連接至該加速讀取電壓(RGND)、該第一延遲電路(D1)之輸出與該第七NMOS電晶體(M24)之源極；

該第一延遲電路(D1)係連接在該第三反相器(INV3)之輸出與該第八NMOS電晶體(M25)之該閘極之間；

該第三反相器(INV3)之輸入係供接收該讀取控制信號(RC)，而輸出則連接至該第一延遲電路(D1)之輸入；

該第九NMOS電晶體(M26)之源極、閘極與汲極係分別連接至該接地

電壓、該第十NMOS電晶體 (M27) 之汲極與該第一低電壓節點 (VL1)；該第十NMOS電晶體 (M27) 之源極、閘極與汲極係分別連接至該待機模式控制信號 (S)、該寫入控制信號 (WC) 與該第九NMOS電晶體 (M26) 之閘極；

該第十一NMOS電晶體 (M28) 之源極、閘極與汲極係分別連接至該反相待機模式控制信號 (\bar{S})、該反相寫入控制信號 (\bar{WC}) 與該第九NMOS電晶體 (M26) 之閘極；

其中，該第十一NMOS電晶體 (M28) 之汲極、該第十NMOS電晶體 (M27) 之汲極及該第九NMOS電晶體 (M26) 之閘極係連接在一起並形成一節點 (C)，當該寫入控制信號 (WC) 為邏輯高位準時，該節點 (C) 之電壓位準係為該待機模式控制信號 (S)，而當該寫入控制信號 (WC) 為邏輯低位準時，該節點 (C) 之電壓位準係為該反相待機模式控制信號 (\bar{S}) 之邏輯位準；由於該節點 (C) 之邏輯高位準係為該電源供應電壓 (V_{DD}) 扣減該第十一NMOS電晶體 (M28) 之臨界電壓 (V_{TM28}) 的電壓位準，因此當該7T雙埠靜態隨機存取記憶體於非寫入模式 (此時對應之該反相寫入控制信號 (\bar{WC}) 為邏輯高位準) 時，該節點 (C) 係為該電源供應電壓 (V_{DD}) 扣減該第十一NMOS電晶體 (M28) 之該臨界電壓 (V_{TM28}) 的電壓位準，而非該電源供應電壓 (V_{DD}) 之電壓位準，故可具有較低之功率消耗；且於後續進入寫入模式 (此時對應之該寫入控制信號 (WC) 為邏輯高位準) 時，由於可快速地將儲存於該節點 (C) 之電荷經由該第十NMOS電晶體 (M27) 放電至足以關閉以該節點 (C) 作為閘極之該第九NMOS電晶體 (M26)，故可較快速地進入該寫入模式；其中，對於非讀取模式期間之該讀取控制信號 (RC) 係設定為該加速讀取電壓 (RGND) 之位準，以防止該第七NMOS電晶體 (M24) 於非讀取模式期間之漏電流；

再者，該待機啟動電路 (4) 係設計成於進入待機模式之一初始期間內，對該第一低電壓節點 (VL1) 處之寄生電容快速充電至該第六NMOS電晶體 (M23) 之臨界電壓 (V_{TM23}) 的電壓位準；

最後，每一寫入用字元線控制電路 (6) 係由一第七PMOS電晶體 (P61)、一第八PMOS電晶體 (P62)、一第九PMOS電晶體 (P63)、一第十三

NMOS電晶體(M61)、一第五反相器(INV5)、一第六反相器(INV6)、一第二高電源供應電壓(V_{DDH2})、一寫入用字元線(WWL)以及該寫入用字元線控制信號(WWLC)所組成；

其中該第七PMOS電晶體(P61)之源極、閘極與汲極係分別連接至該第二高電源供應電壓(V_{DDH2})、該第五反相器(INV5)之輸出與該第八PMOS電晶體(P62)之源極；

該第八PMOS電晶體(P62)之源極、閘極與汲極係分別連接至該第七PMOS電晶體(P61)之汲極、該第六反相器(INV6)之輸出與該寫入用字元線控制信號(WWLC)；

該第九PMOS電晶體(P63)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該第五反相器(INV5)之輸出與該寫入用字元線控制信號(WWLC)；

該第十三NMOS電晶體(M61)之源極、閘極與汲極係分別連接至該寫入用字元線控制信號(WWLC)、該第五反相器(INV5)之輸出與該接地電壓；

該第五反相器(INV5)之輸入係供接收該寫入用字元線(WWL)，而該第六反相器(INV6)之輸入則與該第五反相器(INV5)之輸出連接。

2. 如申請專利範圍第1項所述之7T雙埠靜態隨機存取記憶體，其中，更包括複數個高電壓位準控制電路(5)，每一列記憶體晶胞設置一個高電壓位準控制電路(5)，以在讀取邏輯0時提高讀取速度，每一高電壓位準控制電路(5)更包含：一第五PMOS電晶體(P51)、一第六PMOS電晶體(P52)以及一第四反相器(INV4)；

其中，該第五PMOS電晶體(P51)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該讀取控制信號(RC)與該高電壓節點(VH)；

該第六PMOS電晶體(P52)之源極、閘極與汲極係分別連接至一第一高電源供應電壓(V_{DDH1})、該第四反相器(INV4)之輸出與該高電壓節點(VH)；

該第四反相器(I63)之輸入係供接收該讀取控制信號(RC)，而該輸出則連接至該第六PMOS電晶體(P52)之閘極。

3. 如申請專利範圍第2項所述之7T雙埠靜態隨機存取記憶體，其中，更包

括複數個讀取用字元線控制電路(7)，每一列記憶體晶胞設置一個讀取用字元線控制電路(7)，以在讀取邏輯0時進一步減少讀取路徑之電阻，並加速該讀取用位元線(RWL)上之電荷的放電從而再進一步提高讀取速度，每一讀取用字元線控制電路(7)更包含：一第十 PMOS 電晶體(P71)、一第十一 PMOS 電晶體(P72)、一第十二 PMOS 電晶體(P73)、一第十四 NMOS 電晶體(M71)、一第七反相器(INV7)、一第八反相器(INV8)、該第二高電源供應電壓(V_{DDH2})、該讀取用字元線(RWL)以及該讀取用字元線控制信號(RWLC)；

其中，該第十 PMOS 電晶體(P71)之源極、閘極與汲極係分別連接至該第二高電源供應電壓(V_{DDH2})、該第七反相器(INV7)之輸出與該第十一 PMOS 電晶體(P72)之源極；

該第十一 PMOS 電晶體(P72)之源極、閘極與汲極係分別連接至該第十 PMOS 電晶體(P71)之汲極、該第八反相器(INV8)之輸出與該讀取用字元線控制信號(RWLC)；

第十二 PMOS 電晶體(P73)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該第七反相器(INV7)之輸出與該讀取用字元線控制信號(RWLC)；

該第十四 NMOS 電晶體(M71)之源極、閘極與汲極係分別連接至該接地電壓、該第七反相器(INV7)之輸出與該讀取用字元線控制信號(RWLC)；

該第七反相器(INV7)之輸入係供接收該讀取用字元線(RWL)，而該第八反相器(INV8)之輸入則與該第七反相器(INV7)之輸出連接。

4. 如申請專利範圍第3項所述之7T雙埠靜態隨機存取記憶體，其中，每一預充電電路(3)係由一第三 PMOS 電晶體(P31)以及一預充電信號(P)所組成；

其中，該第三 PMOS 電晶體(P31)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該預充電信號(P)與該讀取用位元線(RBL)，以便於一預充電期間，藉由邏輯低位準之該預充電信號(P)，以將該讀取用位元線(RBL)預充電至該電源供應電壓(V_{DD})之位準；

該待機啟動電路(4)係由一第四 PMOS 電晶體(P41)、一第十二 NMOS

電晶體 (M41)、一第二延遲電路 (D2) 以及該反相待機模式控制信號 (/S) 所組成；

其中，該第四 PMOS 電晶體 (P41) 之源極、閘極與汲極係分別連接至該電源供應電壓 (V_{DD})、該反相待機模式控制信號 (/S) 與該第十二 NMOS 電晶體 (M41) 之汲極；

該第十二 NMOS 電晶體 (M41) 之源極、閘極與汲極係分別連接至該第一低電壓節點 (VL1)、該第二延遲電路 (D2) 之輸出與該第四 PMOS 電晶體 (P41) 之該汲極；

該第二延遲電路 (D2) 之輸入連接至該反相待機模式控制信號 (/S)，而該第二延遲電路 (D2) 之輸出則連接至該第十二 NMOS 電晶體 (M41) 之閘極。

5. 如申請專利範圍第 4 項所述之 7T 雙埠靜態隨機存取記憶體，其中，該儲存節點 (A) 於原本儲存邏輯 0，而在寫入邏輯 1 之寫入初始瞬間電壓 (V_{AWI}) 滿足下列方程式：

$$V_{AWI} = V_{DD} \times (R_{M11} + R_{M23}) / (R_{M13} + R_{M11} + R_{M23})$$

且 $V_{AWI} > V_{TM12}$

其中， V_{AWI} 表示該儲存節點 (A) 由儲存邏輯 0 而寫入邏輯 1 之該寫入初始瞬間電壓， R_{M11} 、 R_{M13} 與 R_{M23} 分別表示該第一 NMOS 電晶體 (M11)、該第三 NMOS 電晶體 (M13) 與該第六 NMOS 電晶體 (M23) 之導通電阻，而 V_{DD} 與 V_{TM12} 分別表示該電源供應電壓 (V_{DD}) 與該第二 NMOS 電晶體 (M12) 之臨界電壓。

6. 如申請專利範圍第 5 項所述之 7T 雙埠靜態隨機存取記憶體，該第二高電源供應電壓 (V_{DDH2}) 係設定為滿足該電源供應電壓 (V_{DD}) 與該第一讀取用電晶體 (M14) 之臨界電壓 (V_{TM14}) 的總和 (即 $V_{DD} + V_{TM14}$) 以及該電源供應電壓 (V_{DD}) 與該第三 NMOS 電晶體 (M13) 之臨界電壓 (V_{TM13}) 的總和 (即 $V_{DD} + V_{TM13}$) 兩者中之較小者。

7. 如申請專利範圍第 6 項所述之 7T 雙埠靜態隨機存取記憶體，其中，該每一寫入用字元線控制電路 (6) 於致能時可再細分成二個階段，於該寫入

用字元線 (WWL) 致能的一第一階段，將該寫入用字元線控制信號 (WWLC) 設定成較該電源供應電壓 (V_{DD}) 還高之該第二高電源供應電壓 (V_{DDH2})，以有效提高寫入速度，而於該第一階段後之一第二階段時，則將該寫入用字元線控制信號 (WWLC) 拉低回該電源供應電壓 (V_{DD})，以減緩寫干擾入；其中，該每一寫入用字元線控制電路 (6) 之該第二階段與該第一階段相隔之時間，係等於該第五反相器 (INV5) 之輸出足以導通該第七 PMOS 電晶體 (P61) 之時間起算，並至該第六反相器 (INV6) 之輸出足以關閉該第八 PMOS 電晶體 (P62) 為止之時間，其值可藉由該第六反相器 (INV6) 之上升延遲時間來動態調整。

8. 如申請專利範圍第 7 項所述之 7T 雙埠靜態隨機存取記憶體，其中，讀取操作係可再細分成二個階段，於該讀取操作之一第一階段係藉由將該第二低電壓節點 (VL2) 設定成較該接地電壓為低之電壓以有效提高讀取速度，而於該讀取操作之一第二階段則藉由將該第二低電壓節點 (VL2) 設定回該接地電壓，以便減少無謂的功率消耗；於該讀取操作之該第一階段，該第二低電壓節點 (VL2) 於讀取邏輯 1 時之讀取初始瞬間電壓 (V_{RVL2I}) 必須滿足下列方程式：

$$V_{RVL2I} = RGND \times R_{M21} / (R_{M21} + R_{M24} + R_{M25})$$

$$\text{且 } V_{RVL2I} > -V_{TM12}$$

以有效地防止讀取時之半選定晶胞干擾，其中， V_{RVL2I} 表示該第二低電壓節點 (VL2) 於讀取邏輯 1 時之該讀取初始瞬間電壓， $RGND$ 表示該加速讀取電壓， R_{M21} 表示該第四 NMOS 電晶體 (M21) 之導通電阻， R_{M24} 表示該第七 NMOS 電晶體 (M24) 之導通電阻， R_{M25} 表示該第八 NMOS 電晶體 (M25) 之導通電阻，而 V_{TM12} 表示該第二 NMOS 電晶體 (M12) 之臨界電壓。

9. 如申請專利範圍第 1 項所述之 7T 雙埠靜態隨機存取記憶體，其中，該第一高電源供應電壓 (V_{DDH1}) 係設定為高於該電源供應電壓 (V_{DD}) 但低於該電源供應電壓 (V_{DD}) 與該第二 PMOS 電晶體 (P12) 臨界電壓之絕對值 $|V_{TP12}|$ 的總和，亦即

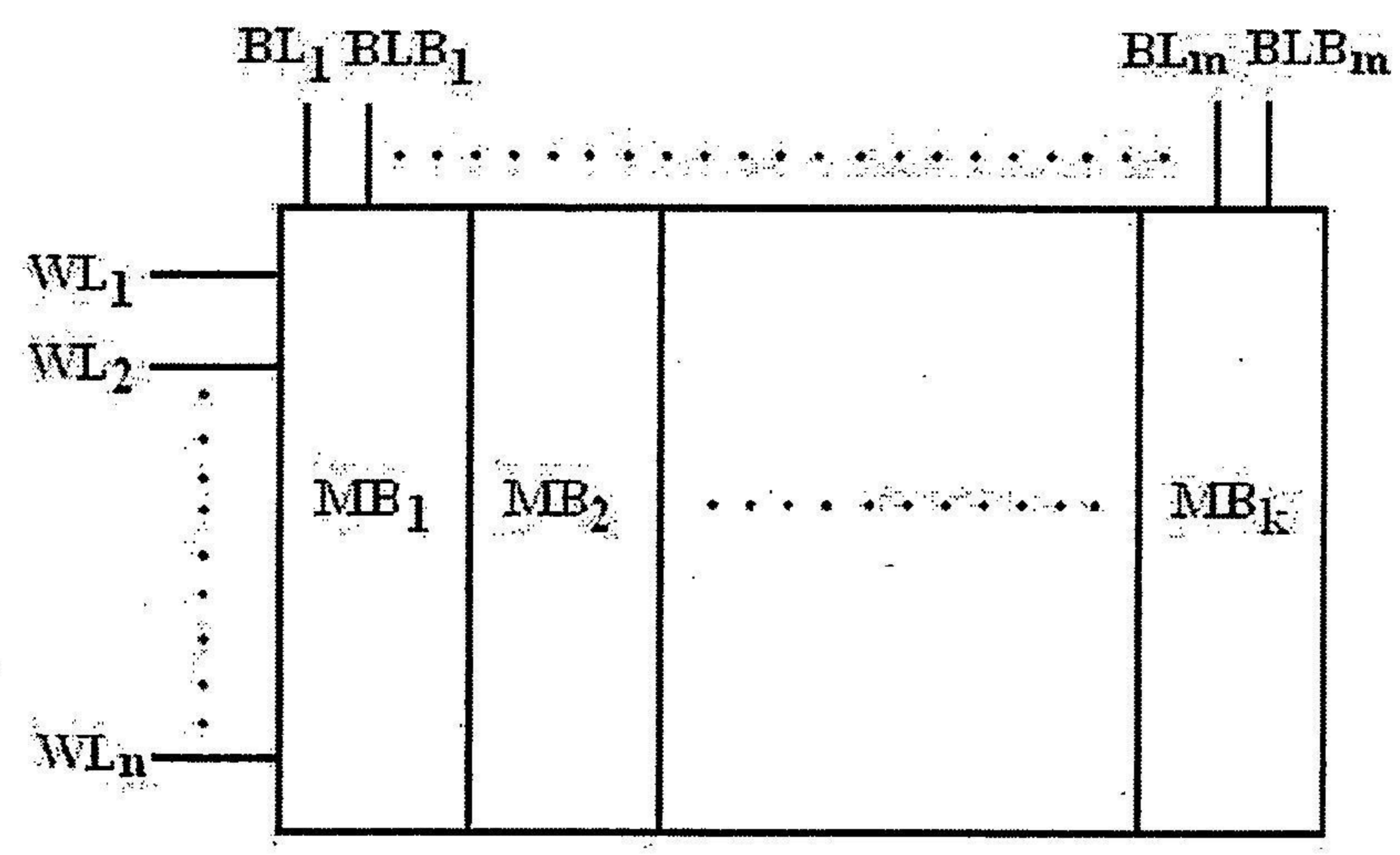
$$V_{DD} < V_{DDH1} < V_{DD} + |V_{TP12}|。$$

10. 如申請專利範圍第 1 項所述之 7T 雙埠靜態隨機存取記憶體，其中，該每一

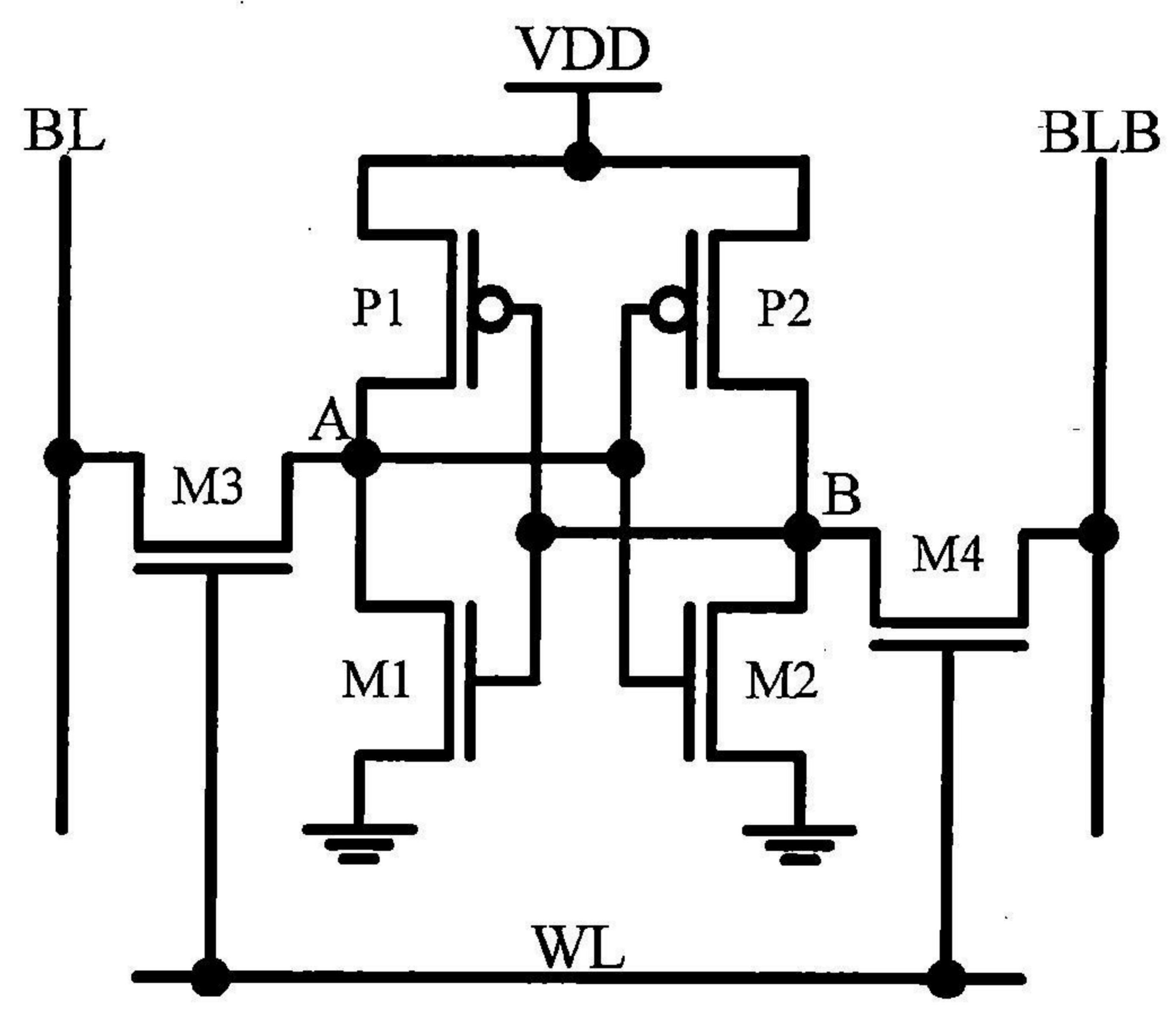
控制電路 (2) 中之該加速讀取電壓 (RGND) 之絕對值 $|RGND|$ 係設定為低於該每一記憶體晶胞 (1) 中之該第二NMOS電晶體 (M12) 之臨界電壓 (V_{TM12})，亦即

$$|RGND| < V_{TM12} \text{。}$$

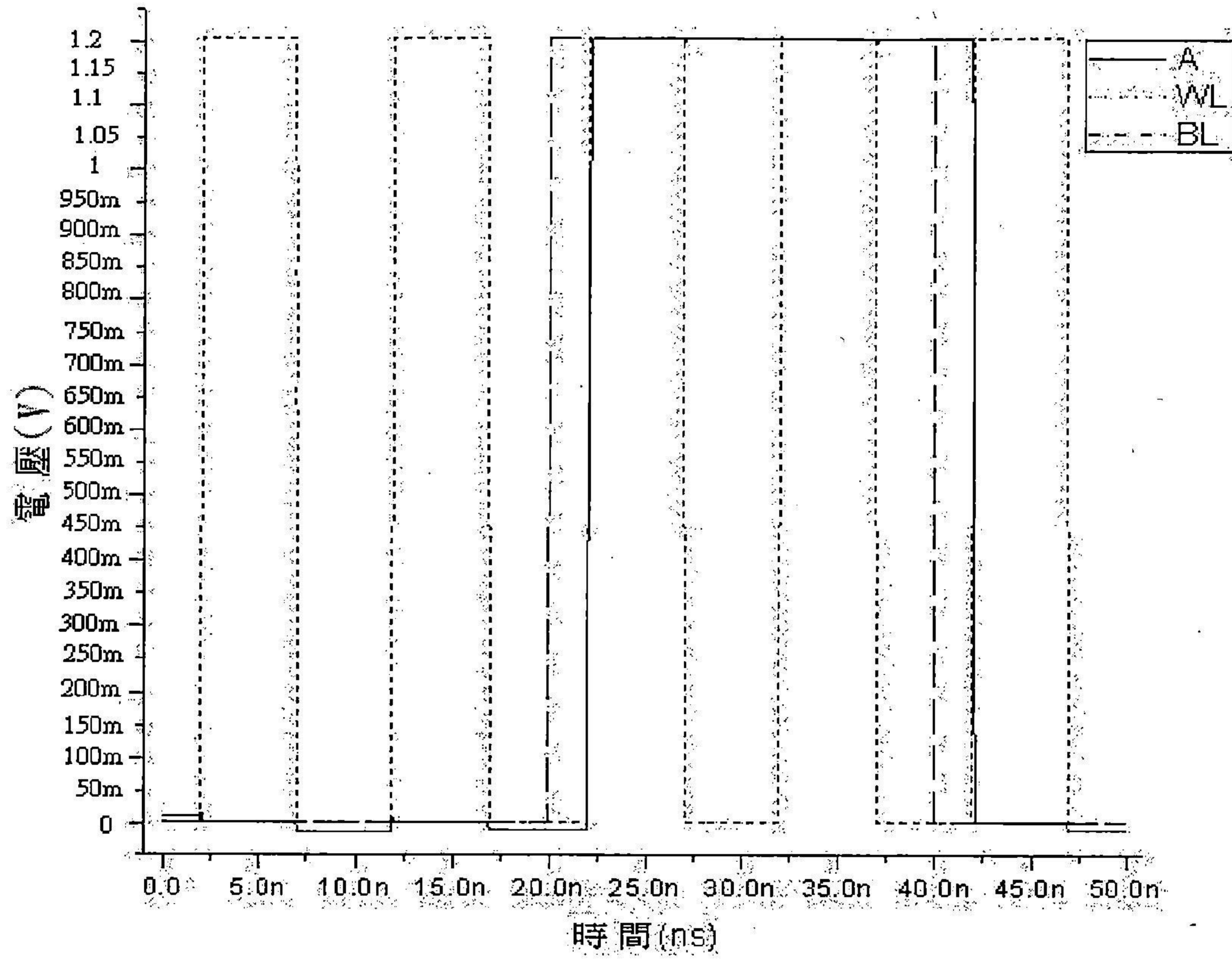
圖式



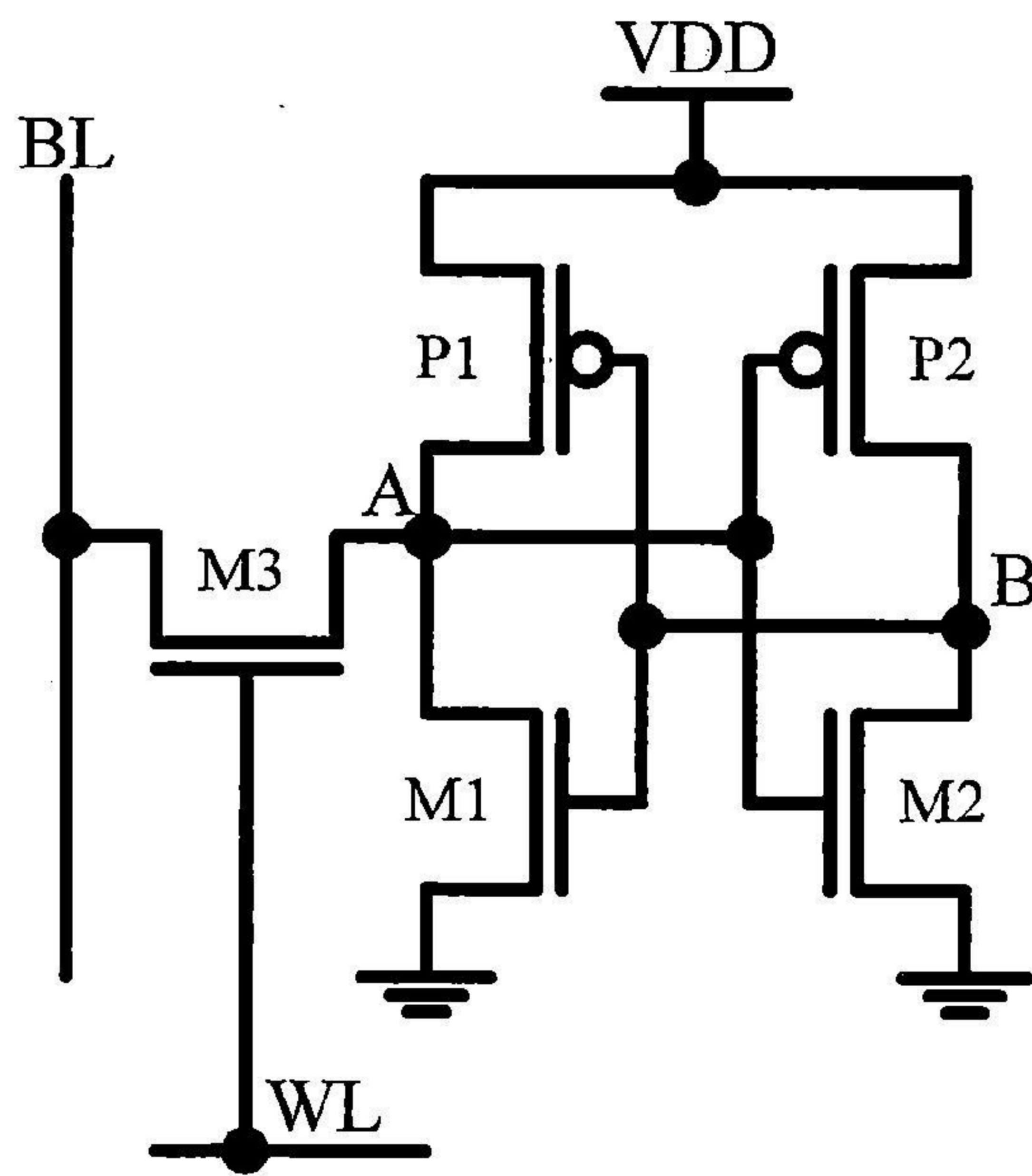
第 1a 圖



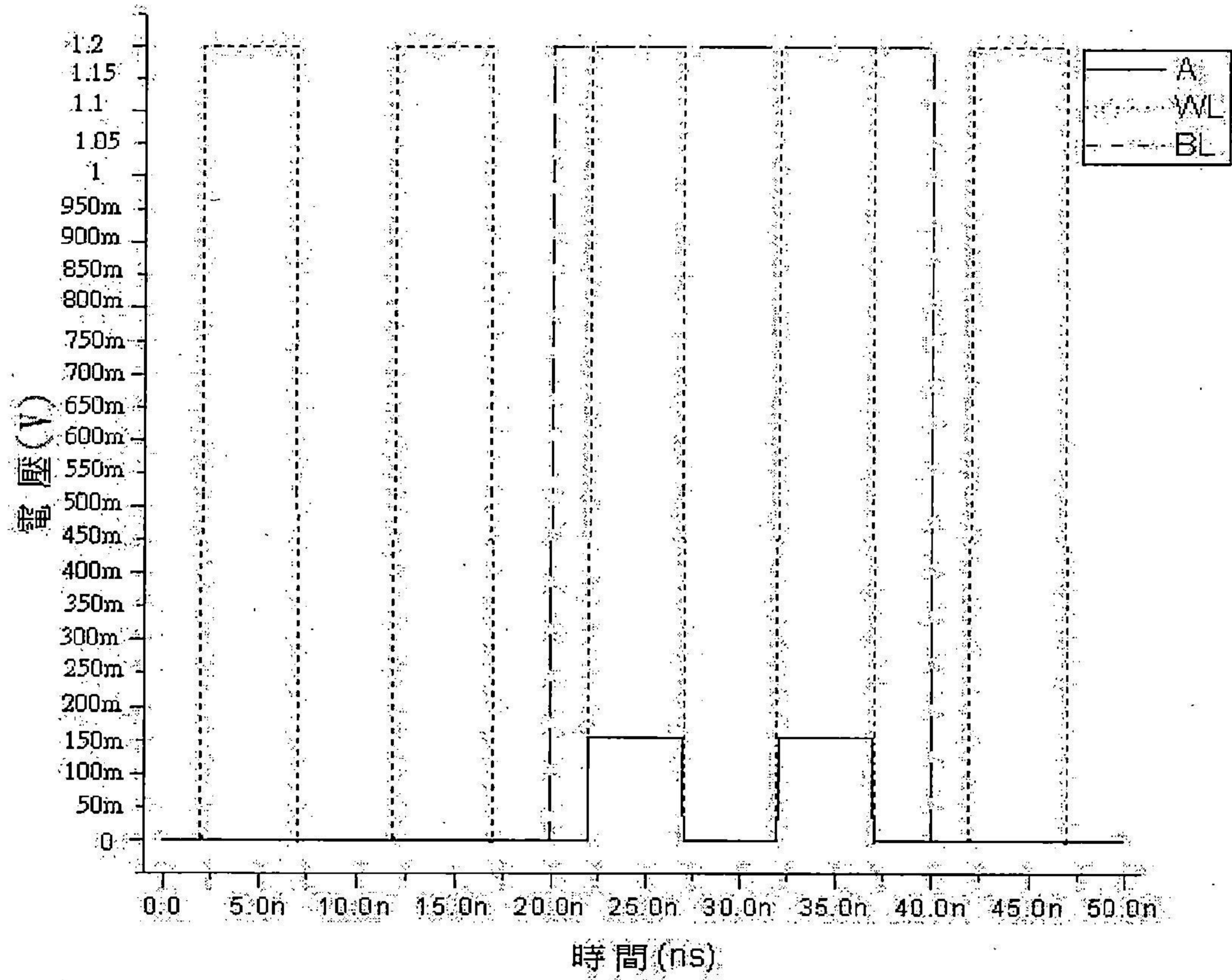
第 1b 圖



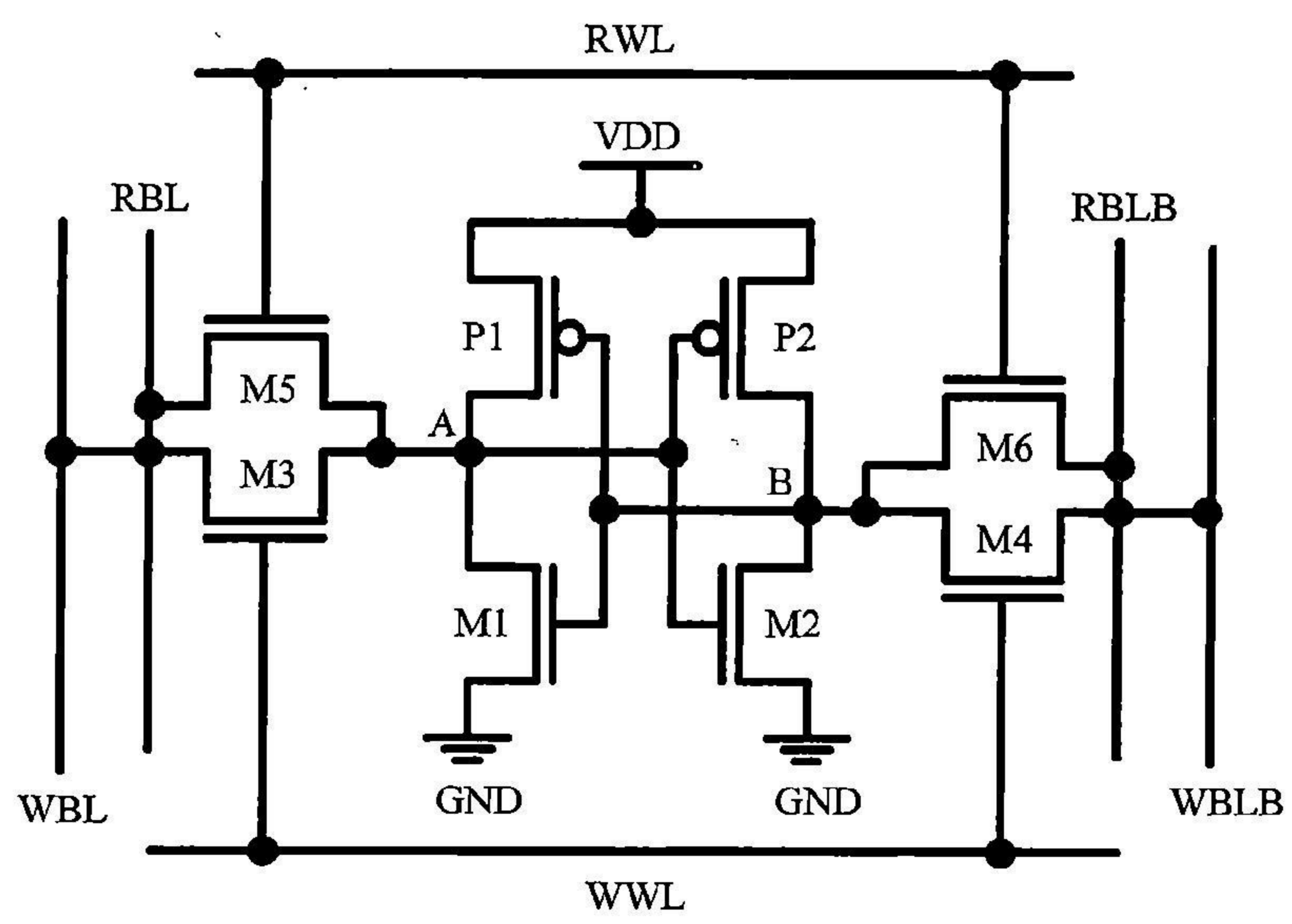
第 2 圖



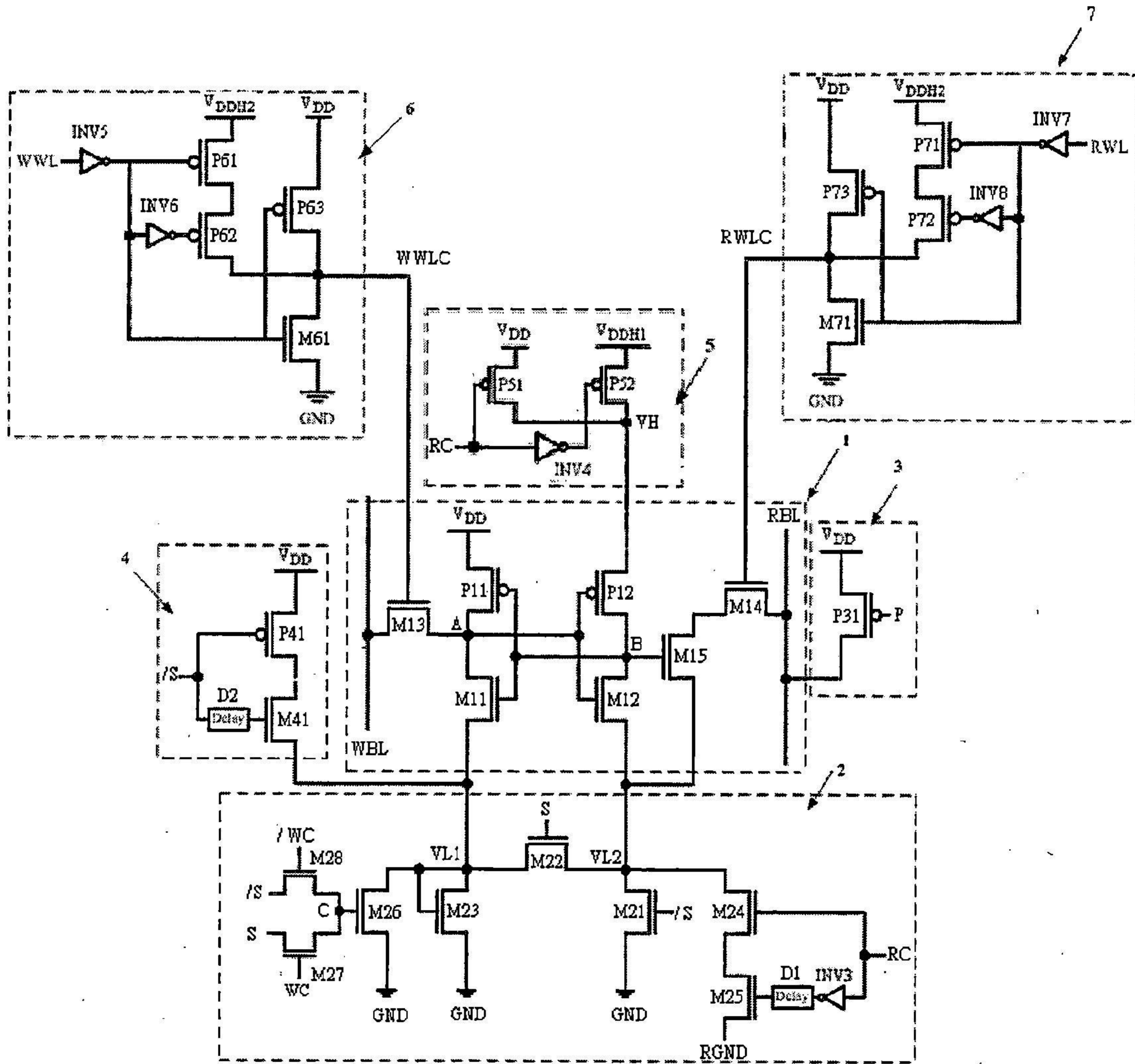
第 3 圖



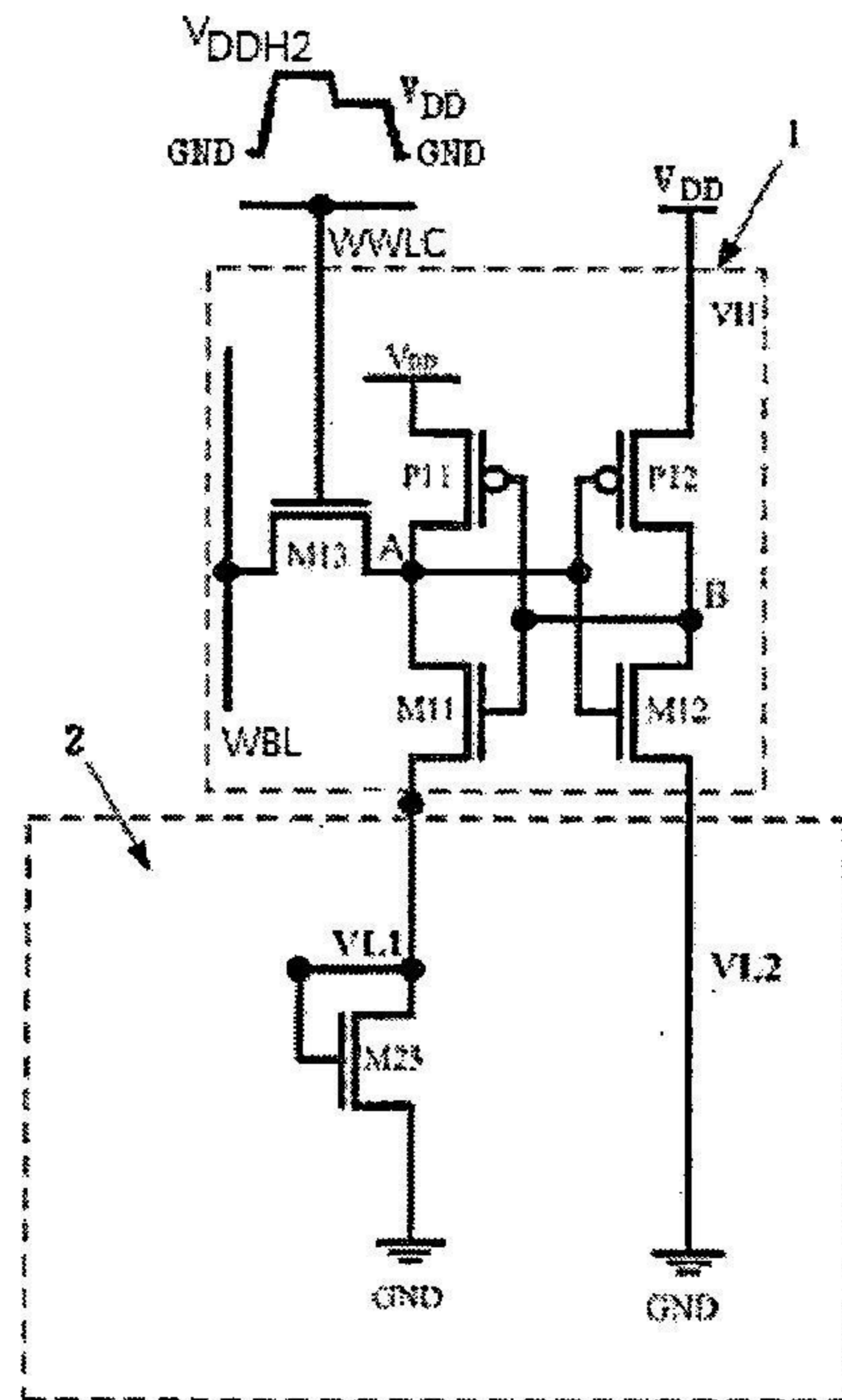
第 4 圖



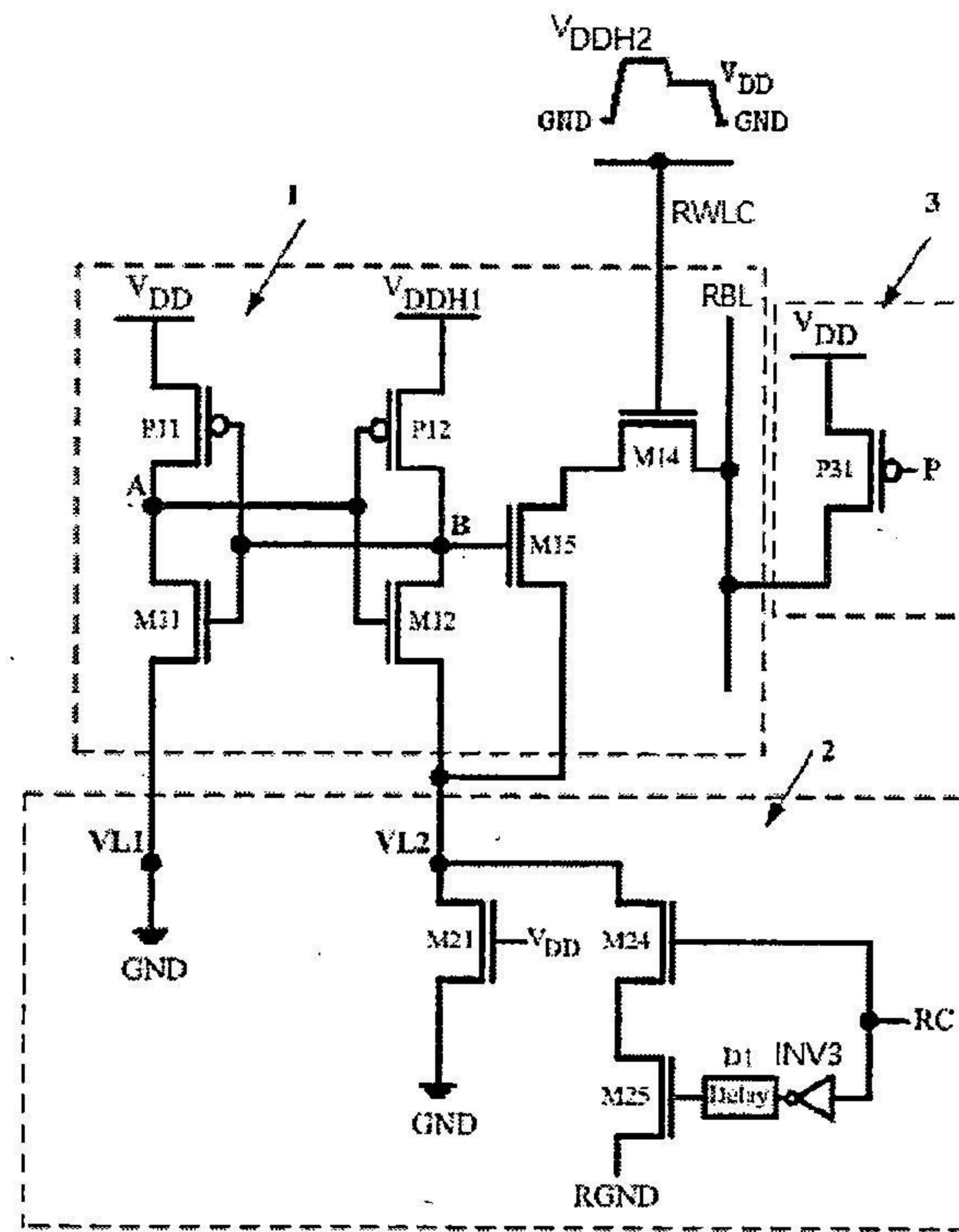
第 5 圖



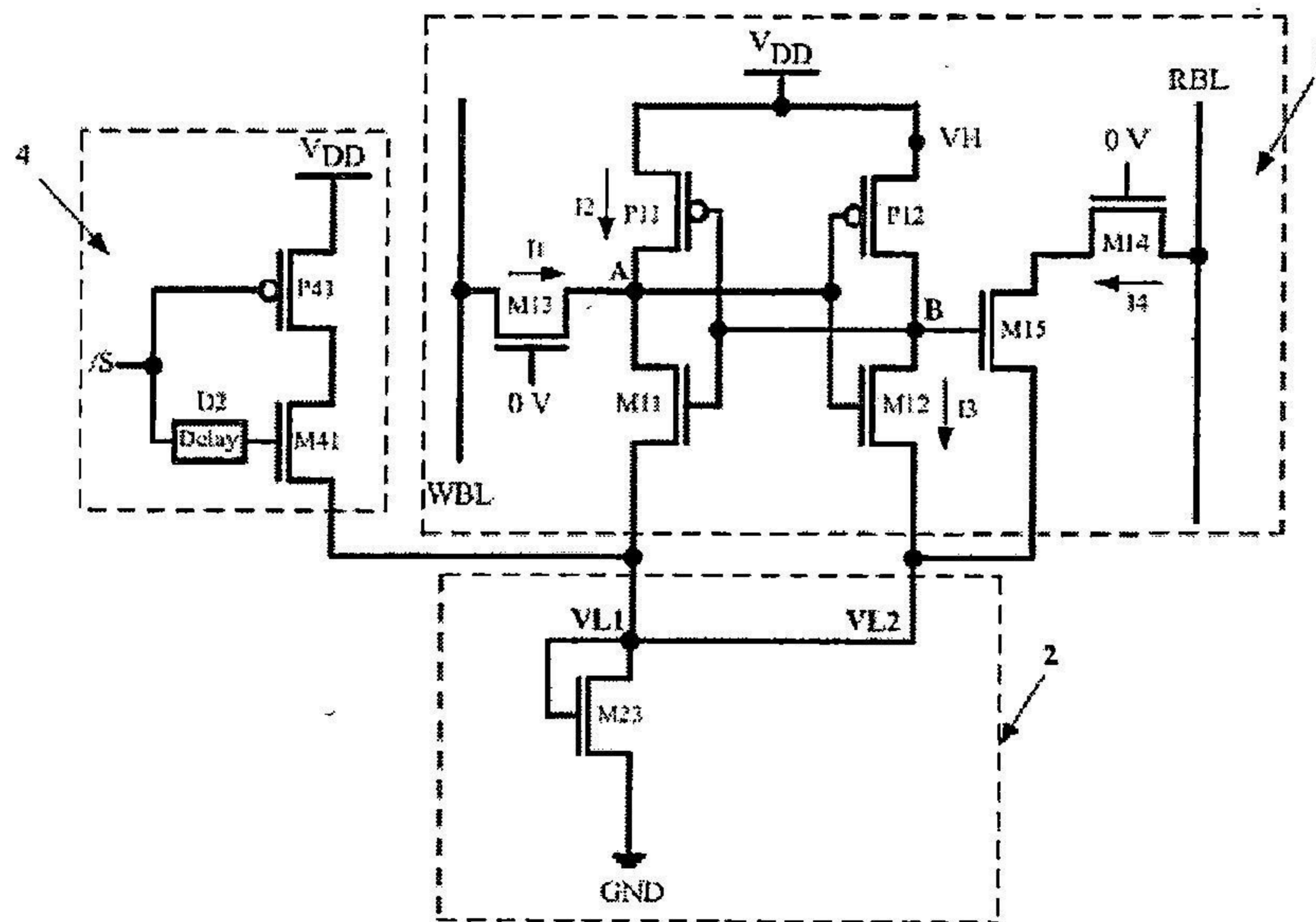
第 6 圖



第 7 圖



第 8 圖



第 9 圖