

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14828
(P2004-14828A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl.⁷
H01L 21/3205

F I
H01L 21/88

テーマコード(参考)
5FO33

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願2002-166621 (P2002-166621)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年6月7日(2002.6.7)	(74) 代理人	100091340 弁理士 高橋 敬四郎
		(74) 代理人	100105887 弁理士 来山 幹雄
		(72) 発明者	宮嶋 基守 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	柄沢 章孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

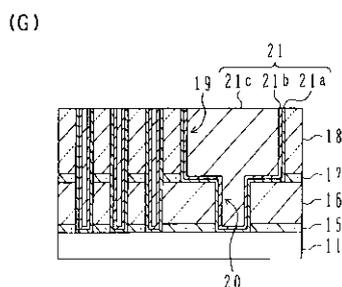
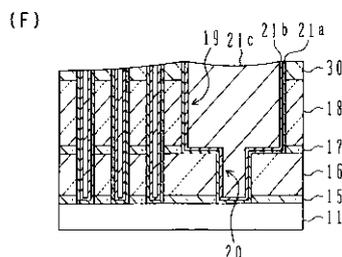
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ディッシングやエロージョン等の凹凸の発生を抑制することが可能な半導体装置の製造方法を提供する。

【解決手段】 下地基板の上に第1の絶縁材料からなる第1の絶縁膜を形成する。第1の絶縁膜の上に、第1の絶縁材料とは異なる第2の絶縁材料からなる第2の絶縁膜を形成する。第2の絶縁膜及び第1の絶縁膜に、少なくとも該第1の絶縁膜の途中まで達する凹部を形成する。凹部内を埋め込むように、第2の絶縁膜の上に、導電材料からなる配線層を堆積させる。配線層を研磨して、凹部内に該配線層を残す。第1の絶縁膜が露出するまで配線層及び第2の絶縁膜を研磨する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

- (a) 下地基板の上に第 1 の絶縁材料からなる第 1 の絶縁膜を形成する工程と、
 (b) 前記第 1 の絶縁膜の上に、前記第 1 の絶縁材料とは異なる第 2 の絶縁材料からなる第 2 の絶縁膜を形成する工程と、
 (c) 前記第 2 の絶縁膜及び前記第 1 の絶縁膜に、少なくとも該第 1 の絶縁膜の途中まで達する凹部を形成する工程と、
 (d) 前記凹部内を埋め込むように、前記第 2 の絶縁膜の上に、導電材料からなる配線層を堆積させる工程と、
 (e) 前記配線層を研磨して、前記凹部内に該配線層を残す工程と、
 (f) 前記第 1 の絶縁膜が露出するまで前記配線層及び前記第 2 の絶縁膜を研磨する工程と

10

を有する半導体装置の製造方法。

【請求項 2】

前記工程 (e) において、前記配線層の研磨速度が前記第 2 の絶縁膜の研磨速度よりも速い条件で、前記配線層を研磨する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記工程 (f) において、前記第 2 の絶縁膜の研磨速度が前記配線層の研磨速度よりも速い条件で、前記第 1 の絶縁膜が露出するまで前記配線層及び前記第 2 の絶縁膜を研磨する請求項 1 または 2 に記載の半導体装置の製造方法。

20

【請求項 4】

前記工程 (e) において、前記配線層の表面に現れるディッシングの最深部が、前記第 2 の絶縁膜の底面よりも高い状態で、研磨を終了する請求項 1 ~ 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記第 1 の絶縁膜の表面が疎水性である請求項 1 ~ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記工程 (a) が、前記第 1 の絶縁膜を形成する前に、前記下地基板の上に、前記第 1 の絶縁膜よりも誘電率の低い有機絶縁材料または多孔質絶縁材料からなる第 3 の絶縁膜を形成する工程を含み、該第 3 の絶縁膜の上に前記第 1 の絶縁膜を形成し、
 前記工程 (c) において、少なくとも前記第 3 の絶縁膜の途中まで達する前記凹部を形成する請求項 1 ~ 5 のいずれかに記載の半導体装置の製造方法。

30

【請求項 7】

前記第 1 の絶縁材料が、SiC、SiOC、及びSiOCHからなる群より選択された一つの材料である請求項 1 ~ 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の絶縁材料が酸化シリコンである請求項 1 ~ 7 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、配線形成方法に関し、特に絶縁層に凹部を形成し、その凹部内を埋め込むように絶縁層上に導電性部材を堆積させ、この導電性部材を研磨して凹部内に導電性部材の一部を残す配線形成方法に関する。

【0002】

【従来の技術】

高密度半導体集積回路装置の配線形成工程で、高速化と信頼性とを両立できる銅を用いたダマシン法が使用される。層間絶縁膜に、配線用の溝とビアホールとを形成し、その中に銅を埋め込んで不要な部分を化学機械研磨で取り除くデュアルダマシン法は、最先端の半

50

導体集積回路装置の製造に必須の技術になっている。

【0003】

図9を参照して、従来のデュアルダマシン法を用いた配線の形成方法について説明する。図9(A)に示すように、下地の層間絶縁膜100の表層部の一部に銅配線101が配置されている。層間絶縁膜100及び配線101の上に、キャップ層102、第1の層間絶縁膜103、エッチングストッパ層104、第2の層間絶縁膜105を順番に堆積させる。通常のリソグラフィ工程を経て、第2の層間絶縁膜105に配線溝106を形成する。配線溝106の底面にエッチングストッパ層104が露出する。

【0004】

図9(B)に示すように、配線溝106の底面に露出したエッチングストッパ層104に、通常のリソグラフィ技術を用いて開口を形成する。この開口を通して第1の層間絶縁膜103をエッチングし、ビアホール107を形成する。ビアホール107の底面に露出したキャップ層102を除去し、銅配線101を露出させる。

10

【0005】

配線溝106及びビアホール107の内面上にバリアメタル層を形成し、その上に銅のシード層を形成する。シード層を電極として銅を電解めっきし、銅層108を形成する。銅層108は、配線溝106及びビアホール107内を埋め込む。

【0006】

図9(C)に示すように、銅層108の化学機械研磨(CMP)を行い、銅層108の不要部分を除去する。これにより、配線溝106及びビアホール107内に銅配線108が

20

【0007】

図9(D)に示すように、第2の層間絶縁膜105及び銅配線108の上に、キャップ層109及び第3の層間絶縁膜110を形成する。配線108の上に、配線108と同様の方法で上層の配線が形成される。

【0008】

【発明が解決しようとする課題】

図9(C)に示した工程で銅層108のCMPを行うと、ディッシングやエロージョンと呼ばれる凹凸が基板の表面に発生する。

【0009】

図10(A)に、CMP後の基板表面の凹凸の測定結果を示す。横軸は基板表面に沿った走査距離を表し、1目盛りが80 μ mに相当する。縦軸は表面の高さを表し、1目盛りが50nmに相当する。銅配線のパターンに対応してディッシングDが発生している。また、銅配線の密集する領域に、エロージョンEが発生している。

30

【0010】

ディッシングは、CMPで使用する研磨パッドが変形し配線パターンに追従するために発生する。エロージョンは、特に銅配線が密集する部分において、銅配線を分離する絶縁膜にCMP時の加工圧力が集中して、絶縁膜及び銅配線が過研磨されることにより発生する。

【0011】

図10(B)に、ディッシングの深さと配線幅との関係を示す。横軸は配線幅を単位「 μ m」で表し、縦軸はディッシングの深さを単位「nm」で表す。配線幅が広がるに従って、ディッシングが深くなることわかる。

40

【0012】

ディッシングやエロージョンが発生すると、図9(D)に示した第3の層間絶縁膜110の表面に、下地表面の凹凸に倣った凹凸が発生する。層間絶縁膜の表面に発生した凹凸は、その層間絶縁膜に形成された配線溝に埋め込まれた銅層を研磨した後に銅の研磨残りが発生する原因になる。銅の研磨残りは、配線の短絡の原因になる。銅の研磨残りの発生を防止するために、層間絶縁膜を形成した後に、その表面をCMP等によって平坦化しなければならない。

50

【0013】

本発明の目的は、ディッシングやエロージョン等の凹凸の発生を抑制することが可能な配線形成方法を提供することである。

【0014】

【課題を解決するための手段】

本発明の一観点によると、(a)下地基板の上に第1の絶縁材料からなる第1の絶縁膜を形成する工程と、(b)前記第1の絶縁膜の上に、前記第1の絶縁材料とは異なる第2の絶縁材料からなる第2の絶縁膜を形成する工程と、(c)前記第2の絶縁膜及び前記第1の絶縁膜に、少なくとも該第1の絶縁膜の途中まで達する凹部を形成する工程と、(d)前記凹部内を埋め込むように、前記第2の絶縁膜の上に、導電材料からなる配線層を堆積させる工程と、(e)前記配線層を研磨して、前記凹部内に該配線層を残す工程と、(f)前記第1の絶縁膜が露出するまで前記配線層及び前記第2の絶縁膜を研磨する工程とを有する配線形成方法が提供される。

10

【0015】

工程(f)の研磨条件を適当に選択することにより、ディッシングやエロージョンの発生を抑制することができる。

【0016】

【発明の実施の形態】

図1に、本発明の第1の実施例による配線形成方法で作製された半導体集積回路装置の断面図を示す。p型シリコンからなる半導体基板1の表面上に素子分離絶縁膜2が形成され、素子分離絶縁膜2によって活性領域が画定されている。活性領域内にMOSトランジスタ3が形成されている。MOSトランジスタ3は、ゲート絶縁膜3a、ゲート電極3b、不純物拡散領域3c及び3dを含んで構成される。不純物拡散領域3c及び3dの一方がソース領域であり、他方がドレイン領域である。

20

【0017】

不純物拡散領域3c及び3dは、ゲート電極3bの両側の基板表層部に形成され、低濃度ドレイン(LDD)構造を有する。ゲート電極3bの側面上に絶縁性のサイドウォールスペーサ3eが形成されている。サイドウォールスペーサ3eは、不純物拡散領域3c及び3dの高濃度部にイオン注入する際のマスクとなる。

【0018】

半導体基板1の上に、MOSトランジスタ3を覆うように、酸化シリコン(SiO_2)からなる第1の層間絶縁膜4が形成されている。不純物拡散領域3c及び3dに対応する位置に、それぞれ第1の層間絶縁膜4を貫通するコンタクトホール4a及び4bが形成されている。コンタクトホール4a及び4b内に、それぞれ導電性のプラグ5a及び5bが埋め込まれている。プラグ5a及び5bは、側面及び底面を被覆する窒化チタン(TiN)からなるバリアメタル層と、バリアメタル層の上に形成されたタングステン部材とを含んで構成される。

30

【0019】

第1の層間絶縁膜4の上に、アルミニウムからなる第1層目の配線7が形成されている。この配線7は、プラグ5bを介してMOSトランジスタ3の不純物拡散領域3dに接続されている。

40

【0020】

第1の層間絶縁膜4の上に、第1層目の配線7を覆うように第2の層間絶縁膜8が形成されている。第2の層間絶縁膜8は、酸化シリコン、ボロフォスフォシリケートガラス(BPSG)、またはフォスフォシリケートガラス(PSG)で形成されている。プラグ5aに対応する位置に、第2の層間絶縁膜8を貫通するコンタクトホール8aが形成されている。このコンタクトホール8a内に、導電性のプラグ9が埋め込まれている。

【0021】

第2の層間絶縁膜8の上に窒化シリコンからなるキャップ層10及び酸化シリコンからなる第3の層間絶縁膜11が形成されている。第3の層間絶縁膜11及びキャップ層10に

50

、配線溝 1 1 a 及び 1 1 b が形成されている。配線溝 1 1 a 及び 1 1 b 内に、それぞれ第 2 層目の配線 1 2 a 及び 1 2 b が埋め込まれている。

【 0 0 2 2 】

配線 1 2 a 及び 1 2 b は、配線溝 1 1 a 及び 1 1 b の側面及び底面を覆うバリアメタル層、バリアメタル層の表面を覆うシード層、シード層を覆い配線溝内に充填された主配線部材の 3 層構造を有する。バリアメタル層は、タンタル (T a)、窒化タンタル (T a N)、窒化チタン (T i N) 等で形成されている。なお、バリアメタル層が T a 層と T a N 層との積層構造とされる場合もある。シード層及び主配線部材は、銅または銅を主成分とする合金で形成されている。

【 0 0 2 3 】

配線 1 2 a、1 2 b、及び第 3 の層間絶縁膜 1 1 の上に、キャップ層 1 5、第 4 の層間絶縁膜 1 6、エッチングストッパ層 1 7、及び第 5 の層間絶縁膜 1 8 がこの順番に積層されている。エッチングストッパ層 1 5 及びエッチングストッパ層 1 7 は、炭化シリコン (S i C) で形成されている。第 4 の層間絶縁膜 1 6 及び第 5 の層間絶縁膜 1 8 は、S i O C で形成されている。

【 0 0 2 4 】

第 5 の層間絶縁膜 1 8 に、エッチングストッパ層 1 7 まで達する配線溝 1 9 が形成されている。さらに、配線溝 1 9 の底面のエッチングストッパ層 1 7 から配線 1 2 a の上面まで達するビアホール 2 0 が形成されている。

【 0 0 2 5 】

配線溝 1 9 及びビアホール 2 0 内に、第 3 層目の配線 2 1 が埋め込まれている。第 3 層目の配線 2 1 は、配線溝 1 9 及びビアホール 2 0 の側面及び底面を覆うバリアメタル層、このバリアメタル層を覆うシード層、及びシード層を覆い配線溝 1 9 とビアホール 2 0 との内部に充填された主配線部材で構成される。バリアメタル層、シード層、及び主配線部材の材料は、第 2 層目の配線 1 2 a のこれらの材料と同じである。

【 0 0 2 6 】

次に、図 2 ~ 図 4 を参照して、第 1 の実施例による配線形成方法について説明する。以下、図 1 に示した第 3 層目の配線 2 1 の形成方法を例にとって説明する。図 2 ~ 図 4 では、図 1 のキャップ層 1 5 から上の層についてのみ示す。

【 0 0 2 7 】

図 2 (A) に示すように、第 3 の層間絶縁膜 1 1 の上に、S i C からなる厚さ 5 0 n m のキャップ層 1 5、S i O C からなる厚さ 6 0 0 n m の第 4 の層間絶縁膜 1 6、S i C からなる厚さ 5 0 n m のエッチングストッパ層 1 7、S i O C からなる厚さ 4 0 0 n m の第 5 の層間絶縁膜 1 8、及び S i O₂ からなる厚さ 1 0 0 n m の犠牲膜 3 0 を順番に形成する。これらの層は、プラズマ励起型化学気相成長 (P E - C V D) により形成することができる。S i C 膜及び S i O C 膜は、例えばノベラス社から S i C 及び C O R A L、A M A T 社から B L O C K 及び B l a c k D i a m o n d という商品名で提供されている材料を用いて形成することができる。

【 0 0 2 8 】

なお、必要に応じて、犠牲膜 3 0 の上に、S i O N または S i N 等からなる反射防止膜を形成してもよい。

図 2 (B) に示すように、犠牲膜 3 0 の表面をレジスト膜 3 1 で覆い、レジスト膜 3 1 に、形成すべき配線に対応した開口を形成する。レジスト膜 3 1 をマスクとして、犠牲膜 3 0 及び第 5 の層間絶縁膜 1 8 をドライエッチングし、配線溝 1 9 を形成する。エッチングガスとして、例えば C F₄ と C H₂ F₂ との混合ガスや C₄ F₆ ガス等を使用することができる。エッチングストッパ層 1 7 が露出した時点でエッチングが停止する。配線溝 1 9 を形成した後、レジスト膜 3 1 を除去する。

【 0 0 2 9 】

図 2 (C) に示すように、犠牲膜 3 0 の上面、及び配線溝 1 9 の内面をレジスト膜 3 2 で覆い、形成すべきビアホールに対応した開口を形成する。レジスト膜 3 2 をマスクとして

10

20

30

40

50

、エッチングストップ層 17 及び第 4 の層間絶縁膜 16 をエッチングする。エッチングストップ層 17 は、例えば CF_4 と CH_2F_2 との混合ガスを用いてドライエッチングされる。第 4 の層間絶縁膜 16 は、例えば C_4F_6 ガスを用いてドライエッチングされる。ビアホール 20 が形成され、その底面にキャップ層 15 が露出する。第 4 の層間絶縁膜 16 をエッチングした後、レジスト膜 32 を除去する。

【0030】

ビアホール 20 の底面に露出したキャップ層 15 を除去し、下層の銅配線を露出させる。キャップ層 15 は、例えば CHF_3 ガスを用いてドライエッチングされる。このとき、配線溝 19 の底面に露出したエッチングストップ層 17 も除去される。

【0031】

図 3 (D) に示すように、配線溝 19 の内面、ビアホール 20 の内面、及び犠牲膜 30 の表面を、タンタル (Ta) からなる厚さ 10 nm のバリアメタル層 21 a で覆う。なお、バリアメタル層 21 a の材料として、窒化タンタル (Ta₂N₃)、窒化チタン (TiN) 等を使用してもよい。バリアメタル層 21 a の表面上に、銅 (Cu) からなる厚さ 150 nm のシード層 21 b を形成する。バリアメタル層 21 a 及びシード層 21 b は、スパッタリングにより形成される。次に、銅を電解めっきし、銅層 21 c を形成する。銅層 21 c は、配線溝 19 及びビアホール 20 内に充填されるのに十分な厚さとする。

【0032】

図 3 (E) に示すように、銅の研磨速度が、タンタルや酸化シリコンの研磨速度よりも速くなるような研磨液を用いて、銅層 21 c を化学機械研磨する。研磨液として、例えばシリカ等の砥粒、銅と錯体をつくる有機物、銅の腐食防止剤及び酸化剤等を含むものが使用される。タンタルや酸化シリコンの研磨速度が比較的遅いため、Ta からなるバリアメタル層 21 a、または SiO_2 からなる犠牲膜 30 が露出した時点で再現性よく研磨を停止させることができる。

【0033】

銅の研磨速度が比較的速いため、配線溝 19 内に残った銅配線 21 c の表面にディッシングが発生する。このディッシングの最深部が犠牲膜 30 の底面よりも高くなるように、犠牲膜 30 を厚くしておくことが好ましい。

【0034】

図 4 (F) に示すように、タンタルや酸化シリコンの研磨速度が銅の研磨速度よりも速くなるような研磨液を用いて、犠牲膜 30、銅層 21 c、シード層 21 b、及びバリアメタル層 21 a を化学機械研磨する。研磨液として、例えばシリカ等の砥粒、有機酸、及び銅の腐食防止剤が混合されたものを使用することができる。

【0035】

タンタルからなるバリアメタル層 21 b 及び SiO_2 からなる犠牲膜 30 の研磨が進み、図 3 (E) の状態で現れていた銅層 21 c の表面のディッシング部分が平坦化される。さらに研磨を続けると、銅層 21 c が露出した部分が凸状になる。凸状の部分に研磨圧力が集中するため、最終的には銅層 21 c の表面も平坦化される。

【0036】

図 4 (G) に示すように、疎水性の $SiOC$ からなる第 5 の層間絶縁膜 18 が露出した時点で、第 5 の層間絶縁膜 18 が研磨停止層として働き、再現性よく研磨を停止させることができる。この研磨条件では、銅の研磨速度が比較的遅いため、銅層 21 c の表面にディッシングが発生しにくい。また、エロージョンの発生も防止することができる。

【0037】

図 5 に、基板表面に発生した窪みの深さと配線幅との関係を示す。図 5 (A) は、上記第 1 の実施例による配線形成方法を用いた場合の窪みの深さを示し、図 5 (B) は、従来の方法を用いた場合の窪みの深さを示す。横軸は、配線幅を単位「 μm 」で表し、縦軸は仮想的な平坦面からの窪みの深さを単位「nm」で表す。なお、配線部分の面積は、全表面の 80% である。

【0038】

10

20

30

40

50

図5(A)と図5(B)とを比較すると、第1の実施例による方法で形成した場合に、窪みが浅くなっていることがわかる。このように、第1の実施例による方法を採用することにより、CMP後の基板表面を、より平坦にすることができる。

【0039】

また、第1の実施例では、第4及び第5の層間絶縁膜16及び18を、 SiO_2 よりも誘電率の低い SiOC で形成している。このため、配線間の寄生容量を低減させることができる。

【0040】

また、図2(A)に示した第5の層間絶縁膜18と、犠牲膜30との間に、 SiC からなる薄いキャップ層を配置してもよい。このキャップ層の厚さは、例えば30~50nm程度でよい。このとき、図4(G)に示したCMP後の状態において、第5の層間絶縁膜18の表面上に SiC からなる薄いキャップ層が残る。これにより、CMP時にスクラッチが入りにくくなる。

10

【0041】

また、第5の層間絶縁膜18を、 Si 、 O 、 C 、及び H を含む絶縁材料で形成してもよい。

次に、図6~図8を参照して、第2の実施例による配線形成方法について説明する。図1に示した第3の層間絶縁膜11まで形成した基板を準備する。以下、第3の層間絶縁膜11よりも上層の配線層の形成方法について説明する。

【0042】

図6(A)に示すように、第3の層間絶縁膜11の上に、 SiC からなる厚さ50nmのキャップ層40、低誘電率有機絶縁材料、例えばダウケミカル社の SiLK からなる厚さ400nmの第6の層間絶縁膜41、 SiC からなる厚さ50nmのキャップ層42、及び SiO_2 からなる厚さ100nmの犠牲膜43をこの順番に形成する。キャップ層40、42、及び犠牲膜43は、 PE-CVD により形成される。第6の層間絶縁膜41は、塗布法により形成される。

20

【0043】

図6(B)に示すように、犠牲膜43の表面上にレジスト膜45を塗布し、通常のフォトリソグラフィにより、配線パターンに対応した開口を形成する。レジスト膜45をマスクとして、犠牲膜43、キャップ層42、及び第6の層間絶縁膜41を、第6の層間絶縁膜41の途中までエッチングし、配線溝46を形成する。犠牲膜43、キャップ層42、及び第6の層間絶縁膜41は、 C_4F_6 系ガスまたは CHF_3 系ガスを用いてドライエッチングされる。配線溝46を形成した後、レジスト膜45を除去する。

30

【0044】

図6(C)に示すように、犠牲膜45の上面、及び配線溝46の内面をレジスト膜47で覆い、形成すべきビアホールに対応した開口を形成する。レジスト膜47をマスクとして、第6の層間絶縁膜41をエッチングする。第6の層間絶縁膜41は、例えば NH_3 と H_2 との混合ガスを用いてドライエッチングされる。ビアホール48が形成され、その底面にキャップ層40が露出する。第6の層間絶縁膜41をエッチングした後、レジスト膜47を除去する。

40

【0045】

ビアホール48の底面に露出したキャップ層40を除去し、下層の銅配線を露出させる。キャップ層40は、例えば CH_2F_2 系ガスを用いてドライエッチングされる。

【0046】

図7(D)に示すように、配線溝46の内面、ビアホール48の内面、及び犠牲膜43の表面を、タンタル(Ta)からなる厚さ10nmのバリアメタル層50aで覆う。バリアメタル層50aの表面上に、銅(Cu)からなる厚さ150nmのシード層50bを形成する。次に、銅を電解めっきし、銅層50cを形成する。

【0047】

図7(E)に示すように、銅の研磨速度が、タンタルや酸化シリコンの研磨速度よりも速

50

くなるような研磨液を用いて、銅層50cを化学機械研磨する。タンタルや酸化シリコンの研磨速度が比較的遅いため、タンタルからなるバリアメタル層50a、またはSiO₂からなる犠牲膜43が露出した時点で再現性よく研磨を停止させることができる。

【0048】

銅の研磨速度が比較的速いため、配線溝46内に残った銅配線50cの表面にディッシングが発生する。このディッシングの最深部が犠牲膜43の底面よりも高くなるように、犠牲膜43を厚くしておくことが好ましい。

【0049】

図8(F)に示すように、タンタルや酸化シリコンの研磨速度が銅の研磨速度よりも速くなるような研磨液を用いて、犠牲膜43、銅層50c、シード層50b、及びバリアメタル層50aを化学機械研磨する。

10

【0050】

タンタルからなるバリアメタル層50b及びSiO₂からなる犠牲膜43の研磨が進み、図7(E)の状態で見られていた銅層50cの表面のディッシング部分が平坦化される。さらに研磨を続けると、銅層50cが露出した部分が凸状になる。凸状の部分に研磨圧力が集中するため、最終的には銅層50cの表面も平坦化される。

【0051】

図8(G)に示すように、疎水性のSiOCからなるキャップ層42が露出した時点で、キャップ層42が研磨停止層として働き、再現性よく研磨を停止させることができる。配線溝46及びビアホール48内に、バリアメタル層50a、シード層50b及び銅層50cからなる銅配線50が残る。この研磨条件では、銅の研磨速度が比較的遅いため、銅層50cの表面にディッシングが発生しにくい。また、エロージョンの発生も防止することができる。

20

【0052】

上記第2の実施例では、キャップ層42をSiCで形成したが、SiCと同様に疎水性のSiOCで形成してもよい。また、キャップ層42を、SiOC層とSiC層との2層構造としてもよい。誘電率の観点からは、キャップ層42をSiOCで形成するほうが有利である。ところが、CMP時にSiOC層が表面に現れるとスクラッチが発生しやすくなる。SiOC層の上にSiC層を形成することにより、スクラッチの発生を防止することができる。

30

【0053】

また、上記第2の実施例では、第6の層間絶縁膜41の低誘電率有機絶縁材料の例としてSiLK(ダウケミカル社の商標)を挙げたが、その他に、ポリテトラフルオロエチレン(PTFE)、FLARE(ハネウェル社の商標)、ベンゾシクロブテン(BCB)、メチルシルセスキオキサン(MSQ)(例えばJSR社のLKD)等が挙げられる。第6の層間絶縁膜41の材料として、有機絶縁材料の代わりに低誘電率の多孔質絶縁材料等を用いてもよい。

【0054】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

40

【0055】

上記実施例から、以下の付記に示された発明が導出される。

(付記1) (a) 下地基板の上に第1の絶縁材料からなる第1の絶縁膜を形成する工程と、

(b) 前記第1の絶縁膜の上に、前記第1の絶縁材料とは異なる第2の絶縁材料からなる第2の絶縁膜を形成する工程と、

(c) 前記第2の絶縁膜及び前記第1の絶縁膜に、少なくとも該第1の絶縁膜の途中まで達する凹部を形成する工程と、

(d) 前記凹部内を埋め込むように、前記第2の絶縁膜の上に、導電材料からなる配線層を堆積させる工程と、

50

(e) 前記配線層を研磨して、前記凹部内に該配線層を残す工程と、
 (f) 前記第 1 の絶縁膜が露出するまで前記配線層及び前記第 2 の絶縁膜を研磨する工程と

を有する半導体装置の製造方法。

【 0 0 5 6 】

(付記 2) 前記工程 (e) において、前記配線層の研磨速度が前記第 2 の絶縁膜の研磨速度よりも速い条件で、前記配線層を研磨する付記 1 に記載の半導体装置の製造方法。

【 0 0 5 7 】

(付記 3) 前記工程 (f) において、前記第 2 の絶縁膜の研磨速度が前記配線層の研磨速度よりも速い条件で、前記第 1 の絶縁膜が露出するまで前記配線層及び前記第 2 の絶縁膜を研磨する付記 1 または 2 に記載の半導体装置の製造方法。

10

【 0 0 5 8 】

(付記 4) 前記工程 (e) において、前記配線層の表面に現れるディッシングの最深部が、前記第 2 の絶縁膜の底面よりも高い状態で、研磨を終了する付記 1 ~ 3 のいずれかに記載の半導体装置の製造方法。

【 0 0 5 9 】

(付記 5) 前記第 1 の絶縁膜の表面が疎水性である付記 1 ~ 4 のいずれかに記載の半導体装置の製造方法。

(付記 6) 前記工程 (d) が、前記配線層を堆積させる前に、該配線層の材料の拡散を防止するバリアメタル層を堆積させる工程を含み、前記配線層を前記バリアメタル層の上に堆積させる付記 1 ~ 5 のいずれかに記載の半導体装置の製造方法。

20

【 0 0 6 0 】

(付記 7) 前記工程 (e) において、前記バリアメタル層が露出するまで、または前記第 2 の絶縁膜が露出するまで、前記配線層を研磨する付記 6 に記載の半導体装置の製造方法。

【 0 0 6 1 】

(付記 8) 前記工程 (a) が、前記第 1 の絶縁膜を形成する前に、前記下地基板の上に、前記第 1 の絶縁膜よりも誘電率の低い有機絶縁材料または多孔質絶縁材料からなる第 3 の絶縁膜を形成する工程を含み、該第 3 の絶縁膜の上に前記第 1 の絶縁膜を形成し、前記工程 (c) において、少なくとも前記第 3 の絶縁膜の途中まで達する前記凹部を形成する付記 1 ~ 7 のいずれかに記載の半導体装置の製造方法。

30

【 0 0 6 2 】

(付記 9) 前記第 1 の絶縁材料が、SiC、SiOC、及びSiOCHからなる群より選択された一つの材料である付記 1 ~ 8 のいずれかに記載の半導体装置の製造方法。

【 0 0 6 3 】

(付記 10) 前記第 2 の絶縁材料が酸化シリコンである付記 1 ~ 9 のいずれかに記載の半導体装置の製造方法。

(付記 11) 前記配線層が銅または銅を主成分とする合金で形成されている付記 1 ~ 10 のいずれかに記載の半導体装置の製造方法。

【 0 0 6 4 】

(付記 12) (a) 下地基板の上に第 1 の絶縁材料からなる第 1 の絶縁膜を形成する工程と、

40

(b) 前記第 1 の絶縁膜の上に、前記第 1 の絶縁材料とは異なる第 2 の絶縁材料からなる第 2 の絶縁膜を形成する工程と、

(c) 前記第 2 の絶縁膜及び前記第 1 の絶縁膜に、少なくとも該第 1 の絶縁膜の途中まで達する凹部を形成する工程と、

(d) 前記凹部内を埋め込むように、前記第 2 の絶縁膜の上に、導電材料からなる配線層を堆積させる工程と、

(e) 前記配線層を研磨して、前記凹部内に該配線層を残す工程と、

(f) 前記第 1 の絶縁膜が露出するまで前記配線層及び前記第 2 の絶縁膜を研磨する工程

50

と

を有する配線形成方法。

【0065】

【発明の効果】

以上説明したように、本発明によれば、化学機械研磨後の基板表面の凹凸を少なくすることができる。

【図面の簡単な説明】

【図1】第1の実施例による配線形成方法により作製した半導体集積回路装置の断面図である。

【図2】第1の実施例による配線形成方法を説明するための配線層の断面図(その1)である。 10

【図3】第1の実施例による配線形成方法を説明するための配線層の断面図(その2)である。

【図4】第1の実施例による配線形成方法を説明するための配線層の断面図(その3)である。

【図5】化学機械研磨後のディッシングの深さと配線幅との関係を示すグラフである。

【図6】第2の実施例による配線形成方法を説明するための配線層の断面図(その1)である。

【図7】第2の実施例による配線形成方法を説明するための配線層の断面図(その2)である。 20

【図8】第2の実施例による配線形成方法を説明するための配線層の断面図(その3)である。

【図9】従来のデュアルダマシン法による配線形成方法を説明するための配線層の断面図である。

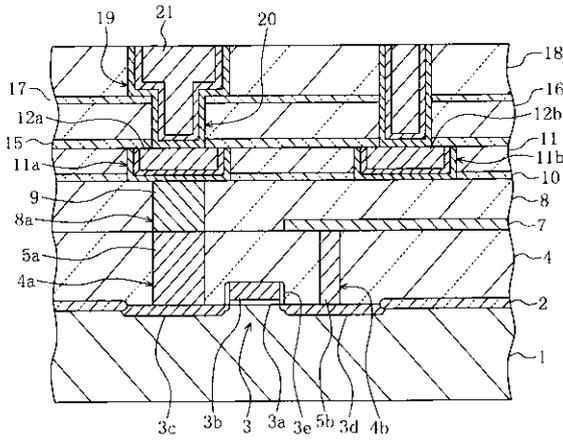
【図10】(A)は、化学機械研磨後の基板表面の凹凸を示すグラフであり、(B)は、ディッシングの深さと配線幅との関係を示すグラフである。

【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 MOSトランジスタ 30
- 4 第1の層間絶縁膜
- 4 a、4 b、8 a コンタクトホール
- 5 a、5 b、9 プラグ
- 7 第1層目の配線
- 8 第2の層間絶縁膜
- 10、15、40、42 キャップ層
- 10 a、10 b、19、46 配線溝
- 11 第3の層間絶縁膜
- 12 a、12 b 第2層目の配線
- 16 第4の層間絶縁膜 40
- 17 エッチングストップパ層
- 18 第5の層間絶縁膜
- 20、48 ビアホール
- 21 第3層目の配線
- 30、43 犠牲膜
- 31、32、45、47 レジスト膜
- 41 第6の層間絶縁膜
- 50 第3層目の配線

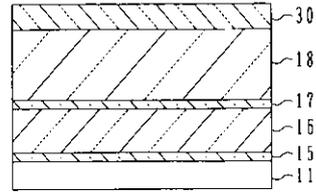
【 図 1 】

第1の実施例



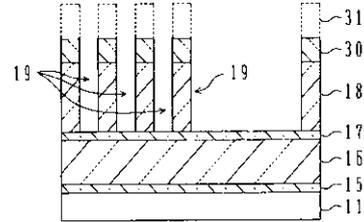
【 図 2 】

(A)

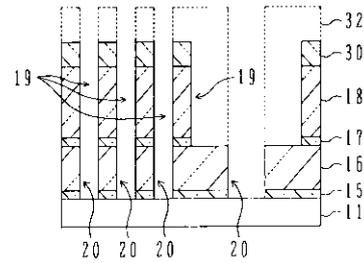


15:SiCキップ層
16:SiOC第4の層間絶縁膜
17:SiCエッチングストップ層
18:SiOC第5の層間絶縁膜
30:SiO₂犠牲膜

(B)

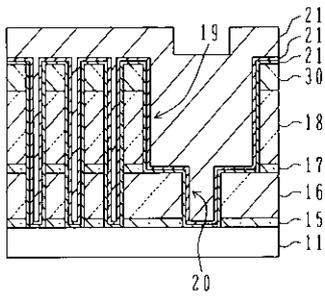


(C)

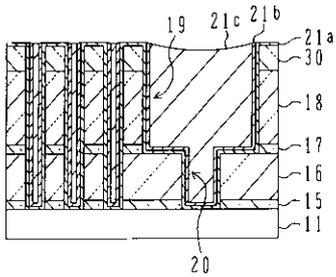


【 図 3 】

(D)

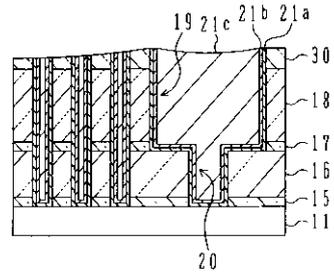


(E)

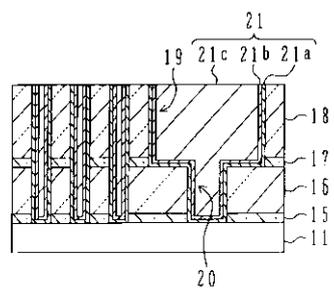


【 図 4 】

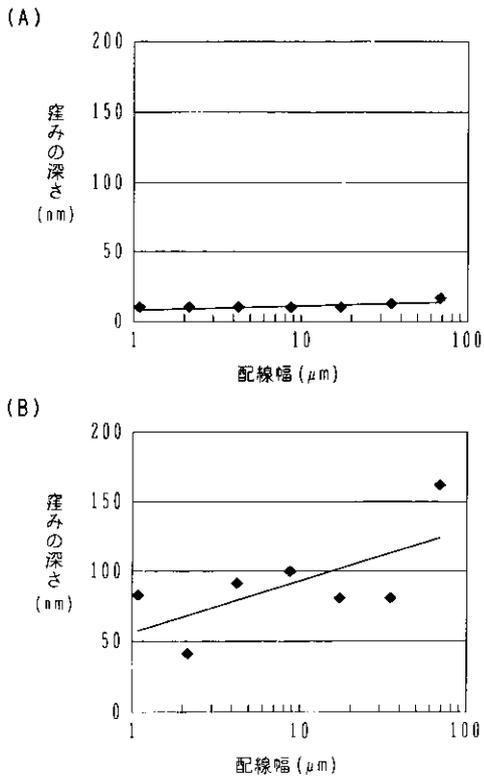
(F)



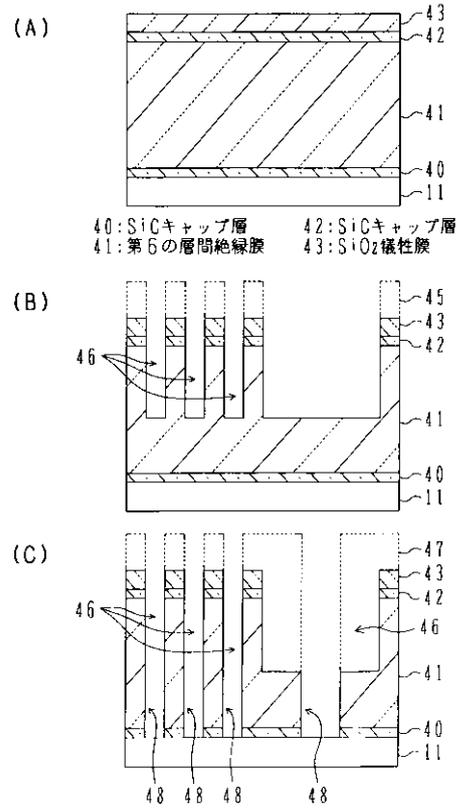
(G)



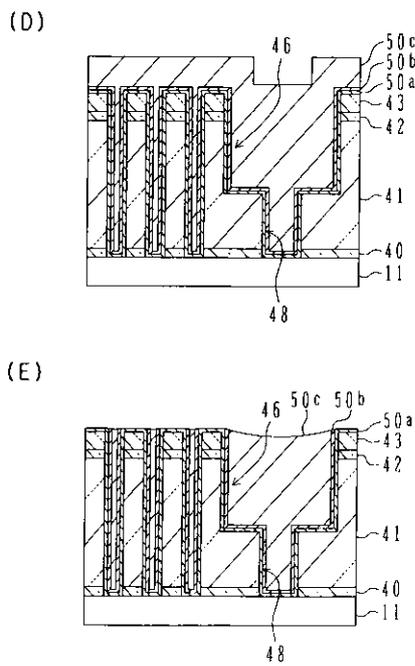
【 図 5 】



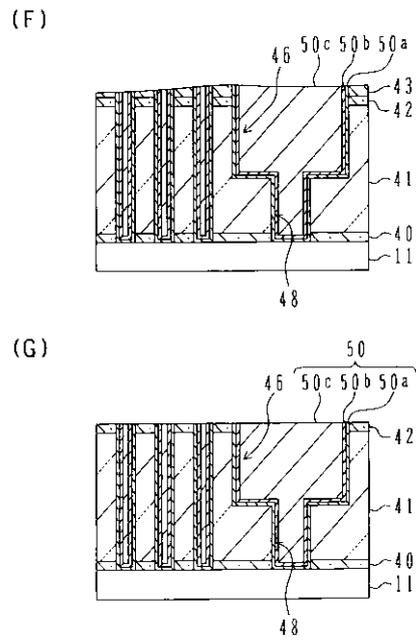
【 図 6 】



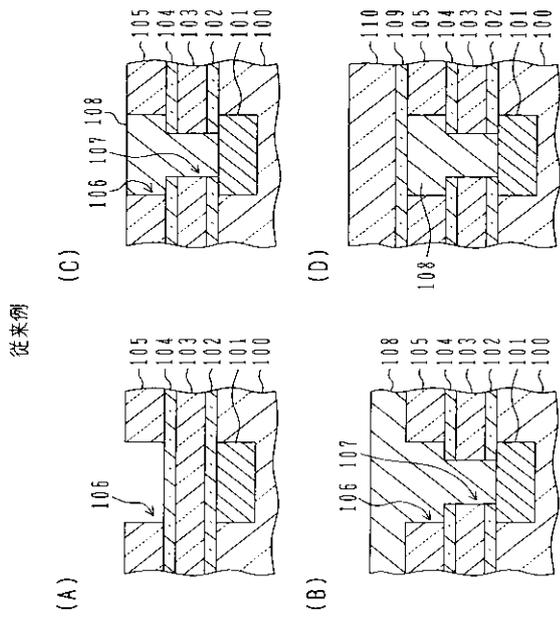
【 図 7 】



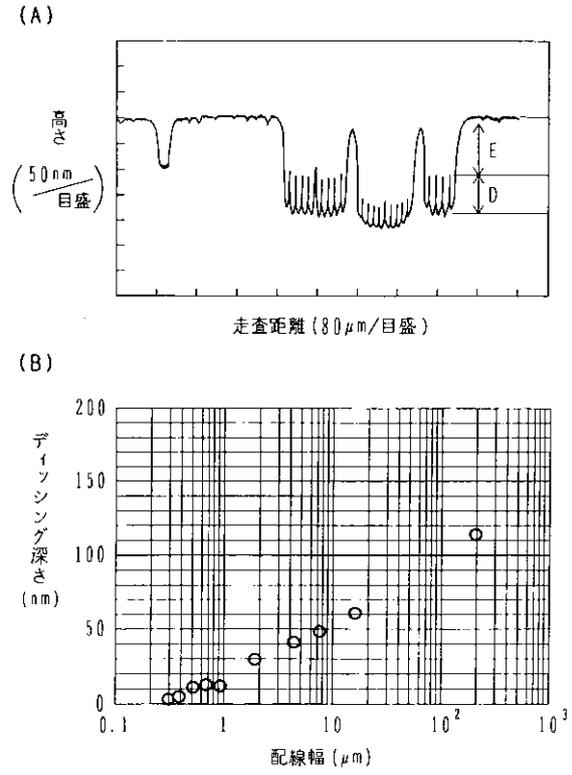
【 図 8 】



【図 9】



【図 10】



フロントページの続き

(72)発明者 細田 勉

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 大塚 敏志

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F033 HH11 HH21 HH32 HH33 JJ01 JJ11 JJ19 JJ21 JJ32 JJ33
KK01 KK11 KK21 KK32 KK33 MM01 MM02 MM12 MM13 NN06
NN07 PP27 QQ04 QQ11 QQ25 QQ37 QQ48 RR01 RR04 RR06
RR14 RR15 RR21 RR25 RR29 SS15 SS22 TT02 TT04 XX01
XX24