



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **272 945 A1**

4(51) H 01 R 23/02

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WPH 01 R / 316 621 4

(22) 10.06.88

(44) 25.10.89

(71) VEB Robotron-Elektronik Dresden, Postfach 240, Karl-Marx-Stadt, 9010, DD

(72) Turinsky, Günter, Dipl.-Ing., DD

(54) **Multichipmodul für hohe Schaltgeschwindigkeiten**

(55) Multichipmodul, Signalleiter, Potentialleiter, Zuordnung + Bonddraht, Befestigung + parallel, Anordnung, Bonddraht, Leiterzüge, Kanalführung
 (57) Die Erfindung betrifft ein Multichipmodul für hohe Schaltgeschwindigkeiten, bei dem die elektrische Verbindung der Halbleiterchips durch Bondbrücken und vorbereitete Kontaktinseln erfolgt. Hierfür sieht die Erfindung vor, daß die Trägerbondflächen und die Chipbondflächen an der Peripherie der Chips in einer solchen Reihenanzordnung vorgesehen sind, daß jeder Signalleiterbondfläche mindestens zu beiden Seiten benachbart eine Potentialleiterbondfläche angeordnet ist, daß die Bonddrähte von den Chipbondflächen zu den Trägerbondflächen in jeder Reihe mit gleicher Loopform, gleicher Loophöhe ausgebildet und parallel geführt sind, daß die Ankontaktierungspunkte der Bonddrähte auf den Chipbondflächen und Trägerbondflächen auf gleicher Linie angeordnet sind und daß die Trägerbondflächen mit zum Rand der Trägerplatte führenden Leiterzügen in paralleler Anordnung verbunden sind. Fig. 2

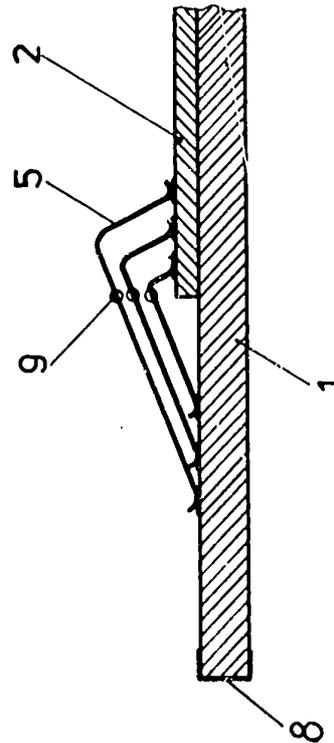


Fig. 2

Patentansprüche:

1. Multichipmodul mit hochdichter Mehrebenenverdrahtungsstruktur, bei dem auf der oberen Schichtebene Chipbondflächen aufweisende Halbleiterchips befestigt und Trägerbondflächen zur elektrischen Verbindung zwischen den Chipbondflächen der Halbleiterchips und den an den Trägerbondflächen angeschlossenen Leitungsverbindungen für Signal- und Stromversorgungsleitbahnen und/oder Außenanschlüssen mittels Bonddrahtbrücken vorgesehen sind, **dadurch gekennzeichnet**, daß die Trägerbondflächen (6) und die Chipbondflächen (4) an der Peripherie der Chips (2) in einer solchen Reihenanordnung vorgesehen sind, daß jeder Signalleiterbondfläche mindestens zu beiden Seiten benachbart eine Potentialleiterbondfläche angeordnet ist, daß die Bonddrähte (5) von den Chipbondflächen (4) zu den Trägerbondflächen (6) in jeder Reihe (A, B, C) mit gleicher Loopform, gleicher Loophöhe ausgebildet und parallel geführt sind, daß die Ankontaktierungspunkte der Bonddrähte (5) auf den Chipbondflächen (4) und Trägerbondflächen (6) auf gleicher Linie angeordnet sind und daß die Trägerbondflächen (6) mit zum Rand der Trägerplatte (1) führenden Leiterzügen (7) in paralleler Anordnung verbunden sind.
2. Multichipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß die Bonddrähte (5) der Potentialleiter dicker als die Bonddrähte (5) der Signalleiter sind.
3. Multichipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß die Chipbondflächen (4) und/oder Trägerbondflächen (6) des Potentials großflächiger als die der Signalleiter ausgebildet sind.
4. Multichipmodul nach Anspruch 1 und 3, **dadurch gekennzeichnet**, daß die Verbindungsflächen (11) der Signalleiter mit U-förmigen Verbindungsflächen (12) der Potentialleiter umgeben sind.
5. Multichipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß zur Sicherung der Parallelführung die benachbarten Bonddrähte (5) mit einem Halterungsmittel beabstandet sind.
6. Multichipmodul nach Anspruch 1 und 5, **dadurch gekennzeichnet**, daß als Halterungsmittel ein Harzkleber vorgesehen ist.
7. Multichipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß ein zwischen den Chips (2) befindliches Redundanzleitersystem (10) durch konsequente Parallelführung von Bonddrähten (5) überbrückt ist.
8. Multichipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß die Reihenanordnung aus drei Reihen (A, B, C) besteht.
9. Multichipmodul nach Anspruch 1 und 8, **dadurch gekennzeichnet**, daß jede Signalbondfläche von einem Kreis von Potentialbondflächen umgeben ist.
10. Multichipmodul nach Anspruch 1 bis 9, **dadurch gekennzeichnet**, daß die mit den Verbindungsflächen (11) über Vias verbundenen Signalleiter in den anderen Leiterzugebenen nahe von Potentialleitern angeordnet sind.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen Verdrahtungsträger für die elektrische Verbindung von Halbleiterchips hoher Schaltgeschwindigkeit über Bonddrahtbrücken und vorbereitete Kontaktinseln. Solche Verdrahtungsträger werden beispielsweise zur Aufnahme und Verdrahtung von hochintegrierten Logik- und Speicherschaltungen in Form von gehäuselosen Nacktchips benötigt, um die Packungsdichte, Verdrahtungsdichte und Zuverlässigkeit von elektronischen Geräten der Datenverarbeitung, Nachrichtentechnik und Mikrorechenstechnik weiter zu erhöhen.

Charakteristik der bekannten technischen Lösungen

Von der Herstellung kompakter Baugruppen mit hochintegrierten Halbleiterchips (HL-Chips) ist es bekannt, die Kontaktierung der HL-Chips mit dem Verdrahtungsträger über Bonddrähte von automatischen Drahtbondern ausführen zu lassen. Diese Art der Kontaktierung ist wirtschaftlich und in gewissen Grenzen frei wählbar. Außerdem ist sie für alle bekannten Verdrahtungsträger in Leiterplattentechnik, Dick- und Dünnschichttechnik einsetzbar. Ein solcher Verdrahtungsträger mit hochpoligen Halbleiterchips ist aus dem DD-WP 243144 bekannt. Bei dieser Lösung wird jedes Bondfenster des Halbleiterchips mit dem dazugehörigen Bondfenster auf dem Verdrahtungsträger über einen Bonddraht elektrisch verbunden. Mit der Zunahme des Integrationsgrades steigt die Anzahl der anzuschließenden Bondinseln. Dieser Trend zwingt zum Einsatz von immer kleiner werdenden Bondflächen und dünnen Bonddrähten. So kommt es, daß heute Bonddrähte von 15 µm bis 500 µm Dicke verarbeitet werden müssen. Deshalb wird das Dickdrahtbonden (100 µm ... 500 µm) meistens mit Aluminiumdrähten ausgeführt. Dünndrahtbonden werden aufgrund der höheren Präzision und des notwendigen Drahtbehandlungs fast ausschließlich Golddraht. Ein Hybridbonden ist von seiner mechanischen Konstruktion sowie seiner elektronischen Auslegung, einschließlich

Softwareunterstützung, in der Lage, unterschiedliche Bondparameter zu akzeptieren. Die Software in Verbindung mit einem modernen Bilderkennungssystem erlaubt es, Bondparameter, wie Bondgewicht, Ultraschallenergie, Ultraschallzeit, Loophöhe, Loopform, automatische Fokussierung bei unterschiedlichen Chipdicken und unterschiedlichen Oberflächenkontrasten, zu programmieren. Die Bondnadel kann in drei Dimensionen im Selbst-Lernverfahren frei programmiert werden. Aufgrund der Länge des Bonddrahtes, der Führung des Bonddrahtes im freien Raum und der willkürlichen Führung der Leiterzüge in den Verdrahtungsebenen des Verdrahtungsträgers ist diese Art der Herstellung einer Hybridschaltung für hochfrequente Schaltsignale nicht ausreichend. In allen bekannt gewordenen Schriften wurden HF-technische Gesichtspunkte bei der Realisierung der Verdrahtung nicht beachtet. Einer Weiterverwendung der bekannten Herstellungstechnologie von Hybrid-IS bei hochfrequenten Schaltungen stehen die Serieninduktivität, die Koppelkapazität und der unkontrollierte Wellenwiderstand entgegen. Moderne Schaltungen erfordern deshalb zur vollen Nutzung ihrer progressiven elektrischen Kennwerte eine verbesserte Bondtechnologie, die auch HF-Gesichtspunkte beachtet.

Aus der DE-OS 21 04057 ist eine elektrische Verbinderanordnung bekannt, bei der jeder Signalkontakt von Erdkontakten umgeben ist. Da in dieser Veröffentlichung lediglich auf eine Trennstelle eingegangen wird, ist eine Anleitung für die Bonddraht- und Leitungsführung und Bondstellenausbildung bei Multichipmodulen hoher Schaltgeschwindigkeit nicht zu entnehmen.

Ziel der Erfindung

Die Erfindung hat das Ziel, die HF-Eigenschaften der Leiterverbindungen bei einem Multichipmodul zu verbessern und eine kostengünstige Herstellung bei hoher Packungsdichte zu ermöglichen.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, Störimpulse durch Übersprechen zu vermindern, den Wellenwiderstand bei den Verbindungsleitungen kontrollierbar zu gestalten und eine berechenbare Signalausbreitungsgeschwindigkeit zu schaffen. Erfindungsgemäß wird die Aufgabe durch die im kennzeichnenden Teil der Patentansprüche angegebenen Merkmale gelöst. Das Wesen der Erfindung besteht in einer strengen Parallelführung aller Leitungsverbindungen und in der Abstimmung der elektrischen Kennwerte durch die gemischte Anwendung von Dünn- und Dickdrahtbonddrähten und Führung der Leiterzüge in vorbestimmten Verdrahtungskanälen.

Ausführungsbeispiel

Die Erfindung soll an einem Ausführungsbeispiel näher erläutert werden. In der Zeichnung zeigen:

- Fig. 1: einen Randabschnitt eines Multichipmoduls,
 Fig. 2: eine Seitenansicht des Randabschnittes gemäß Fig. 1,
 Fig. 3: einen Bereich zwischen zwei Halbleiterchips.

Der Randabschnitt in Fig. 1 zeigt eine Trägerplatte 1, auf der ein Chip 2 durch die Klebefläche 3 positioniert ist. Die Trägerplatte 1 ist beispielsweise als Keramikträger mit mehrlagiger Dünnschichtverdrahtung ausgebildet. Das Chip 2 ist auf der Oberseite an der Peripherie mit einer Reihenanordnung von Chipbondflächen 4 versehen, auf denen in bekannter Weise ein Ende von Bonddrähten 5 befestigt werden kann. (Es sind zur Erhaltung der Übersichtlichkeit nur die äußeren Bonddrähte 5 gezeigt.) Zur Anordnung der anderen Enden der Bonddrähte 5 und zur elektrischen Verbindung des Chips 2 mit den Signal- und Stromversorgungsleitbahnen und/oder den Außenanschlüssen sind auf der Trägerplatte 1 gleichviele Trägerbondflächen 6 unmittelbar an der Chipkante ausgebildet. Die Trägerbondflächen 6 werden in üblicher Verbindungstechnik mit den Verdrahtungsebenen des Keramikträgers verbunden, so daß auf eine nähere Beschreibung verzichtet werden kann. Die Trägerbondflächen 6 können durch Leiterzüge 7 auch an Anschlüsse 8 geführt werden, die sich am Rand der Trägerplatte 1 befinden. Für die Ausführung der Anschlüsse 8 gibt es mehrere Ausbildungsformen, von der lediglich, da die Gestaltung nicht erfindungswesentlich ist, eine auf die Trägerplattenunterseite führende Anschlußklemme dargestellt ist. In der Seitenansicht gemäß Fig. 2 sind die Anschlüsse 8 deutlicher zu sehen. Die Anordnung für die Chipbondflächen 4 und Trägerbondflächen 6 kann ein-, zwei- oder mehrreihig sein. In der Zeichnung sind drei Reihen A, B, C dargestellt. Die Verdrahtung der Reihen A, B, C stellt das Wesen der Erfindung dar.

Zur Sicherung der gewünschten guten elektrischen Eigenschaften von Signalleitern sind diese links und rechts bei Verwendung nur einer Reihe A benachbart von Potentialleitern umgeben.

Unter dem Begriff Potentialleiter sollen Masse- und alle anderen Spannungsversorgungsleiter verstanden werden. Um Störstellen weitgehend auszuschließen, wird die strenge Parallelanordnung von Signal- und Potentialleitern vom Halbleiterchip beginnend bis zu den Anschlüssen 8 bzw. bis zum nächsten Halbleiterchip beibehalten. Da sich die Loopform und Loophöhe beim automatischen Drahtbonden programmieren läßt, ist die gleichförmige räumliche Zuordnung von Signal- und Potentialleitern mit engen Toleranzen möglich. Unterstützt wird dieses Verfahren durch eine standardisierte Bondstellenanordnung auf dem Chip 2 und auf der Trägerplatte 1. Die Bondstellen sind somit abwechselnd mit statischem Potential (Masse, Spannung) bzw. mit dem Potential des Signalleiters belegt.

Bei ECL-Halbleiterchips kann es notwendig werden, daß zwischen zwei Potentialbonddrähten zwei Signalbonddrähte eingebettet sind. Die Fläche der Bondinseln ist der verwendeten Bonddrahtstärke angepaßt.

In einer Weiterentwicklung ist vorgesehen, daß für die Signalleiter dünne und für die Potentialleiter dicke Bonddrähte verwendet werden.

Bei einer hohen Packungsdichte und kleinem Rasterabstand der Bondinseln ist zum Vermeiden von Kurzschlüssen zwischen benachbarten Bonddrähten eine Beabstandung durch einen Harzklebertropfen 9 vorgesehen. Die Bonddrähte können auch mit Isolation versehen sein.

Da die Zeichnung die Reihen A, B, C zeigt, sind auch drei Harzklebertropfen 9 dargestellt, die auch raupenförmig ausgebildet werden können. Die Bonddrähte 5 werden in jeder Reihe A, B, C mit gleicher Loopform, gleicher Loophöhe ausgebildet und parallel geführt. Die Ankontaktierungspunkte der Bonddrähte 5 auf den Chipbondflächen 4 und Trägerbondflächen 6 werden auf gleicher Linie angeordnet, z. B. genau im Zentrum der Bondflächen. Auch die Leiterzüge 7, die von den Trägerbondflächen 6 zu den Anschlüssen 8 verlaufen, werden konsequent in paralleler Anordnung geführt. Werden die Chipbondflächen 4 und die Trägerbondflächen 6 in drei Reihen A, B, C angeordnet, dann lassen sich Signalleiter mit hohen Frequenzen mit einem Kreis von Potentialbondflächen umgeben. So wurden in Fig. 1 in den Reihen B beispielsweise die vierten und sechsten Chipbondflächen 4 und Trägerbondflächen 6 von links voll schwarz gezeichnet, während alle anderen Flächen hell dargestellt sind. Das heißt, die vierten Bondflächen und die sechsten Bondflächen gehören zu einer Signalleiter-, die anderen Bondstellen zu einer Potentialleiterverbindung. Die in der Reihe B zwischen den Bondflächen der Signalleiter befindliche Bondfläche für einen Potentialleiter (helle Bondfläche) ist also quasi beiden Signalleiterflächen gemeinsam zugeordnet.

Wie bereits dargelegt wurde, können die Bonddrähte 5 für die Chipbondflächen 4 und Trägerbondflächen 6 mit unterschiedlichem Durchmesser ausgebildet werden. Deshalb ist es zweckmäßig, für die dickeren Bonddrähte 5 der Potentialleiter auch großflächigere Bondflächen vorzusehen. Die Geometrie dieser Bondflächen kann quadratisch, rechteckig oder auch U-förmig sein, wie es in Fig. 3 dargestellt ist. Fig. 3 zeigt einen Bereich zwischen den Chips 2, die sich an den Enden der Leiterzüge 7 befinden. In der Mitte des Bereiches befindet sich ein Redundanzleitersystem 10, das keine Verbindung zu den bisher genannten Leitungsverbindungen hat, aber zur Verbindung zweier Chips 2 überbrückt werden muß. Dazu befinden sich zu beiden Seiten des Redundanzleitersystems 10 Verbindungsflächen 11 für Signalleiter und Verbindungsflächen 12 für Potentialleiter. Die Verbindungsflächen 12 sind U-förmig ausgebildet und umgeben die Verbindungsflächen 11 klammerartig. Fig. 3 macht deutlich, daß auch das Redundanzleitersystem durch parallel angeordnete Bonddrähte überbrückt wird. Die mit den Verbindungsflächen 11 über Vias verbundenen Signalleiter werden in den anderen Leiterzugebenen nahe von Potentialleitern angeordnet.

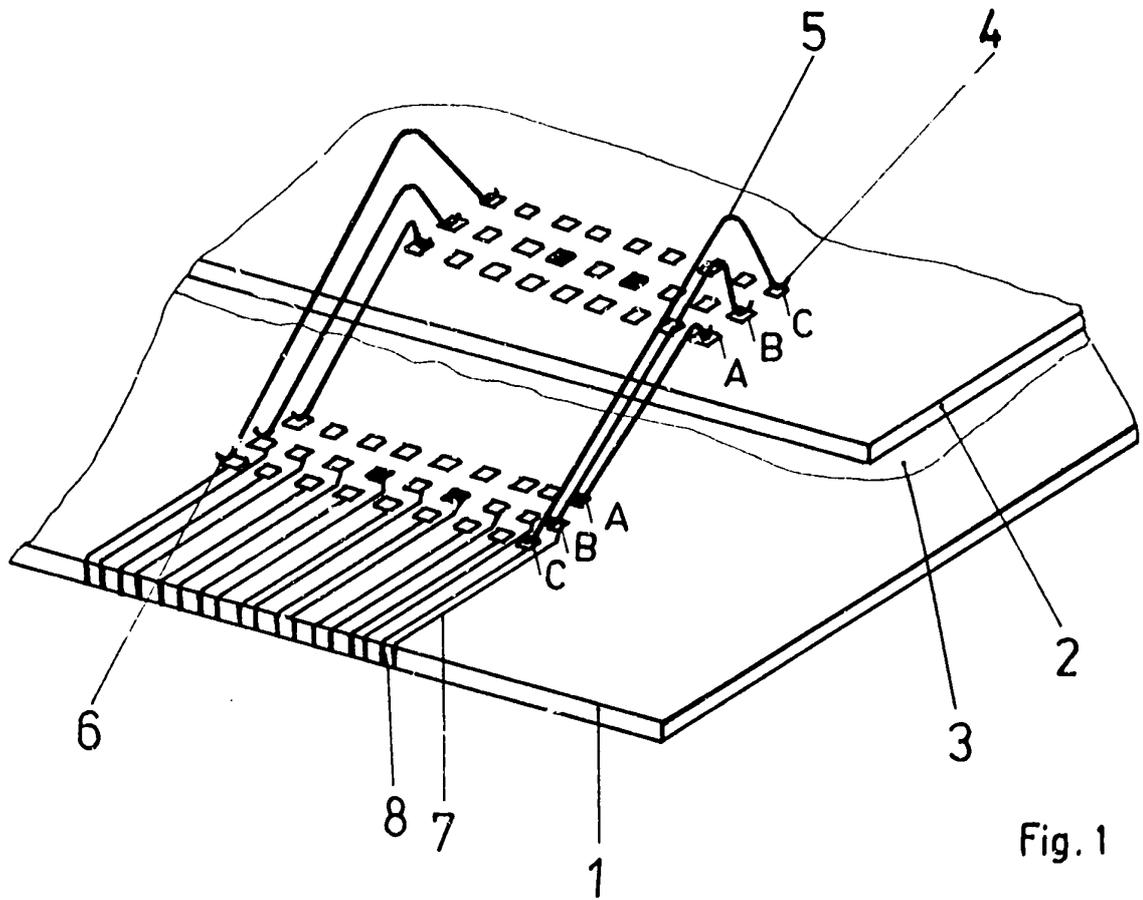


Fig. 1

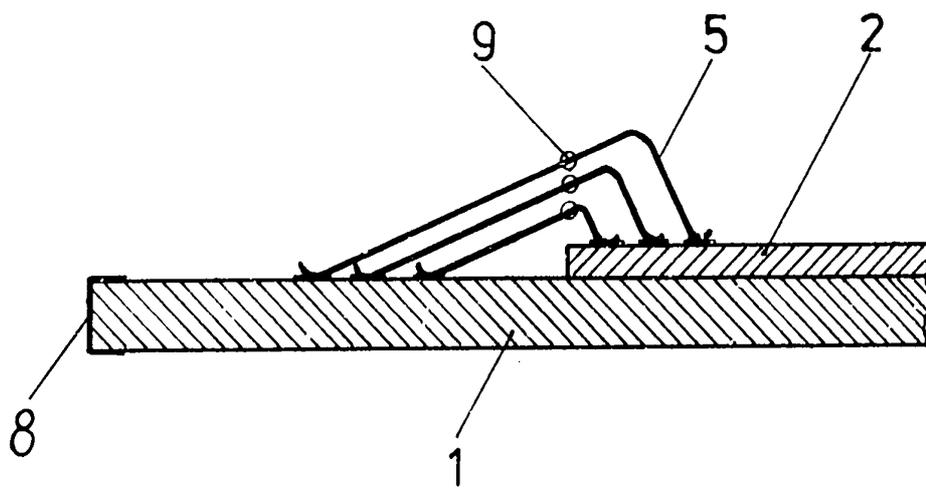


Fig. 2

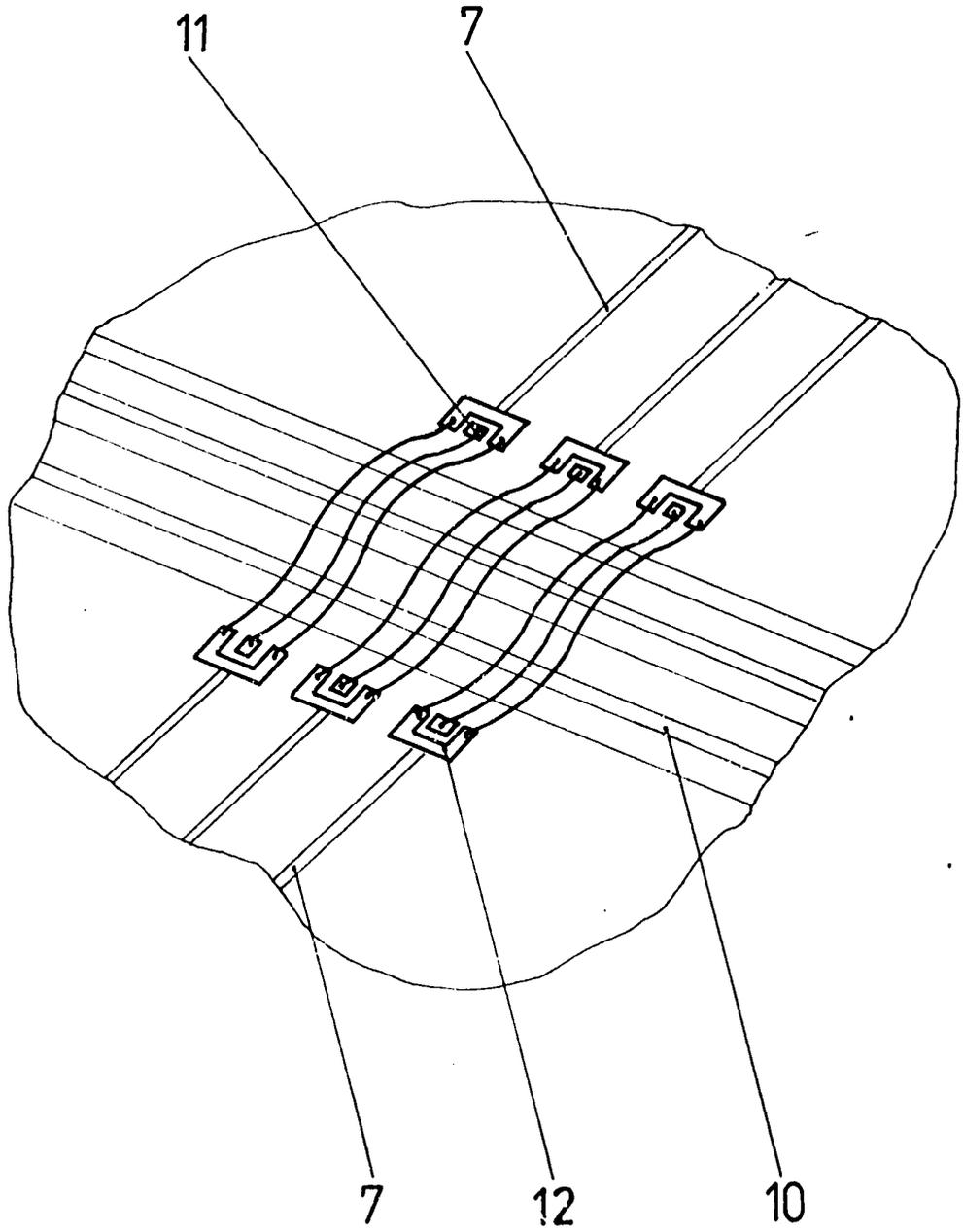


Fig. 3