

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-215761
(P2005-215761A)

(43) 公開日 平成17年8月11日(2005.8.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G05F 1/56	G05F 1/56 320C	5H410
G05F 1/10	G05F 1/56 310V	5H430
H03F 1/52	G05F 1/10 304M	5J500
	H03F 1/52 Z	

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願2004-18391 (P2004-18391)
(22) 出願日 平成16年1月27日 (2004. 1. 27)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 100071135
弁理士 佐藤 強
(74) 代理人 100119769
弁理士 小川 清
(72) 発明者 上田 吾朗
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
Fターム(参考) 5H410 BB05 CC02 DD02 EA10 FF05
FF22 FF24 FF25 LL06 LL20
5H430 BB01 BB05 BB09 BB11 BB12
EE03 FF02 FF08 FF12 FF13
GG11 HH03 LA07

最終頁に続く

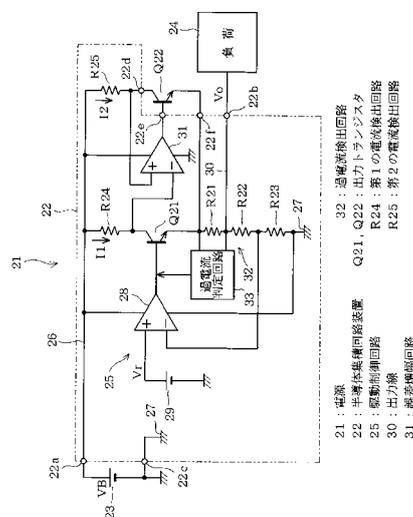
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 負荷の増減に対する拡張性に優れ、電源回路の駆動制御回路の回路規模を極力小さくする。

【解決手段】 負荷24が大きい場合には、IC22にトランジスタQ22を外付けし、内蔵されたトランジスタQ21と外付けされたトランジスタQ22とを同時に動作させてリニアレギュレータ21の電流出力能力を高める。制御回路25は、トランジスタQ21を制御することにより定電圧制御を行い、トランジスタQ22を制御することによりトランジスタQ21に流れる電流I1とトランジスタQ22に流れる電流I2との電流比を制御する。過電流検出回路32は、出力線30に流れるトランジスタQ21、Q22のコレクタ電流I1、I2をまとめて検出し、その検出値に基づいて過電流保護制御を行う。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

出力トランジスタとその駆動制御回路とを備え、負荷に対し前記内蔵された出力トランジスタを通して電力を供給する電源用の半導体集積回路装置において、

前記駆動制御回路は、前記負荷に対する出力電圧が目標電圧に一致するようにまたは出力電流が目標電流に一致するように前記内蔵された出力トランジスタを駆動制御するとともに、前記負荷に対する他の出力トランジスタが外付けされた状態で、前記内蔵された出力トランジスタに流れる電流と前記外付けされた出力トランジスタに流れる電流が所定比となるように、前記外付けされた出力トランジスタを駆動制御することを特徴とする半導体集積回路装置。

10

【請求項 2】

前記駆動制御回路は、

前記内蔵された出力トランジスタに流れる電流を検出する第 1 の電流検出回路と、

前記外付けされた出力トランジスタに流れる電流を検出する第 2 の電流検出回路と、

これら第 1、第 2 の電流検出回路によりそれぞれ検出された電流に基づいて、前記外付けされた出力トランジスタの制御端子に駆動信号を出力する誤差増幅回路とを備えていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記内蔵された出力トランジスタの電流出力端子と前記外付けされた出力トランジスタの電流出力端子とが共通の出力線に接続されており、

20

前記共通の出力線に流れる電流を検出し、その検出電流が所定の上限値を超えた場合に過電流保護信号を出力する過電流検出回路を備えていることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】

前記内蔵された出力トランジスタに流れる電流および前記外付けされた出力トランジスタに流れる電流の少なくとも一方の電流を検出し、その検出電流が所定の上限値を超えた場合に過電流保護信号を出力する過電流検出回路を備えていることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、負荷に対し所定の電圧または電流を供給する電源用の半導体集積回路装置に関する。

【背景技術】**【0002】**

マイクロコンピュータシステムにおいては、基板上に搭載される何れかの IC が電源回路を内蔵し、その電源を他の IC やセンサなどの外部回路にも供給するものがある。図 10 は、IC 1、4 がそれぞれ電源回路 2、5 を内蔵し、IC 1 が電源線 3 を通して外部回路 7 a、7 b、7 c に電源を供給し、IC 4 が電源線 6 を通して外部回路 7 d、7 e、7 f に電源を供給する構成を概略的に示している。

40

【0003】

一方、特許文献 1 には、IC に内蔵された電源回路の機能を停止させるための停止用端子と、この停止用端子をグランドに接続することによって電源回路の機能を停止させる機能停止回路とを備えた IC が開示されている。図 11 (a) は、その具体的なシステム構成を示したもので、IC 8 は電源回路 9 を内蔵し、電源線 10 を通して外部回路 7 a、7 b、7 c、... に電源を供給するようになっている。

【0004】

そして、外部回路 7 a、7 b、7 c、... が必要とする電流容量や電圧精度に変更が生じた場合、信号停止信号を用いて電源回路 9 の機能を停止させ、これに替えて IC 11 に内

50

蔵された電源回路12から電源を供給するようになっている。図11(b)は、上記電源回路9の具体的な回路構成を示している。停止信号をLレベルにすると、スイッチ13がオフとなり、オペアンプ14への電流供給が停止して、トランジスタQ1、Q2がオフ状態になる。

【特許文献1】特開平7-141065号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

図10に示したシステムでは、IC1の電源回路2とIC4の電源回路5とは互いに独立して制御されているため、システム全体としてみると電源回路の制御回路に重複が生じており、全体として回路規模および基板面積が増大し、コスト面で不利となる。また、外部回路7a~7fの電流容量に変更が生じた場合、電源回路2と5が負担する外部回路7a~7fを変更する必要がある、基板パターンの変更やIC1、4の設計変更が必要となる。

10

【0006】

一方、図11に示したシステムでも、IC8の電源回路9とIC11の電源回路12とは互いに独立して制御されており、しかも同時に電源供給を行うことがないため、やはり電源回路の制御回路に重複が生じており、全体として回路規模および基板面積が増大し、コスト面で不利となる。

【0007】

本発明は上記事情に鑑みてなされたもので、その目的は、負荷の増減に対する拡張性に優れ、電源回路の駆動制御回路の回路規模を極力小さくすることができる電源用の半導体集積回路装置を提供することにある。

20

【課題を解決するための手段】

【0008】

請求項1に記載した手段によれば、電源用の半導体集積回路装置には、負荷に対し電圧、電流を出力する出力トランジスタとその駆動制御回路が内蔵されている。例えば定電圧電源用の場合、駆動制御回路は、出力電圧を検出して電圧フィードバック制御を行うことにより、負荷に対する出力電圧が目標電圧に一致するように出力トランジスタを駆動制御する。また、定電流電源用の場合、駆動制御回路は、出力電流を検出して電流フィードバック制御を行うことにより、負荷に対する出力電流が目標電流に一致するように出力トランジスタを駆動制御する。

30

【0009】

負荷への供給電流が内蔵された出力トランジスタの定格電流以下であって、出力トランジスタの損失が半導体集積回路装置の許容値以下である場合には、当該半導体集積回路装置は負荷に対し単独で電源を供給できる。これに対し、負荷が大きくなり上記制限を超える場合には、当該半導体集積回路装置に出力トランジスタを外付けすることにより、内蔵された出力トランジスタと外付けされた出力トランジスタとを並列的に動作させて、負荷に対してより大きな電力を供給することができる。

【0010】

この場合、駆動制御回路は、外付けされた出力トランジスタを駆動制御して、内蔵された出力トランジスタに流れる電流と外付けされた出力トランジスタに流れる電流との電流比を所定比に制御するので、内蔵された出力トランジスタに対してのみ上記電圧フィードバック制御または電流フィードバック制御を行えば、目標電圧または目標電流への追従制御が可能となる。その結果、1つの駆動制御回路により、両出力トランジスタを相互干渉なく安定して駆動制御できるので、電源を分散せざるを得なかった従来構成に比べて、システム全体として電源（特に駆動制御回路）の回路規模を小さくすることができる。

40

【0011】

請求項2に記載した手段によれば、内蔵された出力トランジスタに流れる電流が第1の電流検出回路により検出され、外付けされた出力トランジスタに流れる電流が第2の電流

50

検出回路により検出される。これら電流検出回路には、例えば抵抗回路が用いられる。誤差増幅回路は、これら検出電流の比が所定比となるように、外付けされた出力トランジスタの制御端子（ベース、ゲート）に駆動信号を出力する。

【0012】

請求項3に記載した手段によれば、内蔵された出力トランジスタの出力電流と外付けされた出力トランジスタの出力電流との加算電流に基づいて過電流保護信号が生成される。内蔵された出力トランジスタに流れる電流と外付けされた出力トランジスタに流れる電流との電流比は所定比に制御されているので、何れか一方の出力トランジスタに電流が集中して流れることはなく、両電流をまとめて検出しても、両出力トランジスタの過電流を確実に検出することができる。また、個々の出力トランジスタごとに過電流検出回路を設ける必要がないので、回路規模を小さくすることができる。なお、過電流検出回路にヒステリシス特性を持たせてもよい。

10

【0013】

請求項4に記載した手段によれば、内蔵された出力トランジスタに流れる電流および外付けされた出力トランジスタに流れる電流の少なくとも一方の電流に基づいて過電流保護信号が生成される。内蔵された出力トランジスタに流れる電流と外付けされた出力トランジスタに流れる電流との電流比は所定比に制御されているので、少なくとも一方の出力トランジスタについて過電流検出を行えば、他方の出力トランジスタについても過電流保護がなされる。従って、個々の出力トランジスタごとに過電流検出回路を設ける必要がなく、回路規模を小さくすることができる。

20

【発明を実施するための最良の形態】**【0014】**

（第1の実施形態）

以下、本発明の第1の実施形態について図1を参照しながら説明する。

図1は、リニアレギュレータの回路構成を示している。このリニアレギュレータ21は、シリーズレギュレータ方式の定電圧電源であって、電源用のIC22（半導体集積回路装置）と、必要に応じて当該IC22に外付けされるNPN形トランジスタQ22（外付けされた出力トランジスタに相当）とから構成されている。

【0015】

IC22の端子22aは、バッテリーなど外部の直流電源23の高電位側端子が接続される電源入力端子であり、端子22bは、外部の負荷24に対し一定電圧 V_o を出力する電源出力端子である。また、IC22の端子22cはグランド端子であり、端子22d、22e、22fは、それぞれトランジスタQ22のコレクタ、ベース、エミッタの各接続端子である。このリニアレギュレータ21は、例えばマイクロコンピュータシステムを構成する基板上に搭載されて用いられ、この場合、負荷24は当該基板上に搭載された他のIC等となる。

30

【0016】

続いて、IC22の内部構成について説明する。

IC22は、NPN形トランジスタQ21（内蔵された出力トランジスタに相当）と、トランジスタQ21、Q22を駆動制御する制御回路25（駆動制御回路に相当）とを備えて構成されている。その他の機能回路を備えていてもよい。端子22a、22cは、それぞれIC22内部の電源線26、27に接続されている。トランジスタQ21のエミッタは、過電流検出用の抵抗R21を介して端子22bに接続されており、トランジスタQ21のコレクタは、当該トランジスタQ21に流れる電流を検出するための抵抗R24（第1の電流検出回路に相当）を介して電源線26に接続されている。端子22bと電源線27との間には、分圧回路を構成する抵抗R22、R23が直列に接続されている。

40

【0017】

オペアンプ28は、トランジスタQ21を駆動制御する誤差増幅器であって、その出力端子はトランジスタQ21のベース（制御端子に相当）に接続されている。また、オペアンプ28の非反転入力端子には、バンドギャップ基準電圧発生回路29から基準電圧 V_r

50

が入力されるようになっており、反転入力端子には、抵抗 R 2 2 と R 2 3 との共通接続点（分圧点）から検出電圧が入力されるようになっている。

【 0 0 1 8 】

電源線 2 6 と端子 2 2 d との間には、外付けのトランジスタ Q 2 2 に流れる電流を検出するための抵抗 R 2 5（第 2 の電流検出回路に相当）が接続されている。また、トランジスタ Q 2 1 のエミッタ（電流出力端子に相当）と端子 2 2 f（トランジスタ Q 2 2 のエミッタ（電流出力端子に相当））とは、抵抗 R 2 1 が設けられている共通の出力線 3 0 に接続されている。

【 0 0 1 9 】

オペアンプ 3 1（誤差増幅回路に相当）は、上記トランジスタ Q 2 2 を駆動制御する誤差増幅器であって、その出力端子は端子 2 2 e（トランジスタ Q 2 2 のベース）に接続されている。オペアンプ 3 1 の非反転入力端子は端子 2 2 d に接続されており、反転入力端子はトランジスタ Q 2 1 のコレクタに接続されている。なお、オペアンプ 2 8、3 1 は、電源線 2 6、2 7 から電圧 V B の供給を受けて動作するようになっている。

10

【 0 0 2 0 】

過電流検出回路 3 2 は、出力線 3 0 に流れる電流を監視するもので、上述の抵抗 R 2 1 と過電流判定回路 3 3 とから構成されている。過電流判定回路 3 3 は、抵抗 R 2 1 の両端電圧が所定の判定電圧以上となった時に、オペアンプ 2 8 の出力端子からトランジスタ Q 2 1 に流れるベース電流を引き抜き、トランジスタ Q 2 1 を強制的にオフ状態にする回路である。

20

【 0 0 2 1 】

次に、本実施形態の作用について説明する。

負荷 2 4 が要求する電流がトランジスタ Q 2 1 の定格電流を超える場合、またはトランジスタ Q 2 1 のコレクタ損失が I C 2 2 の許容値を超える場合には、I C 2 2 にトランジスタ Q 2 2 を外付けし、内蔵されたトランジスタ Q 2 1 と外付けされたトランジスタ Q 2 2 とを同時に並列的に動作させて、リニアレギュレータ 2 1 の電流出力能力を高めることができる。

【 0 0 2 2 】

この場合、制御回路 2 5 は、I C 2 2 に内蔵されたトランジスタ Q 2 1 を制御することにより定電圧制御を行い、I C 2 2 に外付けされたトランジスタ Q 2 2 を制御することにより、トランジスタ Q 2 1 に流れる電流 I 1 とトランジスタ Q 2 2 に流れる電流 I 2 との電流比を制御する。

30

【 0 0 2 3 】

この場合の定電圧制御は、シリーズレギュレータ方式として周知のフィードバック制御である。すなわち、出力電圧 V o が目標電圧よりも低下した場合、オペアンプ 2 8 の出力電圧が上がってトランジスタ Q 2 1 のベース電流が増加し、トランジスタ Q 2 1 のコレクタ・エミッタ間電圧が下がった分だけ出力電圧 V o が上昇する。逆に、出力電圧 V o が目標電圧よりも上昇した場合、オペアンプ 2 8 の出力電圧が下がってトランジスタ Q 2 1 のベース電流が減少し、トランジスタ Q 2 1 のコレクタ・エミッタ間電圧が上がった分だけ出力電圧 V o が低下する。

40

【 0 0 2 4 】

一方、オペアンプ 3 1 は、抵抗 R 2 4 の両端電圧と抵抗 R 2 5 の両端電圧とが等しくなるように、トランジスタ Q 2 2 のベースに対し駆動信号を出力する。抵抗 R 2 4、R 2 5 の抵抗値を符号と等しく R 2 4、R 2 5 で表せば、トランジスタ Q 2 1 に流れる電流 I 1 とトランジスタ Q 2 2 に流れる電流 I 2 との比 $I 1 / I 2$ は、 $R 2 5 / R 2 4$ に等しく制御される。これにより、トランジスタ Q 2 1 と Q 2 2 は一体的に動作することになり、制御回路 2 5 がトランジスタ Q 2 1 を定電圧制御すれば、結果的にトランジスタ Q 2 2 も併せて定電圧制御することになる。

【 0 0 2 5 】

トランジスタ Q 2 2 が外付けされていない場合には、端子 2 2 f から出力線 3 0 に流れ

50

込む電流がないため、出力トランジスタとしてトランジスタQ 2 1のみが設けられた従来構成のシリーズレギュレータと同様の動作となる。従って、リニアレギュレータ2 1は、トランジスタQ 2 2が外付けされているか否かにかかわらず、基準電圧V_rと抵抗R 2 2、R 2 3の値(分圧比)とに基づいて定まる目標電圧に等しい電圧を出力することができる。

【0026】

トランジスタQ 2 1、Q 2 2のコレクタ電流I₁、I₂は、ともに共通の出力線3 0を通して出力される。そこで、過電流検出回路3 2は、出力線3 0に設けられた抵抗R 2 1の両端電圧に基づいてコレクタ電流I₁とI₂とをまとめて検出し、その検出値に基づいて過電流保護制御を行う。トランジスタQ 2 1、Q 2 2のコレクタ電流I₁、I₂は一定比に制御されているので、何れか一方のトランジスタQ 2 1またはQ 2 2に電流が集中して流れることはなく、両電流I₁、I₂をまとめて検出しても、両トランジスタQ 2 1、Q 2 2の過電流を確実に検出することができる。

10

【0027】

以上説明したように、負荷2 4への出力電流がIC 2 2に内蔵されたトランジスタQ 2 1の定格電流以下であって、且つトランジスタQ 2 1のコレクタ損失がIC 2 2の許容値以下である場合には、IC 2 2は負荷2 4に対し単独で電源を供給できる。そして、上記制限を超える場合には、IC 2 2にトランジスタQ 2 2を外付けすることにより、内蔵されたトランジスタQ 2 1と外付けされたトランジスタQ 2 2とを並列的に動作させて、負荷2 4に対してより大きな電力を供給することができるので、拡張性の高い電源を構成できる。

20

【0028】

この場合、制御回路2 5は、外付けされたトランジスタQ 2 2を駆動制御して、トランジスタQ 2 1に流れる電流I₁とトランジスタQ 2 2に流れる電流I₂との電流比を所定比に制御するので、内蔵されたトランジスタQ 2 1に対してのみ定電圧制御を行えば、目標電圧に等しい電圧を出力できる。つまり、1つの制御回路2 5により、トランジスタQ 2 1、Q 2 2を相互干渉なく安定して制御できるので、マイクロコンピュータシステム全体として、電源に要する回路規模を小さくすることができる。

【0029】

また、上記電流比制御を行う結果、トランジスタQ 2 1に流れる電流I₁とトランジスタQ 2 2に流れる電流I₂をまとめて検出しても、トランジスタQ 2 1、Q 2 2に流れる過電流を確実に検出することができる。そして、個々のトランジスタQ 2 1、Q 2 2ごとに過電流検出回路を設ける必要がないので、制御回路2 5の回路規模を一層小さくすることができる。

30

【0030】

(第2ないし第8の実施形態)

次に、本発明の第2ないし第8の実施形態について、それぞれ図2ないし図8を参照しながら説明する。これらの図において、図1と同一構成部分には同一符号を付して示している。

第2の実施形態を示す図2に示すリニアレギュレータ3 4は、シリーズレギュレータ方式の電源用IC 3 5と、必要に応じて当該IC 3 5に外付けされるPNP形トランジスタQ 2 3とから構成されている。外付けのトランジスタQ 2 3がPNP形であるため、IC 3 5の制御回路3 6において、オペアンプ3 1の反転入力端子は端子3 5 dに接続されており、非反転入力端子はトランジスタQ 2 1のコレクタに接続されている。

40

【0031】

第3の実施形態を示す図3に示すリニアレギュレータ3 7は、シリーズレギュレータ方式の電源用IC 3 8と、必要に応じて当該IC 3 8に外付けされるPNP形トランジスタQ 2 3とから構成されている。IC 3 8に内蔵された出力トランジスタQ 2 4はPNP形であるため、制御回路3 9において、オペアンプ2 8の反転入力端子はバンドギャップ基準電圧発生回路2 9に接続され、非反転入力端子は、抵抗R 2 2とR 2 3との共通接続点

50

に接続されている。オペアンプ 31 の接続形態は、図 2 と同様である。

【0032】

第 4 の実施形態を示す図 4 に示すリニアレギュレータ 40 は、シリーズレギュレータ方式の電源用 IC 41 と、必要に応じて当該 IC 41 に外付けされる NPN 形トランジスタ Q 22 とから構成されている。IC 41 に内蔵されたトランジスタ Q 24 は PNP 形であり、オペアンプ 28、31 の接続形態は、それぞれ図 3、図 1 と同様である。

これら図 2 ないし図 4 に示すリニアレギュレータ 34、37、40 は、内蔵または外付けの出力トランジスタ Q 21 ないし Q 24 にバイポーラトランジスタを用いており、第 1 の実施形態で説明したリニアレギュレータ 21 と同様の作用、効果を奏する。

【0033】

第 5 の実施形態を示すリニアレギュレータ 43 は、シリーズレギュレータ方式の電源用 IC 44 と、必要に応じて当該 IC 44 に外付けされる N チャンネル型 MOS トランジスタ Q 26 とから構成されている。IC 44 には、出力トランジスタとして N チャンネル型の MOS トランジスタ Q 25 が内蔵されている。IC 44 の制御回路は、設計上の差異を除けば図 1 に示す制御回路 25 と同じである。

【0034】

第 6 の実施形態を示すリニアレギュレータ 45 は、シリーズレギュレータ方式の電源用 IC 46 と、必要に応じて当該 IC 46 に外付けされる P チャンネル型 MOS トランジスタ Q 27 とから構成されている。IC 46 は、MOS トランジスタ Q 25 と制御回路 36 とを備えている。

【0035】

第 7 の実施形態を示すリニアレギュレータ 47 は、シリーズレギュレータ方式の電源用 IC 48 と、必要に応じて当該 IC 48 に外付けされる N チャンネル型 MOS トランジスタ Q 26 とから構成されている。IC 48 には、出力トランジスタとして P チャンネル型の MOS トランジスタ Q 28 が内蔵されており、これは制御回路 39 により制御されるようになっている。

【0036】

第 8 の実施形態を示すリニアレギュレータ 49 は、シリーズレギュレータ方式の電源用 IC 50 と、必要に応じて当該 IC 50 に外付けされる P チャンネル型 MOS トランジスタ Q 27 とから構成されている。IC 50 には、出力トランジスタとして P チャンネル型の MOS トランジスタ Q 28 が内蔵されており、これは制御回路 42 により制御されるようになっている。

これら図 5 ないし図 8 に示すリニアレギュレータ 43、45、47、49 は、内蔵または外付けの出力トランジスタ Q 25 ないし Q 28 に MOS トランジスタを用いており、第 1 の実施形態で説明したリニアレギュレータ 21 と同様の作用、効果を奏する。

【0037】

(第 9 の実施形態)

次に、本発明の第 9 の実施形態について図 9 を参照しながら説明する。

図 9 は、リニアレギュレータの電氣的構成を示しており、図 1 と同一構成部分には同一符号を付している。このリニアレギュレータ 51 は、シリーズレギュレータ方式の電源用 IC 52 と、必要に応じて当該 IC 52 に外付けされるトランジスタ Q 22 とから構成されている。トランジスタ Q 22 のエミッタは、出力端子である端子 52b に接続されており、IC 52 の制御回路 53 に設けられた過電流検出回路 54 は、トランジスタ Q 21 に流れる電流 I 1 のみを検出して過電流判定をするようになっている。

【0038】

内蔵されたトランジスタ Q 21 に流れる電流 I 1 と外付けされたトランジスタ Q 22 に流れる電流との電流比は所定比に制御されているので、トランジスタ Q 21 について過電流検出を行えば、他方のトランジスタ Q 22 についても過電流保護がなされることになる。従って、個々のトランジスタ Q 21、Q 22 ごとに過電流検出回路を設ける必要がなく、第 1 の実施形態と同様に回路規模を小さくすることができる。

10

20

30

40

50

【 0 0 3 9 】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各実施形態において、外付けする出力トランジスタは1つのみとしたが、複数のトランジスタを外付けするように構成してもよい。この場合には、外付けする各出力トランジスタごとに、オペアンプ(オペアンプ31に相当)と抵抗(抵抗R25に相当)を設け、外付けトランジスタのそれぞれに対して上記電流比制御を行えばよい。

【 0 0 4 0 】

定電流電源、可変電圧電源および可変電流電源についても適用できる。定電流電源および可変電流電源の場合には、内蔵される出力トランジスタに対し電流フィードバック制御を行うことにより、負荷24に対する出力電流を目標電流に一致させることができる。また、シャントレギュレータ方式のリニアレギュレータに対しても適用できる。

電流ソース形の電源のみならず電流シンク形の電源にも適用できる。

10

【 0 0 4 1 】

過電流検出回路32、54は必要に応じて設ければよい。また、過電流検出回路32、54にヒステリシス特性を持たせてもよい。

内蔵された出力トランジスタに流れる電流ではなく、外付けされた出力トランジスタに流れる電流を検出して過電流検出をするように構成してもよい。

【 図面の簡単な説明 】

20

【 0 0 4 2 】

【 図 1 】 本発明の第1の実施形態を示すリニアレギュレータの電氣的構成図

【 図 2 】 本発明の第2の実施形態を示す図1相当図

【 図 3 】 本発明の第3の実施形態を示す図1相当図

【 図 4 】 本発明の第4の実施形態を示す図1相当図

【 図 5 】 本発明の第5の実施形態を示す図1相当図

【 図 6 】 本発明の第6の実施形態を示す図1相当図

【 図 7 】 本発明の第7の実施形態を示す図1相当図

【 図 8 】 本発明の第8の実施形態を示す図1相当図

【 図 9 】 本発明の第9の実施形態を示す図1相当図

30

【 図 1 0 】 従来技術に係る電源供給の電氣的構成を示す図

【 図 1 1 】 (a) は図 1 0 相当図、(b) は電源回路の電氣的構成図

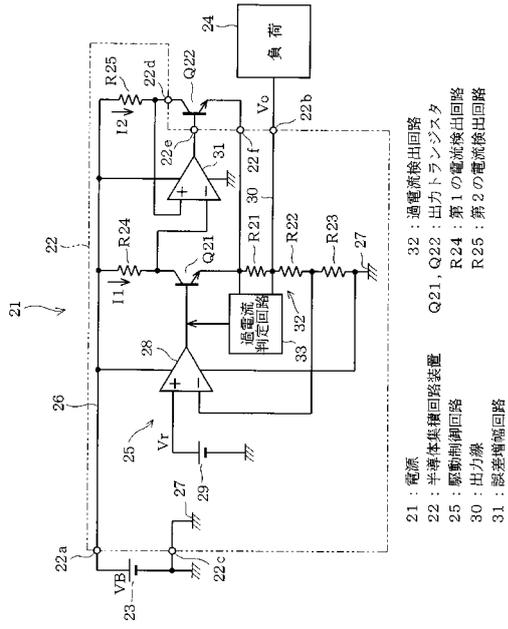
【 符号の説明 】

【 0 0 4 3 】

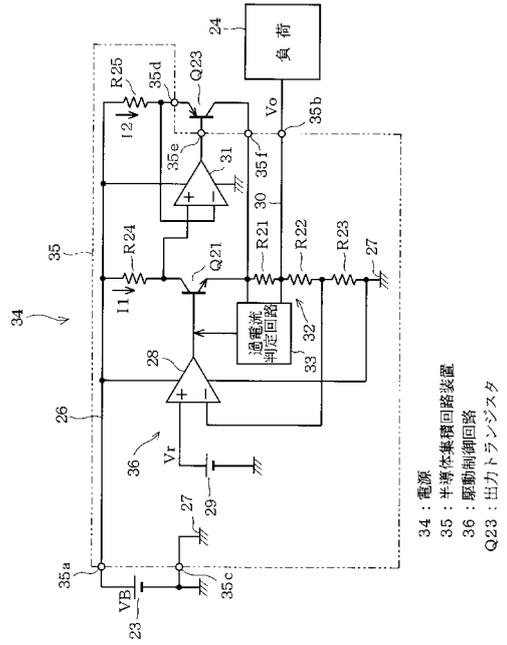
21、34、37、40、43、45、47、49、51はリニアレギュレータ(電源)、22、35、38、41、44、46、48、50、52はIC(半導体集積回路装置)、24は負荷、25、36、39、42、53は制御回路(駆動制御回路)、30は出力線、31はオペアンプ(誤差増幅回路)、32、54は過電流検出回路、Q21、Q24はトランジスタ(内蔵された出力トランジスタ)、Q22、Q23はトランジスタ(外付けされた出力トランジスタ)、Q25、Q28はMOSトランジスタ(内蔵された出力トランジスタ)、Q26、Q27はMOSトランジスタ(外付けされた出力トランジスタ)、R24は抵抗(第1の電流検出回路)、R25は抵抗(第2の電流検出回路)である。

40

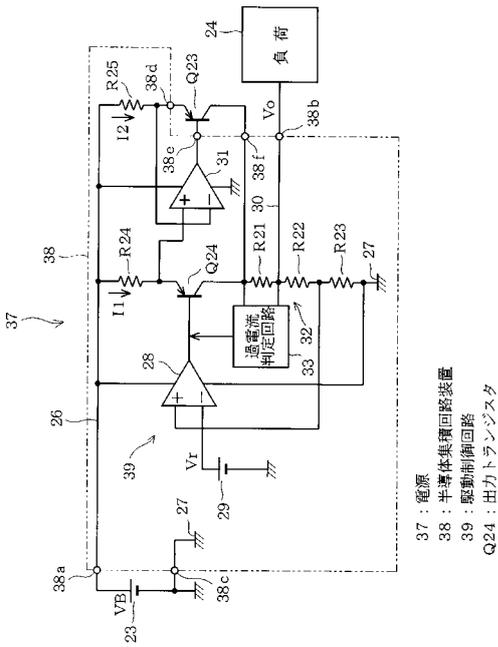
【 図 1 】



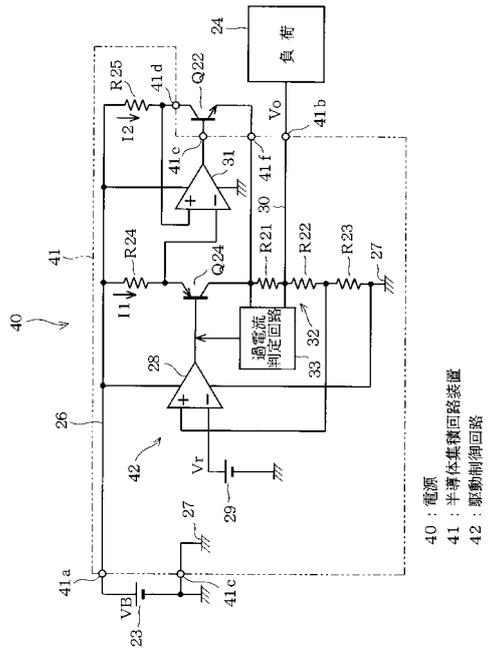
【 図 2 】



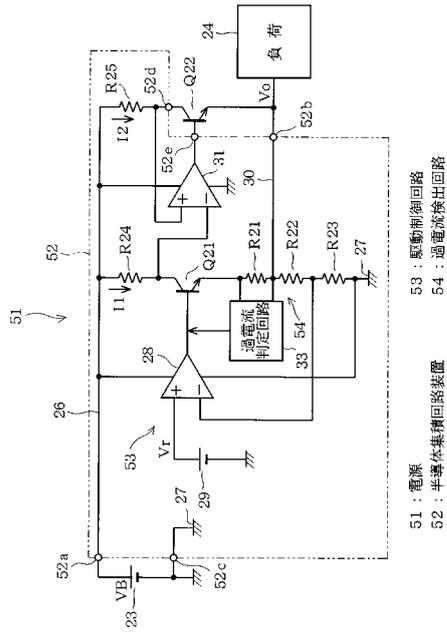
【 図 3 】



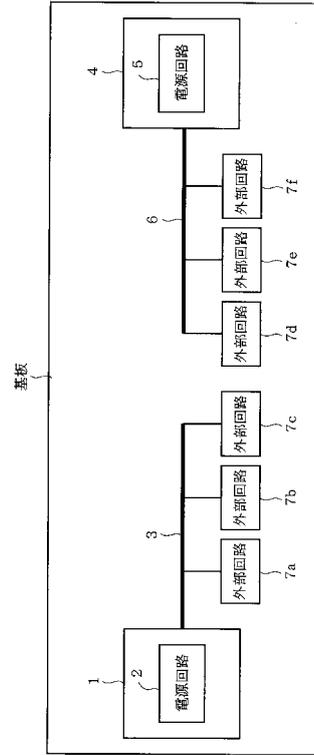
【 図 4 】



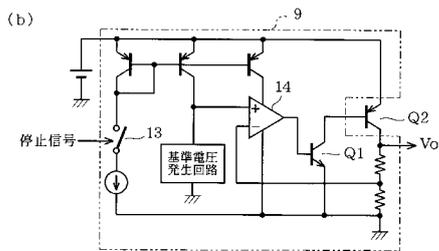
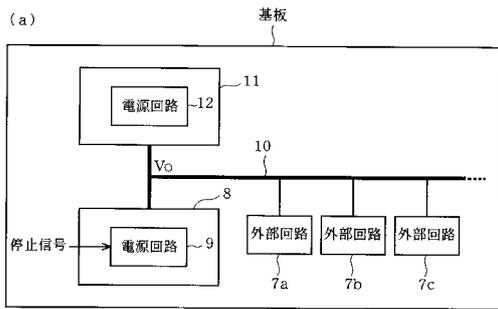
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA11 AC57 AF17 AH02 AH10 AH25 AH38 AK01 AK05
AM21 AT01 PF05 PG02