



[12] 发明专利申请公开说明书

[21] 申请号 200410047616.0

[43] 公开日 2005年2月2日

[11] 公开号 CN 1574081A

[22] 申请日 2004.5.27

[21] 申请号 200410047616.0

[30] 优先权

[32] 2003.5.27 [33] JP [31] 2003-149323

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 藤本知则 大田清人 菊川博仁

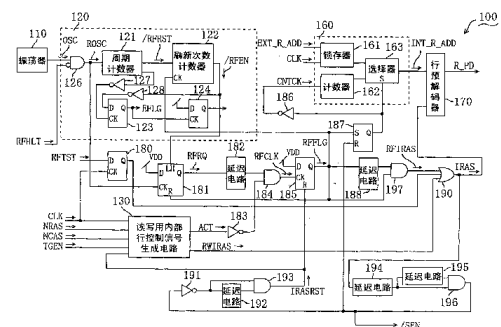
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书5页 说明书15页 附图8页

[54] 发明名称 半导体存储装置及半导体集成电路装置

[57] 摘要

本发明提供一种半导体存储装置和半导体集成电路装置，半导体存储装置的行控制电路(100)包含：振荡器(110)，其作为时钟振荡器产生内部时钟；D触发器(181)，其作为刷新请求信号生成电路，与内部时钟同步产生刷新请求信号(RFRQ)。作为刷新控制电路，包括：延迟电路(182)、与非门(184)、与门(182)、D触发器(185)、延迟电路(188)、与门(189)以及或门(190)。通过利用刷新请求信号(RFRQ)以及有效信号(ACT)，与外部刷新指令脱离，在DRAM内部进行内部刷新。这样，可以充分确保刷新功能，同时可以实现简化存储器控制的目的。



1、一种半导体存储装置，包括将具有电容器和晶体管的存储器单元
5 多个配置成行列状所构成的存储器单元阵列、与配置在所述存储器单元阵
列的行方向上的多个存储器单元连接的多条字线、与配置在所述存储器单
元阵列的列方向上的多个存储器单元连接的多条位线，由来自外部的信号
对所述存储器单元进行读写，其特征在于，包括：

时钟振荡器，其产生振荡时钟；

10 刷新请求信号生成电路，其根据所述振荡时钟，产生刷新请求信号；

开始时期检测信号生成电路，其响应来自外部的访问请求信号，产生
表示刷新开始可能区间的开始时期检测信号；和

刷新用内部行控制信号生成电路，其根据所述刷新请求信号和所述开
始时期检测信号，产生用于进行内部刷新动作的刷新用内部行控制信号。

15 2、根据权利要求1所述的半导体存储装置，其特征在于，

所述刷新用内部行控制信号生成电路，具备将所述刷新请求信号延迟
的延迟电路，在经过由所述延迟电路延迟的时间后产生所述刷新用内部行
控制信号。

3、根据权利要求1所述的半导体存储装置，其特征在于，

20 还具备刷新允许信号生成电路，其根据刷新实行次数的计数值产生刷
新允许信号；

所述刷新请求信号生成电路，响应所述刷新允许信号，当所述刷新允
许信号在第一逻辑电平时产生所述刷新请求信号，当所述刷新允许信号在
第二逻辑电平时不产生刷新请求信号。

25 4、根据权利要求3所述的半导体存储装置，其特征在于，

还具备测量内部刷新周期的刷新周期测量电路；

所述刷新允许信号生成电路，在各内部刷新周期的开头将所述刷新允
许信号置成第一逻辑电平，然后对内部刷新次数开始计数，当内部刷新次
数达到给定次数后，将所述刷新允许信号置成第二逻辑电平。

30 5、根据权利要求4所述的半导体存储装置，其特征在于，

还具备错误标志输出电路，其在各内部刷新周期的开头，核对在上一内部刷新周期中内部刷新是否执行了给定次数，在没有执行给定次数的情况下输出错误标志。

6、根据权利要求 5 所述的半导体存储装置，其特征在于，

5 所述错误标志输出电路，在各内部刷新周期的开头，当在以前的任一内部刷新周期中内部刷新没有一次执行了给定次数的情况下，将所述错误标志设置成错误状态，并保持该状态。

7、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，还具有读写定时控制电路，从读写周期的先头开始延迟一次内部刷新处理时间以上的时间后，开始对所述存储器单元进行读写。

8、根据权利要求 7 所述的半导体存储装置，其特征在于，

所述开始时期检测信号生成电路，在所述读写处理和根据所述开始时期检测信号进行的内部刷新动作不重复的时刻，产生所述开始时期检测信号。

9、根据权利要求 8 所述的半导体存储装置，其特征在于，

15 所述开始时期检测信号生成电路，在读写周期结束时对所述开始时期检测信号激活，在下一读写周期的开始时经过给定的延迟时间后对所述开始时期检测信号非激活。

10、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，

20 以来自外部的刷新停止信号作为输入，当所述刷新停止信号为有效电平时停止内部刷新。

11、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，在检查时，根据来自外部的检查用刷新指令进行刷新。

12、根据权利要求 11 所述的半导体存储装置，其特征在于，

25 在检查时，将所述刷新停止信号置成有效电平，让内部刷新处于停止状态，然后根据来自外部的检查用刷新指令进行刷新。

13、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，

30 用于停止内部刷新动作的内部行控制复位信号的产生，从所述刷新用

内部行控制信号被激活开始，经过由延迟电路延迟的给定时间后进行。

14、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，

在响应内部刷新请求信号要开始内部刷新时，在将内部行地址从外部地址切换到刷新地址经过一定时间后，内部刷新开始。

15、根据权利要求 1~6 中任一项所述的半导体存储装置，其特征在于，

根据与外部时钟同步而从外部输入的行控制信号，使字线有效后读出存储器单元的数据，产生用于控制由灵敏放大器放大的动作的读写用内部行控制信号，在与所述外部时钟同步，继所述行控制信号的供给之后，当从外部提供的列控制信号有效时，所述读写用内部行控制信号的非激活，在从用于将所述灵敏放大器的数据传送到数据线的传输门允许信号被激活开始经过第一给定延迟时间后进行，当所述列控制信号为非有效时，所述读写用内部行控制信号的非激活，在从所述读写用内部行控制信号被激活开始经过第二给定延迟时间后进行。

16、根据权利要求 15 所述的半导体存储装置，其特征在于，

所述列控制信号为非有效时，由灵敏放大器对存储器单元的数据开始放大，在给定时间后让所述读写用内部行控制信号成为非有效。

17、一种半导体存储装置，包括将具有电容器和晶体管的存储器单元多个配置成行列状所构成的存储器单元阵列、与配置在所述存储器单元阵列的行方向上的多个存储器单元连接的多条字线、与配置在所述存储器单元阵列的列方向上的多个存储器单元连接的多条位线，由来自外部的信号对所述存储器单元进行读写，其特征在于，

包括刷新电路，其具有测量内部刷新周期的刷新周期测量电路、和对内部刷新电路执行的次数进行计数的计数器电路。

18、根据权利要求 17 所述的半导体存储装置，其特征在于，

所述刷新电路，响应所述计数器电路的输出，在内部刷新周期结束的时刻，在内部刷新周期中内部刷新没有执行给定次数以上的情况下，输出错误标志。

19、根据权利要求 17 所述的半导体存储装置，其特征在于，

所述刷新电路，在从所述计数器电路的计数值达到最大值的时刻开始到内部刷新周期结束的时刻为止，停止刷新。

20、一种半导体集成电路装置，具备存储器部和逻辑部，其特征在于，所述存储器部包含：

5 存储器单元阵列，其由将具有电容器和晶体管的存储器单元多个配置成行列状而成；

与配置在所述存储器单元阵列的行方向的多个存储器单元连接的多条字线；

10 与配置在所述存储器单元阵列的列方向的多个存储器单元连接的多条位线；

时钟振荡器，其产生振荡时钟；

刷新请求信号生成电路，其根据所述振荡时钟，产生刷新请求信号；

开始时期检测信号生成电路，其响应来自所述逻辑部的访问请求信号后，产生表示刷新开始可能区间的开始时期检测信号；和

15 刷新用内部行控制信号生成电路，其根据所述刷新请求信号和所述开始时期检测信号，产生用于进行内部刷新动作的刷新用内部行控制信号；所述逻辑部具备对所述存储器单元发出读写指令的功能。

21、根据权利要求 20 所述的半导体集成电路装置，其特征在于，所述存储器部还具有刷新允许信号生成电路，其根据刷新执行次数的
20 计数值，产生刷新允许信号；

所述刷新请求信号生成电路，响应所述刷新允许信号，当所述刷新允许信号在第一逻辑电平时产生所述刷新请求信号，当所述刷新允许信号在第二逻辑电平时不产生刷新请求信号。

22、根据权利要求 21 所述的半导体集成电路装置，其特征在于，
25 所述存储器部还具有检测内部刷新周期的刷新周期检测电路；

所述刷新允许信号生成电路，在各内部刷新周期的开头将所述刷新允许信号置成第一逻辑电平，然后对内部刷新次数开始计数，在内部刷新次数达到给定次数后将所述刷新允许信号置成第二逻辑电平。

23、根据权利要求 20 所述的半导体集成电路装置，其特征在于，
30 所述存储器部还具有：

计数器电路，其对刷新次数进行计数；和

错误标志输出电路，其响应所述计数器电路的输出，在内部刷新周期中内部刷新没有实行给定次数以上的情况下，在内部刷新周期结束的时刻，输出错误标志；

- 5 所述逻辑部，在接收到错误标志时，控制所述存储器部以便只将保存在所述存储器部的数据中在接收到错误标志后写入的数据读出。

半导体存储装置及半导体集成电路装置

5

技术领域

本发明涉及一种具备为保持数据而需要刷新的存储器单元的半导体存储装置和半导体集成电路装置。

10

背景技术

DRAM, 为保持存储器单元的数据, 需要刷新动作。在专利文献 1 所公开的 DRAM 中, 可以实现由来自外部的刷新请求信号进行刷新的自动刷新动作、和通过将 DRAM 设定成自刷新模式而利用内部定时器进行刷新的自刷新动作。

15

自动刷新的情况下, 在读写动作的间歇, 必须在外部产生刷新请求信号并提供给 DRAM, 以便每隔一定周期进行给定次数的刷新动作。

自刷新的情况下, 由于依据内部的定时器开始 DRAM 的刷新动作, 不用在外部产生各个刷新动作的定时信号, 在设定为自刷新模式的期间, 就不能进行来自外部的读写访问。

20

在专利文献 2 中所公开的技术是: 在检测没有来自外部的读写请求后, 在 DRAM 内部产生刷新控制信号后自动地进行刷新。并且, 也公开了另一种技术, 即只需在给定周期内进行必要次数的内部刷新动作, 而控制成不进行这以上次数的刷新动作, 将节约消费电能。

25

在专利文献 3 中所公开的技术是: 外部指示读写动作后, 在其读写周期内, 实际的读写处理前进行刷新动作的 DRAM。根据这种 DRAM, 在外部产生刷新请求信号, 同时不用中断读写动作后插入刷新动作, 因此数据传送率高。

30

在专利文献 1 公开的 DRAM 中, 为了一边进行读写动作一边保持存储器单元的数据, 必须在外部产生刷新要求。其刷新请求的产生, 必须插入读写动作的间歇。并且, 每隔一定周期必须进行给定次数的刷新动作,

因此外部的存储器控制变得很复杂。

另一方面，在专利文献 2 公开的 DRAM 中，读写动作之间，没有读写动作请求的周期（NOP 周期）十分频繁存在的情况下，外部不需要产生刷新请求，而是在内部进行刷新动作，保持存储器单元的数据。但是，读写动作请求持续不断，NOP 周期的次数则很少，由于每隔一定周期要进行给定次数的刷新动作，如果没有达到需要的次数，将不能保持数据。

在专利文献 3 的 DRAM 中，即使不从外部进行刷新动作，通过在内部在读写动作的处理前插入的刷新动作，也能够保持存储器单元的数据，并且，即使读写访问请求不夹带 NOP 而连续的情况下也能确切地实行刷新动作，但是如果频繁实行读写动作，刷新动作也会变得频繁，因此消耗电力会增大。

专利文献 1：特开平 11-339468 号公报（第 5~第 9 页、图 3）；

专利文献 2：特开 2001-210074 号公报（第 6~第一 5 页、图 3）；

专利文献 3：特开 2002-175691 号公报（第 6~第一 2 页、图 4）。

15

发明内容

本发明的目的在于提供一种不用从外部进行复杂的控制，即使外部的访问请求频繁产生的情况下也能确切地进行必要而且充足次数的刷新动作，保持易失性存储器单元的数据的半导体存储装置以及半导体集成电路装置。

20

本发明的第一半导体存储装置，是包括存储器单元阵列、字线、位线的半导体存储装置，其中包括：时钟振荡器，其产生振荡时钟；刷新请求信号生成电路，其根据振荡时钟产生刷新请求信号；开始时期检测信号生成电路，其响应来自外部的访问请求信号，产生表示刷新开始可能区间的开始时期检测信号；和刷新用内部行控制信号生成电路，其根据刷新请求信号和开始时期检测信号，产生用于进行内部刷新动作的刷新用内部行控制信号。

25

这样，由于可以在存储器内部设定内部刷新开始可能区间，自动进行内部刷新，则不需要来自存储器外部的复杂刷新控制。

30

刷新用内部行控制信号生成电路，通过在经过由将刷新请求信号延迟

的延迟电路延迟的时间后产生刷新用内部行控制信号，例如在刷新请求信号生成时半导体存储装置即使出现预充电动作中的状态，可以由延迟电路延迟刷新动作的开始，在预充电动作结束后才开始刷新动作，可以避免由于内部动作时序的竞争所引起的误动作。

5 通过进一步具备刷新允许信号生成电路，其根据刷新实行次数的计数值产生刷新允许信号，而刷新请求信号生成电路，响应刷新允许信号，当刷新允许信号在第一逻辑电平时产生刷新请求信号，当刷新允许信号在第二逻辑电平时不产生刷新请求信号，可以将内部刷新周期下的内部刷新次数限制到存储器的数据保持所需要的次数，可以削减内部刷新时的电流。

10 优选监视错误标志，检查内部刷新是否执行了给定次数，或者内部刷新没有执行给定次数的错误是否已经发生。

 通过从读写周期的先头开始延迟一次内部刷新处理时间以上的时间后，开始对存储器单元进行读写，受理读写请求，在从读写周期开始后到实际进行读写处理为止之间可以插入内部刷新，为在其间执行内部刷新，
15 只要产生表示刷新开始可能区间的开始时期检测信号即可。

 开始时期检测信号生成电路，通过读写处理和内部刷新动作不重复的时刻产生开始时期检测信号，可以让内部刷新动作和读写动作之间的竞争引起的误动作不发生。

 这时，由开始时期检测信号生成电路，在读写周期结束时对开始时期检测信号激活，在下一读写周期的开始时经过给定的延迟时间后对开始时期检测信号非激活，延迟时间和实际上开始读写周期为止的延迟时间之间的关系可以适当设定，在读写处理和内部刷新动作不重复的时刻，容易生成开始时期检测信号。
20

 通过以来自外部的刷新停止信号作为输入，当刷新停止信号为有效电平时停止内部刷新，在内部刷新没有必要时，响应来自外部的刷新停止信号，让内部刷新停止，可以实现电流削减。
25

 通过在检查时，根据来自外部的检查用刷新指令进行刷新，可以进行刷新动作的频率特性评价等详细刷新评价。

 再有，通过在检查时，将刷新停止信号置成有效电平，让内部刷新处于停止状态，然后根据来自外部的检测用刷新指令进行刷新，在检查时来
30

自外部的指令进行刷新时，可以停止内部刷新进行刷新检查。

通过用于停止内部刷新动作的内部行控制复位信号的产生，从刷新用内部行控制信号被激活开始，经过由延迟电路延迟的给定时间后进行，可以在半导体存储装置内部将内部刷新动作期间设定成最佳值。

- 5 通过在响应内部刷新请求信号要开始内部刷新时，在将内部行地址从外部地址切换到刷新地址经过一定时间后内部刷新开始，在内部刷新动作开始前确定内部行地址，可以防止字线的多重选择引起的数据破坏。

10 根据行控制信号使字线有效后读出存储器单元的数据，产生读写用内部行控制信号，当列控制信号有效时，读写用内部行控制信号的非激活，在传输门允许信号被激活开始经过第一给定延迟时间后进行，当列控制信号为非有效时，读写用内部行控制信号的非激活，在从读写用内部行控制信号被激活开始经过第二给定延迟时间后进行，这样可以实现字线、灵敏放大器等动作时间的最优化。

15 优选当列控制信号为非有效时，由灵敏放大器对存储器单元的数据开始放大，在给定时间后让读写用内部行控制信号成非有效。

本发明的第二半导体存储装置，是包括存储器单元阵列、字线、位线，半导体存储装置，其中包括刷新电路，其具有测量内部刷新周期的刷新周期测量电路、和对内部刷新电路执行的次数进行计数的计数器电路。

20 这样，由于对刷新执行次数进行计数，成为给定次数后停止刷新，可以将一定周期下的刷新次数限制到存储器单元的数据保持所需要的次数，可以削减刷新时的电流。

25 这时，在内部刷新周期结束后的时刻，在内部刷新周期中内部刷新没有执行给定次数以上的情况下，输出错误标志，这样，通过监视错误输出，可以检查刷新是否执行了给定次数（存储器单元的数据保持所需要的次数）。

本发明的半导体集成电路装置，具备上述那样的存储器部和逻辑部，在存储器部中构成为可以内部刷新，可以简化系统 LSI 等中的逻辑部的构成。

30 这时，在内部刷新周期中内部刷新没有实行给定次数以上的情况下，输出错误标志，逻辑部，在接收到错误标志时，只将保存在存储器部的数

据中在接收到错误标志后写入的数据读出，可以防止误读出。

根据本发明的半导体存储装置或半导体集成电路装置，由于可以在存储器内部检测刷新开始可能区间，进行自动刷新，可以不需要由存储器外部的刷新，能够将以往需要很多的设计工序的在存储器外部比如逻辑部中的刷新控制简化。

附图说明

图 1 表示有关第一实施方式的半导体存储装置的构造简略电路框图。

图 2 表示有关第一实施方式的半导体存储装置中的行控制电路的电路构成图。

图 3 表示有关第一实施方式的半导体存储装置中的列控制电路的电路构成图。

图 4 表示有关第一实施方式的半导体存储装置中的读写用内部行控制信号 RWIRAS 生成电路的电路构成图。

图 5 表示有关第一实施方式的半导体存储装置的读写中的内部刷新动作等的时序图。

图 6 表示有关第一实施方式的半导体存储装置的内部刷新动作整体动作的时序图。

图 7 表示有关本发明第二实施方式的半导体集成电路装置的概略构成图。

图 8 表示本发明中在存储器部有长页模式周期时的刷新控制一例的时序图。

图中：100—行地址生成电路，120—刷新请求控制电路，121—周期计数器，122—刷新次数计数器，123—D 触发器，124—D 触发器，126—与门，130—读写用内部行控制信号 RWIRAS 生成电路，131、132—反相器，133、134、137、140—D 触发器，135、141、144—延迟电路，138、139、145、146—与门，136—或门，147—选择器，160—行地址生成电路，161—锁存器，162—计数器，163—选择器，170—行预解码器，180、181、185—D 触发器，182、188、192、194、195—延迟电路，183、191—反相器，184、189、193、196—与门，187—置位复位电路，190—或门，200

—列控制电路，300—存储器芯部，301—输出数据锁存器，302，选择电路，303—输入数据锁存器，304—行解码器，305~308—灵敏放大器列
309~312—存储器单元块，400—逻辑部，500—存储器部，BL/BL—位线，
WL—字线，DL—数据线，SA—灵敏放大器，MC—存储器单元。

5

具体实施方式

（第一实施方式）

—整体构成—

图1表示有关第一实施方式的半导体存储装置的构造简略电路框图。

10 如图所示，本实施方式的半导体存储装置包括：具有将存储器单元配置成
行列状所构成的存储器单元阵列、沿存储器单元阵列的行方向延伸的字
线、沿着存储器单元阵列的列方向延伸的位线、将从存储器单元读取的信
号放大的灵敏放大器等的存储器芯部300；控制字线的选择和非选择等的
行控制电路100；和控制位线的选择和非选择等的列控制电路200。

15 行控制电路100中，输入了行控制信号NRSA、列控制信号NCAS、
刷新停止信号RFHLT、测试用刷新信号RFTST、外部行地址EXT_R_ADD、
和外部时钟CLK。行控制电路100中，产生了行预解码信号R_PD、反相
灵敏放大器允许信号/SEN，并将这些信号传送给存储器芯部300。

20 列控制电路200中，输入了外部时钟CLK，和外部列地址
EXT_C_ADD，写允许信号NWE。列控制电路200，产生了传输门允许信
号TGEN，数据选择信号DSEL以及8位写允许信号WE(7:0)，并将这
些信号传送给存储器芯部300或行控制电路100。

存储器芯部300中，由上述行控制电路100，列控制电路200发送的
信号之外，还输入外部时钟CLK。

25 一行控制电路的构成—

图2表示有关第一实施方式的半导体存储装置中的行控制电路100的
电路构成图。如图所示，行控制电路100包括：刷新请求控制电路120，
其产生内部刷新请求信号RFRQ；行地址生成电路160，其产生内部行地
址信号INT_R_ADD；读写用内部行控制信号生成电路130，其接收外部
30 时钟CLK、行控制信号NRAS、列控制信号NCAS、传输门允许信号TGEN

以及内部行控制复位信号 IRASRST（后述），产生有效信号 ACT、和读写用内部行控制信号 RWIRAS；以及这些以外的各种电路要素。

刷新请求控制电路 120 包括：与门 126，其接收来自振荡器 110 的振荡时钟 OSC 和来自外部的刷新停止信号 RFHLT，产生基准时钟 ROSC；
5 周期计数器 121，其接收从与门 126 输出的基准时钟 ROSC；依据计数器最上位的位 CNT_MSB，输出复位信号/RFRST；刷新次数计数器 122，其计数刷新次数，同时产生刷新允许信号/RFEN；反相器 127，其将周期计数器 121 的输出反相；反相器 128，其将刷新次数计数器 122 的输出反相；
D 触发器 123，其分别在 D 端子、CK 端子接收各反相器 128、127 的输出；
10 和 D 触发器 124，其在 CK 端子上接收 D 触发器 123 的输出。

图 3 表示读写用内部行控制信号生成电路 130 的构成电路图。如该图所示，读写用内部行控制信号生成电路 130 包括：反相器 131，其将 NRAS 反相；反相器 132，其将 NCAS 反相；D 触发器 133，其分别在 D 端子接收反相器 131 的输出，在 CK 端子接收外部时钟 CLK，然后输出信号
15 RACF0；D 触发器 134，其分别在 D 端子接收信号 RACF0，在 CK 端子接收外部时钟 CLK，然后输出信号 RACF1；延迟电路 135，其将信号 RACF0 延迟；或门 136，对延迟电路 135 的输出和信号 RACF1 进行或运算后输出有效信号 ACT；D 触发器 137，其分别在 D 端子接收电源电压 VDD，在 CK 端子接收信号 RACF1，然后输出读写用内部行控制信号 RWIRAS；
20 与门 138，其对反相器 132 的输出和信号 RACF0 进行与运算；与门 139，其对与门 138 的输出和反相器 131 的输出的各反相信号进行与运算；D 触发器 140，其分别在 D 端子接收与门 139 的输出，在 CK 端子接收外部时钟 CLK；延迟电路 141，其将传输门允许信号 TGEN 延迟；反相器 143，其将延迟电路 141 的输出反相；延迟电路 144，其将反相器 143 的输出延
25 迟；与门 145，其对延迟电路 141、144 的各输出进行与运算；反相器 142，其将信号 RACF0 反相；与门 146，其对反相器 142 的输出和与门 145 的输出进行与运算；选择器 147，其选择与门 146 的输出和内部行控制复位信号 IRASRST，将其中一方信号传送给 D 触发器 137 的 R 端子。

根据以上构成，读写用内部行控制信号生成电路 130，其行控制信号
30 NRAS（本实施方式中为 L 有效），作为请求外部访问的访问请求信号，与

外部时钟 CLK 同步被输入，响应后，作为表示内部刷新动作可以开始的区间的开始时期检测信号，产生有效信号 ACT，同时激活在内部用于执行读写处理的读写用内部行控制信号 RWIRAS。并且，接着在输入与外部时钟 CLK 同步被输入而控制来自外部的列访问动作的列控制信号 NCAS(本实施方式中为 L 有效) (激活) 后，由选择器 147 选择与门 146 的输出，
5 经过从传输门允许信号 TGEN 开始的由延迟电路 141 延迟的时间后，让读写用内部行控制信号 RWIRAS 成非激活状态。列控制信号 NCAS 为非有效时，选择器 147，选择内部行控制复位信号 IRASRST，从图 2 所示内部行控制信号 IRAS 的生成开始由延迟电路 194、195、192 等产生的延迟时间，
10 使读写用内部行控制信号 RWIRAS 成非激活状态。

另外，本实施方式中，如上所述，构成为由与读写用内部行控制信号生成电路一体化的电路产生有效信号 ACT，作为产生表示刷新开始可能区间的开始时期检测信号的开始时期检测信号生成电路，并不限于此，可以进行各种变形。

15 而且，在行控制电路 100 中设置：D 触发器 180，其分别在 D 端子接收来自外部的测试用刷新信号 RFTST，在 CK 端子接收外部时钟 CLK；D 触发器 181，其分别在控制端子 (LH 端子) 接收从刷新请求控制电路 120 (刷新次数计数器 122) 输出的刷新允许信号/RFEN，在 D 端子接收电源电压 VDD，在 CK 端子接收基准时钟 ROSC，在 R 端子接收刷新标志
20 RFFLG，然后输出刷新请求信号 RFRQ；延迟电路 182，其将刷新请求信号 RFRQ 延迟某个时间；反相器 183，其将从读写用内部行控制信号生成电路 130 输出的有效信号 ACT 反相；与门 184，其对延迟电路 182 的输出和反相器 183 的输出进行与运算后产生刷新时钟 RFCK；D 触发器 185，
其分别在 D 端子接收电源电压 VDD，在 CK 端子接收刷新时钟 RFCK，
25 在 R 端子接收内部行控制复位信号 IRASRST，然后输出刷新标志 RFFLG；延迟电路 188，其将从 D 触发器 185 输出的刷新标志 RFFLG 延迟；与门 197，其对延迟电路 188 的输出和刷新标志 RFFLG 进行与运算后输出刷新用内部行控制信号 RFIRAS；或门 190，其对刷新用内部行控制信号 RFIRAS、输入测试用刷新信号 RFTSTD 的触发器 180 的输出、以及读写
30 用内部行控制信号 RWIRAS 进行或算后输出内部行控制信号 IRAS；延迟

电路 194、195，其将内部行控制信号 IRAS 延迟；与门 196，其将经延迟电路 194、195 后的各内部行控制信号 IRAS 之间进行与运算后，输出灵敏放大器允许信号/SEN；反相器 191，其将灵敏放大器允许信号/SEN 反相；延迟电路 192，其将反相器 191 的输出延迟；与门 193，其对反相器 191 5 的输出和延迟电路 192 的输出进行与运算后输出内部行控制复位信号 IRASRST；置位复位电路 187，其分别在 R 端子接收灵敏放大器允许信号/SEN，在 S 端子接收刷新标志 RFFLG；和反相器 186，其将置位复位电路 187 的输出反相后输出计数器时钟 CNTCK。

行地址生成电路 160 包括：锁存器 161，其用于与外部时钟 CLK 同步而对外部行地址 EXT_R_ADD 锁存；计数器 162，其对由反相器 186 输出的计数时钟 CNTCK 计数；和选择器 163，其在 S 端子接收置位复位电路 187 的输出，选择锁存器 161 和计数器 162 的任一输出，并作为内部行地址 INT_R_ADD 输出。 10

进一步，在行控制电路 100 中设置行预解码器 170，其接收从行地址生成电路 160 的选择器 163 输出的内部行地址 INT_R_ADD、和从或门 190 输出的内部行控制信号 IRAS，产生行预解码信号 R_PD。 15

本实施方式中，利用图 2 所示的周期计数器 121、刷新次数计数器 122 等产生刷新请求信号 RFRQ，作为依据振荡时钟产生刷新请求信号的刷新请求信号生成电路，并不仅限于此，还可能有各种变形。

而且，本实施方式中，如图 2 所示，利用延迟电路 182、与门 184、D 触发器 185、延迟电路 188、与门 197 产生刷新用内部行控制信号 RFIRAS，作为根据刷新请求信号和表示刷新开始可能区间的开始时期检测信号产生刷新用内部行控制信号的刷新用内部行控制信号生成电路，并不仅限于此，还可能有各种变形。 20

进一步，本实施方式中，利用图 2 所示的周期计数器 121（刷新周期检测电路），刷新次数计数器 122（刷新允许信号生成电路）检测刷新周期，并生成刷新允许信号/RFEN，作为刷新周期检测电路、刷新允许信号生成电路，并不仅限于此，还可能有各种变形。 25

图 4 表示有关第一实施方式的半导体存储装置（DRAM）的存储器芯部的构成电路图。如该图所示，存储器芯部 300 包括：输出数据锁存器 301， 30

其对输出数据锁存；选择电路 302，其选择向输出数据锁存器 301 传送哪个读出放大器 RA 的数据；输入数据锁存器 303，其对输入数据锁存；行解码器 304；灵敏放大器列 305、306、307、308，其分别配置多个灵敏放大器 SA 而成；存储器单元块 309、310、311、312，其分别将多个存储器单元 MC 配置成行列状而成。

从行解码器 304 中，延伸各灵敏放大器列 305~308 中的开关晶体管的各栅极连接的传输门布线 TG、和与各存储器单元块 309~312 中的各存储器单元 MC 的各栅极连接的字线 WL。而且，灵敏放大器 SA 和各存储器单元 MC 通过位线 BL， $\bar{B}L$ 连接起来。各读出放大器 RA 和各灵敏放大器 SA 通过数据线 DL 连接起来。

写入动作时和读取动作时，行解码器 304，接收传输门允许信号 TGEN 和行预解码信号 R_PD 后，选择字线 WL、传输门线 TG。写入动作时，输入数据，与外部时钟 CLK 同步，从输入数据锁存器 303 中，经过将写允许信号 WE (7:0) 作为控制信号接收的三态缓冲器和灵敏放大器 SA，传送给所选择的存储器单元 MC。读取动作时，由读出放大器 RA 读出的存储器单元 MC 的数据，经过将数据选择信号 DSEL 作为控制信号接收的选择电路 302，从输出数据锁存器 301 中作为输出数据取出。

—刷新动作—

以下参照图 5 的时序图和图 2、图 3，对在读写周期中在 DRAM 内部进行刷新的情况进行说明。

首先，时间 t1 和 t2 之间，振荡器 110 的输出的振荡时钟 OSC 从 L 电平上升到 H 电平后，将 D 触发器 181 设定成 H 电平，刷新请求信号 RFRQ 成有效电平 (H 电平)，稍稍延迟后，延迟电路 182 的输出成 H 电平。这时，依据在时间 t1 输入的行控制信号 NRAS，由于 DRAM 在读写周期中，如图 3 所示将或门 136 的输出的有效信号 ACT 成 H 电平 (表示刷新开始可能区间的开始时期检测信号为非激活状态)，作为与门 184 的输出的刷新时钟 RFCK 仍然为 L 电平，这样刷新请求不能接收。

其后，时间 t3 中，由于存储器单元的读写结束后，字线 (WL) 电压成 L 电平，有效信号 ACT 成 L 电平 (表示刷新开始可能区间的开始时期检测信号为激活)，刷新请求信号被接收后，作为 D 触发器 185 的输出的

刷新标志 RFFLG 成 H 电平。然后，通过在 D 触发器 181 的 R 端子上输入的刷新标志 RFFLG 成 H 电平，使 D 触发器 181 复位，已经被接收的刷新请求信号 RFRQ 成 L 电平。

时间 t3 和时间 t4 之间，当刷新标志 RFFLG 成 H 后，由于置位复位
5 电路 187 的输出成 H，选择器 163 选择计数器 162 的输出，作为内部行地址 INT_R_ADD 输出刷新计数器的值。然后，在由延迟电路 188 将刷新标志 RFFLG 延迟行预解码器 170 进行预解码刚好所需要的时间后，内部行控制信号 IRAS 成 H 电平，然后开始刷新用行动作（驱动字线等动作）。

之后，与选择字线 WL 有关的存储器单元的数据向位线 BL， /BL 输出后，灵敏放大器允许信号 /SEN 成 L 电平，其数据通过灵敏放大器放大，
10 在由延迟电路 192 延迟存储器单元再写入刚好所需要的时间后，内部行控制信号 IRAS 成 L 电平，停止刷新动作。然后，在时间 t4 中，刷新结束，读写用内部行控制信号 RWIRAS 成 H 电平，开始写动作。

—内部刷新动作—

15 接着，参照图 6 的时序图对内部刷新的整体动作进行说明。

刷新周期的开始时间 t11 中，由周期计数器 121 按照基准时钟 ROSC 开始刷新周期的计数，同时使刷新次数计数器 122 复位。刷新次数计数器 122 复位后，刷新允许信号 /RFEN 成 L 电平（有效电平）。刷新允许信号 /RFEN 成 L 电平后，D 触发器 181 的输出在基准时钟 ROSC 的上升沿成 H
20 电平。因此，刷新请求信号 RFRQ 为有效电平，刷新标志 RFFLG 以及内部行控制信号 IRAS 成 H 电平，反复进行刷新动作。这样，响应基准时钟 ROSC 的下降沿后，只有在刷新请求信号 RFRQ 成有效电平时，才进行刷新动作。然后，由刷新次数计数器 122，在刷新标志 RFFLG 的上升沿对刷新次数计数，在时间 t12 中刷新次数达到 m 次（刷新必要的次数）后，
25 通过刷新次数计数器 122，将刷新允许信号 /RFEN 成 H 电平（非有效电平），停止刷新请求动作。之后，在时间 t13 中，由周期计数器对刷新周期计数后，反复进行与时间 t11 以后相同的动作。

在上述说明中，刷新次数计数器 122 的复位，如图 2 所示，通过周期计数器 121 每次计数一定周期后进行，即使构成为设置在一定周期对给定
30 刷新次数计数的计数器，该计数器计数到给定刷新次数的值时，将刷新次

数计数器 122 复位，开始刷新次数的计数，也可以得到与本实施方式相同的效果。

根据本实施方式的半导体存储装置，可以发挥如下效果。

首先，在 DRAM 内部，如图 5 的时间 $t_3 \sim t_4$ 所示，利用有效信号 ACT 检测刷新开始可能区间，由于能自动进行刷新，不需要来自存储器外部的刷新指令，以往需要许多设计工序的在存储器外部的刷新控制基本上可以不需要，整体上可以简化用于刷新的控制。

而且，本实施方式的半导体存储装置，具有检测内部刷新周期的周期计数器 121，刷新次数计数器 122，如图 6 的时序图所示，在各内部刷新周期的开头将刷新允许信号/RFEN 置成第一逻辑电平（L 电平），开始计算内部刷新次数，当内部刷新次数达到给定次数后将刷新允许信号/RFEN 置成第二逻辑电平（H 电平）。然后，由 D 触发器 181，在刷新允许信号/RFEN 置成 L 电平时产生刷新请求信号 RFRQ，而在 H 电平时则不产生刷新请求信号 RFRQ。因此，在内部刷新周期的内部刷新次数，可限制在为保持存储器单元的数据而必要的次数上，这样就可以削减内部刷新时的电流。

还有，根据 D 触发器 123，在各内部刷新周期的开头，对上一内部刷新周期内刷新是否实行给定次数进行核查，在没有实行给定次数的情况下，输出错误标志 EFLG。这样，就能核查到是否进行了给定次数的刷新。

而且，D 触发器 123，在各内部刷新周期的开头，以前的任何一个内部刷新周期中，任何一次内部刷新都没有实行给定次数的情况下，将错误信号 EFLG 设置成错误状态，并保持该状态。这样，通过监视错误标志 EFLG，就能够核查是否产生了刷新没有实行给定次数的错误。

而且，通过 D 触发器 133、134，将用于对存储器单元进行读写处理的读写用内部行控制信号 RWIRAS 延迟，从读写周期的开头到一次内部刷新处理时间以上的延迟后，进行对存储器单元的读写处理进行控制。这样，接收读写请求后从读写周期的开头开始到实际进行读写处理为止之间就可能插入内部刷新处理，其间实行内部刷新，只要将有效信号 ACT 作为表示刷新开始可能区间的开始时期检测信号生成即可。

如图 2 所示，以来自外部的刷新停止信号 RFHLT 作为输入，刷新停止信号 RFHLT 在有效电平时停止内部刷新。这样，在没有必要进行内部

刷新时，响应来自外部的刷新停止信号 RFHLT 可以停止内部刷新，这样就能达到削减电流的目的。

虽然在图 5 中没有示出，在检查时，根据来自外部的测试用刷新信号 RFTST 进行刷新。这样。就能得到刷新动作的频率特性评价等详细刷新评价。

再有，虽然在图 5 中没有示出，在检查时，将刷新停止信号 RFHLT 置成有效电平后，将内部刷新置为停止状态，根据来自外部的测试用刷新信号 RFTST 进行刷新。这样，在根据检查时来自外部的指令进行刷新时，能够停止内部刷新进行刷新检查。

刷新控制电路，为使内部行控制复位信号 IRASRST 从内部刷新开始过给定时间后输出而延迟的延迟电路，根据延迟电路 194、195、192，能够在半导体存储装置内部将刷新动作时间设定成最佳值。

而且，由延迟电路 188 将刷新标志 RFFLG 被延迟后，内部行控制信号 IRAS 成 H 电平。这样，内部刷新动作的开始时，在开始刷新动作前通过选择器 163 能够确切地完成行地址的选择，从而能够根据字线的多重选择防止存储器单元的数据破坏。

依据与外部时钟 CLK 同步的外部输入的行控制信号 NRAS，产生读写用内部行控制信号 RWIRAS，接着通过在与外部时钟同步的外部输入的列控制信号 NCAS 有效时，读写用内部行控制信号 RWIRAS 的非激活化，在传输门允许信号 TGEN 有效后开始经过由延迟电路 141 等的延迟时间后才进行，在列控制信号 NCAS 非有效时，读写用内部行控制信号 RWIRAS 的非激活化，从读写用内部行控制信号 RWIRAS 有效开始经过由延迟电路 194、195、192 等的延迟时间后才进行，可以实现有关驱动字线或者由灵敏放大器进行放大的行访问控制的动作时间的最优化。

25

（第二实施方式）

图 7 表示有关本发明第二实施方式的半导体集成电路装置的概略构成图。如该图所示，本实施方式的半导体集成电路装置包含：逻辑部 400，其由具有 CPU 或各种运算电路的 CMOS 器件构成；和存储器部 500 (DRAM)，其是图 1 所示的半导体存储装置。在图 6 所示的半导体集成

30

电路装置中，存储器部 500 的结构，和第一实施方式中图 1~图 4 所示相同。在逻辑部 400 中配置 CPU 或者多个运算电路等。

然后，从逻辑部 400 向存储器部 500 传送行控制信号 NRAS、列控制信号 NCAS、读允许 NWE、外部行地址 EXT_R_ADD，外部列地址
5 EXT_C_ADD，输入数据等。这些信号，如第一实施方式所示，被传送到存储器部 500 的行控制部、列控制部。而且，从存储器部 500 向逻辑部 400 传送输出数据和错误标志。

在本实施方式中，逻辑部 400，接收了错误标志时(参考图 6 中的 t13)，为向存储器部 500 写入数据在接收了错误标志的时刻之后，向存储器部
10 500 发送重写数据的指令。具体来讲，比如：分别置 NRAS=L，NCAS=L，NWE=L，然后将新输入的数据写入到存储器部 500 中。

然后，逻辑部 400 中在接收到错误标志后，由于在接收错误标志之前不对写入的数据进行读取，逻辑部 400 中在接收错误标志后只读取在存储器部 500 中写入的数据。

根据本实施方式的半导体集成电路装置，如第一实施方式中说明的那样，存储器部 500 具有产生刷新用时钟的功能，利用有效信号 ACT 检测出刷新开始可能区间后，由于能进行自动刷新，来自逻辑部 400 的刷新指令可以不需要。因此，在逻辑、存储器混载型的半导体集成电路装置中，在以往需要许多设计工序的逻辑部 400 中的刷新控制基本上可以不需要，
20 可以实现简化逻辑部 400 的结构控制。

而且，根据本实施方式的半导体集成电路装置或第一实施方式的半导体存储装置，即使在来自逻辑部 400 (存储器的外部) 的访问请求频繁产生的情况下，也能够在存储器部 500 内部确切地进行必要而足够次数的刷新动作。特别，在逻辑部 400 接收了来自存储器部 500 的错误标志时，由于接收了错误标志后只读取写入存储器部 500 的数据，这样就可以防止误
25 读取。

—本发明的特殊效果—

图 8 表示本发明中在存储器部中有长页模式周期时刷新控制一例的时序图。如图 8 所示，在长页模式周期(时间 t21~t22)中，由于不受理刷新请求，其间不能进行刷新。在该例中，除了基准时钟 ROSC 中的长页模
30 式。

式周期，只受理对基准时钟 ROSC 的上升沿时间 t31、t32、t33、t34 时的刷新请求，刷新请求信号 RFRQ 成有效电平（时间 t41、t42、t43、t44），刷新标志 RFFLG 成 H 电平（时间 t51、t52、t53、t54），然后集中进行刷新。即，在内部刷新周期的开头（时间 t71）将刷新允许信号/RFEN 成 L 5 电平（有效电平），然后开始对内部刷新次数进行计数，内部刷新次数达到给定次数后，刷新允许信号/RFEN 成 H 电平（非有效电平）（时间 t72），停止刷新请求动作。

这样，刷新周期中的长页模式周期以外的时间里，由于在 ROSC 的脉冲间隔存在受理刷新请求的时间，这样平均起来，就能在刷新周期之间受 10 理必要次数的刷新请求。

对此，对于等间隔进行刷新请求，对此响应进行刷新的结构（所谓分散型）的情况下，长页模式周期之间，如果不能受理刷新请求，恐怕就不能进行必要次数的刷新。

本发明中，由检测内部刷新周期的作为刷新周期检测电路的周期计数器 121，在各内部刷新周期的开头（时间 t71）将刷新允许信号/RFEN 置 15 成有效电平，然后开始计算内部刷新次数，如果内部刷新次数达到给定次数后，将刷新允许信号/RFEN 置成 H 电平（非有效电平），然后停止刷新请求动作。采用这样的结构，优点是：即使在不能受理刷新请求期间（如长页模式周期等），由于在其它期间的很短周期内能集中进行刷新（所谓 20 集中型），因此确切进行必要的刷新。

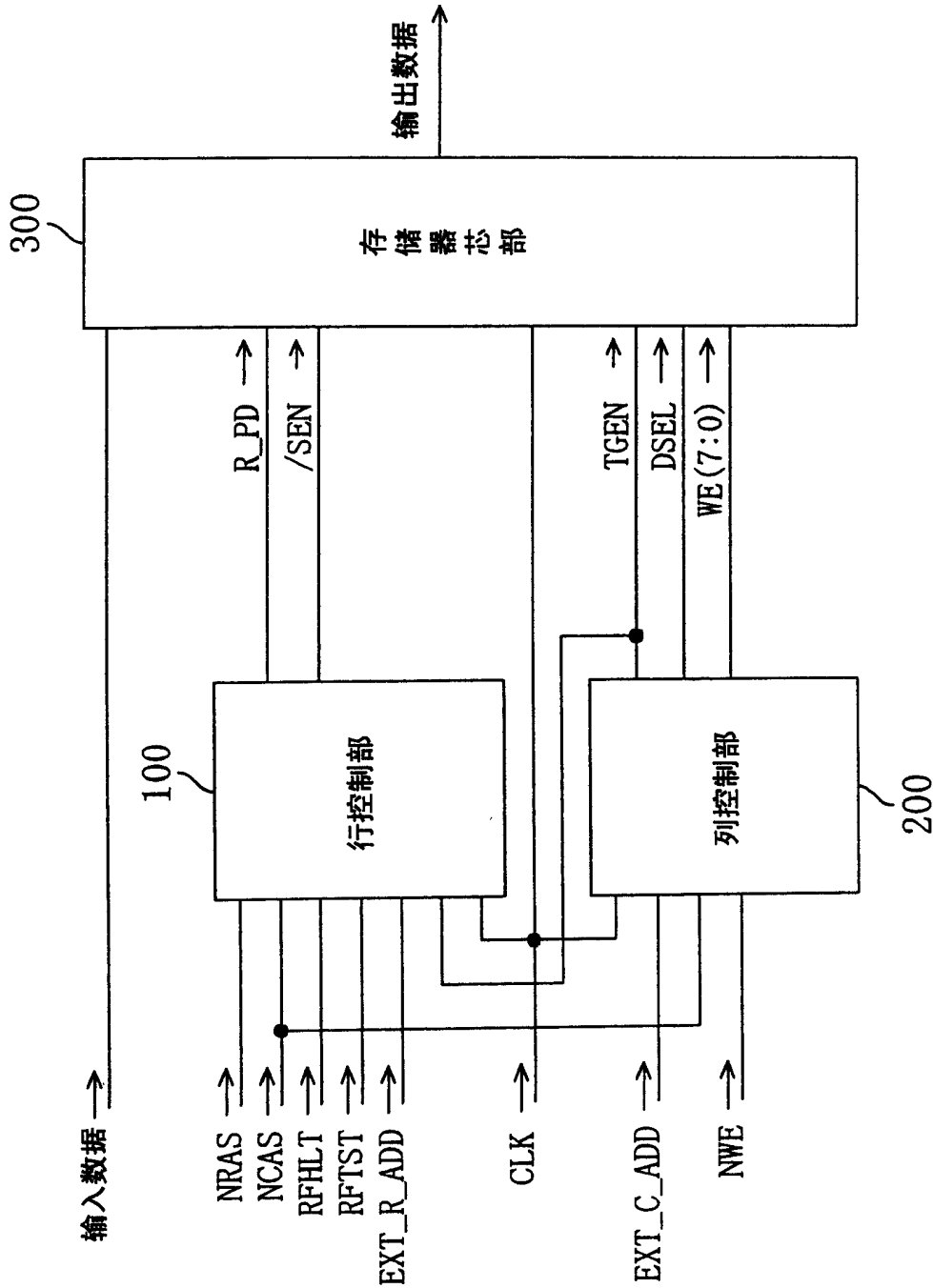


图 1

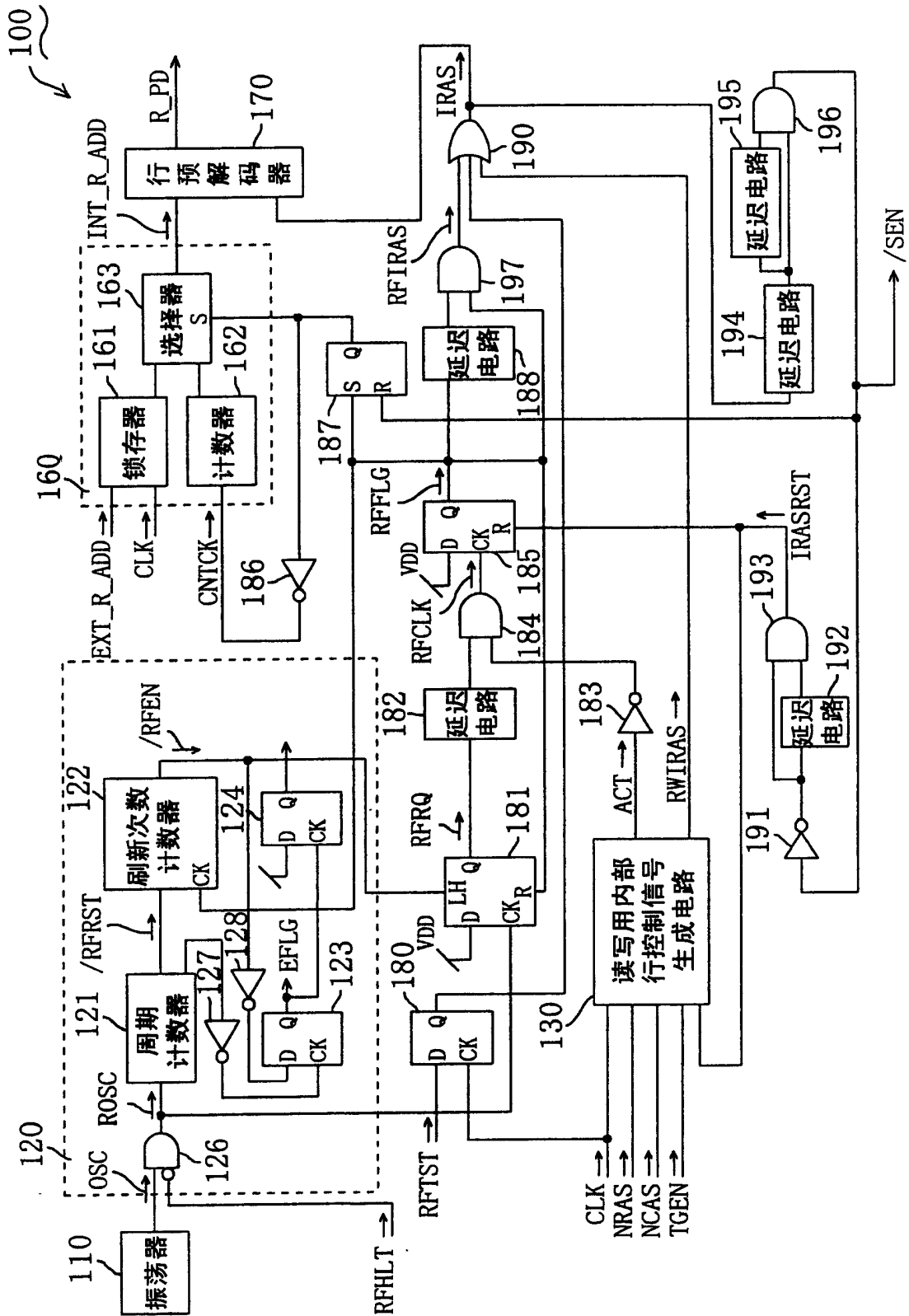


图 2

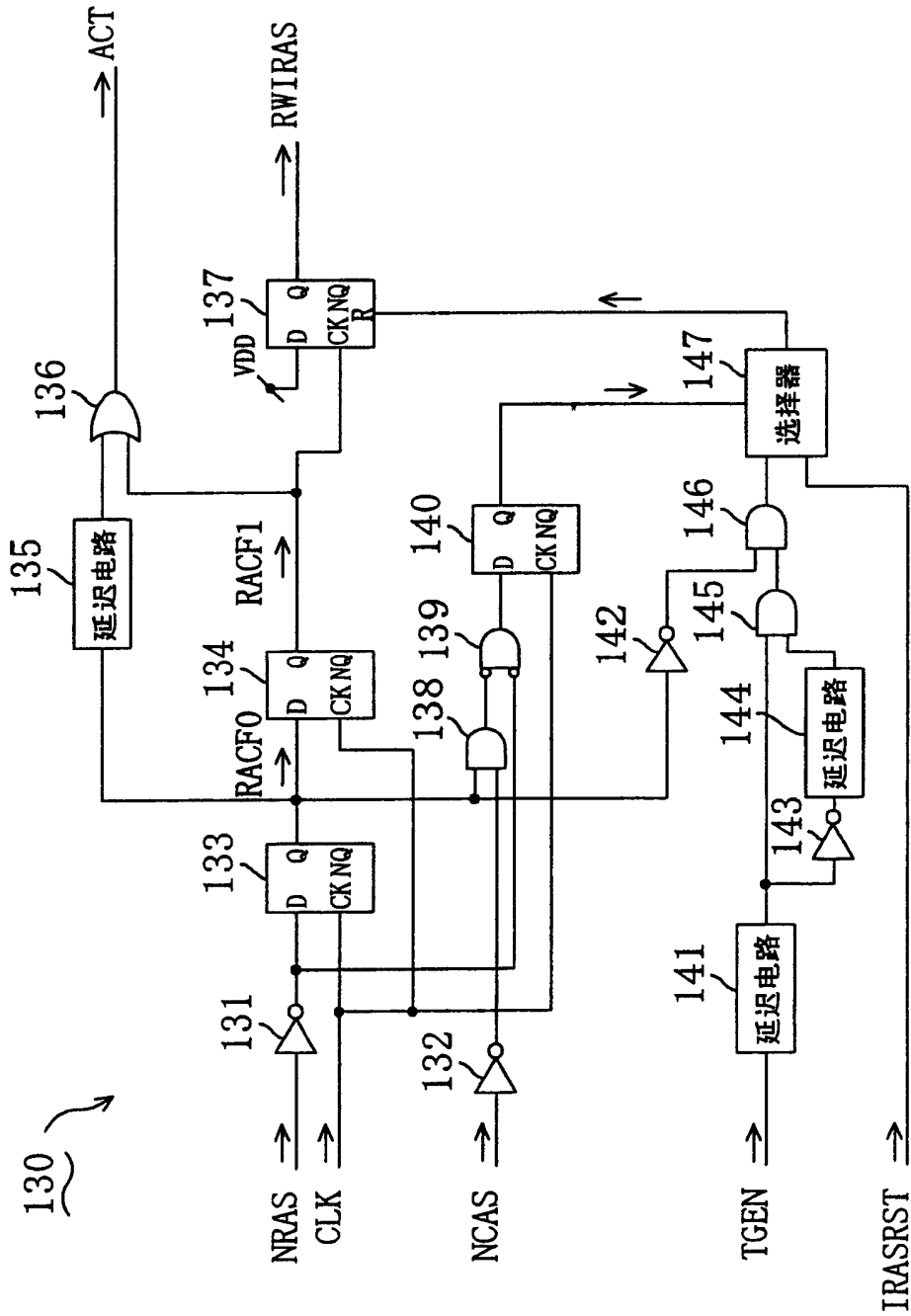


图 3

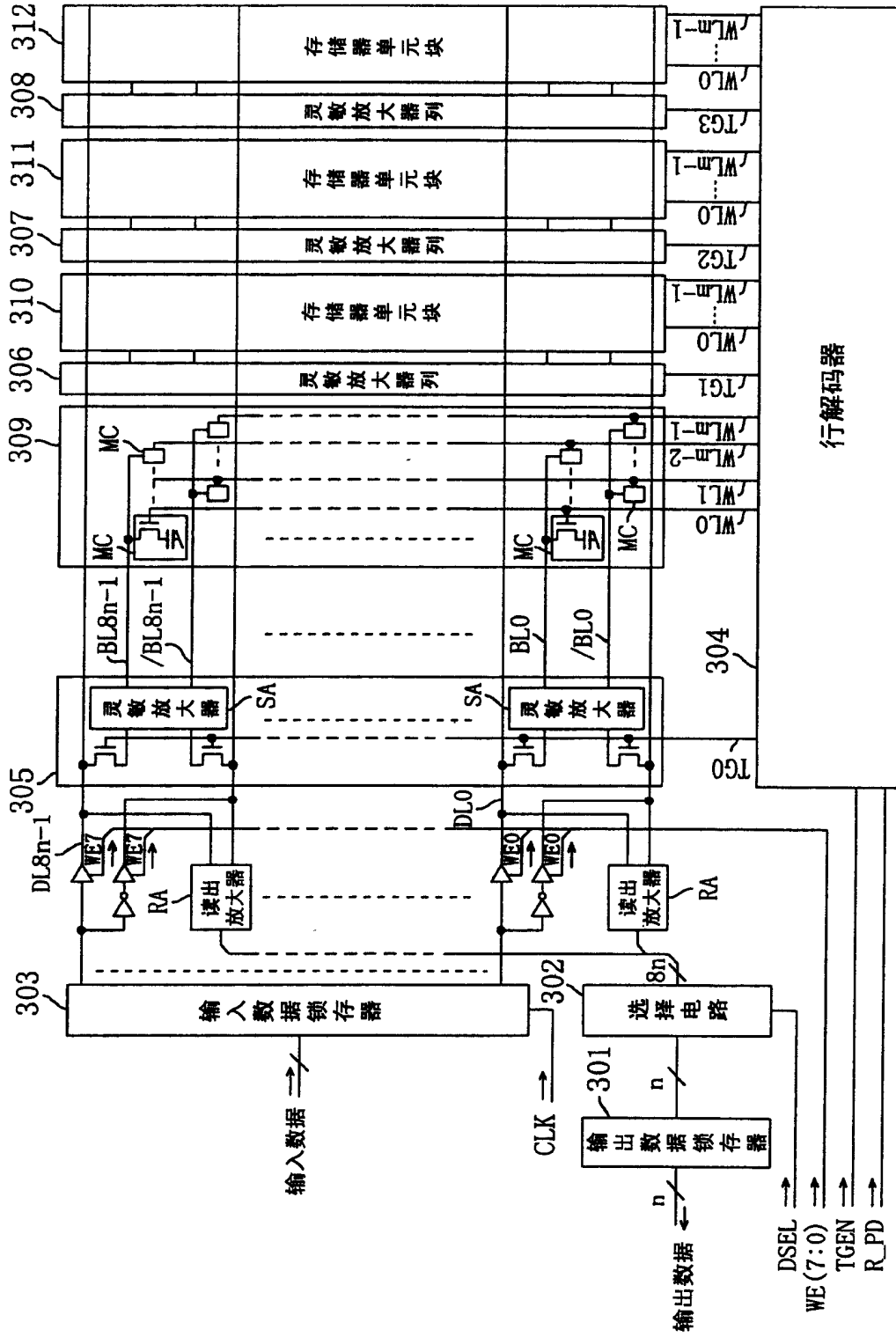


图 4

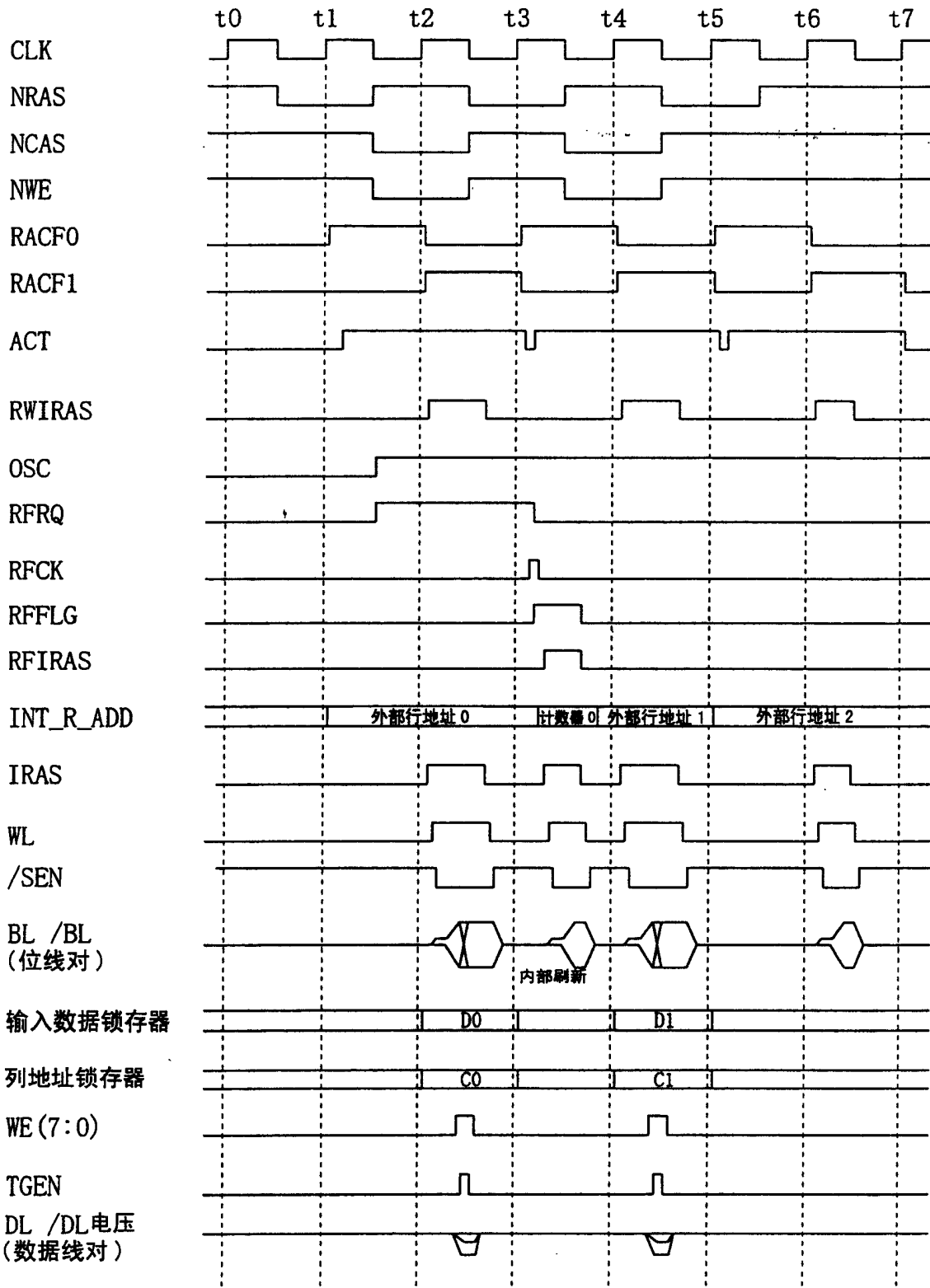


图 5

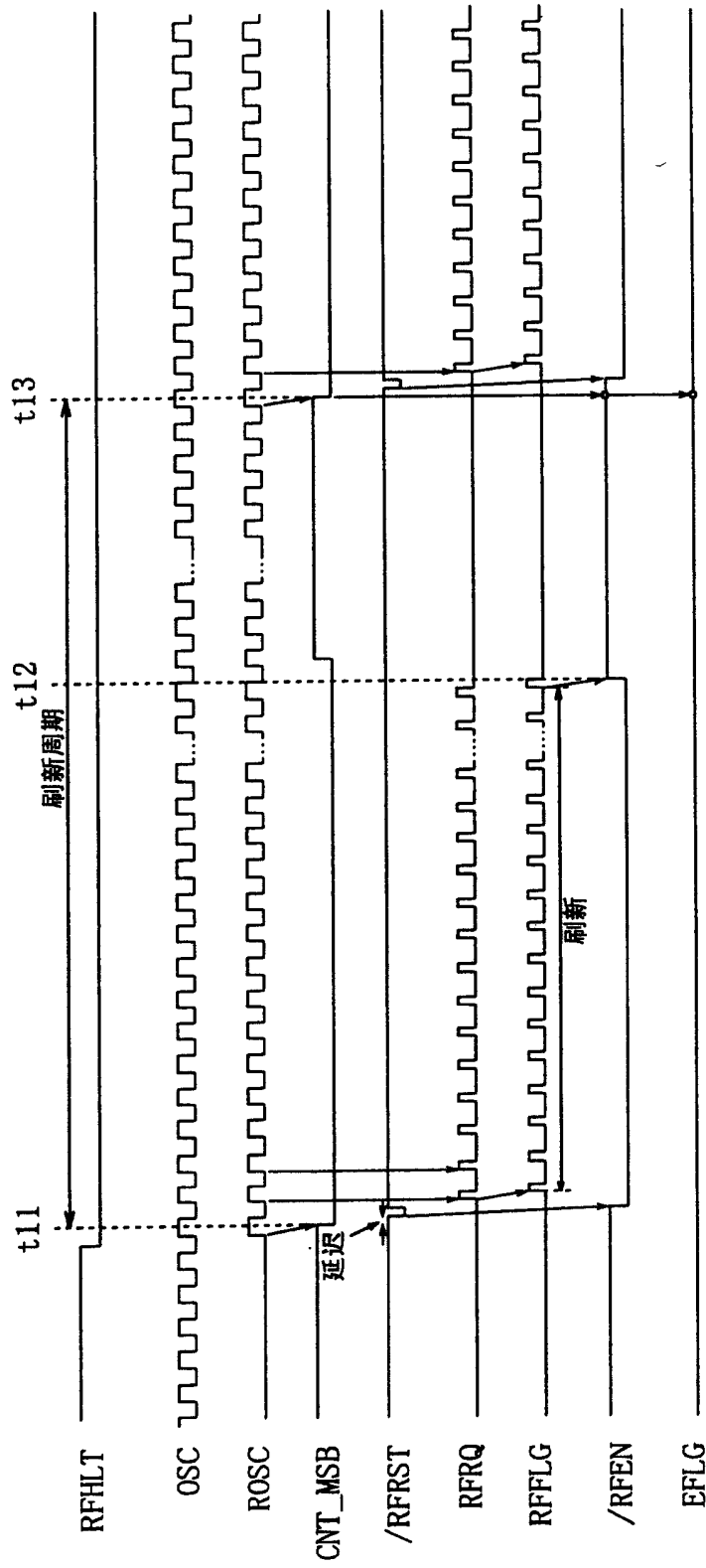


图 6

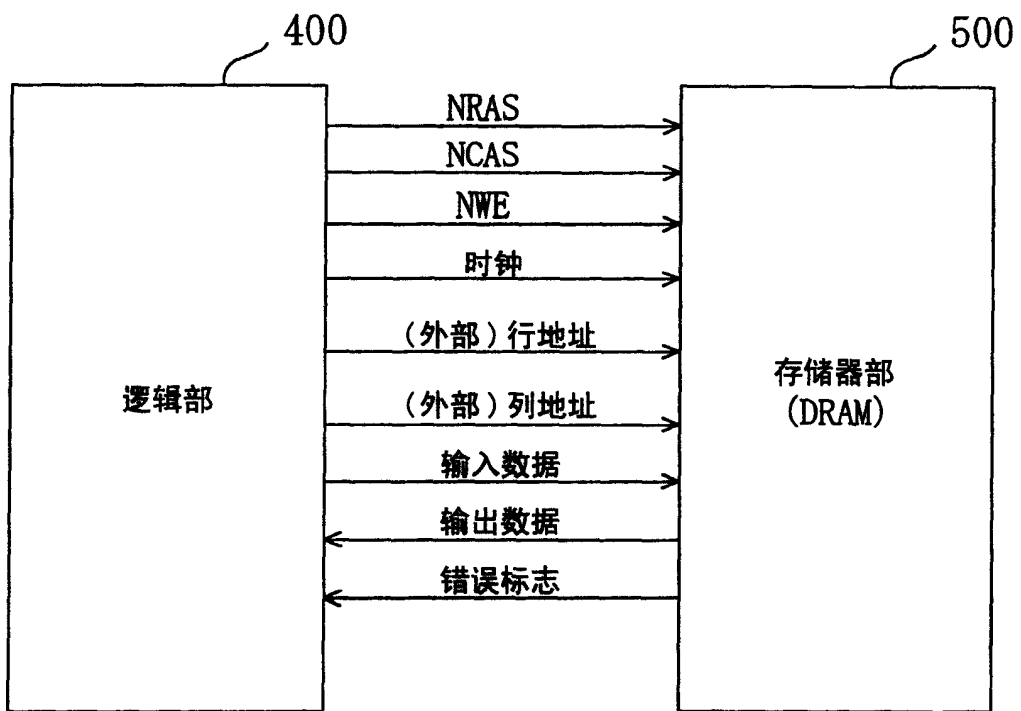


图 7

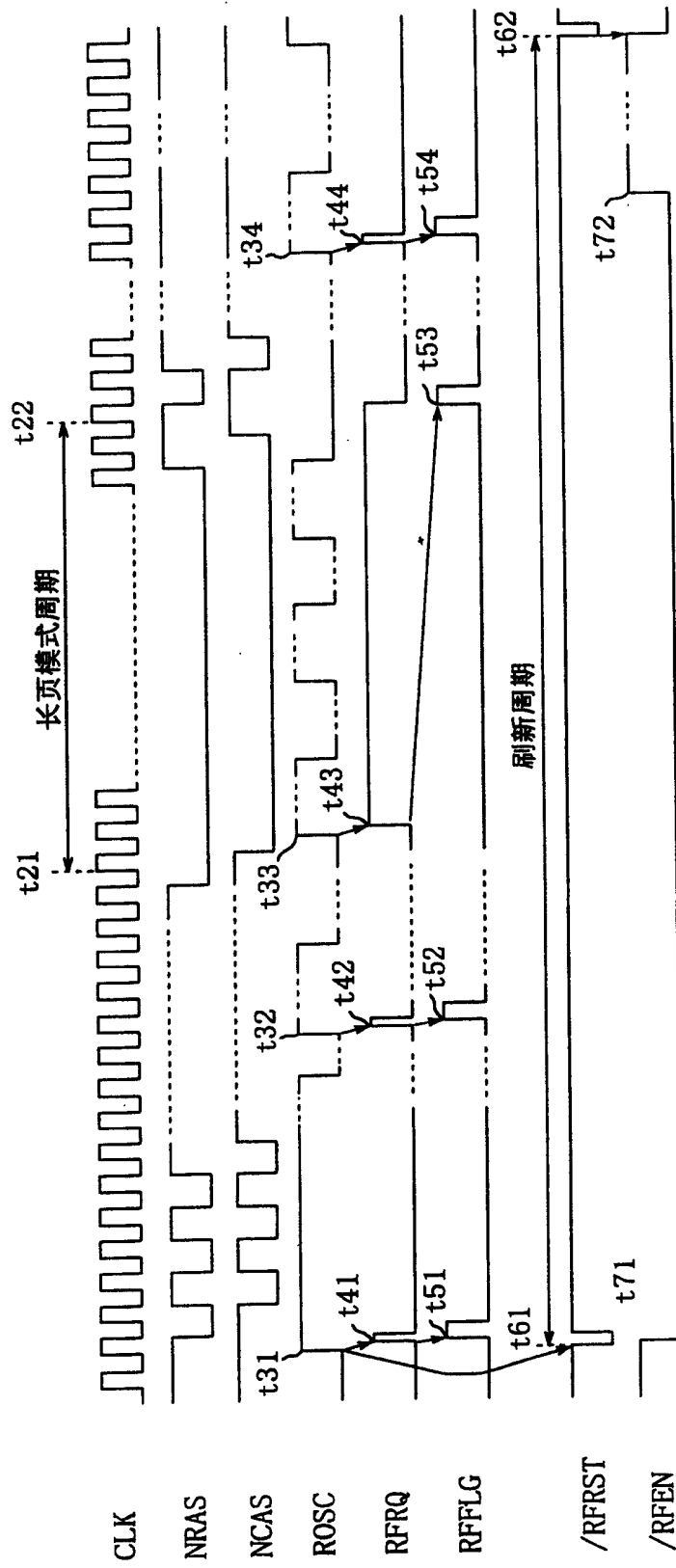


图 8