



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월11일
(11) 등록번호 10-0902585
(24) 등록일자 2009년06월05일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2007-0139980

(22) 출원일자 2007년12월28일

심사청구일자 2007년12월28일

(56) 선행기술조사문헌

KR1020000013572 A

JP2005057028 A

KR1019990037697 A

JP08222728 A

전체 청구항 수 : 총 8 항

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

김희대

경기 부천시 원미구 상동 반달마을 1819-1207

(74) 대리인

김용인, 박영복

심사관 : 김건형

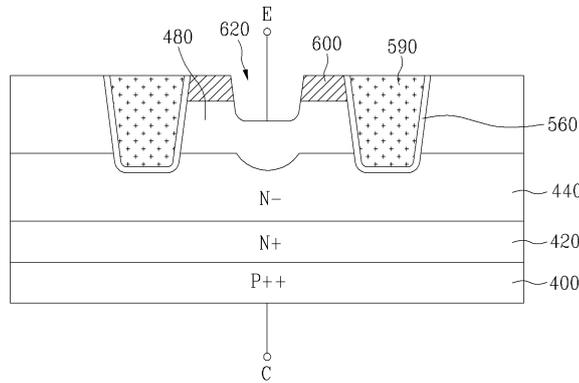
(54) 트랜치 게이트형 모스트랜지스터 및 그 제조방법

(57) 요약

본 발명은 트랜지스터의 BV(Breakdown Voltage) 특성을 향상시킬 수 있는 트랜치 게이트형 모스트랜지스터 및 그 제조방법에 관한 것이다.

본 발명에 따른 트랜치 게이트형 모스트랜지스터는 제 1 도전형의 반도체 기판 상에 형성된 제 2 도전형 제 1 에피택셜층과; 상기 제 2 도전형 제 1 에피택셜층 상에 형성된 제 2 도전형 제 2 에피택셜층과; 상기 제 2 도전형 제 2 에피택셜층 상에 형성된 제 1 도전형의 바디영역과; 상기 제 1 도전형의 바디영역에 일정한 간격으로 형성된 트랜치와; 상기 트랜치에 매립되어 형성된 게이트와; 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 제 2 도전형 에미터영역과; 상기 제 2 도전형 에미터영역 사이의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 콘택홀을 포함하며, 상기 제 1 도전형의 바디영역은 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에피택셜층과 맞닿아있는 부분이 라운드 형태로 형성되는 것을 특징으로 한다.

대표도 - 도3d



특허청구의 범위

청구항 1

제 1 도전형의 반도체 기판 상에 형성된 제 2 도전형 제 1 에픽택셀층과;
 상기 제 2 도전형 제 1 에픽택셀층 상에 형성된 제 2 도전형 제 2 에픽택셀층과;
 상기 제 2 도전형 제 2 에픽택셀층 상에 형성된 제 1 도전형의 바디영역과;
 상기 제 1 도전형의 바디영역에 일정한 간격으로 형성된 트렌치와;
 상기 트렌치에 매립되어 형성된 게이트와;
 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 제 2 도전형 에미터영역과;
 상기 제 2 도전형 에미터영역 사이의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 콘택홀을 포함하
 며,
 상기 제 1 도전형의 바디영역은 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에픽택셀층과 맞닿아있는 부
 분이 라운드 형태로 형성되는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터.

청구항 2

제 1항에 있어서,
 상기 게이트를 둘러싸는 산화막으로 이루어진 게이트 산화막을 추가로 포함하는 것을 특징으로 하는 트렌치 게
 이트형 모스트랜지스터.

청구항 3

제 1항에 있어서,
 상기 콘택홀의 바닥부분과 제 2 도전형 제 2 에픽택셀층까지의 상기 제 1 도전형의 바디영역이 일정한 거리를
 유지하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터.

청구항 4

제 1 도전형의 반도체 기판 상에 제 2 도전형 제 1 에픽택셀층과 제 2 도전형 제 2 에픽택셀층을 형성하는 단계
 와;
 상기 제 2 도전형 제 2 에픽택셀층 상에 제 1 도전형의 바디영역을 형성하는 단계와;
 상기 제 1 도전형의 바디영역에 일정한 간격으로 트렌치를 형성하는 단계와;
 상기 트렌치에 도전층을 매립하여 게이트를 형성하는 단계와;
 상기 제 1 도전형의 바디영역의 상부 표면 아래에 제 2 도전형 에미터영역을 형성하는 단계와;
 상기 제 2 도전형 에미터영역 중앙 부분의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 콘택홀을 형성하는
 단계 및
 상기 제 1 도전형의 바디영역의 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에픽택셀층과 맞닿아있는 부
 분이 라운드 형태로 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터의
 제조방법.

청구항 5

제 4항에 있어서,
 상기 제 1 도전형의 바디영역의 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에픽택셀층과 맞닿아있는 부
 분이 라운드 형태로 형성하는 단계는
 상기 제 2 도전형 제 2 에픽택셀층 상에 제 1 도전형의 바디영역을 형성한 후, 제 1 도전형 불순물을 한번 더

주입하여 라운드 형태로 형성하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터의 제조방법.

청구항 6

제 4항에 있어서,

상기 제 1 도전형의 바디영역의 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에피택셜층과 맞닿아있는 부분이 라운드 형태로 형성하는 단계는

상기 제 2 도전형 에미터영역 중앙 부분의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 콘택홀을 형성한 후, 제 1 도전형 불순물을 한번 더 주입하여 라운드 형태로 형성하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터의 제조방법.

청구항 7

제 4항에 있어서,

상기 게이트를 둘러싸는 산화막으로 이루어진 게이트 산화막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터의 제조방법.

청구항 8

제 4항에 있어서,

상기 콘택홀의 바닥부분과 제 2 도전형 제 2 에피택셜층까지의 상기 제 1 도전형의 바디영역이 일정한 거리를 유지하도록 형성하는 것을 특징으로 하는 트렌치 게이트형 모스트랜지스터의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 모스 트랜지스터에 관한 것으로, 특히 트랜지스터의 BV(Breakdown Voltage) 특성을 향상시킬 수 있는 트렌치 게이트형 모스트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

<2> 반도체 소자의 집적도 향상을 위해서 셀(Cell) 디자인의 크기가 점점 줄어드는 경향에 따라서 셀 피치 간 간격도 줄어들면서 콘택 사이즈 또한 선형적인 축소가 필요하다. 하지만, 줄어든 콘택 사이즈는 콘택 저항을 증가시켜 소자의 소비전력을 증대시키거나 소자 스피드를 떨어뜨리는 부정적인 요소를 갖게 된다.

<3> 이에 디자인 측면의 장점을 손상시키지 않고 소자의 특성을 향상시키기 위해서 콘택 저항 개선이 필요하며 그 방법 중에 하나가 트렌치 게이트형 모스트랜지스터를 사용하는 것이다.

<4> 트렌치 게이트형 모스트랜지스터는 축소된 콘택 사이즈를 실리콘 기판의 표면 아래로 실리콘 기판을 식각하여 콘택을 형성하도록 하게 됨으로 실리콘 영역과 접촉하는 전체 콘택 표면적을 증가시키게 되어 저항 증가를 상세시킬 수 있다.

<5> 이와 같은 종래의 트렌치 게이트형 모스트랜지스터를 첨부된 도면을 참조하여 설명하도록 한다.

<6> 도 1은 종래의 트렌치 게이트형 모스트랜지스터를 나타낸 단면도이다.

<7> 도 1에 도시된 바와 같이, 고농도(P++)의 반도체기판(40) 위에 N+ 에피택셜층(42)이 형성되어 있고, 그 위에 N-에피택셜층(44)이 형성되어 있다. N-에피택셜층(44) 위에는 복수개의 P-바디영역(48)이 트렌치 분리영역에 의해 전기적으로 서로 분리되도록 형성되어 있다. 트렌치 분리영역은 도우프된 폴리실리콘으로 이루어진 게이트(59)로 구성되어 있다. P-바디영역(48)의 하부에는 소자의 순방향 전압강하를 감소시키기 위하여 N-에피택셜층(44)보다 높은 농도의 NO 에피택셜층(미도시)이 형성될 수 있다. P- 바디영역(48)의 상부 표면 아래에는 N+ 에미터영역(60)과, N+ 에미터영역(60) 사이의 P- 바디영역(48)의 상부 표면 아래에는 콘택홀(62)이 형성되어 있다. 그리고, 에미터 전극(E)과 콜렉터전극(C)이 각각 형성되어 있다.

<8> 하지만, 종래의 트렌치 게이트형 모스트랜지스터는 P- 바디영역의 바닥과 N- 에피택셀층의 거리가 짧아지면서 소자의 BV 특성을 약화시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<9> 따라서, 상기와 같은 문제점을 해결하기 위하여, 본 발명은 트랜지스터의 BV(Breakdown Voltage) 특성을 향상시킬 수 있는 트렌치 게이트형 모스트랜지스터 및 그 제조방법을 제공하는데 그 목적이 있다.

과제 해결수단

<10> 본 발명에 따른 트렌치 게이트형 모스트랜지스터는 제 1 도전형의 반도체 기판 상에 형성된 제 2 도전형 제 1 에피택셀층과; 상기 제 2 도전형 제 1 에피택셀층 상에 형성된 제 2 도전형 제 2 에피택셀층과; 상기 제 2 도전형 제 2 에피택셀층 상에 형성된 제 1 도전형의 바디영역과; 상기 제 1 도전형의 바디영역에 일정한 간격으로 형성된 트렌치와; 상기 트렌치에 매립되어 형성된 게이트와; 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 제 2 도전형 에미터영역과; 상기 제 2 도전형 에미터영역 사이의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 형성된 콘택홀을 포함하며, 상기 제 1 도전형의 바디영역은 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에피택셀층과 맞닿아있는 부분이 라운드 형태로 형성되는 것을 특징으로 한다.

<11> 본 발명에 따른 트렌치 게이트형 모스트랜지스터의 제조방법은 제 1 도전형의 반도체 기판 상에 제 2 도전형 제 1 에피택셀층과 제 2 도전형 제 2 에피택셀층을 형성하는 단계와; 상기 제 2 도전형 제 2 에피택셀층 상에 제 1 도전형의 바디영역을 형성하는 단계와; 상기 제 1 도전형의 바디영역에 일정한 간격으로 트렌치를 형성하는 단계와; 상기 트렌치에 도전층을 매립하여 게이트를 형성하는 단계와; 상기 제 1 도전형의 바디영역의 상부 표면 아래에 제 2 도전형 에미터영역을 형성하는 단계와; 상기 제 2 도전형 에미터영역 중앙 부분의 상기 제 1 도전형의 바디영역의 상부 표면 아래에 콘택홀을 형성하는 단계 및 상기 제 1 도전형의 바디영역의 상기 콘택홀의 바닥부분 아래의 제 2 도전형 제 2 에피택셀층과 맞닿아있는 부분이 라운드 형태로 형성하는 단계를 포함하는 것을 특징으로 한다.

효과

<12> 이상에서 설명한 바와 같이, 본 발명에 따른 트렌치 게이트형 모스트랜지스터 및 그 제조방법은 P형 불순물을 한번더 주입하여 콘택홀 부분의 P-바디영역을 라운드 형태로 형성함으로써 콘택홀과 N-에피택셀층 상의 P-바디영역이 일정한 거리를 유지하기 때문에 모스트랜지스터의 BV 특성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<13> 이하, 첨부된 도면을 참조하여 본 발명에 의한 트렌치 게이트형 모스트랜지스터를 설명하면 다음과 같다.

<14> 도 2는 본 발명에 따른 트렌치 게이트형 모스트랜지스터를 나타낸 단면도이다.

<15> 도 2에 도시된 바와 같이, 고농도(P++)의 반도체기판(400) 위에 N+ 에피택셀층(420)이 형성되어 있고, 그 위에 N-에피택셀층(440)이 형성되어 있다. N-에피택셀층(440) 위에는 복수개의 P-바디영역(480)이 트렌치 분리영역에 의해 전기적으로 서로 분리되도록 형성되어 있다. 트렌치 분리영역은 도우프된 폴리실리코너로 이루어진 게이트(590)와, 그 게이트를 둘러싸는 산화막으로 이루어진 게이트 산화막(560)으로 구성되어 있다. P- 바디영역(480)의 상부 표면 아래에는 N+ 에미터영역(600)과, N+ 에미터영역(600) 사이의 P- 바디영역(480)의 상부 표면 아래에는 콘택홀(620)이 형성되어 있다. 그리고, 에미터 전극(E)과 콜렉터전극(C)이 각각 형성되어 있다.

<16> 여기서, P-바디영역(480)은 콘택홀(620)의 바닥부분 아래의 N0 에피택셀층(450)과 맞닿아있는 부분이 라운드 형태로 형성된다. 따라서, 라운드 형태의 P-바디영역(480)으로 인해 콘택홀(620)의 바닥부분과 N0 에피택셀층(450)까지의 P-바디영역(480)이 일정한 거리를 유지하게 됨으로써 모스트랜지스터의 BV 특성을 향상시킬 수 있다.

<17> 이하, 첨부된 도면을 참조하여 본 발명에 의한 트렌치 게이트형 모스트랜지스터의 제조방법을 설명하면 다음과 같다.

<18> 도 3a 내지 3d는 본 발명에 따른 트렌치 게이트형 모스트랜지스터의 제조방법을 나타낸 단면도이다.

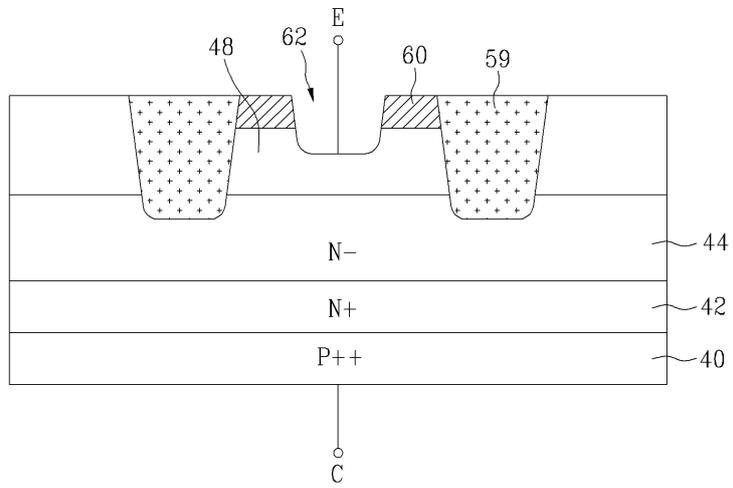
- <19> 먼저, 3a에 도시된 바와 같이, 고농도(P++)의 반도체 기판(400)에 에피택셜 성장법을 이용하여 N+ 에피택셜층(420) 및 N-에피택셜층(440)을 형성한다.
- <20> 이후, 도 3b에 도시된 바와 같이, N-에피택셜층(440)의 표면 상에 P- 불순물을 이온주입하고 주입된 불순물들이 활성화되어 P- 바디영역(480)이 형성된다. 그리고, 후속공정으로 형성될 콘택홀(620) 부분의 P- 바디영역(480)에 P- 불순물을 한번 더 이온주입하여 콘택홀(620) 부분의 P- 바디영역(480)의 바닥부분을 라운드 형태로 형성할 수 있다.
- <21> 그리고, P-바디영역(480)이 형성된 N-에피택셜층(440) 상에 질화막 또는 산화막을 증착하거나 또는 성장시켜 트렌치를 형성하기 위한 식각공정에서 반도체 기판을 보호할 마스크층(430)을 형성한다. 다음 사진식각 공정으로 마스크층(430)을 패터닝하여 트렌치가 형성될 영역의 N-에피택셜층(440)의 표면을 노출시킨 다음, 노출된 영역을 이방성식각하여 트렌치(460)를 형성한다. 이때, 트렌치(460)를 형성하기 위한 이방성 식각시 발생된 기판의 손상을 회복시키기 위하여 트렌치 내벽을 얇게 식각해낸 다음, 전면에 희생산화막을 성장시킬 수 있다.
- <22> 이어서, 도 3c에 도시된 바와 같이, 트렌치가 형성된 상기 결과물 상에 게이트 산화막(560)을 형성한다. 그리고 게이트 산화막(560) 상에 도전층, 예를 들어 불순물이 고농도로 도우프된 폴리실리콘을 증착한 다음, 폴리실리콘을 에치백(etchback)하여 트렌치에 매립된 게이트(590)을 형성한다.
- <23> 다음으로, 도 3d에 도시된 바와 같이, 사진식각 공정을 실시하여 에미터 영역이 형성될 영역을 한정한다. 한정된 영역에 N형 불순물을 이온주입하여 N+ 에미터영역(600)을 형성한 후, N+ 에미터영역(600) 중앙부분을 식각하여 콘택홀(620)을 형성한다.
- <24> 한편, 상술한 설명에서는 N-에피택셜층(440)의 표면 상에 P- 불순물을 이온주입하고 주입된 불순물들이 활성화되어 P- 바디영역(480)이 형성된 후, 후속공정으로 형성될 콘택홀(620) 부분의 P- 바디영역(480)에 P- 불순물을 한번 더 이온주입하여 콘택홀(620) 부분의 P- 바디영역(480)의 바닥부분을 라운드 형태로 형성할 수 있다고 기재하였다. 하지만, 콘택홀(620) 형성 공정 후에 콘택홀(620) 부분에 P- 불순물을 한번 더 이온주입하여 콘택홀(620) 부분의 P- 바디영역(480)의 바닥부분을 라운드 형태로 형성할 수 있다.
- <25> 이후, 에미터 전극(E)과 콜렉터전극(C)을 각각 형성한다.
- <26> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

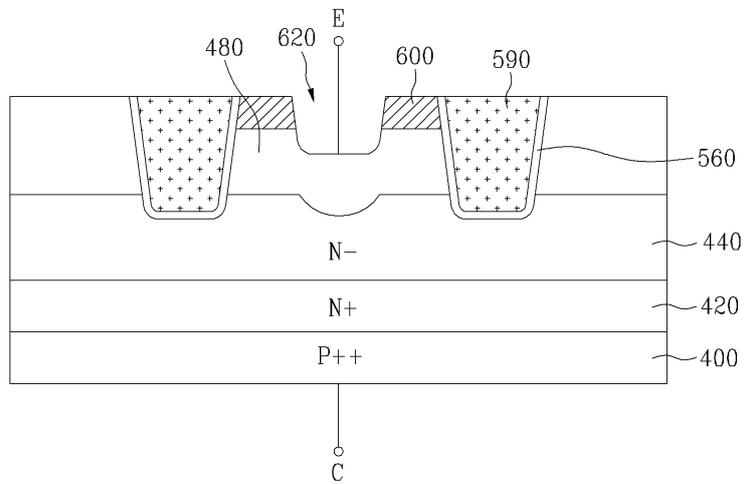
- <27> 도 1은 종래의 트렌치 게이트형 모스트랜지스터를 나타낸 단면도.
- <28> 도 2는 본 발명에 따른 트렌치 게이트형 모스트랜지스터를 나타낸 단면도.
- <29> 도 3a 내지 3d는 본 발명에 따른 트렌치 게이트형 모스트랜지스터의 제조방법을 나타낸 단면도.

도면

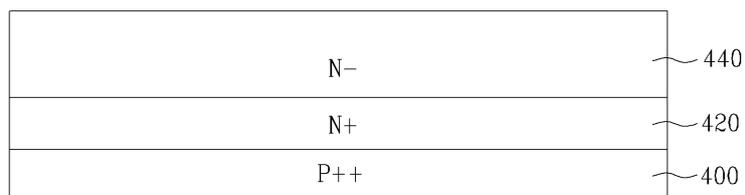
도면1



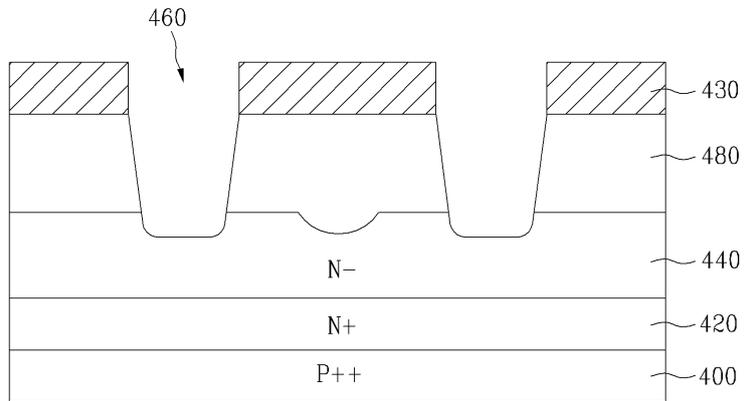
도면2



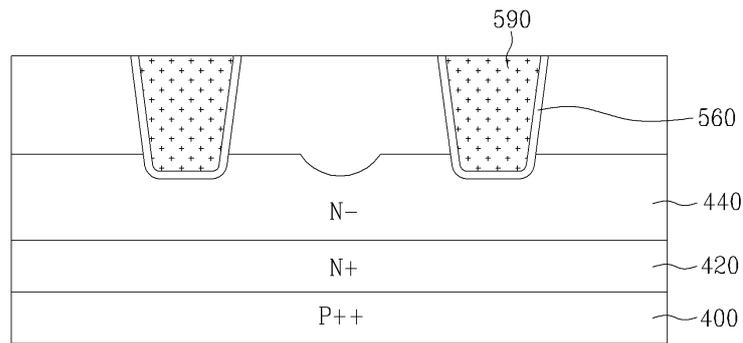
도면3a



도면3b



도면3c



도면3d

