(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0045571
(43) 공개일자 2009년05월08일

(51) Int. Cl.
G11C 11/409 (2006.01) *G11C 11/408* (2006.01)
G11C 8/18 (2006.01)
(21) 출원번호 10-2007-0111460
(22) 출원일자 2007년11월02일
심사청구일자 없음

(71) 출원인
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
이지은
서울 광진구 구의3동 현대아파트 603-1003
박문필
경기 용인시 기흥구 중동 동백지구 호수마을 상록롯데캐슬1001-1904
(74) 대리인
특허법인 신성

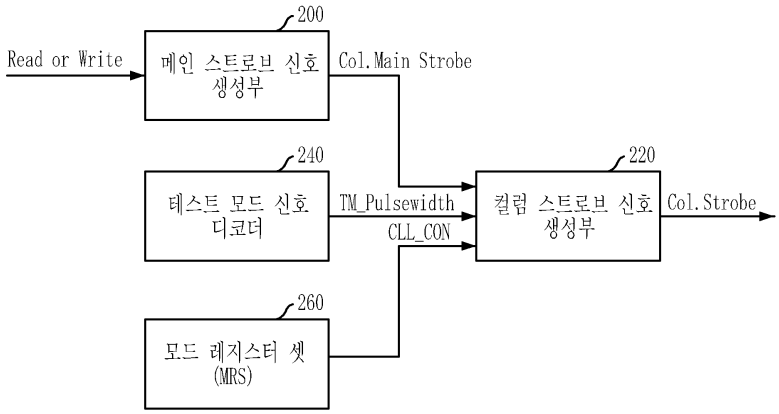
전체 청구항 수 : 총 11 항

(54) 반도체 메모리 소자

(57) 요 약

본 발명은 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 따라 펄스 폭을 변화하여 컬럼 스트로브 신호를 생성하는 회로에 관한 것으로서 리드 또는 라이트 커맨드에 응답하여 메인 스트로브 신호를 생성하기 위한 메인 스트로브 신호 생성부, 및 상기 메인 스트로브 신호에 응답하여 컬럼 스트로브 신호를 생성하되, 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 대응하여 상기 컬럼 스트로브 신호의 펄스 폭을 선택적으로 변동하는 컬럼 스트로브 신호 생성부를 구비하는 반도체 메모리 소자를 제공한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

리드 또는 라이트 커맨드에 응답하여 메인 스트로브 신호를 생성하기 위한 메인 스트로브 신호 생성수단;

상기 메인 스트로브 신호에 응답하여 컬럼 스트로브 신호를 생성하되, 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 대응하여 상기 컬럼 스트로브 신호의 펄스 폭을 선택적으로 변동하는 컬럼 스트로브 신호 생성수단

을 구비하는 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 컬럼 스트로브 신호 생성수단은,

상기 클럭고정루프 제어신호에 응답하여 펄스 폭 변동신호를 생성하기 위한 펄스 폭 변동신호 생성부; 및

상기 메인 스트로브 신호에 응답하여 상기 펄스 폭 변동신호에 대응된 펄스 폭을 갖는 상기 컬럼 스트로브 신호를 출력하는 컬럼 스트로브 신호 출력부를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 3

제2항에 있어서,

상기 펄스 폭 변동신호 생성부는,

상기 메인 스트로브 신호와 상기 클럭고정루프 제어신호를 입력받아 출력하기 위한 낸드게이트; 및

상기 낸드게이트의 출력신호를 지연하여 상기 펄스 폭 변동신호로서 출력하기 위한 지연소자를 구비하는 반도체 메모리 소자.

청구항 4

제3항에 있어서,

상기 지연소자는,

테스트 모드 신호에 응답하여 그 지연량이 변동하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5

제4항에 있어서,

상기 지연소자는,

신호입력단과 신호출력단 사이에 직렬접속된 다수의 딜레이;

정 제어단에 인가된 상기 테스트 모드 신호와 부 제어단에 인가된 상기 테스트 모드 신호의 반전신호에 응답하여 각각의 상기 딜레이의 입력단에 인가된 신호가 각각의 상기 딜레이의 출력단에 지연되어 전달되는 것을 온/오프 제어하기 위한 다수의 전달게이트를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6

제2항에 있어서,

상기 컬럼 스트로브 신호 출력부는,

상기 메인 스트로브 신호와 상기 펄스 폭 변동신호를 입력받아 출력하는 낸드게이트; 및

상기 낸드게이트의 출력신호를 입력받아 상기 컬럼 스트로브 신호로서 출력하는 인버터를 구비하는 반도체 메모리 소자.

청구항 7

리드 또는 라이트 커맨드에 응답하여 제1 펄스 폭을 갖는 메인 스트로브 신호를 생성하기 위한 메인 스트로브 신호 생성수단;

상기 메인 스트로브 신호에 응답하여 컬럼 스트로브 신호를 생성하기 위한 컬럼 스트로브 신호 생성수단을 구비하고,

상기 컬럼 스트로브 신호는 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 응답하여 상기 제1 펄스 폭 및 제2 펄스 폭 - 상기 제1 펄스 폭에 비해 짧음 - 중 어느 하나의 펄스 폭을 선택적으로 가지며,

상기 제2 펄스 폭은 테스트 모드 신호에 대응하여 그 폭이 변화하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 8

제7항에 있어서,

상기 컬럼 스트로브 신호 생성수단은,

상기 클럭고정루프 제어신호 및 상기 테스트 모드 신호에 응답하여 펄스 폭 변동신호를 생성하기 위한 펄스 폭 변동신호 생성부; 및

상기 메인 스트로브 신호에 응답하여 상기 펄스 폭 변동신호에 대응된 펄스 폭을 갖는 상기 컬럼 스트로브 신호를 출력하기 위한 컬럼 스트로브 신호 출력부를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 9

제8항에 있어서,

상기 펄스 폭 변동신호 생성부는,

상기 메인 스트로브 신호와 상기 클럭고정루프 제어신호를 입력받아 출력하기 위한 낸드게이트; 및

상기 테스트 모드 신호에 대응하여 결정된 시간만큼 상기 낸드게이트의 출력신호를 지연하여 상기 펄스 폭 변동신호로서 출력하기 위한 지연소자를 구비하는 반도체 메모리 소자.

청구항 10

제9항에 있어서,

상기 지연소자는,

신호입력단과 신호출력단 사이에 직렬접속된 다수의 딜레이;

정 제어단에 인가된 상기 테스트 모드 신호와 부 제어단에 인가된 상기 테스트 모드 신호의 반전신호에 응답하여 각각의 상기 딜레이의 입력단에 인가된 신호가 각각의 상기 딜레이의 출력단에 지연되어 전달되는 것을 온/오프 제어하기 위한 다수의 전달게이트를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 11

제8항에 있어서,

상기 컬럼 스트로브 신호 출력부는,

상기 메인 스트로브 신호와 상기 펄스 폭 변동신호를 입력받아 출력하는 낸드게이트; 및

상기 낸드게이트의 출력신호를 입력받아 상기 컬럼 스트로브 신호로서 출력하는 인버터를 구비하는 반도체 메모리 소자.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 설계 기술에 관한 것으로서, 특히, 반도체 메모리 소자에서 컬럼 스트로브 신호를 생성하는

회로에 관한 것이며, 더 자세히는 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 따라 펄스 폭을 변화하여 컬럼 스트로브 신호를 생성하는 회로에 관한 것이다.

배 경 기 술

<2> 일반적으로, 디램(DRAM)과 같은 반도체 메모리 소자에서 데이터를 읽거나 쓰려면 그에 해당하는 리드(READ) 또는 라이트(WRITE) 명령을 수행하도록 디램을 제어하여야 한다.

<3> 이렇게 리드(READ) 또는 라이트(WRITE) 명령을 수행하도록 디램을 제어하기 위해서는 외부에서 디램으로 인가하는 제어신호를 적절히 조절함으로써 가능한데, 일반적인 디램의 경우에 외부에서 디램으로 인가하는 제어신호로는 로우 어드레스 스트로브(ROW ADDRESS STROBE : RAS) 신호, 컬럼 어드레스 스트로브(COLUMN ADDRESS STROBE : CAS) 신호, 라이트 인에이블(WRITE ENABLE : WE) 신호, 칩 실렉트(CHIP SELECT : CS) 신호가 있다. 즉, 전술한 4개의 신호를 적절히 조합하여 디램의 동작을 제어할 수 있다.

<4> 예를 들어보면, 디램의 리드(READ) 동작을 수행하기 위해서는 로우 어드레스 스트로브(RAS) 신호와 칩 실렉트(CS)가 활성화된 상태에서 컬럼 어드레스 스트로브(CAS) 신호는 활성화시키고 라이트 인에이블(WE) 신호는 비활성화시키면 된다.

<5> 이때, 칩 실렉트(CS)와 로우 어드레스 스트로브(RAS) 신호의 활성화로 인해 디램에서는 액티브 커맨드가 활성화되며, 이로 인해, 다수의 워드라인(WORD LINE) 중 적어도 한 개 이상의 워드라인(WORDLINE)을 선택하는 동작을 수행한다. 여기서, 워드라인(WORD LINE)은 데이터를 저장하기 위해 디램에 포함된 다수의 셀 중에서 로우 어드레스를 공유하는 셀을 그룹화한 것이다.

<6> 또한, 카스 어드레스 스트로브(CAS) 신호를 활성화시키는 것과 라이트 인에이블(WE) 신호를 비활성화시키는 것으로 인해 디램에서는 리드 커맨드가 활성화되며, 이로 인해, 이미 액티브 커맨드에 의해 선택되어 있던 워드라인(WORD LINE)에 그룹화되어있던 셀 들 중 적어도 한 개 이상의 셀을 선택하여 저장되어 있던 데이터를 디램 외부로 출력하는 동작을 수행한다.

<7> 마찬가지로, 디램의 라이트(WRITE) 동작을 수행하기 위해서는 로우 어드레스 스트로브(RAS) 신호와 칩 실렉트(CS)가 활성화된 상태에서 컬럼 어드레스 스트로브(CAS) 신호와 라이트 인에이블(WE) 신호를 활성화시키면 된다.

<8> 이때, 칩 실렉트(CS)와 로우 어드레스 스트로브(RAS) 신호의 활성화로 인해 디램에서는 액티브 커맨드가 활성화되며, 이로 인해, 다수의 워드라인(WORD LINE) 중 적어도 한 개 이상의 워드라인(WORDLINE)을 선택하는 동작을 수행한다. 여기서, 워드라인(WORD LINE)은 데이터를 저장하기 위해 디램에 포함된 다수의 셀 중에서 로우 어드레스를 공유하는 셀을 그룹화한 것이다.

<9> 또한, 카스 어드레스 스트로브(CAS) 신호와 라이트 인에이블(WE) 신호를 활성화시키는 것으로 인해 디램에서는 라이트 커맨드가 활성화되며, 이로 인해, 이미 액티브 커맨드에 의해 선택되어 있던 워드라인(WORD LINE)에 그룹화되어있던 셀 들 중 적어도 한 개 이상의 셀을 선택하여 저장되어 있던 데이터를 디램 외부에서 입력되는 데이터로 교환하는 동작을 수행한다.

<10> 한편, 전술한 외부에서 인가하는 4개의 신호 이외에도 디램에 포함된 다수의 셀 중 적어도 어느 하나 이상의 셀을 선택하기 위해서는, 이를 구분할 수 있는 어드레스 신호가 전술한 4개의 신호와 같이 입력되어야 한다. 전술한 일반적인 디램의 리드/라이트 동작을 바탕으로 예를 들면, 다수의 워드라인(WORD LINE) 중 적어도 한 개 이상의 워드라인(WORD LINE)을 선택하기 위해서 로우 어드레스가 입력되어야 하고, 워드라인(WORD LINE)에 그룹화되어있던 셀 들 중 적어도 한 개 이상의 셀을 선택하기 위해서 컬럼 어드레스가 입력되어야 한다.

<11> 하지만, 전술한 디램의 리드/라이트 동작에서는 워드라인(WORD LINE)을 선택하는 동작과 워드라인(WORD LINE)에 그룹화되어있던 셀을 선택하는 동작이 모두 실행되어야 최종적으로 데이터를 출력하거나 입력하는 동작을 수행할 수 있다. 즉, 디램의 리드/라이트 동작에는 컬럼 어드레스와 로우 어드레스가 모두 입력되어야 원하는 데이터를 입력하거나 출력할 수 있다.

<12> 그런데, 로우 어드레스를 입력받기 위한 어드레스 입력 패드와 컬럼 어드레스를 입력받기 위한 어드레스 입력 패드를 디램이 모두 포함할 경우 디램의 면적이 증가하는 문제점이 발생할 수 있다.

<13> 따라서, 일반적인 디램에서는 서로 같은 어드레스 입력 패드를 공유하여 일정한 시간차를 두고 로우 어드레스와 컬럼 어드레스를 모두 입력받는 방법을 사용한다.

<14> 하지만, 전술한 바와 같이 로우 어드레스와 컬럼 어드레스가 어드레스 입력 패드를 공유하는 경우 로우 어드레스와 컬럼 어드레스가 입력되는 타이밍, 즉, 로우 어드레스의 입력시점과 컬럼 어드레스의 입력시점이 원하는 시점에 정확하게 일치 하지 않으면 반도체 메모리 소자에 포함된 다수의 셀 중 전혀 엉뚱한 셀에 저장된 데이터를 리드/라이트 하게 되어 잘못된 데이터를 입/출력하는 문제가 발생할 수 있다.

<15> 따라서, 종래의 디램에서는 액티브 커맨드가 활성화되는 것과 동시에 입력 어드레스 패드로 인가되는 신호는 로우 어드레스로 인정하고, 리드/라이트 커맨드가 활성화되는 것과 동시에 입력 어드레스 패드로 인가되는 신호는 컬럼 어드래스로 인정하는 방법을 사용하였다.

<16> 물론, 액티브 커맨드 및 리드/라이트 커맨드에 응답하여 예정된 펄스 폭을 갖는 스트로브 신호를 생성하고, 스트로브 신호가 활성화구간을 유지하는 동안에는 입력 어드레스 패드로 인가되는 신호가 예정된 타이밍보다 상대적으로 약간 늦어지거나 약간 빨라지는 경우에도 이를 각각 로우 어드레스 및 컬럼 어드레스로 인정할 수 있도록 함으로써 반도체 메모리 소자에서 잘못된 데이터를 입/출력하는 문제가 발생하지 않도록 하였다.

<17> 도 1은 종래기술에 따른 반도체 메모리 소자에서 사용되는 스트로브 신호의 활성화 타이밍을 도시한 타이밍 다이어그램이다.

<18> 도 1을 참조하면, 종래기술에 따른 반도체 메모리 소자에서 사용되는 스트로브 신호 중 로우 스트로브 신호(Row. Strobe)가 액티브 커맨드(ACT)에 응답하여 활성화되고, 컬럼 스트로브 신호(Cow. Strobe)가 리드 또는 라이트 커맨드(READ or WRITE)에 응답하여 활성화되는 것을 알 수 있다.

<19> 구체적으로, 액티브 커맨드(ACT)가 활성화되면(①), 그에 응답하여 로우 계열 메인 스트로브 신호(Row. Main Strobe)가 활성화되고(②), 로우 계열 메인 스트로브 신호(Row. Main Strobe)가 활성화되는 것에 응답하여 로우 계열 스트로브 신호(Row. Strobe)가 활성화된다.

<20> 그 후, 리드 또는 라이트 커맨드(READ or WRITE)가 활성화되면(③), 그에 응답하여 컬럼 계열 메인 스트로브 신호(Cow. Main Strobe)가 활성화되고(④), 컬럼 계열 메인 스트로브 신호(Cow. Main Strobe)가 활성화되는 것에 응답하여 컬럼 계열 스트로브 신호(Cow. Strobe)가 활성화된다.

<21> 전술한 종래기술의 반도체 메모리 소자에서 액티브 커맨드(ACT)가 활성화된 후 로우 계열 스트로브 신호(Row. Strobe)가 활성화되기 전에 로우 계열 메인 스트로브 신호(Row. Main Strobe)가 먼저 활성화되는 이유는, 로우 계열 스트로브 신호(Row. Strobe)가 액티브 커맨드(ACT)의 활성화구간과 서로 다른 활성화 구간을 가지도록하기 위해서이다.

<22> 즉, 로우 계열 스트로브 신호(Row. Strobe)가 도면에서는 한 개의 신호로 표현되었지만 실제로는 여러 개의 스트로브 신호를 의미하므로, 여러 개의 스트로브 신호가 각각 생성될 때마다 여러 개의 스트로브 신호를 생성하는 회로에 액티브 커맨드(ACT)의 펄스 폭과 서로 다른 펄스 폭을 갖도록 제어하는 알고리즘을 적용하면 비효율적일 수 있다.

<23> 따라서, 전술한 바와 같이 액티브 커맨드(ACT)의 펄스 폭과 서로 다른 펄스 폭을 갖는 로우 계열 메인 스트로브 신호(Row. Main Strobe)를 먼저 생성하고 로우 계열 메인 스트로브 신호(Row. Main Strobe)에 응답하여 생성되는 로우 계열 스트로브 신호(Row. Strobe)는 모두 로우 계열 메인 스트로브 신호(Row. Main Strobe)와 같은 펄스 폭을 갖도록 하였다.

<24> 예컨대, 일반적인 액티브 커맨드(ACT)의 펄스 폭이 외부에서 인가되는 클럭(Clock)의 펄스 폭인 tCK 값을 갖는다고 하면 로우 계열 메인 스트로브 신호(Row. Main Strobe)가 갖는 펄스 폭은 1×tCK+α 값 또는 0.5×tCK+α 값이며, 이에 따라 로우 계열 스트로브 신호(Row. Strobe) 역시 1×tCK+α 값 또는 0.5×tCK+α 값의 펄스 폭을 갖도록 제어된다.

<25> 마찬가지로, 리드 또는 라이트 커맨드(READ or WRITE)가 활성화된 후 컬럼 계열 스트로브 신호(Col. Strobe)가 활성화되기 전에 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)가 먼저 활성화되는 이유는, 컬럼 계열 스트로브 신호(Col. Strobe)가 리드 또는 라이트 커맨드(READ or WRITE)의 활성화구간과 서로 다른 활성화 구간을 가지도록하기 위해서이다.

<26> 즉, 컬럼 계열 스트로브 신호(Col. Strobe)가 도면에서는 한 개의 신호로 표현되었지만 실제로는 여러 개의 스트로브 신호를 의미하므로, 여러 개의 스트로브 신호가 각각 생성될 때마다 여러 개의 스트로브 신호를 생성하는 회로에 리드 또는 라이트 커맨드(READ or WRITE)의 펄스 폭과 서로 다른 펄스 폭을 갖도록 제어하는 알고리

즘을 적용하면 비효율적일 수 있다.

<27> 따라서, 전술한 바와 같이 리드 또는 라이트 커맨드(READ or WRITE)의 펄스 폭과 서로 다른 펄스 폭을 갖는 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)를 먼저 생성하고 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)에 응답하여 생성되는 컬럼 계열 스트로브 신호(Col. Strobe)는 모두 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)와 같은 펄스 폭을 갖도록 하였다.

<28> 예컨대, 일반적인 리드 또는 라이트 커맨드(READ or WRITE)의 펄스 폭이 외부에서 인가되는 클럭(Clock)의 펄스 폭인 tCK 값을 갖는다고 하면 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)가 갖는 펄스 폭은 1×tCK+α 값 또는 0.5×tCK+α 값이며, 이에 따라 컬럼 계열 스트로브 신호(Col. Strobe) 역시 1×tCK+α 값 또는 0.5×tCK+α 값의 펄스 폭을 갖도록 제어된다.

<29> 그런데, 전술한 반도체 메모리 소자의 동작에서는 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭이 결국 외부에서 인가되는 클럭(Clock)의 펄스 폭에 대응하여 결정된다.

<30> 즉, 외부에서 인가되는 클럭(Clock)의 펄스 폭이 커지면 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭 또한 커질 수밖에 없는 구조이다.

<31> 이러한 구조를 갖는 반도체 메모리 소자가 노멀(Normal)한 동작을 하는 경우에는 일반적으로 외부에서 인가되는 클럭(Clock)의 주파수가 큰 편이므로 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe) 펄스 폭 또한 작은 편이다. 반면에, 테스트 동작, 특히 웨이퍼 테스트 동작을 하는 경우에는 상대적으로 낮은 주파수를 갖는 클럭(Clock)을 외부에서 인가하게 되므로 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe) 펄스 폭이 커진다.

<32> 즉, 노멀(Normal)한 동작을 하는 경우보다 테스트 동작을 하는 경우에 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭이 더 커진다.

<33> 이렇게, 테스트 동작시 펄스 폭이 노멀 동작시의 펄스 폭 보다 더 크게 되면, 테스트 동작에서 로우 계열 스트로브 신호(Row. Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe)에 응답하여 정상적으로 동작하던 반도체 메모리 소자의 셀 어레이 들이 노멀 동작에서는 정상적으로 동작하지 못하는 문제점이 발생할 수 있다.

<34> 이는, 테스트의 본래 목적인 반도체 메모리 소자에 포함된 다수의 셀의 잠재적인 스크린(screen) 불량을 잡아내는 것이 의미가 없다는 것을 의미하므로 테스트 동작을 위해 소모된 시간과 비용을 낭비되는 문제를 발생시킨다.

발명의 내용

해결 하고자하는 과제

<35> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로서, 외부에서 인가되는 클럭의 펄스 폭과 상관없이 독립적인 펄스 폭으로 로우 계열 스트로브 신호 및 컬럼 계열의 스토로브 신호를 생성할 수 있는 스트로브 신호 생성회로를 구비하는 반도체 메모리 소자에 관한 것이다.

과제 해결수단

<36> 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 리드 또는 라이트 커맨드에 응답하여 메인 스트로브 신호를 생성하기 위한 메인 스트로브 신호 생성수단; 상기 메인 스트로브 신호에 응답하여 컬럼 스트로브 신호를 생성하되, 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 대응하여 상기 컬럼 스트로브 신호의 펄스 폭을 선택적으로 변동하는 컬럼 스트로브 신호 생성수단을 구비하는 반도체 메모리 소자를 제공한다.

<37> 또한, 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 리드 또는 라이트 커맨드에 응답하여 제1 펄스 폭을 갖는 메인 스트로브 신호를 생성하기 위한 메인 스트로브 신호 생성수단; 상기 메인 스트로브 신호에 응답하여 컬럼 스트로브 신호를 생성하기 위한 컬럼 스트로브 신호 생성수단을 구비하고, 상기 컬럼 스트로브 신호는 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 응답하여 상기 제1 펄스 폭 및 제2 펄스 폭 - 상기 제1 펄스 폭에 비해 짧음 - 중 어느 하나의 펄스 폭을 선택적으로 가지며, 상기 제2 펄스 폭은 테스트 모드 신호에 대응하여 그 폭이 변화하는 것을 특징으로 하는 반도체 메모리 소자를 제공한다.

효 과

<38> 전술한 본 발명은 외부에서 인가되는 클럭의 펄스 폭과 상관없이 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 응답하여 로우 계열 스트로브 신호 및 컬럼 계열의 스토로브 신호의 펄스 폭을 조절할 수 있는 효과가 있다.

<39> 예컨대, 낮은 주파수로 테스트하여 외부에서 인가되는 클럭의 펄스 폭이 상대적으로 넓은 웨이퍼 테스트 등의 동작에서 스트로브 신호의 펄스 폭을 좁게 조절하여 테스트를 수행할 수 있는 효과가 있다.

<40> 이로 인해, 테스트 동작에서 상대적으로 정확하게 반도체 메모리 소자에 포함된 다수의 셀의 잠재적인 스크린(screen) 불량을 잡아낼 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<41> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<42> 도 2는 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로를 도시한 블록 다이어그램이다.

<43> 도 2를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로는, 리드 또는 라이트 커맨드(READ or WRITE)에 응답하여 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)를 생성하기 위한 메인 스토로브 신호 생성부(200)와, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)에 응답하여 컬럼 계열 스트로브 신호(Col. Strobe)를 생성하되, 모드 레지스터 셋(Mode Register Set : MRS, 260)에 정의된 클럭고정루프 제어신호(CLL_CON)에 대응하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 선택적으로 변동하는 컬럼 스트로브 신호 생성부(220)를 구비한다.

<44> 여기서, 클럭고정루프 제어신호(CLL_CON)는, 외부에서 입력되는 클럭과 내부에서 생성되는 클럭의 위상을 락킹하기 위한 장치, 즉, 지연고정루프(Delay Locked Loop : DLL) 또는 위상고정루프(Phase Locked Loop : PLL)의 동작을 온/오프 제어하는 신호를 의미한다.

<45> 즉, 외부에서 인가되는 클럭의 주파수가 상대적으로 낮은 경우에는 지연고정루프(DLL) 또는 위상고정루프(PLL)를 사용하지 않아도 반도체 메모리 소자에서 비교적 정확한 타이밍에 데이터가 입/출력되는 것이 가능하다.

<46> 따라서, 외부에서 인가하는 클럭의 주파수가 상대적으로 낮아지는 웨이퍼 테스트의 경우에는 지연고정루프(DLL) 또는 위상고정루프(PLL)의 동작을 제어하기 위해 모드 레지스터 셋(MRS, 260)에 정의된 클럭고정루프 제어신호(CLL_CON)를 자유롭게 활성화/비활성화시키는 것이 가능하다.

<47> 도 3은 도 2에 도시된 본 발명의 실시예에 따른 컬럼 계열 스트로브 신호를 생성하는 회로의 구성요소 중 컬럼 스트로브 신호 생성부를 상세하게 도시한 회로도이다.

<48> 도 3을 참조하면, 본 발명의 실시예에 따른 컬럼 계열 스트로브 신호를 생성하는 회로의 구성요소 중 컬럼 스트로브 신호 생성부(220)는, 클럭고정루프 제어신호(CLL_CON)에 응답하여 펄스 폭 변동신호(PW_Variable)를 생성하기 위한 펄스 폭 변동신호 생성부(222)와, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)에 응답하여 펄스 폭 변동신호(PW_Variable)에 대응된 펄스 폭을 갖는 컬럼 계열 스트로브 신호(Col. Strobe)를 출력하는 컬럼 스트로브 신호 출력부(224)를 구비한다.

<49> 여기서, 펄스 폭 변동신호 생성부(222)는, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)와 클럭고정루프 제어신호(CLL_CON)를 입력받아 출력하기 위한 낸드게이트(NAND1), 및 낸드게이트(NAND1)의 출력신호(Strobe_Node)를 지연하여 펄스 폭 변동신호(PW_Variable)로서 출력하기 위한 지연소자(2222)를 구비한다.

<50> 이때, 지연소자(2222)는 테스트 모드 신호 디코더(240)에서 출력되는 테스트 모드 신호(TM_PulseWidth)에 응답하여 그 지연량을 변동할 수 있다.

<51> 이렇게, 테스트 모드 신호(TM_PulseWidth)에 응답하여 지연소자(2222)의 지연량을 변동하게 되면, 그에 대응하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭이 변동한다.

<52> 그리고, 컬럼 스트로브 신호 출력부(224)는, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)와 펄스 폭 변동 신호(PW_Variable)를 입력받아 출력하는 낸드게이트(NAND2), 및 낸드게이트(NAND2)의 출력신호를 입력받아 컬럼 계열 스트로브 신호(Col. Strobe)로서 출력하기 위한 인버터(INV)를 구비한다.

<53> 도 4는 도 3에 도시된 본 발명의 실시예에 따른 컬럼 스트로브 신호 생성부의 구성요소 중 지연소자를 상세하게 도시한 회로도이다.

<54> 도 4를 참조하면, 도 3에 도시된 본 발명의 실시예에 따른 지연소자(2222)는, 신호입력단(IN)과 신호출력단(OUT) 사이에 직렬접속된 다수의 딜레이(2222a, 2222b, 2222c, 2222d), 및 정 제어단에 인가된 테스트 모드 신호(TM_PulseWidth<0 ~ 4>)와 부 제어단에 인가된 테스트 모드 신호의 반전신호(TM_PulseWidth_b<0 ~ 4>)에 응답하여 각각의 딜레이(2222a, 2222b, 2222c, 2222d)의 입력단(DIN_0, D_IN1, D_IN2, D_IN3, D_IN4)에 인가된 신호가 각각의 딜레이의 출력단(D_OUT0, D_OUT1, D_OUT2, D_OUT3, D_OUT4)에 지연되어 전달되는 것을 온/오프 제어하기 위한 다수의 전달게이트(TG0, TG1, TG2, TG3, TG4)를 구비한다.

<55> 즉, 테스트 모드 신호(TM_PulseWidth<0 ~ 4>)에 어떠한 값이 정의되느냐에 따라 실제로 각각의 딜레이(2222a, 2222b, 2222c, 2222d)의 입력단(DIN_0, D_IN1, D_IN2, D_IN3, D_IN4)의 신호를 지연하여 각각의 딜레이(2222a, 2222b, 2222c, 2222d)의 출력단(D_OUT0, D_OUT1, D_OUT2, D_OUT3, D_OUT4)으로 인가할 수 있는 딜레이의 개수가 달라지게된다.

<56> 따라서, 신호입력단(IN)과 신호출력단(OUT) 사이에 직렬접속된 다수의 딜레이(2222a, 2222b, 2222c, 2222d) 중 입력되는 신호를 지연할 수 있는 딜레이의 개수가 많아지면 많아질수록 신호입력단(IN)에 인가된 신호는 더 오랜 시간 동안 지연되어 신호출력단(OUT)에 인가될 것이고, 그 반대의 경우에는 더 짧은 시간 동안 지연되어 신호출력단(OUT)에 인가될 것이다.

<57> 도 5a는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 활성화된 경우를 도시한 타이밍 다이어그램이다.

<58> 도 5a를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호(CLL_CON)가 활성화된 경우, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)가 예정된 제1 펄스 폭을 가지고 활성화되면, 컬럼 계열 스트로브 신호(Col. Strobe) 신호 역시 예정된 제1 펄스를 가지고 활성화되는 것을 알 수 있다.

<59> 즉, 반도체 메모리 소자가 노멀(Normal)한 동작을 수행하는 경우에는 외부에서 인가되는 클럭(Clock)의 펄스 폭이 상대적으로 좁은 편이고, 이에 따라 컬럼 계열 메인 스트로브 신호(Col. Main Strobe) 및 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭 또한 상대적으로 좁아지기 때문에 클럭고정루프 제어신호(CLL_CON)를 비활성화하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 선택할 필요가 없다.

<60> 물론, 외부에서 인가되는 클럭(Clock)의 펄스 폭이 상대적으로 좁은 편이라는 것은 반도체 메모리 소자의 동작 속도가 상대적으로 빠르다는 것을 의미하므로 클럭고정루프 제어신호(CLL_CON)를 비활성화하게되면 정상적인 데이터의 입/출력 동작이 불가능할 수 있다.

<61> 그럼에도 불구하고, 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 선택하고 싶은 경우에는 클럭고정루프 제어신호(CLL_CON) 대신에 새로운 테스트 신호를 사용할 수도 있다. 하지만, 이는 새로운 테스트 모드에 관한 사항을 모드 레지스터 셋에 새롭게 정의하여야 하고, 이에 따라 테스트 모드 신호를 디코딩하는 회로를 변경하여야 하므로 권장할 만한 사항은 아니다.

<62> 도 5b는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 비활성화된 경우를 도시한 타이밍 다이어그램이다.

<63> 도 5b를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호(CLL_CON)가 비활성화된 경우, 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)가 예정된 제1 펄스 폭을 가지고 활성화되어도 컬럼 계열 스트로브 신호(Col. Strobe) 신호는 예정된 제1 펄스 폭보다 작은 제2 펄스 폭을 가지고 활성화되는 것을 알 수 있다.

<64> 즉, 반도체 메모리 소자가 테스트 동작, 특히, 웨이퍼 테스트 동작을 수행하는 경우에는 외부에서 인가되는 클럭(Clock)의 펄스 폭이 상대적으로 넓은 편이고, 이에 따라 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)의 펄스 폭 또한 상대적으로 넓어지기 때문에 클럭고정루프 제어신호(CLL_CON)를 비활성화하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)의 펄스 폭보다 좁게 만들 필

요가 있다.

<65> 이때, 외부에서 인가되는 클럭(Clock)의 펄스 폭이 상대적으로 넓은 편이라는 것은 반도체 메모리 소자의 동작 속도가 상대적으로 느리다는 것을 의미하므로 클럭고정루프 제어신호(CLL_CON)가 비활성화되어도 정상적인 데이터의 입/출력 동작에는 큰 영향을 미치지 않는다.

<66> 물론, 전술한 바와 같이 클럭고정루프 제어신호(CLL_CON) 대신에 새로운 테스트 신호를 사용하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 선택할 수도 있다. 하지만, 이는 새로운 테스트 모드에 관한 사항을 모드 레지스터 셋에 새롭게 정의하여야 하고, 이에 따라 테스트 모드 신호를 디코딩하는 회로를 변경하여야 하므로 권장할 만한 사항은 아니다.

<67> 도 5c는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 비활성화된 상태에서 테스트 모드 신호를 사용하여 컬럼 계열 스트로브 신호의 펄스 폭을 변동하는 경우를 도시한 타이밍 다이어그램이다.

<68> 도 5c를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호(CLL_CON)가 비활성화된 상태에서는 테스트 모드 신호(TM_PulseWidth)를 사용하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 변동할 수 있는 것을 알 수 있다.

<69> 즉, 반도체 메모리 소자가 테스트 동작, 특히, 웨이퍼 테스트 동작을 수행하는 경우에 클럭고정루프 제어신호(CLL_CON)를 비활성화하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 컬럼 계열 메인 스트로브 신호(Col. Main Strobe)의 펄스 폭보다 상대적으로 좁게 한 이후에도 테스트 모드 신호(TM_PulseWidth)를 적절히 사용하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 변동하는 것이 가능하다.

<70> 이는, 전술한 바와 같이 클럭고정루프 제어신호(CLL_CON) 대신에 새로운 테스트 신호를 사용하여 컬럼 계열 스트로브 신호(Col. Strobe)의 펄스 폭을 선택하는 경우라도 동일하게 적용할 수 있는 방법이다.

<71> 이상에서 살펴 본 바와 같이 본 발명의 실시예를 적용하면, 노멀(Normal) 모드 동작에서 상대적으로 고속으로 동작하는 반도체 메모리 소자를 테스트 모드 동작에서 상대적으로 저속으로 동작시키는 경우, 외부에서 인가되는 클럭의 펄스 폭과 상관없이 모드 레지스터 셋에 정의된 클럭고정루프 제어신호에 응답하여 로우 계열 스트로브 신호 및 컬럼 계열의 스토로브 신호의 펄스 폭을 조절할 수 있다.

<72> 이로 인해, 낮은 주파수의 외부클럭을 사용하는 테스트인 웨이퍼 테스트에서도 상대적으로 정확하게 반도체 메모리 소자에 포함된 다수의 셀의 잠재적인 스크린(screen) 불량을 잡아낼 수 있다.

<73> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명의 속한 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

<74> 예컨대, 전술한 실시예에서 컬럼 계열 스트로브 신호를 생성하는 회로에 대해서만 설명하였는데, 본 발명은 컬럼 계열 스트로브 신호를 생성하는 회로뿐만 아니라 로우 계열 스트로브 신호를 생성하는 회로에도 적용할 수 있다.

<75> 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

도면의 간단한 설명

<76> 도 1은 종래기술에 따른 반도체 메모리 소자에서 사용되는 스트로브 신호의 활성화 타이밍을 도시한 타이밍 다이어그램.

<77> 도 2는 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로를 도시한 블록 다이어그램.

<78> 도 3은 도 2에 도시된 본 발명의 실시예에 따른 컬럼 계열 스트로브 신호를 생성하는 회로의 구성요소 중 컬럼 스트로브 신호 생성부를 상세하게 도시한 회로도.

<79> 도 4는 도 3에 도시된 본 발명의 실시예에 따른 컬럼 스트로브 신호 생성부의 구성요소 중 지연소자를 상세하게 도시한 회로도.

<80> 도 5a는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 활성화된 경우를 도시한 타이밍 다이어그램.

<81> 도 5b는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 비활성화된 경우를 도시한 타이밍 다이어그램.

<82> 도 5c는 도 2에 도시된 본 발명의 실시예에 따른 반도체 메모리 소자에서 컬럼 계열 스트로브 신호를 생성하는 회로의 동작파형 중 클럭고정루프 제어신호가 비활성화된 상태에서 테스트 모드 신호를 사용하여 컬럼 계열 스트로브 신호의 펄스 폭을 변동하는 경우를 도시한 타이밍 다이어그램.

<83> *도면의 주요부분에 대한 부호의 설명

<84> 200 : 메인 스트로브 신호 생성부

<85> 220 : 컬럼 스트로브 신호 생성부

<86> 240 : 테스트 모드 신호 디코더

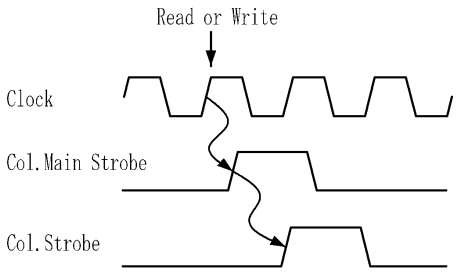
<87> 260 : 모드 레지스터 셋(MRS)

<88> 222 : 펄스 폭 변동신호 생성부

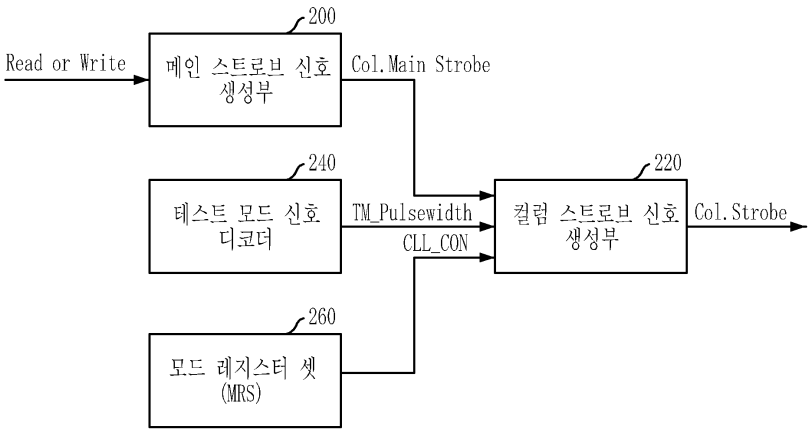
<89> 224 : 컬럼 스트로브 신호 출력부 2222 : 지연소자

도면

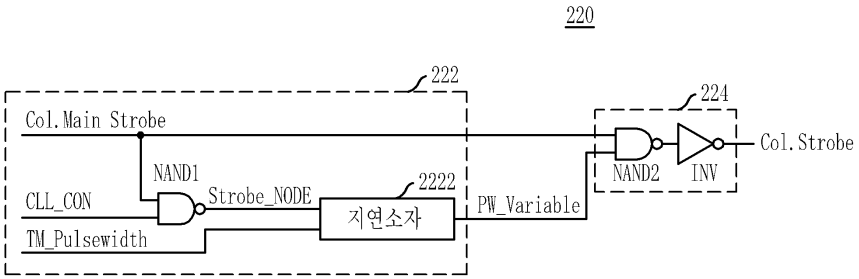
도면1



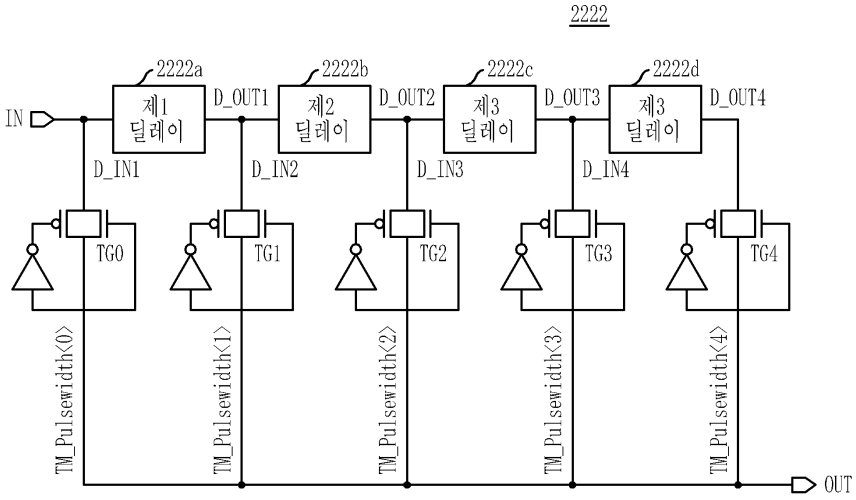
도면2



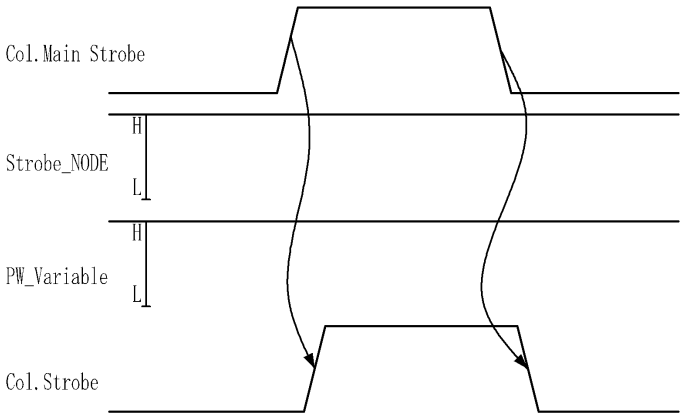
도면3


220
222
Col.Main Strobe
NAND1
CLL_CON
Strobe_NODE
2222
지연소자
TM_Pulsewidth
PW_Variable
224
NAND2
INV
Col.Strobe

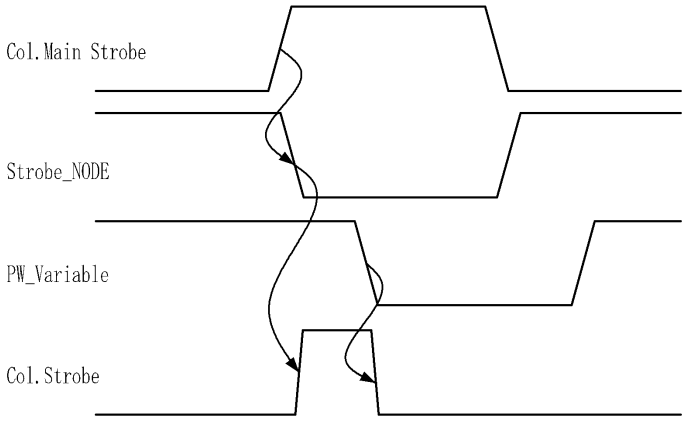
도면4


2222
2222a
2222b
2222c
2222d
IN
제1 딜레이
제2 딜레이
제3 딜레이
제3 딜레이
D_OUT1
D_OUT2
D_OUT3
D_OUT4
D_IN1
D_IN2
D_IN3
D_IN4
TG0
TG1
TG2
TG3
TG4
TM_Pulsewidth<0>
TM_Pulsewidth<1>
TM_Pulsewidth<2>
TM_Pulsewidth<3>
TM_Pulsewidth<4>
OUT

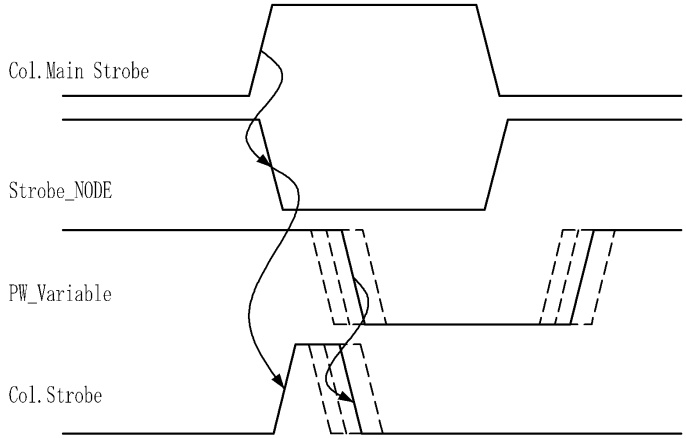
도면5a


Col.Main Strobe
Strobe_NODE
H
L
PW_Variable
H
L
Col.Strobe

도면5b


Col.Main Strobe
Strobe_NODE
PW_Variable
Col.Strobe

도면5c


Col.Main Strobe
Strobe_NODE
PW_Variable
Col.Strobe