(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60
H01C 10/00

(45) 공고일자 2000년03월15일
(11) 등록번호 10-0246730
(24) 등록일자 1999년12월07일

(21) 출원번호 10-1997-0003717
(22) 출원일자 1997년02월06일
(65) 공개번호 특1998-0067591
(43) 공개일자 1998년10월15일

(73) 특허권자 주식회사쎄라텍 오세종
경기도 군포시 금정동 694-29
(72) 발명자 안병준
경기도 안양시 비산동 361 뉴타운아파트 18동 202호
홍순규
경기도 수원시 권선구 서둔동 17-118 16/4
(74) 대리인 서장찬

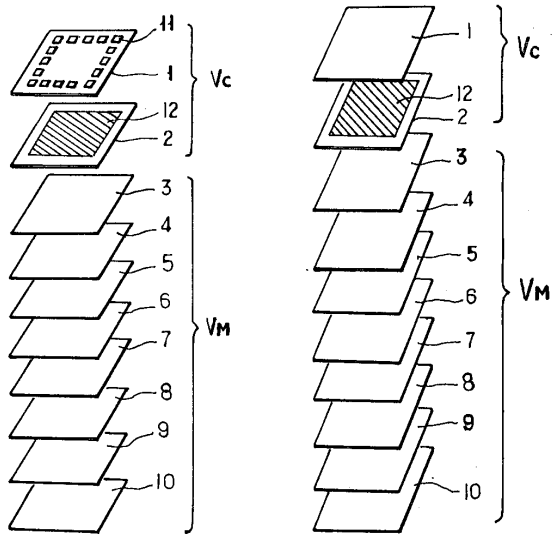
심사관 : 송원선

(54) 칩 바리스터 및 그 설치장치

요약

본 발명은 칩 바리스터가 IC칩에 직접 접촉됨으로서 높은 신뢰성 및 우수한 써지 보호 기능을 나타내는 적층형 칩 바리스터 및 그 설치장치이다. 본원 발명의 적층형 칩 바리스터는 바리스터의 내부에 도전체를 형성하고 표면에 리드와 만나는 부분에 전극을 형성함으로서 내부전극과 표면전극간의 병렬회로를 구성함으로서 바리스터의 특징을 나타나게 한 소자이다. 표면전극은 소성전이나 소성후에 형성할 수 있으며, IC칩과 직접 연결이 가능하도록 표면전극의 상부를 처리하는데 그 특징이 있다. IC용 칩 바리스터를 IC칩을 사용함으로서 나타나는 장점으로는 다음과 같다. 첫째, IC칩의 써지보호회로를 삭제할 수 있어 IC칩의 크기를 줄일 수 있다. 그러므로, 기판의 실장 밀도를 높일 수 있고, IC칩의 가격을 낮출 수 있다. 둘째, 바리스터의 특성상 많은 양의 써지에 견딜 수 있으므로 IC칩을 효과적으로 보호할 수 있다.

대표도



명세서

도면의 간단한 설명

제1(a),(b)도는 본 발명에 칩 바리스터 적층 예를 보인 분해 사시도.

제2(a),(b)도는 제1도의 과정으로 소성한 칩 바리스의 사시도.

제3도는 이 발명 칩 바리스터의 단면도.

제4도는 와이어(Wire)를 이용한 칩 바리스터 설치장치 측면도.

제5도는 땜납(Solder)을 이용한 칩 바리스터 설치장치 측면도.

* 도면의 주요부분에 대한 부호의 설명

1,2,3,4,5,6,7,8,9,10 : 바리스터용 세라믹시트(Cermic sheet)

11 : 표면전극 12 : 내부전극

13 : IC칩 14,14′ : 와이어

15 : 리드 프레임 V,V_C,V_M : 바리스터용 세라믹시트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전자기기에서 외부 및 내부 써지 전류(Surge Electric)에 의해 손상될 수 있는 IC칩을 보호하기 위한 적층형 칩 바리스터(Chip Varistor) 및 칩 바리스터 설치장치를 제안하려는 것이다.

바리스터는 전압의 변화에 대한 전류의 변화율이 매우 큰 저항체로서 저항체의 주재료는 탄화규소(SiC)이다. 저항체는 소량의 탄소를 가하고 점토와 혼합하여 디스크 형태로 소결하여 얻는다.

전자기기의 경박단소화 및 고기능화 추세에 따른 전자부품의 SMD화 및 소형화에 의하여 고밀도 실장이 급속히 진행되어 왔다. 그러나, IC칩의 경우 칩 내부에 외부 써지 전류로부터 내부 회로를 보호하기 위하여 써지 보호(Surge Protection)회로를 갖춰야 하기 때문에 칩의 소형화가 힘들었으며, 가격이 높아지는 문제점이 있었다. 또한 전류 용량이 낮아서 많은 양의 써지 전류가 주어졌을 때 파손되기 쉬웠다.

그리고 종래 디스크(Disk)형 바리터스의 연결회로는 써지전류 회로선에서부터 바리스터로 연결되는 로드(Load)에 인덕턴스(Inductance)가 발생되며 바리스터의 응답시간이 늦어서 속도가 빠른 써지로부터 IC칩을 보호하기 어려웠다. 그리고, IC칩으로부터 떨어져 있으므로 해서 설치된 바리스터 이후에 발생되는 써지는 막을 수 없었다. 또한, 최근에 개발된 칩 바리스터 또한 IC칩 앞단에 위치하여 써지로부터 IC칩을 보호하였으나, 이것 또한 디스크형태와 유사한 문제점을 가지고 있다. 특히, IC칩을 써지로부터 완벽히 보호하기 위해서는 IC칩의 각 리드선에 디스크 바리스터 또는 칩 바리스터를 연결시켜야 하므로 실장면적을 대단히 많이 차지하게 되어 전자제품의 경박단소화 및 고기능화 추세에 부합할 수 없었다.

발명이 이루고자 하는 기술적 과제

이 발명의 목적은 IC칩의 써지보호회로를 삭제할 수 있으므로 IC칩의 크기를 줄일 수 있어 기판의 실장밀도를 높일 수 있고, IC칩의 가격을 낮출 수 있으며, 바리스터의 특성이 많은 양의 써지에도 견딜 수 있도록 하여 IC칩을 효과적으로 보호할 수 있게 하는 칩 바리스터 및 바리스터 설치장치를 제안하고자 하는 것이다.

이를 위하여, 본 발명은 반도성 성질을 갖는 바리스터 재료를 테입 캐스팅(Tape Casting) 법으로 시트를 성형하고 그 위에 내부전극을 도포한다. 이때, 표면 전극을 같이 도포하거나 내부전극만으로 적층 성형하여 적층 소결후 표면전극을 도포한다. 이 두가지 방법 모두 우수한 특성을 나타내며 적용되는 IC칩에 따라 표면전극 도포방법이 선택한다. 소성후 표면전극의 상층부에 존재하는 산화막을 제거하고 리드 프레임의 IC칩 하단에 장착하게 된다. 이후의 공정은 통상의 IC칩 제조공정과 같다.

특히, 본 발명에 의한 IC칩용 칩 바리스터는 IC칩 하단에 위치하여 IC칩과 리드의 연결부를 와이어 또는 땜납으로 직접 연결함으로서 높은 신뢰성을 갖을 수 있고, IC칩의 크기를 축소할 수 있으며, 높은 써지 흡수율을 갖고 있어 많은 양의 써지를 흡수할 수 있다.

그러므로 외부 및 내부 써지로부터 IC칩을 효과적으로 보호할 수 있다.

또한, 본 발명의 IC칩의 크기를 작게 할 수 있어 제조 단가를 낮출 수 있고 기판의 실장밀도를 높일 수 있다.

발명의 구성 및 작용

이하, 본 발명을 도면에 의하여 상세히 설명하면 다음과 같다.

본 발명의 IC칩용 칩 바리스터는 전기적 특성을 나타내는 부분(V_C)과 칩의 형상을 조성하는 부분(V_M)으로 구성한다.

전기적 특성을 나타내는 부분(V_C)은 전극(11) 및 전극(12)이 각각 도포된 세라믹 시트(1)와 세라믹 시트(2)를 적층하여 형성한다. 이 때, 표면에 도포되는 전극(11)은 제1(a)도와 같이 소성전에 전극을 도포하거나 제1(b)도와 같이 전극이 없이 소성한 후 도포하여 조성할 수 있다. 이러한 리이드 전극의 조성은 적용되는 IC칩의 필요에 따라 선택되며 내면 전극(12)은 전기적 특성을 조절하기 위해서 조정되어 진다. 칩의 형상을 조성하는 부분(V_M)은 다수의 세라믹 시트(3,4,5,6,7,8,9,10)를 적층하여 형성한다. 이 때, 시트

의 적층 수는 적용되는 IC칩에 따라 또는 사용자의 주문에 따라 변경이 가능하다.

제1(a)도의 과정으로 성형된 칩 바리스터 제2(a)도와 같이 제1(b)도의 과정으로 성형된 칩 바라스터는 제2(b)도와 같다. 제2(b)도와 같이 형성된 성형체는 두부분(V_C,V_M)을 동시소결후 제2(a)도와 같이 표면전극을 도포하여 모두 제3도와 같이 전극이 조성된다.

한편, 칩 바리스터를 IC칩(13)에 장착시에는 제4도와 같이 칩 바리스터를 IC칩(13) 하단에 놓고, IC칩(13)과 칩 바리스터(V), 그리고 칩 바리스터(V)의 표면전극(11) 및 리드(15) 사이를 와이어(14, 14′)로 서로 연결하거나, 제5도와 같이 칩 바리스터(V)의 표면전극(11)과 리드(15)를 땜납(solder)(16)으로 바로 연결하고 리드와 IC칩(13)을 와이어(14)로 연결한다.

이와 같이, 본 발명은 칩 바리스터를 IC칩 하단에 직접 접합(接合)하여 써지 흡수성의 신뢰성을 높이고 써지 흡수량을 증가시킬 수 있어, IC칩을 효과적으로 보호할 수 있게 되는 것이며, IC칩 내부에 갖고 있는 써지 보호 회로를 삭제할 수 있어 IC칩 제조단가 및 소형화를 이룰 수 있다.

발명의 효과

이와 같이, 이 발명은 IC칩의 써지 보호 회로를 삭제할 수 있어, IC칩의 크기를 줄일 수 있게 하며, 따라서 기판의 실장 밀도를 높일 수 있고, IC칩의 가격을 낮출 수 있으며, 바리스터의 특성을 많은 양의 써지에 견딜 수 있으므로 IC칩을 효과적으로 보호할 수 있게 하는 칩 바리스터 장치를 제공하게 된 것이다.

(57) 청구의 범위

청구항 1

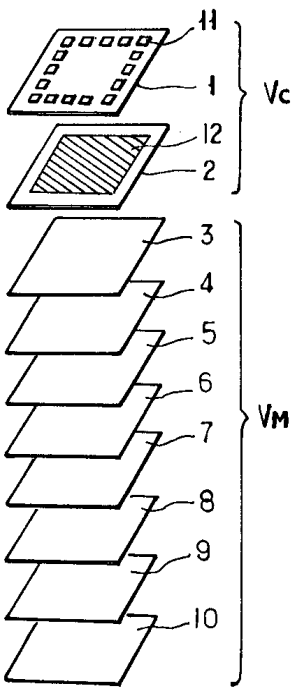
칩 바리스터(Chip Varistor)의 설치장치에 있어서, 세라믹 시트(1)와 전극(12)이 도포된 세라믹 시트(2)로 조성되는 전기적 특성을 나타내는 부분(V_C) 및 다층의 세라믹 시트(3,4,5,6,7,8,9,10)로 조성되는 칩의 형상을 조성하는 부분(V_M)을 함께 적층하여 소성하여 구성된 칩 바리스터의 표면에 전극(11)을 포함하며, 상기 칩 바리스터를 IC칩(13)에 장착시 칩 바리스터는 IC칩(13) 하단에 놓이며 IC칩(13)과 전극(11) 및 전극에 전기적으로 연결된 리드(15)사이를 와이어(14,14′)로 연결하는 것을 특징으로 하는 칩 바리스터 설치장치.

청구항 2

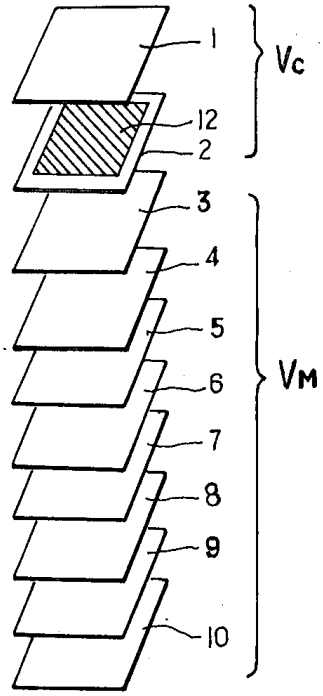
제1항에 있어서, 칩 바리스터 전극(11)과 리드 사이에 땜납(16)을 개재하여 연결함을 특징으로 하는 칩 바리스터 설치장치.

도면

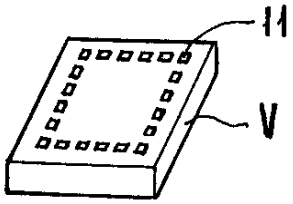
도면1a



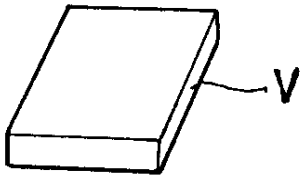
도면1b



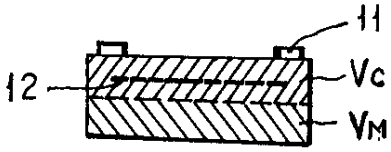
도면2a



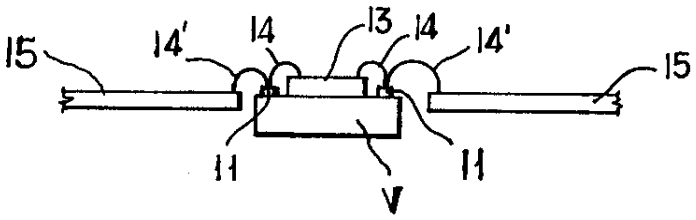
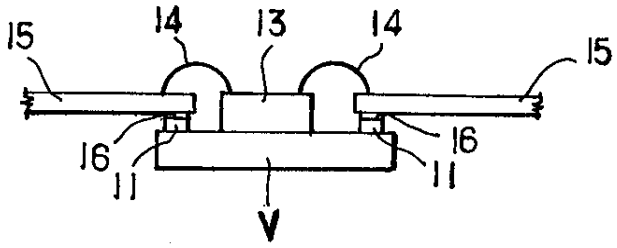
도면2b



도면3



도면4



도면5