

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-216673

(P2011-216673A)

(43) 公開日 平成23年10月27日(2011.10.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O	5 C O 2 4

審査請求 未請求 請求項の数 12 O L (全 26 頁)

(21) 出願番号 特願2010-83600 (P2010-83600)
 (22) 出願日 平成22年3月31日 (2010.3.31)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 大理 洋征龍
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 町田 貴志
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の製造方法、および電子機器

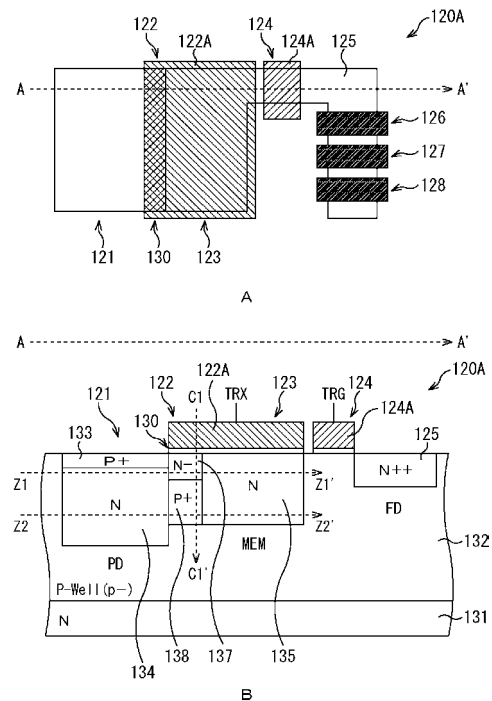
(57) 【要約】

【課題】 高画質な画像を取得する。

【解決手段】 単位画素120Aは、入射光量に応じた電荷を発生して内部に蓄積するフォトダイオード121と、フォトダイオード121によって変換された電荷を読み出されるまで保持するメモリ部123と、フォトダイオード121とメモリ部123との間の領域に配置されるN-の不純物拡散領域137からなり、露光期間中においてフォトダイオード121で発生した所定電荷量を超える電荷だけをメモリ部123に転送するオーバーフローパス130と、オーバーフローパス130の下部の領域に配置され、P型ウェル層132よりも不純物濃度が高いP+の不純物拡散領域138とを備える。本発明は、例えば、固体撮像素子に適用できる。

【選択図】 図3

図3



【特許請求の範囲】

【請求項 1】

半導体基板の表面側に形成される第 2 の導電型による半導体領域と、
第 1 の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、

前記第 1 の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域と、

前記光電変換素子と前記電荷保持領域との間の領域に配置される第 1 の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路と、

前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、前記第 2 の導電型による半導体領域よりも不純物濃度が高い第 2 の導電型の不純物領域からなる不純物層と

を備える固体撮像素子。

【請求項 2】

前記中間転送経路を形成する第 1 の導電型の前記不純物領域の接合深さは、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の接合深さよりも浅く、かつ、前記中間転送経路を形成する第 1 の導電型の前記不純物領域の不純物濃度は、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の不純物濃度よりも低く設定されている

請求項 1 に記載の固体撮像素子。

【請求項 3】

前記第 2 の導電型の不純物領域からなる前記不純物層は、前記光電変換素子および前記電荷保持領域のポテンシャルによって空乏状態とならない所定の不純物濃度で形成される

請求項 1 に記載の固体撮像素子。

【請求項 4】

前記中間転送経路を通過する深さ方向に沿ったポテンシャル状態は、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の下端よりも浅い位置に、ポテンシャル極小点およびポテンシャル極大点が少なくとも 1 つ以上形成され、かつ、前記ポテンシャル極大点が、前記ポテンシャル極小点よりも深い位置に形成される

請求項 1 に記載の固体撮像素子。

【請求項 5】

前記第 2 の導電型の不純物領域からなる前記不純物層は、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の下端の深さまで形成される

請求項 1 に記載の固体撮像素子。

【請求項 6】

前記第 2 の導電型の不純物領域からなる前記不純物層は、前記中間転送経路を形成する第 1 の導電型の前記不純物領域の直下から、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の下部に向かって延在するような形状で形成される

請求項 1 に記載の固体撮像素子。

【請求項 7】

前記光電変換素子を形成する第 1 の導電型の前記不純物領域は、その不純物領域の表面に形成された不純物層の直下から、前記電荷保持領域を形成する第 1 の導電型の前記不純物領域の下部に向かって延在する前記第 2 の導電型の不純物領域からなる前記不純物層の下部に向かって延在するような形状で形成される

請求項 6 に記載の固体撮像素子。

【請求項 8】

前記中間転送経路および前記電荷保持領域の上部に設けられ、前記光電変換領域から前記電荷保持領域に電荷を転送する転送ゲートをさらに備え、
前記光電変換素子を形成する第 1 の導電型の前記不純物領域が形成された領域と、前記転送ゲートとが、平面的に見て互いに重なり合うように配置される

10

20

30

40

50

請求項 1 に記載の固体撮像素子。

【請求項 9】

前記光電変換素子および前記電荷保持領域は、H A D (Hole Accumulated Diode) 構造により構成される

請求項 1 に記載の固体撮像素子。

【請求項 10】

前記中間転送経路の上部を覆う第 1 の電極と、

前記電荷保持領域の上部を覆う第 2 の電極と

をさらに備え、

前記第 1 の電極と前記第 2 の電極とが分離して形成されている

10

請求項 1 に記載の固体撮像素子。

【請求項 11】

第 1 の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子を形成し、

前記第 1 の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域を形成し、

前記光電変換素子と前記電荷保持領域との間の領域に配置される第 1 の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路を形成し、

前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、半導体基板の表面側に形成される前記第 2 の導電型による半導体領域よりも不純物濃度が高い第 2 の導電型の不純物領域からなる不純物層を形成する

20

ステップを含む固体撮像素子の製造方法。

【請求項 12】

半導体基板の表面側に形成される第 2 の導電型による半導体領域と、

第 1 の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、

前記第 1 の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域と、

前記光電変換素子と前記電荷保持領域との間の領域に配置される第 1 の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路と、

30

前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、前記第 2 の導電型による半導体領域よりも不純物濃度が高い第 2 の導電型の不純物領域からなる不純物層と

を備える固体撮像素子を有し、

行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、

前記光電変換素子から前記電荷保持領域に転送された前記電荷を順次読み出す電子機器。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の製造方法、および電子機器に関し、特に、高画質な画像を取得することができるようにした固体撮像装置、固体撮像装置の製造方法、および電子機器に関する。

【背景技術】

【0002】

従来、固体撮像装置は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置などの電子機器において、様々な用途に供されている。

固体撮像装置には、画素ごとに増幅素子を備えたAPS (Active Pixel Sensor) があり、光

50

電変換素子であるフォトダイオードに蓄積された信号電荷を、MOS (Metal Oxide Semiconductor) トランジスタを介して読み出すCMOS (complementary MOS) イメージセンサが広く利用されている。

【0003】

従来のCMOSイメージセンサの単位画素は、例えば、HAD (Hole Accumulated Diode) 構造からなるフォトダイオードと、フォトダイオードに対し転送ゲートを挟んだ位置に配置される浮遊拡散領域 (FD: Floating Diffusion) とを備えて構成される。これらに加えて、単位画素は、リセットトランジスタ、セレクトトランジスタ、およびアンプトランジスタを備えている。

【0004】

CMOSイメージセンサでは、一般的に、フォトダイオードに蓄積された信号電荷を読み出す読み出し動作が画素アレイの行ごとに実行され、読み出し動作が終了した画素は、その終了時点から、再度、信号電荷の蓄積を開始する。このように画素アレイの行ごとに読み出し動作を行うことにより、CMOSイメージセンサにおいては、全ての画素において信号電荷の蓄積期間を一致させることができず、被写体が動いている場合などに撮像画像に歪が生じる。例えば、上下方向にまっすぐな物が横方向に動いているのを撮影した場合に、それが傾いているように写ることになる。

【0005】

このような像に歪みが生じることを回避するために、各画素の露光期間が同一となるようなCMOSイメージセンサの全画素同時電子シャッタが開発されている。全画素同時電子シャッタとは、撮像に有効な全ての画素について同時に露光を開始し、同時に露光を終了する動作を行うものであり、グローバルシャッタ (グローバル露光) とも呼ばれる。

【0006】

CMOSイメージセンサにおけるグローバルシャッタを実現させる方法として、例えば、各画素におけるフォトダイオードと浮遊拡散領域との間に、電荷保持領域を設ける方法がある。ところが、各画素に電荷保持領域を設けた場合、フォトダイオードの面積が制限されてしまい、電荷保持領域を設けない構造の画素よりも、飽和電荷量が減少することになる。

【0007】

そこで、本願出願人は、フォトダイオードの最大電荷量が減少することを回避するために、フォトダイオードと電荷保持領域とがオーバーフローパスで一体化した画素構造を提案している (例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-268083号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1に記載されている構造のCMOSイメージセンサでは、フォトダイオードと電荷保持領域とに挟まれたオーバーフローパスのポテンシャル障壁が、製造ばらつきなどによる不純物濃度の変化によって、容易に変動することがあった。特に、画素サイズが縮小されて画素構造が微細になるに従い、不純物濃度の変化を制御することは困難になる。

【0010】

具体的には、特許文献1のオーバーフローパスの構造では、オーバーフローパスのポテンシャル障壁が、単一の不純物層によって決定されており、所定のポテンシャル障壁を実現する際に、オーバーフローパスの下方の領域 (深さ方向に離れた領域) では、ポテンシャルを制御することが難しい。従って、そのオーバーフローパスの下方の領域では、その両側に存在するフォトダイオードおよび電荷保持領域の影響を受けることで、ポテンシ

10

20

30

40

50

ルが変動してしまう。

【0011】

特に、CMOSイメージセンサのチップサイズの小型化に伴い、単位画素の面積が縮小された場合、そのオーバーフローパスの下方の領域では、フォトダイオードおよび電荷保持領域の影響を受けやすくなり、ポテンシャルがより変動することになる。このように、オーバーフローパスの下方の領域が、フォトダイオードおよび電荷保持領域の影響を受ける結果、短チャネル効果によるパンチスルー現象が生じやすくなり、フォトダイオードにおいて安定して所定の信号電荷を蓄積することが困難となる。

【0012】

このように、フォトダイオードにおいて安定して所定の信号電荷を蓄積することができない場合、撮像画像の画質が低下することになる。従って、固体撮像素子が有する各画素のオーバーフローパスの下方の領域におけるポテンシャルの変動を抑制し、撮像画像の画質を向上させることが求められている。

10

【0013】

本発明は、このような状況に鑑みてなされたものであり、高画質な画像を取得することができるようにするものである。

【課題を解決するための手段】

【0014】

本発明の第1の側面の固体撮像素子は、半導体基板の表面側に形成される第2の導電型による半導体領域と、第1の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、前記第1の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域と、前記光電変換素子と前記電荷保持領域との間の領域に配置される第1の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路と、前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、前記第2の導電型による半導体領域よりも不純物濃度が高い第2の導電型の不純物領域からなる不純物層とを備える。

20

【0015】

本発明の第2の側面の固体撮像素子の製造方法は、第1の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子を形成し、前記第1の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域を形成し、前記光電変換素子と前記電荷保持領域との間の領域に配置される第1の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路を形成し、前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、半導体基板の表面側に形成される前記第2の導電型による半導体領域よりも不純物濃度が高い第2の導電型の不純物領域からなる不純物層を形成するステップを含む。

30

【0016】

本発明の第3の側面の電子機器は、半導体基板の表面側に形成される第2の導電型による半導体領域と、第1の導電型の不純物領域からなり、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、前記第1の導電型の不純物領域からなり、前記光電変換素子によって変換された電荷を読み出されるまで保持する電荷保持領域と、前記光電変換素子と前記電荷保持領域との間の領域に配置される第1の導電型の不純物領域からなり、露光期間中において前記光電変換素子で発生した所定電荷量を超える電荷だけを前記電荷保持領域に転送する中間転送経路と、前記光電変換素子と前記電荷保持領域との間の領域であって、かつ、前記中間転送経路の下部の領域に配置され、前記第2の導電型による半導体領域よりも不純物濃度が高い第2の導電型の不純物領域からなる不純物層とを備える固体撮像素子を有し、行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行

40

50

い、前記光電変換素子から前記電荷保持領域に転送された前記電荷を順次読み出す。

【0017】

本発明の第1乃至第3の側面においては、光電変換素子と電荷保持領域との間の領域であって、かつ、中間転送経路の下部の領域に配置され、半導体基板の表面側に形成される第2の導電型による半導体領域よりも不純物濃度が高い第2の導電型の不純物領域からなる不純物層が設けられる。

【発明の効果】

【0018】

本発明の第1および第3の側面によれば、高画質な画像を取得することができる。また、本発明の第2の側面によれば、高画質な画像を取得する固体撮像素子を製造することができる。

10

【図面の簡単な説明】

【0019】

【図1】本発明を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【図2】第1の実施の形態である単位画素の構成を示す図である。

【図3】第1の実施の形態である単位画素の構成を示す平面図および断面図である。

【図4】ポテンシャル状態を示す図である。

【図5】単位画素の製造方法について説明する図である。

【図6】第2の実施の形態における単位画素の断面図である。

20

【図7】単位画素における効果について説明する図である。

【図8】単位画素における効果について説明する図である。

【図9】第3の実施の形態における単位画素の断面図である。

【図10】第4の実施の形態における単位画素の断面図である。

【図11】第5の実施の形態における単位画素の断面図である。

【図12】第6の実施の形態における単位画素の断面図である。

【図13】単位画素の製造方法について説明する図である。

【図14】第7の実施の形態における単位画素の平面図である。

【図15】第7の実施の形態における単位画素の断面図およびポテンシャル状態である。

【図16】単位画素のその他の第1構成例の構造を示す図である。

30

【図17】単位画素のその他の第2構成例の構造を示す図である。

【図18】単位画素のその他の第3構成例の構造を示す図である。

【図19】本発明を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0020】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0021】

図1は、本発明を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

40

【0022】

[固体撮像素子の構成例]

図1は、本発明が適用される固体撮像素子としてのCMOSイメージセンサの構成例を示すブロック図である。

【0023】

CMOSイメージセンサ100は、画素アレイ部111、垂直駆動部112、カラム処理部113、水平駆動部114、およびシステム制御部115を含んで構成される。画素アレイ部111、垂直駆動部112、カラム処理部113、水平駆動部114、およびシステム制御部115は、図示せぬ半導体基板(チップ)上に形成されている。

50

【 0 0 2 4 】

画素アレイ部 1 1 1 には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素（例えば、図 2 の単位画素 1 2 0 A）が行列状に 2 次元配置されている。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

【 0 0 2 5 】

画素アレイ部 1 1 1 にはさらに、行列状の画素配列に対して行ごとに画素駆動線 1 1 6 が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線 1 1 7 が図の上下方向（画素列の画素の配列方向）に沿って形成されている。図 1 では、画素駆動線 1 1 6 について 1 本として示しているが、1 本に限られるものではない。画素駆動線 1 1 6 の一端は、垂直駆動部 1 1 2 の各行に対応した出力端に接続されている。

10

【 0 0 2 6 】

C M O S イメージセンサ 1 0 0 はさらに、信号処理部 1 1 8 およびデータ格納部 1 1 9 を備えている。信号処理部 1 1 8 およびデータ格納部 1 1 9 については、C M O S イメージセンサ 1 0 0 とは別の基板に設けられる外部信号処理部、例えば D S P (Digital Signal Processor) やソフトウェアによる処理でも構わないし、C M O S イメージセンサ 1 0 0 と同じ基板上に搭載しても構わない。

【 0 0 2 7 】

垂直駆動部 1 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 1 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部 1 1 2 は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。

20

【 0 0 2 8 】

読出し走査系は、単位画素から信号を読み出すために、画素アレイ部 1 1 1 の単位画素を行単位で順に選択走査する。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【 0 0 2 9 】

この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

30

【 0 0 3 0 】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

【 0 0 3 1 】

垂直駆動部 1 1 2 によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線 1 1 7 の各々を通してカラム処理部 1 1 3 に供給される。カラム処理部 1 1 3 は、画素アレイ部 1 1 1 の画素列ごとに、選択行の各単位画素から垂直信号線 1 1 7 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

40

【 0 0 3 2 】

具体的には、カラム処理部 1 1 3 は、信号処理として少なくとも、ノイズ除去処理、例えば C D S (Correlated Double Sampling; 相関二重サンプリング) 処理を行う。このカラム処理部 1 1 3 による C D S 処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 1 1 3 にノイズ除去

50

処理以外に、例えば、A/D（アナログ - デジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

【0033】

水平駆動部114は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部113の画素列に対応する単位回路を順番に選択する。この水平駆動部114による選択走査により、カラム処理部113で信号処理された画素信号が順番に信号処理部118に出力される。

【0034】

システム制御部115は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部112、カラム処理部113および水平駆動部114などの駆動制御を行う。

10

【0035】

信号処理部118は、少なくとも加算処理機能を有し、カラム処理部113から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部119は、信号処理部118での信号処理に当たって、その処理に必要なデータを一時的に格納する。

【0036】

[単位画素の構造]

次に、画素アレイ部111に行列状に配置されている単位画素120Aの具体的な構造について説明する。単位画素120Aは、浮遊拡散領域（容量）とは別に、光電変換素子から転送される光電荷を保持する電荷保持領域（以下、「メモリ部」と記述する）を有している。

20

【0037】

図2は、単位画素120Aの構成を示す図である。

【0038】

単位画素120Aは、光電変換素子として例えばフォトダイオード（PD）121を有している。フォトダイオード121は、例えば、N型基板131に形成されたP型ウェル層132に対して、P型層133（P+）を基板表面側に形成してN型埋め込み層134（N）を埋め込むことによって形成される埋め込み型フォトダイオードである。本実施の形態では、N型を第1の導電型、P型を第2の導電型とする。

30

【0039】

単位画素120Aは、フォトダイオード121に加えて、第1転送ゲート122、メモリ部（MEM）123、第2転送ゲート124および浮遊拡散領域（FD：Floating Diffusion）125を有する。なお、単位画素120Aは、フォトダイオード121に光を導入する開口部や、各トランジスタのコンタクト部など以外の部分を遮光する遮光膜（図示せず）により遮光されている。

【0040】

第1転送ゲート122は、フォトダイオード121で光電変換され、その内部に蓄積された電荷を、ゲート電極122Aに転送パルスTRXが印加されることによって転送する。また、第1転送ゲート122には、即ち、ゲート電極122Aの下で、かつ、フォトダイオード121とメモリ部123との境界部分には、N-の不純物拡散領域137を設けることによりオーバーフローパス130が形成される。さらに、不純物拡散領域137の直下には、不純物拡散領域137とは逆の導電型からなる濃いP+の不純物拡散領域138（P型ウェル層132よりも不純物濃度が高いP型の不純物層）が設けられている。なお、不純物拡散領域137および138については、図3および4を参照して後述する。

40

【0041】

メモリ部123は、ゲート電極122Aの下に形成されたN型の埋め込みチャンネル135（N）によって形成され、第1転送ゲート122によってフォトダイオード121から転送された電荷を保持する。メモリ部123が埋め込みチャンネル135によって形成されていることで、基板界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

50

【 0 0 4 2 】

このメモリ部 1 2 3 において、その上部にゲート電極 1 2 2 A を配置し、そのゲート電極 1 2 2 A に転送パルス T R X を印加することでメモリ部 1 2 3 に変調をかけることができる。すなわち、ゲート電極 1 2 2 A に転送パルス T R X が印加されることで、メモリ部 1 2 3 のポテンシャルが深くなる。これにより、メモリ部 1 2 3 の飽和電荷量を、変調を掛けない場合よりも増やすことができる。

【 0 0 4 3 】

第 2 転送ゲート 1 2 4 は、メモリ部 1 2 3 に保持された電荷を、ゲート電極 1 2 4 A に転送パルス T R G が印加されることによって転送する。浮遊拡散領域 1 2 5 は、N 型層 (N + +) からなる電荷電圧変換部であり、第 2 転送ゲート 1 2 4 によってメモリ部 1 2 3 から転送された電荷を電圧に変換する。

10

【 0 0 4 4 】

単位画素 1 2 0 A はさらに、リセットトランジスタ 1 2 6、増幅トランジスタ 1 2 7 および選択トランジスタ 1 2 8 を有している。リセットトランジスタ 1 2 6、増幅トランジスタ 1 2 7 および選択トランジスタ 1 2 8 は、図 2 の例では、N チャネルの M O S トランジスタを用いている。しかし、図 2 で例示したリセットトランジスタ 1 2 6、増幅トランジスタ 1 2 7 および選択トランジスタ 1 2 8 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 4 5 】

リセットトランジスタ 1 2 6 は、電源 V D B と浮遊拡散領域 1 2 5 との間に接続されており、ゲート電極にリセットパルス R S T が印加されることによって浮遊拡散領域 1 2 5 をリセットする。増幅トランジスタ 1 2 7 は、ドレイン電極が電源 V D O に接続され、ゲート電極が浮遊拡散領域 1 2 5 に接続されており、浮遊拡散領域 1 2 5 の電圧を読み出す。

20

【 0 0 4 6 】

選択トランジスタ 1 2 8 は、例えば、ドレイン電極が増幅トランジスタ 1 2 7 のソース電極に、ソース電極が垂直信号線 1 1 7 にそれぞれ接続されており、ゲート電極に選択パルス S E L が印加されることで、画素信号を読み出すべき単位画素 1 2 0 A を選択する。なお、選択トランジスタ 1 2 8 については、電源 V D O と増幅トランジスタ 1 2 7 のドレイン電極との間に接続した構成を採ることも可能である。

30

【 0 0 4 7 】

リセットトランジスタ 1 2 6、増幅トランジスタ 1 2 7 および選択トランジスタ 1 2 8 については、その一つあるいは複数を画素信号の読み出し方法によって省略したり、複数の画素間で共有したりすることも可能である。

【 0 0 4 8 】

単位画素 1 2 0 A はさらに、フォトダイオード 1 2 1 の蓄積電荷を排出するための電荷排出部 1 2 9 を有している。この電荷排出部 1 2 9 は、露光開始時にゲート電極 1 2 9 A に制御パルス A B G が印加されることで、フォトダイオード 1 2 1 の電荷を N 型層のドレイン部 1 3 6 (N + +) に排出する。電荷排出部 1 2 9 はさらに、露光終了後の読み出し期間中にフォトダイオード 1 2 1 が飽和して電荷が溢れるのを防ぐ作用をなす。ドレイン部 1 3 6 には、所定の電圧 V D A が印加されている。

40

【 0 0 4 9 】

[メモリ部 1 2 3 のゲート電極の電位]

ここで、電荷保持領域としてのメモリ部 1 2 3 のゲート電極、即ち、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A の電位について説明する。

【 0 0 5 0 】

本実施形態においては、電荷保持領域としてのメモリ部 1 2 3 のゲート電極の電位が、第 1 転送ゲート 1 2 2 および第 2 転送ゲート 1 2 4 のうち少なくともいずれか、たとえば第 1 転送ゲート 1 2 2 を非導通状態とする期間に、ピニング状態とする電位に設定される。

50

より具体的には、第1転送ゲート122若しくは第2転送ゲート124のいずれか一方、または両方を非導通状態とする際に、ゲート電極122A、124Aに印加する電圧が、ゲート電極直下のSi表面に光電荷とは逆の極性のキャリアを蓄積できるピニング状態となるように設定される。

【0051】

本実施形態のように、転送ゲートを形成するトランジスタがN型の場合、第1転送ゲート122を非導通状態とする際に、ゲート電極122Aに印加する電圧がP型ウェル層132に対しグラウンドGNDよりも負電位となる電圧に設定される。なお、図示しないが、転送ゲートを形成するトランジスタがP型である場合、P型ウェル層がN型ウェル層となり、このN型ウェル層に対して電源電圧VDDよりも高い電圧に設定される。

10

【0052】

第1転送ゲート122を非導通状態とする際に、ゲート電極122Aに印加する電圧を、ゲート電極直下のSi表面に光電荷とは逆の極性のキャリアを蓄積できるピニング状態となるような電圧に設定する理由は以下の通りである。

【0053】

第1転送ゲート122のゲート電極122Aの電位を、P型ウェル層132に対して同電位（例えば0V）とすると、Si表面の結晶欠陥から発生するキャリアがメモリ部123に蓄積され、暗電流となり画質を劣化させるおそれがある。このため、本実施形態においては、メモリ部123上に形成されるゲート電極122Aのオフ（OFF）電位を、P型ウェル層132に対して負電位、例えば-2.0Vとする。これにより、本実施形態においては、電荷保持期間中はメモリ部123のSi表面に正孔（ホール：Hole）を発生させ、Si表面で発生した電子（エレクトロン：Electron）を再結合させることが可能で、その結果、暗電流を低減することが可能である。

20

【0054】

なお、図2の構成においては、メモリ部123の端部に、第2転送ゲート124のゲート電極124Aが存在することから、このゲート電極124Aも負電位とすることで、メモリ部123の端部で発生する暗電流を同様に抑えることが可能である。また、以下で説明する各実施の形態においては、N型基板を用いた構成例について説明しているが、P型基板を用いることも可能である。その場合、例えば図2に示した構成例では、N型基板131およびP型ウェル層132のいずれもP型半導体領域で形成される。

30

【0055】

CMOSイメージセンサ100は、全画素同時に露光を開始し、全画素同時に露光を終了し、フォトダイオード121に蓄積された電荷を、遮光されたメモリ部123および浮遊拡散領域125へ順次転送することで、グローバル露光を実現する。このグローバル露光により、全画素一致した露光期間による歪みのない撮像が可能となる。

【0056】

なお、本実施の形態での全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素などは除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時の動作の代わりに複数行（例えば、数十行）ずつに高速に走査するものも含まれる。また、画像に表れる部分の画素の全てでなく、所定領域の複数行の画素に対してグローバル露光を行う場合でも本発明は適用可能である。

40

【0057】

[第1の実施の形態]

次に、図3および図4を参照して、第1の実施の形態における単位画素120Aの構成について説明する。なお、図3および図4、並びに以下の図面では、図2の単位画素と共通する構成要素には同一の符号を付し、その詳細な説明は省略する。

【0058】

図3Aは、単位画素120Aの構成を示す平面図であり、図3Bは、図3Aの平面図に示されている矢印A-A'に沿った単位画素120Aの断面図である。

【0059】

50

図3に示すように、単位画素120Aには、フォトダイオード121、メモリ部123、および浮遊拡散領域125が配置されている。フォトダイオード121およびメモリ部123は、電荷排出時に空乏状態となる不純物濃度で形成され、浮遊拡散領域125は、電圧を取り出すための配線コンタクトが電氣的に接続できる不純物濃度で形成される。

【0060】

また、単位画素120Aでは、フォトダイオード121とメモリ部123との間に第1転送ゲート122が設けられ、メモリ部123と浮遊拡散領域125との間に第2転送ゲート124が設けられている。また、第1転送ゲート122およびメモリ部123を覆うようにゲート電極122Aが設けられ、第2転送ゲート124を覆うようにゲート電極124Aが設けられている。

10

【0061】

そして、単位画素120Aでは、フォトダイオード121とメモリ部123との境界部分に形成されている第1転送ゲート122が設けられた領域に、所定量以上の信号電荷をフォトダイオード121からメモリ部123に自動的に排出するオーバーフローパス130が形成されている。ここで、第1転送ゲート122のゲート電極122Aには、ゲート電極122A下部のシリコン表面にホール(Hole)が蓄積するために必要な十分な負の電圧が印加されているものとする。

【0062】

図3Bに示すように、単位画素120Aでは、ゲート電極122Aの直下のフォトダイオード121とメモリ部123との境界部分の表面側に、フォトダイオード121およびメモリ部123を形成する不純物(N)と同一の導電型からなるN-の不純物拡散領域137を設けることによりオーバーフローパス130が形成されている。さらに、単位画素120Aでは、不純物拡散領域137の直下に、不純物拡散領域137とは逆の導電型からなる濃いP+の不純物拡散領域138が設けられている。

20

【0063】

より具体的には、N型基板131上にP型ウェル層132が形成され、フォトダイオード121は、HAD(Hole Accumulated Diode)構造からなるものとする。フォトダイオード121を構成するN型埋め込み層134の不純物濃度は、例えば、 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度とし、フォトダイオード121の表面に形成されるP型層133の不純物濃度は、例えば、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度とする。また、メモリ部123を形成するN型の埋め込みチャンネル135の不純物濃度は、フォトダイオード121のN型埋め込み層134と同様に、 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度で形成される。

30

【0064】

そして、オーバーフローパス130を形成する不純物拡散領域137は、メモリ部123を形成するN型の埋め込みチャンネル135よりも、接合深さは浅く、かつ、不純物濃度は低く設定される。また、オーバーフローパス130の下方に設けられる不純物拡散領域138は、フォトダイオード121およびメモリ部123が信号電荷を蓄積した状態において、フォトダイオード121およびメモリ部123のポテンシャルの侵入によって空乏状態とならない不純物濃度で形成される。例えば、不純物拡散領域138は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度で形成される。また、不純物拡散領域138の深さは、不純物拡散領域137の直下から、少なくともメモリ部123を形成するN型の埋め込みチャンネル135の下端の深さまでとされる。

40

【0065】

このように構成されているオーバーフローパス130のポテンシャル状態について、図4を参照して説明する。図4A乃至図4Cには、図3Bに示されている矢印Z1-Z1'に沿ったポテンシャル状態、矢印Z2-Z2'に沿ったポテンシャル状態、矢印C1-C1'に沿ったポテンシャル状態がそれぞれ示されている。

【0066】

図4Aに示すように、不純物拡散領域137が設けられた領域(フォトダイオード(PD)とメモリ部(MEM)の間の領域)ではポテンシャル障壁が低下している。また、図

50

4 Bに示すように、不純物拡散領域137の直下に設けられた不純物拡散領域138の領域では、非導通状態となるポテンシャル障壁となっている。

【0067】

そして、オーバーフローパス130の深さ方向に沿った断面におけるポテンシャル状態は、図4Cに示すように、不純物拡散領域137において、電子に対してポテンシャル障壁の低い極小点が形成され、不純物拡散領域138において、電子に対してポテンシャル障壁の高い極大点が形成されている。

【0068】

このように、不純物拡散領域138を設ける構成とすることでポテンシャルを高めることができるので、単位画素120Aのサイズを微細化することに伴ってオーバーフローパス130の転送経路が縮小されたとしても、フォトダイオード121からメモリ部123への所定量を超えた電荷のオーバーフローに必要なポテンシャル障壁を安定して形成することができるとともに、フォトダイオード121とメモリ部123との間のオーバーフローパス130下部の空乏層のつながりから発生するパンチスルー現象を防止することができる。

10

【0069】

ここで、一般的にCMOSイメージセンサに代表される固体撮像素子では、光の吸収長というスケールされない物理定数が存在し、シリコン中の分光感度特性を維持させるためにはフォトダイオードのN型層の接合深さを浅くすることができないために、通常MOSFETで用いられる定電界スケール則に従って、短チャネル効果を抑制しつつデザインル

20

【0070】

これに対し、単位画素120Aでは、フォトダイオード121とメモリ部123との間の水平方向の実効的な距離を増大させることなく、安定してオーバーフローパス130を形成することができる。これにより、フォトダイオード121において安定して所定の信号電荷を蓄積することができるので、撮像画像の画質が低下することが回避され、高画質な画像を取得することができる。

30

【0071】

なお、図3の例では、N-の不純物拡散領域137を設けることによりオーバーフローパス130を形成した構造が採用されている。しかし、N-の不純物拡散領域137を設ける代わりに、P-の不純物拡散領域137を設けることによりオーバーフローパス130を形成した構造をとることも可能である。

【0072】

[単位画素120Aの製造方法]

40

次に、図5を参照して、単位画素120Aの製造方法について説明する。

【0073】

第1の工程において、P型ウェル層132が形成された基板表面に、第1転送ゲート22に対応する領域が開口するようなレジスト160-1が形成され、レジスト160-1を使用してP型のイオン注入が行われ、所定の深さとなる位置に不純物拡散領域138が形成される。

【0074】

第2の工程において、レジスト160-1を使用してN型のイオン注入が行われ、不純物拡散領域138の上面から基板表面までの深さの領域に不純物拡散領域137が形成される。

50

【 0 0 7 5 】

次に、レジスト 1 6 0 - 1 が除去された後、第 3 の工程において、メモリ部 1 2 3 に対応する領域が開口するようなレジスト 1 6 0 - 2 が形成され、レジスト 1 6 0 - 2 を使用して N 型のイオン注入が行われ、埋め込みチャンネル 1 3 5 が形成される。これにより、メモリ部 1 2 3 が形成される。

【 0 0 7 6 】

次に、レジスト 1 6 0 - 2 が除去された後、第 4 の工程において、フォトダイオード 1 2 1 に対応する領域が開口するようなレジスト 1 6 0 - 3 が形成され、レジスト 1 6 0 - 3 を使用して N 型のイオン注入が行われ、N 型埋め込み層 1 3 4 が形成される。

【 0 0 7 7 】

第 5 の工程において、レジスト 1 6 0 - 3 を使用して P 型のイオン注入が行われ、N 型埋め込み層 1 3 4 の表面に P 型層 1 3 3 が形成され、これにより H A D 型のフォトダイオード 1 2 1 が形成される。

【 0 0 7 8 】

第 6 の工程において、レジスト 1 6 0 - 3 を除去し、例えば、熱酸化法などによりゲート酸化膜を形成した後、ポリシリコンを C V D 法によって堆積してゲート電極 1 2 2 A が形成される。

【 0 0 7 9 】

以上のような工程を含むことで、単位画素 1 2 0 A が製造される。なお、第 4 の工程において、N 型埋め込み層 1 3 4 を形成する処理が行われる前に、ゲート電極 1 2 2 A を形成する処理が行われてもよい。即ち、第 6 の工程を行ってゲート電極 1 2 2 A が形成された後に、第 4 および第 5 の工程を行ってフォトダイオード 1 2 1 を形成することができる。

【 0 0 8 0 】

[第 2 の実施の形態]

次に、図 6 は、第 2 の実施の形態における単位画素 1 2 0 B の断面図である。

【 0 0 8 1 】

図 6 に示すように、単位画素 1 2 0 B では、オーバーフローパス 1 3 0 となる不純物拡散領域 1 3 7 の下部に形成される不純物拡散領域 1 3 8 B が、メモリ部 1 2 3 を形成する埋め込みチャンネル 1 3 5 の一部または全部の下側（基板の深い側）に延長するように形成されている。即ち、不純物拡散領域 1 3 8 B は、図 6 に示す断面において L 字形状に形成されている。

【 0 0 8 2 】

このように、不純物拡散領域 1 3 8 B が埋め込みチャンネル 1 3 5 の下側に延在することにより、メモリ部 1 2 3 の下部にも、N 型埋め込み層 1 3 4 と埋め込みチャンネル 1 3 5 との間と同様のポテンシャル障壁が形成される。これにより、単位画素 1 2 0 B では、N 型埋め込み層 1 3 4 と埋め込みチャンネル 1 3 5 との間で発生するパンチスルー現象を防止することができるとともに、メモリ部 1 2 3 の底部からフォトダイオード 1 2 1 に空乏層が繋がってしまうことにより意図しない転送経路が形成されることを防止することができる。

【 0 0 8 3 】

さらに、単位画素 1 2 0 B では、メモリ部 1 2 3 よりも深い領域の P 型ウェル層 1 3 2 に入射した光によって光電変換が行われることにより発生する電荷が、オーバーフローパス 1 3 0 を通過せずにメモリ部 1 2 3 に混入することを防止することができる。

【 0 0 8 4 】

ここで、図 7 および図 8 を参照して、単位画素 1 2 0 B における効果について、従来の構造の単位画素と比較して説明する。

【 0 0 8 5 】

図 7 A には、第 1 転送ゲート 1 2 2 に不純物拡散領域 1 3 7 を設ける一方、不純物拡散領域 1 3 8 が設けられていない従来の構造（例えば、上述の特許文献 1 の図 2 0 と同様の

10

20

30

40

50

構造)の単位画素のポテンシャル分布が示されている。図7Bには、図6の単位画素120Bのポテンシャル分布が示されている。また、フォトダイオード121およびメモリ部123は正の電位に設定され、第1転送ゲート122は負の電位に設定されているものとする。

【0086】

従来の構造の単位画素では、P型の不純物拡散領域137で構成されているオーバーフローパス130の下方の領域はP型ウェル層132のままであるため、その領域のポテンシャル障壁は、フォトダイオード121およびメモリ部123の影響を受けやすい構造となっている。即ち、図7Aのポテンシャル状態に示すように、フォトダイオード121とメモリ部123との境界にある0の等高線で囲まれた領域(オーバーフローパス130)の下部は、電子に対するポテンシャル障壁が低い。この結果、フォトダイオード121とメモリ部123との空乏層がつながりやすく、フォトダイオード121とメモリ部123との間の領域においてパンチスルー現象が発生しやすい。なお、オーバーフローパス130が、N型の不純物拡散領域で構成されていても同様である。

10

【0087】

これに対し、単位画素120Bでは、図7Bに示すように、オーバーフローパス130下部のポテンシャル障壁は、電子に対して高い値に固定されている。従って、単位画素120Bでは、フォトダイオード121およびメモリ部123からのポテンシャルの侵入を防止することができる。

【0088】

次に、図8には、図7Aに示した従来の構造の単位画素と、図7Bに示した単位画素120B(本発明の構造)とにおいて、オーバーフローパス130の転送経路長(L_{eff})を変化させた場合における閾値電圧(V_t)の変化をシミュレーションした結果が示されている。

20

【0089】

ここで、オーバーフローパス130の転送経路長は、図8の下側に示すように、フォトダイオード121とメモリ部123との間のオーバーフローパス130の長さである。また、閾値電圧は、フォトダイオード121とメモリ部123との間の閾値電圧を示す。図8において、y軸は、正方向に向かうに従い電子に対するポテンシャル障壁が低くなることを示し、負方向に向かうに従い電子に対するポテンシャル障壁が高くなることを示している。

30

【0090】

図8に示すように、単位画素120B(本発明の構造)では、オーバーフローパス130下部のポテンシャルが変動し難く、短チャネル効果に強い構造になっている。また、転送経路長の変動(L_{eff})に対する閾値変動(V_t)が抑制されていることが分かる。従って、単位画素120Bは、製造バラツキなどに起因した転送経路長の変動に対して頑健な構造である。

【0091】

[第3の実施の形態]

次に、図9は、第3の実施の形態における単位画素120Cの断面図である。

40

【0092】

図9に示すように、単位画素120Cでは、オーバーフローパス130となる不純物拡散領域137の下部に形成される不純物拡散領域138Cは、図6の不純物拡散領域138Bと同様に、メモリ部123を形成する埋め込みチャンネル135の下側に延在している。さらに、単位画素120Cでは、不純物拡散領域138Cの下側に、フォトダイオード121を形成するN型埋め込み層134Cが、不純物拡散領域138Cの下側に延長するように形成されている。即ち、不純物拡散領域138CおよびN型埋め込み層134Cが、図9に示す断面においてL字形状に形成されている。

【0093】

このように、N型埋め込み層134Cが埋め込みチャンネル135の下側に延在すること

50

により、オーバーフローパス 130 の形成を安定化することができる。さらに、メモリ部 123 よりも深い領域の P 型ウェル層 132 に入射した光によって光電変換が行われることにより発生する電荷が、全てフォトダイオード 121 に集められるため、そのような電荷が、埋め込みチャンネル 135 などのフォトダイオード 121 以外の領域に混入することを防止することができる。

【0094】

[第4の実施の形態]

次に、図10は、第4の実施の形態における単位画素 120D の断面図である。

【0095】

図10に示すように、単位画素 120D では、フォトダイオード 121 を形成する N 型埋め込み層 134D の一部が、第1転送ゲート 122 の下部に直接にオーバーラップする（平面的に見て重なり合う）ように形成されている。

10

【0096】

このように N 型埋め込み層 134D を形成することにより、フォトダイオード 121 に蓄積した信号電荷をメモリ部 123 に完全に転送する際に、その転送の動作に必要な第1転送ゲート 122 のゲート電極 122A に印加する電圧を低減させることができる。即ち、N 型埋め込み層 134D は、第1転送ゲート 122 に対し、MOS トランジスタのソース領域に相当するので、N 型埋め込み層 134D の一部が第1転送ゲート 122 にオーバーラップすることで、完全転送動作時における完全転送経路が形成されやすくなる。この結果、完全転送経路の形成に必要な電圧の低電圧化を図ることができる。

20

【0097】

[第5の実施の形態]

次に、図11は、第5の実施の形態における単位画素 120E の断面図である。

【0098】

図11に示すように、単位画素 120E では、メモリ部 123 を覆うゲート電極 123A が、オーバーフローパス 130 を覆うゲート電極 122A とは別に形成されている。ゲート電極 123A に転送パルス TR Y が印加されることで、メモリ部 123 のポテンシャルが深くなる。さらに、ゲート電極 123A は、メモリ部 123 の遮光を担う材料として、例えば、タンゲステンなどの遮光性の高い金属によって形成されている。即ち、ゲート電極 123A は、メモリ部 123 に電荷を転送するための転送ゲートとしての機能と、メモリ部 123 を遮光するという機能とを兼ね備えている。

30

【0099】

[第6の実施の形態]

次に、図12は、第6の実施の形態における単位画素 120F の断面図である。

【0100】

図12に示すように、単位画素 120F では、メモリ部 123 の上部にゲート電極が設けられておらず、メモリ部 123 の不純物構造が、フォトダイオード 121 と同様に H A D 構造となっている。即ち、単位画素 120F では、メモリ部 123 が、P 型ウェル層 132 中に形成された N 型の埋め込みチャンネル 135A と、埋め込みチャンネル 135A の表面側に形成された P + の P 型層 135B とにより構成されている。また、第1転送ゲート 122 のゲート電極 122A は、フォトダイオード 121 とメモリ部 123 との間の領域の表面に形成されている。

40

【0101】

このように構成されている単位画素 120F では、フォトダイオード 121 を形成する P 型層 133 および N 型埋め込み層 134、並びに、メモリ部 123 を構成する埋め込みチャンネル 135A および P 型層 135B を、第1転送ゲート 122 のゲート電極 122A に対して自己整合的に形成することができる。

【0102】

[単位画素 120F の製造方法]

次に、図13を参照して、単位画素 120F の製造方法について説明する。

50

【 0 1 0 3 】

第 1 および第 2 の工程において、図 5 の製造方法と同様に、不純物拡散領域 1 3 7 および 1 3 8 が形成される。そして、第 3 の工程において、例えば、熱酸化法などによりゲート酸化膜を形成した後、ポリシリコンを C V D 法によって堆積することにより、不純物拡散領域 1 3 7 の表面にゲート電極 1 2 2 A が形成され、第 1 転送ゲート 1 2 2 が設けられる。

【 0 1 0 4 】

第 4 の工程において、フォトダイオード 1 2 1 およびメモリ部 1 2 3 が形成される領域並びにゲート電極 1 2 2 A 以外にレジスト 1 6 0 - 2 が形成され、レジスト 1 6 0 - 2 を使用して N 型のイオン注入が行われる。これにより、埋め込みチャネル 1 3 5 A と、N 型埋め込み層 1 3 4 の一部となる N 型埋め込み層 1 3 4 ' が形成される。その後、レジスト 1 6 0 - 2 を使用して P 型のイオン注入が行われることにより、P 型層 1 3 3 および P 型層 1 3 5 B が形成される。

10

【 0 1 0 5 】

第 5 の工程において、P 型層 1 3 5 B を覆うようなレジスト 1 6 0 - 3 が形成され、レジスト 1 6 0 - 3 を使用して N 型のイオン注入が行われる。これにより、N 型埋め込み層 1 3 4 ' の下部に N 型の層が形成されて、N 型埋め込み層 1 3 4 が形成される。なお、フォトダイオード 1 2 1 の深さをメモリ部 1 2 3 より深くする必要があるなければ、第 5 の工程は省略することができる。

【 0 1 0 6 】

その後、第 6 の工程において、レジスト 1 6 0 - 3 が除去される。

20

【 0 1 0 7 】

以上のような工程を含むことで、単位画素 1 2 0 F が製造される。この製造方法において、フォトダイオード 1 2 1 およびメモリ部 1 2 3 とゲート電極 1 2 2 A との境界は、フォトダイオード 1 2 1 およびメモリ部 1 2 3 を形成するためのイオン注入にゲート電極 1 2 2 A がマスクとして使用されるため、ゲート電極 1 2 2 A の端部に確実に一致する。即ち、フォトダイオード 1 2 1 およびメモリ部 1 2 3 は、ゲート電極 1 2 2 A の端部に対して自己整合的に形成することができる。

【 0 1 0 8 】

[第 7 の実施の形態]

次に、図 1 4 および図 1 5 を参照して、第 7 の実施の形態における単位画素 1 2 0 G について説明する。図 1 4 には、単位画素 1 2 0 G の平面図が示されており、図 1 5 A には、図 1 4 の平面図に示されている矢印 A - A ' に沿った断面図およびポテンシャル状態が示されており、図 1 5 B には、図 1 4 の平面図に示されている矢印 B - B ' に沿った断面図およびポテンシャル状態が示されている。

30

【 0 1 0 9 】

図 1 4 に示すように、単位画素 1 2 0 G では、オーバーフローパス 1 3 0 が、平面的に見て第 1 転送ゲート 1 2 2 の一部の領域に形成されている。即ち、単位画素 1 2 0 G では、フォトダイオード 1 2 1 に蓄積された所定電荷量を超える電荷をメモリ部 1 2 3 に転送する転送経路（オーバーフローパス 1 3 0）と、フォトダイオード 1 2 1 に蓄積された全電荷をメモリ部 1 2 3 に完全に転送するための転送経路とが異なる領域に形成されている。

40

【 0 1 1 0 】

このようにオーバーフローパス 1 3 0 を第 1 転送ゲート 1 2 2 の一部の領域に形成する構成により、フォトダイオード 1 2 1 からメモリ部 1 2 3 にオーバーフローさせる電荷量を、オーバーフローパス 1 3 0 が形成される領域の幅（図 1 4 に示されている幅 w）の設定によって調整することができる。

【 0 1 1 1 】

なお、本実施の形態においては図示していないが、入射光のメモリ部 1 2 3 および浮遊拡散領域 1 2 5 への侵入を防止するために基板表面には遮光膜が配置されている。この遮

50

光膜は、タンゲステンなどの材料により形成され、少なくともメモリ部 1 2 3 および浮遊拡散領域 1 2 5 の上部を覆うように設けられることが好ましい。

【 0 1 1 2 】

なお、本実施の形態においては、電子を信号電荷とするイメージセンサを例に説明したが、正孔を信号電荷とするタイプのイメージセンサにも本発明を適用することができる。即ち、上述の各不純物層の導電型についてN型層とP型層とが反転して構成され、N型半導体層内にフォトダイオードおよびメモリ部がP型の不純物層で形成された場合であっても、上述の各構成においてオーバーフローパス 1 3 0 を形成する不純物拡散領域 1 3 7 の導電型としてN - またはP + をそれぞれ、P - またはN + と読み換えることによって、同様の効果を得ることができる。

10

【 0 1 1 3 】

また、上述したように不純物層の不純物濃度などについて数値を用いて説明したが、これらの数値は絶対的なものではなく、本発明の技術的思想について理解を助けるために設定したものに過ぎない。即ち、本発明の範疇は、上述の説明で用いた数値に限定されず設定することができるものである。

【 0 1 1 4 】

なお、各実施の形態においては、電子を信号電荷とするイメージセンサを例に説明したが、正孔を信号電荷とするタイプのイメージセンサにも本発明を適用することができる。

【 0 1 1 5 】

[単位画素のその他の第 1 構成例]

図 1 6 は、単位画素 1 2 0 のその他の第 1 構成例である単位画素 1 2 0 H - 1 の構造を示す図である。

20

【 0 1 1 6 】

単位画素 1 2 0 H - 1 では、図 2 の単位画素 1 2 0 A における第 1 転送ゲート 1 2 2 とメモリ部 1 2 3 が省略され、P型ウェル層 1 3 2 を挟んで、フォトダイオード 1 2 1 と浮遊拡散領域 1 2 5 が隣接する配置となっている。フォトダイオード 1 2 1 と浮遊拡散領域 1 2 5 の間のP型ウェル層 1 3 2 の上側には、第 2 転送ゲート 1 2 4 が配置されている。

【 0 1 1 7 】

単位画素 1 2 0 H - 1 におけるグローバル露光動作について説明する。まず、全画素同時に埋め込みフォトダイオード 1 2 1 の蓄積電荷を空にする電荷排出動作が実行された後、露光が開始される。これにより、フォトダイオード 1 2 1 のPN接合容量に光電荷が蓄積される。露光期間終了時点で、第 2 転送ゲート 1 2 4 が全画素同時にONされ、蓄積された光電荷が全て浮遊拡散領域 1 2 5 へと転送される。第 2 転送ゲート 1 2 4 を閉じることで、全画素同一の露光期間で蓄積された光電荷が浮遊拡散領域 1 2 5 で保持される。その後、浮遊拡散領域 1 2 5 で保持された光電荷が、順次、画素信号として垂直信号線 1 1 7 を通して読み出される。最後に、浮遊拡散領域 1 2 5 がリセットされ、しかる後、リセットレベルが読み出される。

30

【 0 1 1 8 】

従って、単位画素 1 2 0 H - 1 では、浮遊拡散領域 1 2 5 がグローバル露光動作を行う場合の電荷保持領域となる。単位画素 1 2 0 H - 1 では、フォトダイオード 1 2 1 と浮遊拡散領域 1 2 5 との境界部分の第 2 転送ゲート 1 2 4 に、不純物拡散領域 1 3 7 を形成することによりオーバーフローパス 1 3 0 を設けるとともに、不純物拡散領域 1 3 7 の直下に不純物拡散領域 1 3 8 を設けることで、本発明を適用できる。

40

【 0 1 1 9 】

[単位画素のその他の第 2 構成例]

図 1 7 は、単位画素 1 2 0 のその他の第 2 構成例である単位画素 1 2 0 H - 2 の構造を示す図である。

【 0 1 2 0 】

単位画素 1 2 0 H - 2 は、図 2 の単位画素 1 2 0 A の構成に、浮遊拡散領域 1 2 5 と同様のメモリ部 1 2 3 が設けられた構成となっている。即ち、単位画素 1 2 0 H - 2 では、

50

第1転送ゲート122のゲート電極122Aがフォトダイオード121とメモリ部123の境界のP型ウェル層132の上部に設けられている。また、単位画素120H-2では、メモリ部123が浮遊拡散領域125と同様のN型層138によって形成される。

【0121】

単位画素120H-2におけるグローバル露光動作は、次の手順で実行される。まず、電荷排出動作が全画素同時に実行され、同時露光が開始される。発生した光電荷がフォトダイオード121に蓄積される。露光終了時点で、第1転送ゲート122が全画素同時にONされ、蓄積された光電荷がメモリ部123へ転送され、保持される。露光終了後、順次動作にてリセットレベルと信号レベルが読み出される。即ち、浮遊拡散領域125がリセットされ、次にリセットレベルが読み出される。続いて、メモリ部123の保持電荷が

10

【0122】

単位画素120H-2では、メモリ部123のN型層138がグローバル露光動作を行う場合の電荷保持領域となる。単位画素120H-2では、第1転送ゲート122に、不純物拡散領域137を形成することによりオーバーフローパス130を設けるとともに、不純物拡散領域137の直下に不純物拡散領域138を設けることで、本発明を適用できる。

【0123】

[単位画素のその他の第3構成例]

図18は、単位画素120のその他の第3構成例である単位画素120H-3の構造を示す図である。

20

【0124】

図2の単位画素120Aでは、フォトダイオード121と浮遊拡散領域125の間に1つのメモリ部(MEM)123が配置されていたが、図18の単位画素120H-3では、さらにもう1つのメモリ部(MEM2)142が配置されている。即ち、メモリ部が2段構成となっている。

【0125】

第3転送ゲート141は、メモリ部123に蓄積された電荷を、ゲート電極141Aに転送パルスTRX2が印加されることによって転送する。メモリ部142は、ゲート電極141Aの下に形成されたN型の埋め込みチャンネル143によって形成され、第3転送ゲート141によってメモリ部123から転送された電荷を蓄積する。メモリ部142が埋め込みチャンネル143によって形成されていることで、界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

30

【0126】

メモリ部142は、メモリ部123と同様の構成とされているので、メモリ部123と同様、変調を掛けた場合には、メモリ部142の飽和電荷量を変調を掛けない場合よりも増やすことができる。

【0127】

単位画素120H-3におけるグローバル露光動作では、全画素同時に蓄積された光電荷はフォトダイオード121またはメモリ部123で保持される。メモリ部142は、画素信号が読み出されるまでの間、光電荷を保持するために使用される。

40

【0128】

単位画素120H-3では、メモリ部123の埋め込みチャンネル135およびメモリ部142の埋め込みチャンネル143がグローバル露光動作を行う場合の電荷保持領域となる。単位画素120H-3では、第1転送ゲート122に、不純物拡散領域137を形成することによりオーバーフローパス130を設けるとともに、不純物拡散領域137の直下に不純物拡散領域138を設けることで、本発明を適用できる。

【0129】

以上のように、本発明は、単位画素120A以外のその他の構造にも採用することができる。また、単位画素120A乃至120H-3において、導電型の極性(N型、P型)

50

を反対にしたものでも同様に適用可能である。

【0130】

[本発明を適用した電子機器の構成例]

さらに本発明は、固体撮像素子への適用に限られるものではない。即ち、本発明は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0131】

図19は、本発明を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

【0132】

図19の撮像装置300は、レンズ群などからなる光学部301、上述した単位画素120の各構成が採用される固体撮像素子（撮像デバイス）302、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路303を備える。また、撮像装置300は、フレームメモリ304、表示部305、記録部306、操作部307、および電源部308も備える。DSP回路303、フレームメモリ304、表示部305、記録部306、操作部307および電源部308は、バスライン309を介して相互に接続されている。

【0133】

光学部301は、被写体からの入射光（像光）を取り込んで固体撮像素子302の撮像面上に結像する。固体撮像素子302は、光学部301によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子302として、CMOSイメージセンサ100の固体撮像素子、即ちグローバル露光によって歪みのない撮像を実現できるとともに、RGBの画素ごとの漏れ込み信号抑圧比を抑制することができる固体撮像素子を用いることができる。

【0134】

表示部305は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像素子302で撮像された動画または静止画を表示する。記録部306は、固体撮像素子302で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

【0135】

操作部307は、ユーザによる操作の下に、撮像装置300が持つ様々な機能について操作指令を発する。電源部308は、DSP回路303、フレームメモリ304、表示部305、記録部306および操作部307の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0136】

上述したように、固体撮像素子302として、上述した実施の形態に係るCMOSイメージセンサ100を用いることで、グローバル露光によって歪みのない撮像を実現できるとともに、RGBの画素ごとの漏れ込み信号抑圧比を抑制することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置300においても、撮像画像の高画質化を図ることができる。

【0137】

また、上述した実施形態においては、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明した。しかしながら、本発明はCMOSイメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像素子全般に対して適用可能である。

【0138】

10

20

30

40

50

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

【0139】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0140】

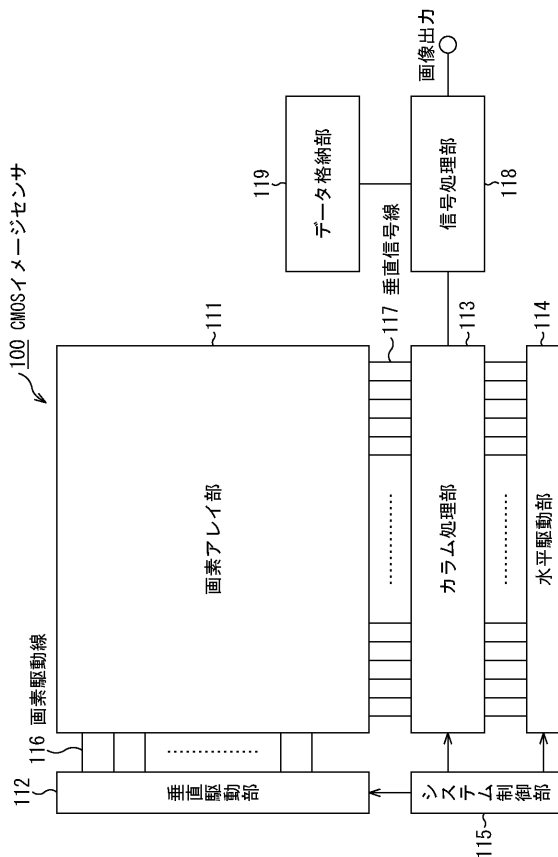
本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

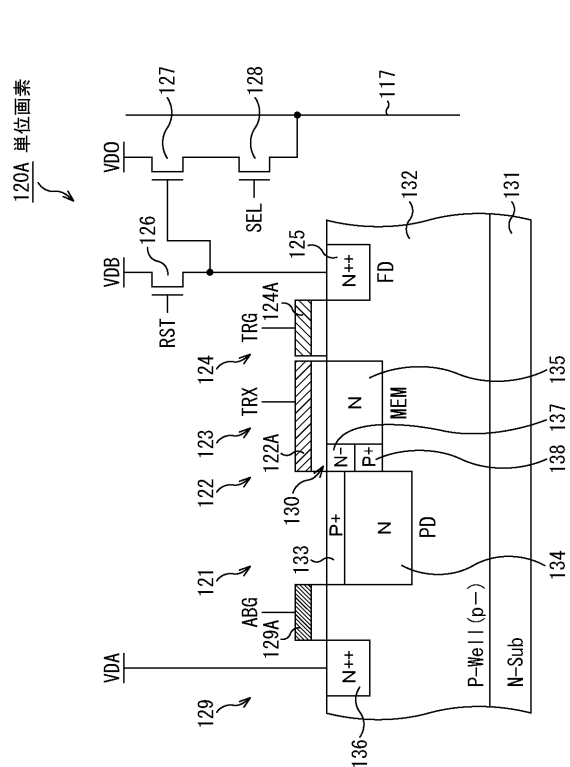
【0141】

100 CMOSイメージセンサ， 111 画素アレイ部， 120 単位画素，
121 フォトダイオード， 123 メモリ部， 132 P型ウェル層， 134
N型埋め込み層， 122 第1転送ゲート， 135 埋め込みチャンネル， 300
撮像装置

【図1】
図1

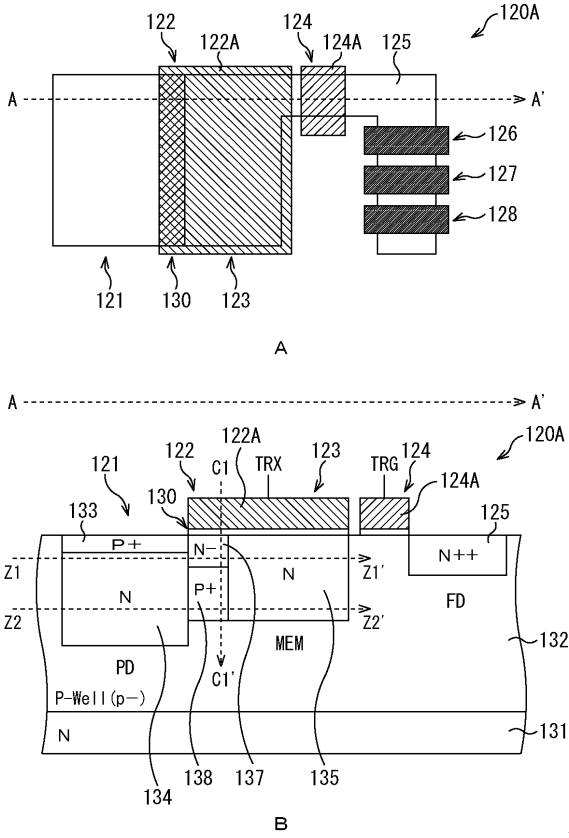


【図2】
図2



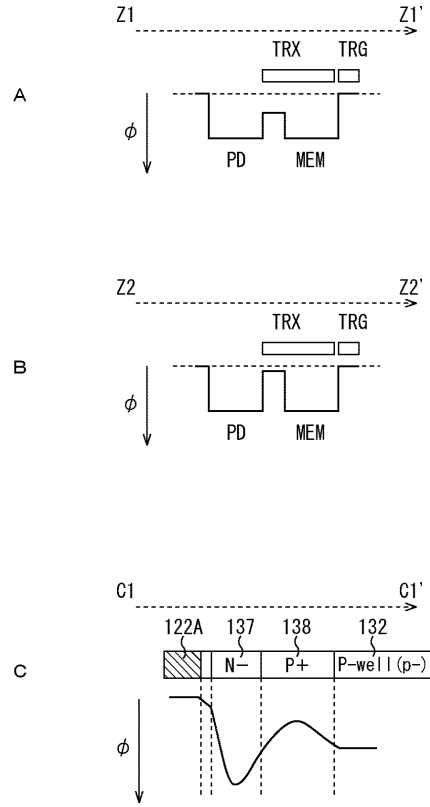
【図3】

図3



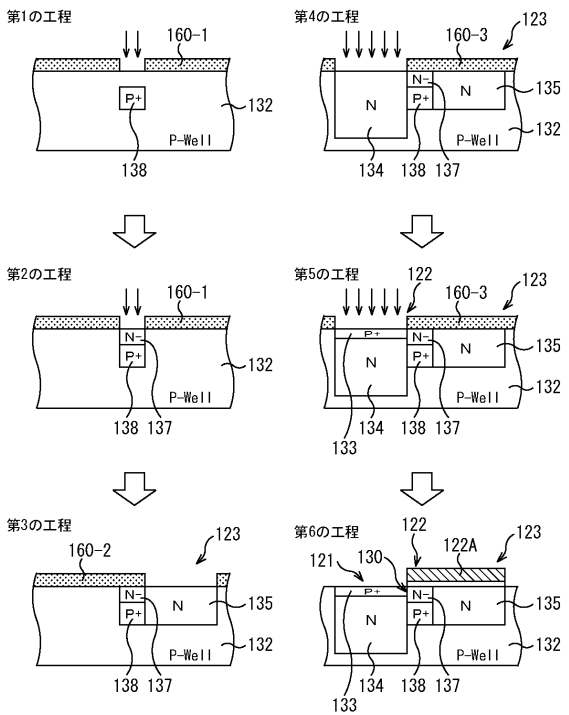
【図4】

図4



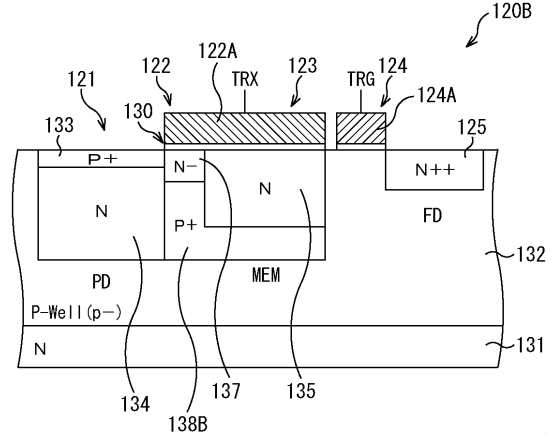
【図5】

図5



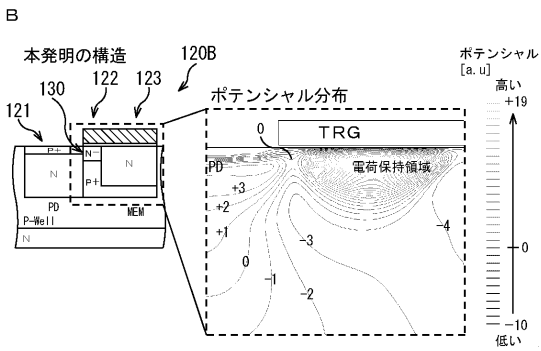
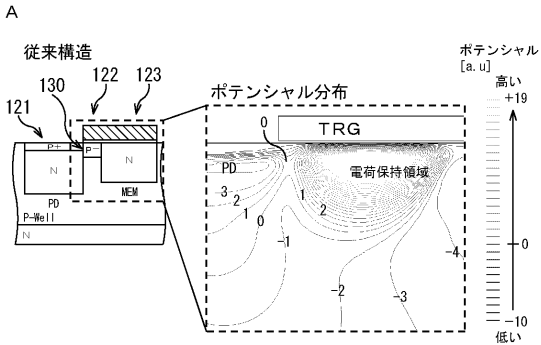
【図6】

図6



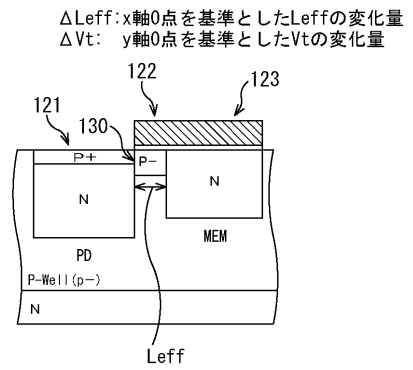
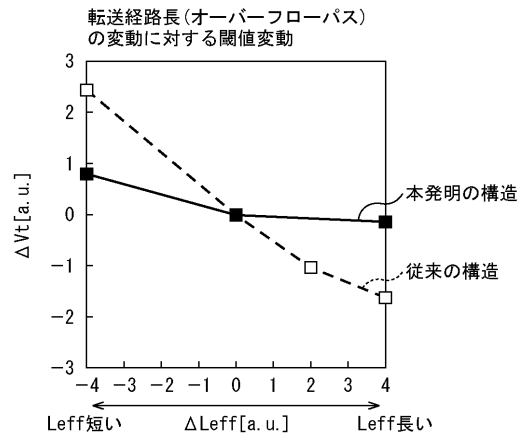
【 図 7 】

図7



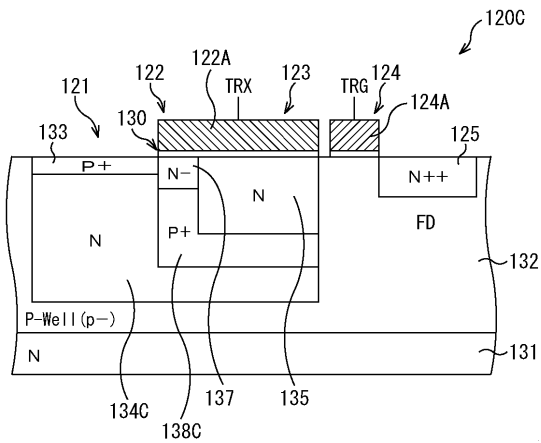
【 図 8 】

図8



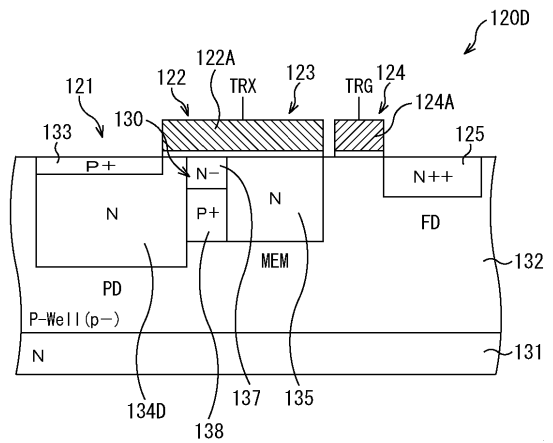
【 図 9 】

図9



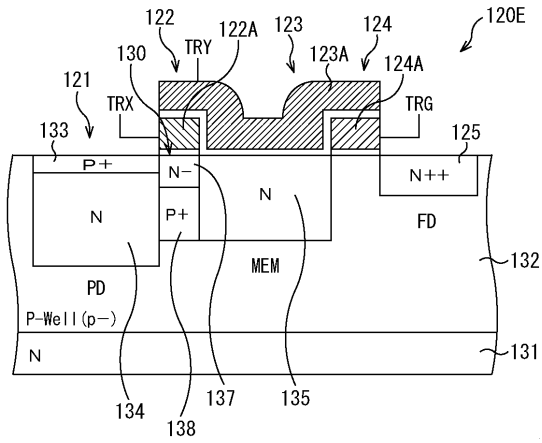
【 図 10 】

図10



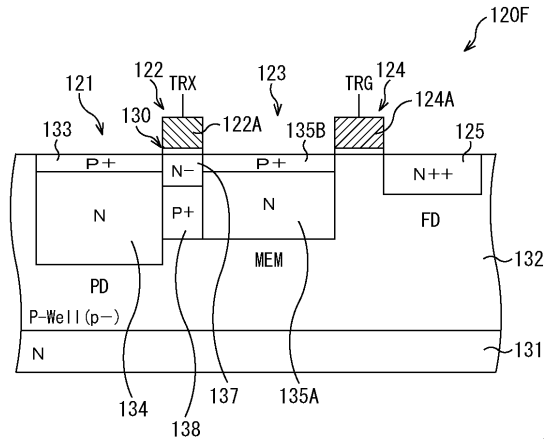
【図11】

図11



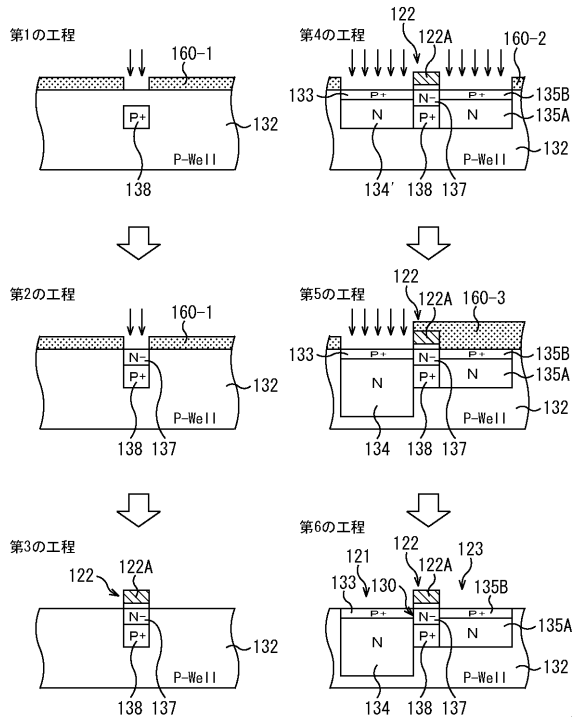
【図12】

図12



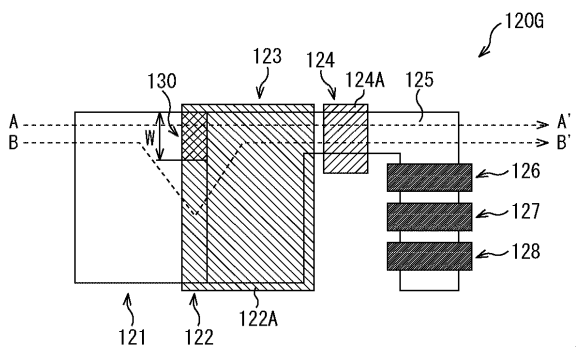
【図13】

図13

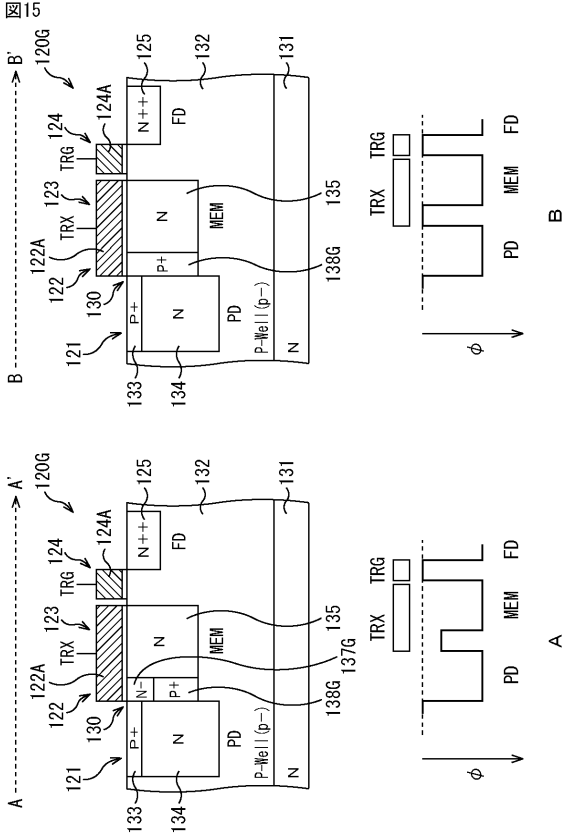


【図14】

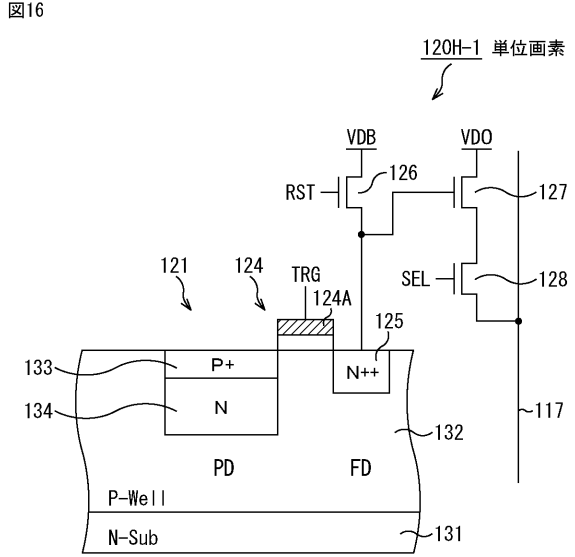
図14



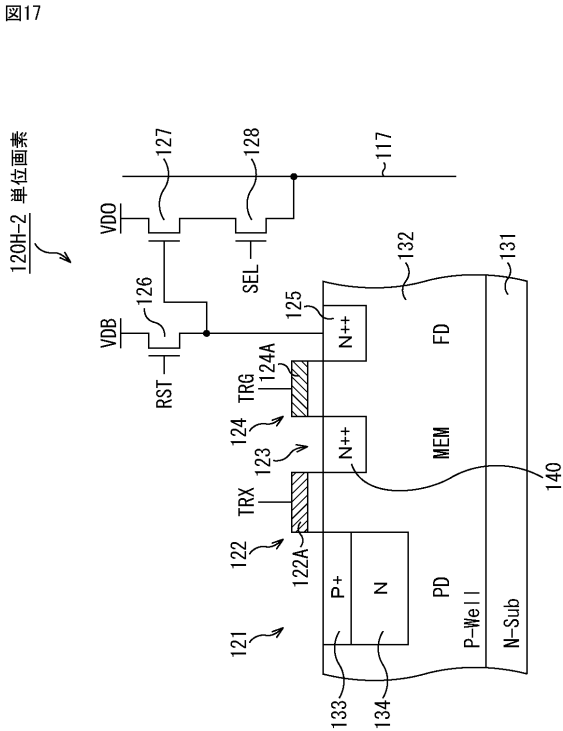
【 15 】



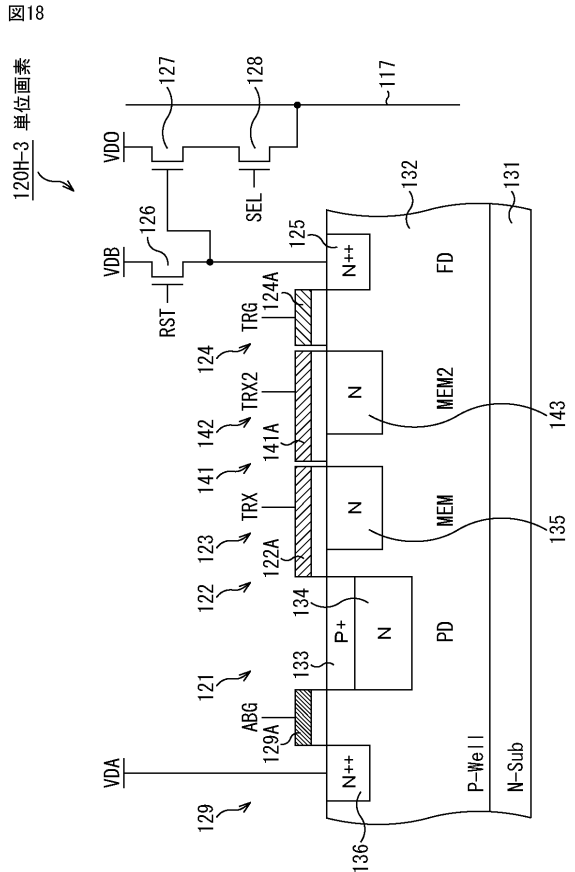
【 16 】



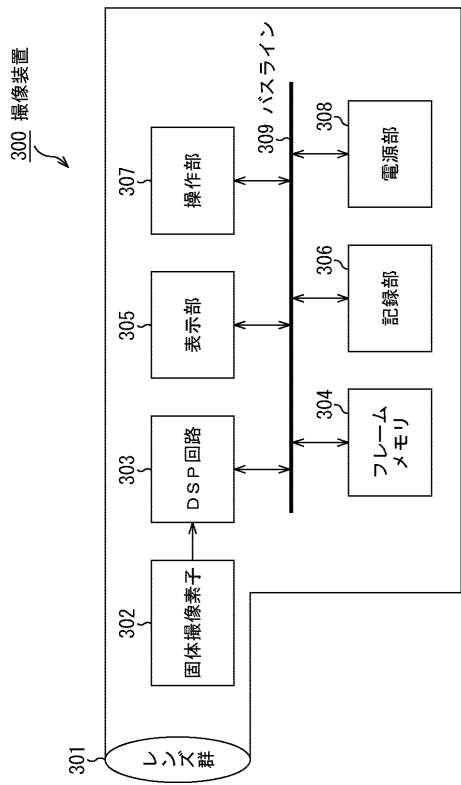
【 17 】



【 18 】



【図 19】
図 19



フロントページの続き

(72)発明者 河村 隆宏

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 十河 康則

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 4M118 AA10 AB01 BA14 CA04 CB14 DD04 DD12 EA01 EA06 EA07
EA14 FA06 FA33 FA38 GB11 GB15
5C024 AX01 BX01 CX43 CY47 GX03 GY31 HX40