

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-524867  
(P2009-524867A)

(43) 公表日 平成21年7月2日(2009.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 12/02 (2006.01)</b>	G06F 12/02 510A	5B018
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 597U	5B035
<b>G06F 12/16 (2006.01)</b>	G06F 12/16 310Q	5B058
<b>G06K 19/07 (2006.01)</b>	G06K 19/00 N	5B060
<b>G06K 17/00 (2006.01)</b>	G06K 17/00 D	5B065

審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-551891 (P2008-551891)  
 (86) (22) 出願日 平成18年11月29日 (2006.11.29)  
 (85) 翻訳文提出日 平成20年9月22日 (2008.9.22)  
 (86) 国際出願番号 PCT/IB2006/003398  
 (87) 国際公開番号 W02007/085893  
 (87) 国際公開日 平成19年8月2日 (2007.8.2)  
 (31) 優先権主張番号 11/338,596  
 (32) 優先日 平成18年1月24日 (2006.1.24)  
 (33) 優先権主張国 米国 (US)

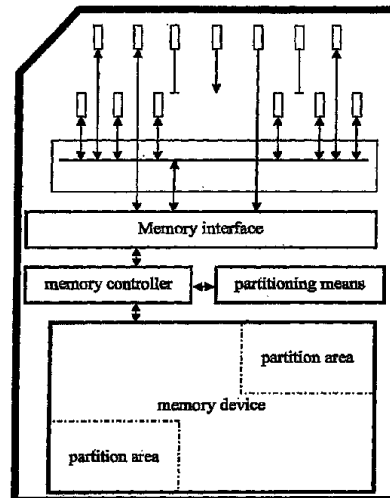
(71) 出願人 398012616  
 ノキア コーポレイション  
 フィンランド エフイーエンー02150  
 エスプー ケイララーデンティエ 4  
 (74) 代理人 100099759  
 弁理士 青木 篤  
 (74) 代理人 100092624  
 弁理士 鶴田 準一  
 (74) 代理人 100102819  
 弁理士 島田 哲郎  
 (74) 代理人 100108383  
 弁理士 下道 晶久  
 (74) 代理人 100114018  
 弁理士 南山 知広

最終頁に続く

(54) 【発明の名称】 メモリインターフェイスを利用してメモリモジュールのパーティショニングを制御する方法

(57) 【要約】

単一パーティションのみを具備している従来のメモリカード又はモジュールであるメモリカード及びモジュールにおいてパーティショニングを実装する装置及び方法である。本発明による代表的なメモリカード/モジュールは、メモリ装置と、データバス、コマンドライン、及びクロックラインを含むメモリインターフェイスと、を含んでいる。メモリカード/モジュールは、1つ又は複数のメモリ装置及びメモリインターフェイスに結合されたメモリコントローラを更に含んでいる。メモリカード/モジュールは、1つ又は複数のメモリ装置のパーティショニングを制御する手段を含んでおり、メモリコントローラは、パーティション情報に従って1つ又は複数のメモリ装置を動作させるべく構成されている。



Example of multimedia card architecture according to the invention

**【特許請求の範囲】****【請求項 1】**

少なくとも 1 つのメモリ装置と、  
データバス、コマンドライン、及びクロックラインを有するメモリインターフェイスと

、  
前記少なくとも 1 つのメモリ装置及び前記メモリインターフェイスに接続されたメモリコントローラと、

前記少なくとも 1 つのメモリ装置のパーティショニングを制御する手段と、  
を有しており、

前記メモリコントローラは、前記少なくとも 1 つのメモリ装置を前記パーティション情報に従って動作させるべく構成されている、メモリカード又はメモリモジュール。 10

**【請求項 2】**

前記メモリインターフェイスは、MMC / SD カードインターフェイスである請求項 1 記載のメモリモジュール。

**【請求項 3】**

前記パーティショニング情報は、  
それぞれのパーティションのサイズと、  
それぞれのパーティションの開始アドレス / 停止アドレスと、  
読み取り専用アクセス / 読み取り - 書き込みアクセスと、  
損耗平均化情報と、  
スエアブロックの数と、

固定パーティション又は再構成可能なパーティションと、のグループから選択された、  
但し、これらに限定されない、情報を有する請求項 1 記載のメモリモジュール。 20

**【請求項 4】**

前記少なくとも 1 つのメモリ装置は、フラッシュメモリである請求項 1 記載のメモリモジュール。

**【請求項 5】**

前記少なくとも 1 つのメモリ装置と、前記メモリコントローラと、前記少なくとも 1 つのメモリ装置の前記パーティショニングを制御する前記手段と、は、単一チップ上に実装されている請求項 1 記載のメモリモジュール。 30

**【請求項 6】**

前記メモリコントローラは、前記パーティション情報の正確性をチェックするべく構成されている請求項 1 記載のメモリモジュール。

**【請求項 7】**

パーティショニング情報を表す信号をメモリモジュールのメモリコントローラにおいて受信する段階と、

前記パーティショニング情報をメモリモジュール内に保存する段階と、

前記少なくとも 1 つのメモリ装置を前記パーティション情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのためのメモリインターフェイスの利用方法。 40

**【請求項 8】**

前記パーティショニング情報を表す信号は、  
それぞれのパーティションのサイズと、  
それぞれのパーティションの開始アドレス / 停止アドレスと、  
読み取り専用アクセス / 読み取り - 書き込みアクセスと、  
それぞれのパーティションの損耗平均化情報と、  
それぞれのパーティションのスエアブロックの数と、

固定パーティション又は再構成可能なパーティションと、のグループから選択された、  
但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を保存する前記段階は、前記受信信号から前記情報を抽出 50

する段階と、前記少なくとも1つのメモリ装置のパーティションを定義する段階と、を更に有しており、

前記メモリモジュールを前記パーティション情報に従って動作させる段階は、前記定義されたパーティションに従って前記少なくとも1つのメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項7記載のメモリモジュールの利用方法。

【請求項9】

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項7記載の前記段階を実行するプログラムコードセクションを有する、コンピュータプログラム。

10

【請求項10】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムプロダクトであって、該プログラムプロダクトがコントローラ又はメモリモジュール上において実行された際に請求項7の前記段階を実行するべく機械可読媒体上に保存されたプログラムコードセクションを有する、コンピュータプログラムプロダクト。

【請求項11】

搬送波内において実現され、プロセッサによって実行された際に請求項7の前記段階を実行させる命令を表しているコンピュータデータ信号。

【請求項12】

パーティショニング情報を表す信号をホスト装置からメモリモジュールのメモリコントローラに送信する段階と、

20

前記少なくとも1つのメモリ装置を前記パーティション情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのメモリインターフェイスの利用方法。

【請求項13】

前記パーティショニング情報を表す信号は、

それぞれのパーティションのサイズと、

それぞれのパーティションの開始アドレス/停止アドレスと、

読み取り専用アクセス/読み取り-書き込みアクセスと、

それぞれのパーティションの損耗平均化情報と、

30

それぞれのパーティションのスペアブロックの数と、

固定パーティション又は再構成可能なパーティションと、のグループから選択された、但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を送信する前記段階は、送信対象の信号内に前記情報を包含する段階を更に有しており、

前記パーティション情報に従って前記メモリモジュールを動作させる段階は、前記定義されたパーティションに従って前記少なくとも1つのメモリ装置にアクセスする段階と、それぞれのパーティションについて別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項12記載のメモリモジュールの利用方法。

【請求項14】

40

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項12の前記段階を実行するプログラムコードセクションを有するコンピュータプログラム。

【請求項15】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムプロダクトであって、該プログラムプロダクトがコントローラ又はメモリモジュール上において実行された際に請求項12の前記段階を実行するべく機械可読媒体上に保存されたプログラムコードセクションを有するコンピュータプログラムプロダクト。

【請求項16】

搬送波内において実現され、プロセッサによって実行された際に請求項12の前記段階

50

を実行させる命令を表しているコンピュータデータ信号。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリカード又はメモリモジュールの技術分野に関するものである。又、これは、フラッシュ技術及び/又はROM技術を使用したメモリカード又はメモリモジュールにも関係している。更に詳しくは、本発明は、単一パーティションのみを具備した従来のメモリカード又はメモリモジュールであるMMC (MultiMediaCard (マルチメディアカード) (登録商標))カード、SDメモリカード、又はMemory Stick (メモリースティック) (登録商標)などのメモリカード及びモジュール内においてパーティショニングを実装する簡単な方法に関するものである。

10

【0002】

本発明は、例えば、MMCカードや、例えば、SDカード又はMemory Stickと呼ばれているメモリカード又はメモリモジュールに関するものである。MMC及びSDの仕様書は、特定のカードフォームファクタを有すると共に特定の電気インターフェイス及びデータ交換用のデータ交換プロトコルを有するメモリカード機能について記述している。本発明は、システムが組み込み型の大容量メモリとして使用可能であり且つ高い信頼性を有するために必要ないくつかの追加機能について記述している。

【背景技術】

【0003】

MMCカードの特性については、例えば、「[http://www.mmca.org/compliance/buy\\_spec/MMCA\\_System\\_Summary\\_V41.pdf](http://www.mmca.org/compliance/buy_spec/MMCA_System_Summary_V41.pdf)」のウェブページにおいて入手可能であるMMCの仕様書に開示されている。

20

【0004】

現在、メモリカードの仕様書は、パーティショニング又はメモリカードの内部機能に関するその他の詳細について記述してはいない。従って、適切なカード機能にとって必要な損耗平均化、ガベージコレクション、データ圧縮、不良ブロック管理、及びその他のメモリ技術に関係した問題の場合の内部ファームウェアの機能は、カード固有のものになっており、且つ、ホストから制御不可能である。

30

【0005】

最近のモバイル端末のフラッシュメモリのレイアウトは、通常、複数のパーティションを具備している。これらのパーティションは、通常、ハードディスクにおいて知られているもののように、バイナリパーティション(読み取り専用)と、読み取り-書き込みパーティションである。読み取り専用パーティションは、装置の寿命を通じて数回のみ更新可能であり、これらの破壊の可能性は、非常に低くなければならない。読み取り-書き込みパーティションの場合には、その使用法が更に過酷であるが、データの一貫性も非常に重要である。(非常に安全な方法で保存しなければならない)装置の動作に必要なデータを格納するいくつかの読み取り-書き込みパーティションも存在可能である。

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

既存のメモリカード/モジュール及びメモリカードの仕様書には、パーティションが定義されていない(即ち、カード内のすべてのデータが同一のパーティション内に配置されるものとされている)。これは、例えば、(消去又は書き込み動作が同時にカード内において内部的に実行されている場合の)突然の電源切断(電源供給の中断)の状況においてデータ破壊のリスクが相対的に高くなることを意味しており、この結果、データのセキュリティが相対的に低下することになる。

【0007】

現在使用するストレージカード内に保存されたデータのセキュリティが、非常に重要な

50

トピックではない場合にも、ストレージ媒体のデータセキュリティの向上は、常に望ましいものと考えられよう。

【課題を解決するための手段】

【0008】

本発明の一態様によれば、メモリカード又はメモリモジュールが提供されている。このようなメモリカード又はメモリモジュールは、少なくとも1つのメモリ装置、メモリインターフェイス、及びメモリコントローラを有している。前述のメモリインターフェイスは、少なくとも、データバス、コマンドライン、及びクロックラインを有している。メモリカード又はメモリモジュール内において、メモリコントローラは、前述の（少なくとも1つの）メモリ装置及び前述のメモリインターフェイスに接続されている。本発明によるメモリカード又はメモリモジュールには、前述の（少なくとも1つの）メモリ装置のパーティショニングを制御する手段が更に提供されている。更には、前述のメモリコントローラは、前述のパーティショニングに従って前述の（少なくとも1つの）メモリ装置を動作させるべく構成されている。

10

【0009】

本発明は、既存のメモリカード又はメモリモジュール仕様の上部における（構成可能/制御可能なパーティションを有する）アブストラクションレイヤを開示している。これらのパーティションを適用することにより、データ破壊の低い確率を保証可能である。実際には、これは、従来大容量メモリと比べて、命令（機能）、状態、又はパラメータの追加セットをメモリカード/モジュールによってサポートしなければならないことを意味している。

20

【0010】

以下においては、「メモリカード/モジュール」という用語に伴って明細書を不明瞭にすることを回避するために、「メモリモジュール」という用語は、メモリカード及びメモリモジュールを表すべく使用されている。更には、すべてのメモリ装置の存在は、複数のメモリ装置として実施可能であることも明らかであることから、メモリ装置との関連において「少なくとも1つ」という用語を省略している。メモリモジュールという表現は、「メモリカード又はモジュール」という表現と同義的に使用されており、且つ、これは、メモリカード、組み込み型のメモリ装置、及びメモリ装置を有する（例えば、MMC又はSDカードインターフェイスなどの）メモリモジュールインターフェイスを有する装置を表すべく使用されている。

30

【0011】

本発明の例示用の一実施例においては、メモリインターフェイスは、MMC/SDカードインターフェイスである。この例示用の実施例においては、メモリモジュールは、標準化されたインターフェイス及びフォームファクタを有するMMC (MultiMedia Card) として実装されている。他の例示用の実施例においては、メモリモジュールは、標準化されたインターフェイス及びフォームファクタを有するSD (Secure Digital) カードとして実装されている。他の例示用の実施例においては、メモリモジュールは、標準化されたインターフェイス及びフォームファクタを有するチップスケールパッケージとして実装されている。この実装によれば、携帯（セルラー）電話機、携帯型のカメラ、（例えば、MP3などの）メディア再生装置、及びこれらに類似したものの内部において、パーティショニング可能なメモリモジュールを使用可能である。

40

【0012】

本発明の他の例示用の実施例においては、前述のパーティショニング情報は、それぞれのパーティションのサイズ、それぞれのパーティションの開始アドレス/停止アドレス、読み取り専用アクセス/読み取り-書き込みアクセス、損耗平均化情報、スペアブロックの数、及び固定パーティション又は再構成可能なパーティションのグループから選択された、但し、これらに限定されない、情報を有している。

【0013】

即ち、本発明は、既存のメモリモジュール仕様の上部における（構成可能/制御可能な

50

パーティションを有する) アブストラクションレイヤを開示している。これらのパーティションを適用することにより、データ破壊の確率を低くすることを保証できる。実際には、これは、従来の大容量メモリと比べて、命令(機能)、状態、又はパラメータの追加セットをメモリモジュールによってサポートしなければならないことを意味している。この命令セットにより、メモリモジュールのメモリ装置上においていくつかのパーティションを定義可能である。又、パーティションの最大数を、例えば、16(32、64、或いは、場合によっては、1024)に制限することも可能であろう。デフォルトでは、カード全体をデフォルトの機能を有する単一の読み取り/書き込みパーティションとして構成可能である(可視状態にすることができる)。(例えば、開始アドレス及び停止アドレス、或いは、開始アドレス及びパーティションサイズを含む)それぞれのパーティションのサイズは、それぞれのパーティションごとに別個に調節又は選択可能である。

10

## 【0014】

パーティションが読み取り専用アクセスを許可するか、又は読み取り-書き込みアクセスを許可するかをそれぞれのパーティションごとに定義することも想定されている。

## 【0015】

又、それぞれのパーティションごとに別個に損耗平均化情報を定義することも考えられている。損耗平均化情報は、例えば、損耗平均化がそれぞれのパーティションについて有効又は無効になっているかどうかを包含可能であり、且つ、どのメモリ(セル、又は)ブロックが実際に損耗しており、且つ、これらを置換するべくどのメモリ(セル、又は)ブロックが使用されるのかに関する情報をも包含可能である。その特定のパーティション内のブロックのみがそのパーティションの損耗平均化に使用されることを許容することも考えられている。この種の「パーティション内」における損耗平均化は、異なるパーティション間におけるデータ干渉を極小化し、突然の電源切断の後の回復を簡単に行うことができる。

20

## 【0016】

パーティションごとの損耗平均化動作のためにリザーブされるスペアブロックの数をそれぞれのパーティションごとに定義することが考慮及び想定されている。書き込みアクセスレートが非常に異なると予想されるパーティションの場合には、異なる数のスペアブロックをそれぞれのパーティションに割り当て可能であることに留意されたい。それぞれのパーティションごとの(例えば、実行時ブロックエラーが発生した際に必要とされる)スペアブロックの量は、ホストシステムにおいて構成可能にすることができる。特定のパーティションのスペアブロックは、パーティションについて規定されている同一のアドレス範囲内に配置可能である。特定パーティションのスペアブロックをスペアブロックの共通プール内に配置可能である。ブロックエラーの確率が低いことから、読み取り専用パーティションは、スペアブロックをまったく具備しないことも可能であろう。

30

## 【0017】

又、それぞれのパーティションごとに、少なくとも1つの固定パーティション又は少なくとも1つの再構成可能なパーティションについてリザーブされるスペアブロックの数を定義することも考えられている。

## 【0018】

又、まず、連続した空間(メモリ装置のエリア)として読み取り専用パーティションを生成した後に、読み取り-書き込みパーティションを生成することも想定されている。パーティションの損耗平均化能力が不十分であり、且つ、これを拡張する必要がある場合(パーティションシフティング)には、この方法により、追加のスペアブロックに対するアクセスが簡単になる。

40

## 【0019】

前述のメモリ装置と、前述のコントローラと、前述のメモリ装置のパーティショニングを制御する前述の手段と、を単一の集積回路上に実装可能である。又、メモリコントローラと、パーティショニングを制御する前述の手段と、前述のメモリ装置の一部のみを単一のチップ上に統合することのみによって、この実施例を実装することも想定されており、

50

例えば、この場合には、メモリカードのメモリモジュールは、メモリインターフェイスに接続されたいくつかのメモリチップを有している。又、前述のメモリ装置を共に形成する（例えば、単一の又は複数のチップ上に配置された）いくつかのメモリユニットを使用することも考えられている。

【0020】

例示用の一実施例においては、前述のメモリ装置は、フラッシュメモリである。

【0021】

本発明の更に他の例示用の実施例においては、前述のメモリコントローラは、前述のパーティション情報の正確性をチェックするべく構成されている。選択されたパーティションがメモリモジュールの構造に適合しているかどうかをチェック可能である。又、パーティションがオーバーラップしているかどうかをチェックすることも可能である。又、最小量のスベアブロックをメモリパーティションに提供し損耗平均化を実現することが可能であるかどうかを判定することも可能である。又、パーティション情報を監視し、且つ、更には、（例えば、スベアブロックを拡張し、パーティションを移動し、且つ、これに類似した内容を実行するべく）パーティションを評価及び再割り当てすることも考えられている。これらの機能により、メモリモジュールは、メモリセル/セクション/エリアの更に大規模な「ブラックアウト」に対して対処可能である。それぞれのチェックの後に、前述のチェック動作の否定的な結果を出力可能である（チェックの肯定的な結果をユーザーに提供することも可能ではあるが、これは、有用な情報を提供するものとみなされないであろう）。これにより、再パーティショニング動作が必要であると考えられるとユーザーに対して通知可能である。

10

20

【0022】

本発明の他の態様によれば、メモリモジュールのメモリインターフェイスを利用する方法が提供されている。メモリインターフェイスは、（少なくとも）、データバス、コマンドライン、及びクロックラインを有している。本方法は、パーティショニング情報を示す信号をメモリモジュールのメモリコントローラにおいて受信する段階と、前述のパーティショニング情報をメモリモジュール内に保存する段階と、前述のメモリ装置を前述のパーティション情報に従って前述のメモリコントローラによって動作させる段階と、を有している。本明細書においては、「信号」という用語は、広い意味において理解する必要があり、即ち、これは、インターフェイスを通じたソフトウェアの送信とハードウェアシグナリングの両方をカバーする必要がある。メモリインターフェイスは、ホスト装置に対するメモリモジュールのインターフェイスであることに留意されたい。

30

【0023】

本発明の方法の例示用の実施例においては、パーティショニング情報を示す前述の信号は、それぞれのパーティションのサイズと、それぞれのパーティションの開始アドレス/停止アドレスと、読み取り専用アクセス/読み取り-書き込みアクセスと、それぞれのパーティションの損耗平均化情報と、それぞれのパーティションのスベアブロックの数と、前述のパーティションが固定パーティションであるか又は再構成可能なパーティションであるかと、のグループから選択された、但し、これらに限定されない、情報を有している。前述のパーティショニング情報を保存した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、メモリ装置のパーティションを定義する段階と、を更に有している。又、前述のメモリ装置を前述のパーティション情報に従って動作させる前述の段階は、前述の定義されたパーティションに従ってメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

40

【0024】

本発明の方法の更に他の例示用の実施例においては、前述のメモリコントローラは、前述のパーティション情報の正確性をチェックするべく構成されている。これにより、選択されたパーティションがメモリモジュール/装置の構造に適合しているかどうかをチェック可能である。又、パーティション情報が、例えば、オーバーラップするパーティション

50

を定義しているかどうかをもチェック可能である。最小量のスペアブロックをメモリパーティションに提供して損耗平均化を実現することができるかどうかを判定可能である。それぞれのチェックの後に、前述のチェック動作の否定的な結果を出力可能である。これにより、再パーティショニング動作が必要であると考えられるとユーザーに対して通知可能である。

**【0025】**

本発明の他の態様によれば、メモリモジュールのメモリインターフェイスの利用方法が提供されている。メモリインターフェイスは、データバス、コマンドライン、及びクロックラインを有している。本方法は、ホスト装置からパーティショニング情報を表す信号をメモリモジュールのメモリコントローラに送信する段階と、前述のメモリ装置を前述のパーティション情報に従って前述のメモリコントローラによって動作させる段階と、を有している。

10

**【0026】**

本発明の方法の例示用の一実施例によれば、前述のパーティショニング情報を表す信号は、それぞれのパーティションのサイズと、それぞれのパーティションの開始アドレス/停止アドレスと、読み取り専用/読み取り-書き込みアクセスと、それぞれのパーティションの損耗平均化情報と、それぞれのパーティションのスペアブロックの数と、パーティションが固定パーティションであるか又は再構成可能なパーティションであるかと、のグループから選択された、但し、これらに限定されない、情報を有している。前述のパーティショニング情報を保存した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、メモリ装置のパーティションを定義する段階と、を更に有することができる。又、前述のパーティション情報に従って前述のメモリ装置を動作させる前述の段階は、前述の定義されたパーティションに従ってメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

20

**【0027】**

本発明の更に他の態様によれば、プログラムプロダクトがメモリモジュール上において実行された際に、メモリインターフェイスの利用に関する先程の説明の方法を実行するプログラムコード手段を有するソフトウェアツールが提供されている。本発明のこの、並びに、以下の態様によれば、前述のメモリインターフェイスは、(少なくとも)、データバス、コマンドライン、及びクロックラインを有している。

30

**【0028】**

本発明の他の態様によれば、プログラムプロダクトがメモリモジュール上において実行された際に、メモリインターフェイスの利用に関する先程の説明の方法を実行するべくサーバーからダウンロード可能であるコンピュータプログラムプロダクトが提供されている。

**【0029】**

本発明の更に他の態様によれば、プログラムプロダクトがメモリモジュール上において実行された際に、メモリインターフェイスの利用に関する先程の説明の方法を実行するべくコンピュータ可読媒体上に保存されたプログラムコード手段を有するコンピュータプログラムプロダクトが提供されている。

40

**【0030】**

本発明の他の態様によれば、コンピュータデータ信号が提供されている。コンピュータデータ信号は、搬送波内に組み込まれており、プログラムプロダクトがメモリモジュール上において実行された際にメモリインターフェイスの利用に関する先程の説明に含まれている方法の段階を(それが受信された又は転送された)コンピュータ又はメモリモジュールに実行させるプログラムを表している。

**【発明を実施するための最良の形態】****【0031】**

以下の詳細な説明においては、同一のコンポーネントには、それらが本発明の異なる実

50



施例に示されているかどうかとは無関係に、同一の参照符号が付与されている。本発明を明瞭且つ簡潔に示すべく、図面の縮尺は、必ずしも正確でない可能性があり、また、特定の図面は、多少概略的な形態において示されている場合がある。

#### 【0032】

図1は、一般的な組み込み型の大容量メモリのレイアウトの一例を示している。大容量メモリは、太い線で描かれたパーティションの境界によって区切られた異なるパーティションを有している。それぞれのパーティションの一部は、ホストから「可視状態であるパーティション」として描かれている（空白のエリアとして描かれている）。ホストから可視状態であるパーティションに加えて、それぞれのパーティション内には、不可視状態のスペアエリアが提供されている（これらは、ホストから不可視状態である）。それぞれのメモリモジュールには、不良ブロック管理のデータ及びメモリモジュールのメタデータを保存すべく（メモリコア/モジュール内のエリアとして、又は前述のメモリ装置のパーティショニングを制御するための更なる手段として）エリアがメモリモジュールの内部にリザーブされている。

10

#### 【0033】

図2は、許可される（パーティション内）損耗平均化及び許可されない（パーティション間）損耗平均化の動作の一例を示している。パーティショニングを伴わない既知のメモリモジュールとは対照的に、パーティション間における損耗平均化は、（パーティションの、特に異なるパーティションの欠如に起因して）発生してはならない。図面には、矢印によって示されているように、単一パーティション内においては（太い線によって示されているパーティションの境界内においては）、異なるブロックのシフト（又は、損耗平均化）が許可されることが示されている。しかしながら、破線の矢印によって示されているパーティションの境界に跨ったパーティション間における損耗平均化の使用は、許可されない。いずれにせよ、本発明によれば、パーティションをシフトさせることが可能であり、この結果、まずは、パーティションをシフトさせた後に、さもなければパーティション間損耗平均化プロセスになったであろうパーティション内損耗平均化を実行可能である。

20

#### 【0034】

図3は、本発明の一態様によるメモリカードの概略図である。（データバス、電源、接地レベル、コマンド、及びクロック信号用の接点を有する）通常の電気インターフェイスを有し、且つ、通常のMMCフォームファクタを具備したMMC（Multi-Media Card）カードが示されている。従来のMMCカードと同様に、これらの接点は、MMCカードの外部接点を介したデータ交換を制御すべく機能するメモリインターフェイスコントローラに接続されている。メモリインターフェイスコントローラは、メモリコントローラを介してメモリ装置に接続されている。従来のMMCカードとは異なり、メモリコントローラは、前述のメモリ装置のパーティショニングを制御する専用のユニット/手段に接続されており、この図においては、図を簡単にするべく、前述のメモリ装置のパーティショニングを制御する手段は、パーティショニング手段と命名されている。メモリコントローラは、この前述のメモリ装置のパーティショニングを制御する手段内に、メモリ装置に関係したパーティション情報を保存することにより、メモリ装置（メモリエリア又はメモリコア）内の破線によって示されたエリアをメモリ装置のパーティションとして定義可能である。前述のメモリ装置のパーティショニングを制御する手段をメモリ装置自体の専用エリア（又は、場合によっては、パーティションエリア）として実装することにより、MMCカードが単一のメモリ装置のみによってパーティショニング能力を提供できるようにすることも可能であることに留意されたい（メモリコントローラ自体の内部において前述のメモリ装置のパーティショニングを制御する手段に割り当てられたメモリエリア（アドレス）をハードコーディングすることを想定可能である）。

30

40

#### 【0035】

パーティション情報を保存するメモリ装置により（且つ、メモリコントローラの処理能力が十分である場合には）、メモリモジュールは、前述のメモリ装置のパーティショニングを制御する手段のパーティションデータに従ってメモリ装置又はメモリ装置に対

50

するアクセスを動作させることができる。

【0036】

わかりやすくするべく、(メモリコントローラから構成することも可能である)メモリ装置のインターフェイスコントローラ又は(メモリ装置インターフェイス及びメモリインターフェイスコントローラをリセットするための)メモリ装置の電源検出などのMMCカードの他のコンポーネントについては、省略している。

【0037】

図4は、本発明の方法の一実装を示すフローチャートである。このフローチャートは、パーティショニング情報を表す信号をメモリカードのメモリコントローラにおいて受信する段階で始まる。この情報は、メモリ(モジュール)インターフェイスコントローラにおいて、メモリインターフェイスを介して外部ホストから受信可能である。次いで、前述の受信したパーティショニング情報を、前述のメモリコントローラに割り当てられた前述のメモリ装置のパーティショニングを制御する手段に提供している。次いで、メモリモジュールのメモリコントローラは、前述のメモリ装置の前述のパーティショニングを制御する手段の前述の保存されたパーティション情報に従って前述のメモリ装置を動作させている。

10

【0038】

フローチャートには明示的に示されていないが、パーティショニング情報は、それぞれのパーティションのサイズ、それぞれのパーティションの開始アドレス/停止アドレス、読み取り専用アクセス又は読み取り-書き込みアクセスなどのパーティションのアクセスタイプ、それぞれのパーティションの損耗平均化情報(どのブロックが損耗しており、どのブロックがそれらを置換するのか)、及びそれぞれのパーティションのスペアブロックの数(これは、実現すべきMTBF(Mean Time Before Failure)とは独立的に自由に選択可能である)のグループから選択可能であるが、但し、これらに限定されるものではない。前述のパーティショニング情報を受信した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、前述の抽出した情報を保存する段階と、前述のメモリ装置上において(それぞれのパーティションパラメータによって)パーティションを定義する段階と、を更に有することができる。又、前述のメモリ装置を前述のパーティション情報に従って動作させる前述の段階は、(すべてのパーティションパラメータによって前述のパーティションを定義する段階と)、前述の定義されたパーティションに従って(即ち、パーティションごとに)メモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

20

30

【0039】

図5は、本発明の方法の他の実装を示すフローチャートである。このフローチャートは、パーティショニング情報を表す信号をホスト装置からメモリモジュールのメモリコントローラに送信する段階で始まる。次いで、ホスト装置は、前述のメモリ装置を前述のパーティション情報に従って動作させている。この実装は、本発明のホスト装置側を表している。

【0040】

これは、パーティションの制御のために定義可能である特殊な命令セットによって実装可能である。例えば、(MMCA v4.1の仕様書に規定されている)EXT\_CSD命令を基礎として使用可能である。それぞれのパーティションの個別のパーティションサイズ、即ち、開始アドレスと終了アドレス、パーティションが読み取り専用を許可するか又は読み取り-書き込み動作を許可するか、損耗平均化が有効になっているかどうかを定義可能である必要がある。読み取り専用パーティション内における損耗平均化を(既定では)許可しないことを想定可能である。

40

【0041】

本発明によれば、(ホストに接続されている場合に)任意の時点においてメモリモジュールのストレージを自由に再パーティショニングすることが可能になる。図面の説明を不

50

明瞭にすることを回避するべく、専用のアクセス手順、損耗平均化手順、及びパーティショニング情報のデータフォーマットの説明については、省略している。

【0042】

メモ리카ード/モジュール内においてパーティショニングを使用することにより、データ破壊のリスクを低減可能であろう。又、パーティショニングにより、フレッシュな損耗平均化されていないエリア上に読み取り専用データを維持することも可能である（データ保持力も消去回数に依存している）。これは、読み取り/書き込み領域（エリア又はブロック）内においてスペア領域（エリア又はブロック）を更に使用することにより、メモリモジュールの全体的な予想寿命を改善可能であるという更なる利点を具備している。メモリ（コア）をいくつかのパーティションに分割することにより、特定の読み取り - 書き込みエリアのライフサイクルを低減することもあるが（それぞれのメモリブロックの消去回数は限られている）、相対的に高いデータの一貫性という利益の観点から、これは許容可能であると思われる。

10

【0043】

本発明は、ホスト装置から（MMC/SDカードインターフェイスなどのメモリモジュールインターフェイスを介して）メモ리카ード/モジュールの内部の低レベルのパーティショニングを制御可能であることに留意されたい。従来、既存のカードは、この機能を提供しておらず、メモリ装置の固定された内部の物理的なパーティショニングを使用している（そして、この結果、この上部にFATパーティショニングを提供している）。このような既知の方法とは異なり、本発明は、カード内部の物理的なレイヤパーティションとFATパーティションの間に第3のパーティショニングレイヤを追加している。

20

【0044】

本明細書におけるパーティションは、以下の内容を意味している。メモリモジュールは、ユーザーにとって可視状態である複数のセクタである。この複数のセクタ（連続したアドレス空間）を、なんらかのモジュール固有の刻みを有するセクションに分割している。1つのセクションが1つのパーティションである。それぞれのパーティションは、機能セット（ROやR/Wなど）を具備している。機能セットは、ユーザー/ホストに対するパーティションの動作について規定している。

【0045】

本出願には、本発明の実装及び実施例に関する例を使用した説明が含まれている。当業者であれば、本発明は、以上において提示した実施例の詳細に限定されるものではなく、且つ、本発明は、本発明の特徴を逸脱することなしに、他の形態において実施可能であることを理解するであろう。以上において提示した実施例は、例示を目的とするものであって、限定を意図したものではないとみなされたい。従って、本発明の実装及び使用の可能性を制限するものは、添付の請求項のみである。従って、等価な実装を含む請求項によって決定される本発明を実装する様々選択肢も、本発明の範囲に含まれている。

30

【図面の簡単な説明】

【0046】

【図1】（パーティションの境界を示している）一般的なメモリレイアウトの一例を示す図である。

40

【図2】許可される（インターパーティション）及び許可されない（エクストラパーティション）損耗平均化動作を視覚的に表現する図である。

【図3】本発明の一態様によるメモ리카ードの概略図である。

【図4】本発明の方法の一実装を示すフローチャートである。

【図5】本発明の方法の他の実装を示すフローチャートである。

【 図 1 】

代表的なメモ리카ードのレイアウト

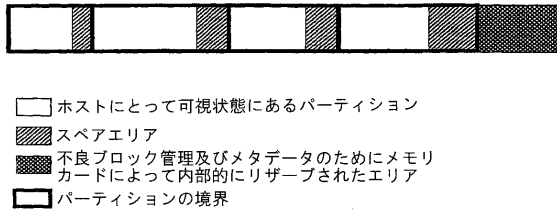


Fig. 1. (パーティションの境界を示している) 代表的な大容量メモリのレイアウトの例

【 図 2 】

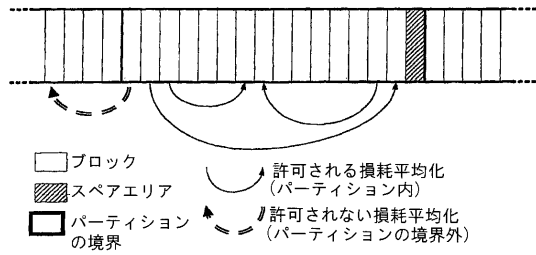


Fig. 2. 許可される損耗平均化(パーティション内)及び許可されない損耗平均化(パーティションの境界外)の動作の例

【 図 3 】

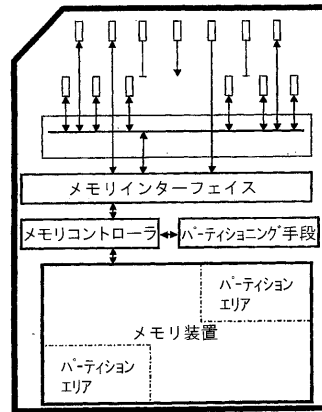


Fig. 3. 本発明によるマルチメディアカードのアーキテクチャの例

【 図 4 】

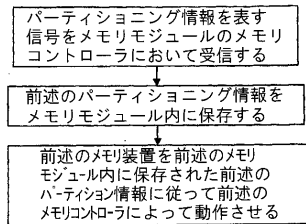


Fig. 4

【 図 5 】

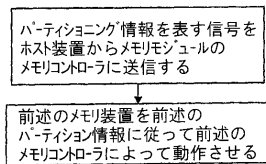


Fig. 5

## 【手続補正書】

【提出日】平成20年11月6日(2008.11.6)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つのメモリ装置と、  
メモリインターフェイスと、  
前記少なくとも1つのメモリ装置及び前記メモリインターフェイスに接続されたメモリコントローラと、  
前記少なくとも1つのメモリ装置のパーティショニングを制御する手段と、  
を有しており、  
前記メモリコントローラは、パーティショニング情報を表す信号を受信するよう構成され、

前記パーティショニング情報は、損耗平均化情報を有し、

前記メモリコントローラは、前記少なくとも1つのメモリ装置を前記パーティショニング情報に従って動作させるべく構成されている、メモリカード又はメモリモジュール。

【請求項2】

前記メモリインターフェイスは、MMC/SDカードインターフェイスである請求項1記載のメモリモジュール。

【請求項3】

前記パーティショニング情報は、  
それぞれのパーティションのサイズと、  
それぞれのパーティションの開始アドレス/終了アドレスと、  
読み取り専用アクセス/読み取り-書き込みアクセスと、  
スベアブロックの数と、

固定パーティション又は再構成可能なパーティションと、のグループから選択された、  
但し、これらに限定されない、情報を有する請求項1記載のメモリモジュール。

【請求項4】

前記少なくとも1つのメモリ装置は、フラッシュメモリである請求項1記載のメモリモジュール。

【請求項5】

前記少なくとも1つのメモリ装置と、前記メモリコントローラと、前記少なくとも1つのメモリ装置の前記パーティショニングを制御する前記手段と、は、単一チップ上に実装されている請求項1記載のメモリモジュール。

【請求項6】

前記メモリコントローラは、前記パーティショニング情報の正確性をチェックするべく構成されている請求項1記載のメモリモジュール。

【請求項7】

パーティショニング情報を表す信号をメモリモジュールのメモリコントローラにおいて受信する段階であって、前記パーティショニング情報を表す信号はそれぞれのパーティションの損耗平均化情報を有する段階と、

前記パーティショニング情報をメモリモジュール内に保存する段階と、

前記少なくとも1つのメモリ装置を前記パーティショニング情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのためのメモリインターフェイスの利用方法。

【請求項8】

前記パーティショニング情報を表す信号は、  
それぞれのパーティションのサイズと、  
それぞれのパーティションの開始アドレス/終了アドレスと、  
読み取り専用アクセス/読み取り-書き込みアクセスと、  
それぞれのパーティションのスエアブロックの数と、  
固定パーティション又は再構成可能パーティションと、のグループから選択された、但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を保存する前記段階は、前記受信信号から前記情報を抽出する段階と、前記少なくとも1つのメモリ装置のパーティションを定義する段階と、を更に有しており、

前記メモリモジュールを前記パーティショニング情報に従って動作させる段階は、前記定義されたパーティションに従って前記少なくとも1つのメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項7記載のメモリモジュールの利用方法。

【請求項9】

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項7記載の前記段階を実行するプログラムコードセクションを有する、コンピュータプログラム。

【請求項10】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムを記録したコンピュータ読み取り可能な記録媒体であって、該プログラムがコントローラ又はメモリモジュール上において実行された際に請求項7の前記段階を実行するプログラムコードセクションを有する、記録媒体。

【請求項11】

パーティショニング情報を表す信号をホスト装置からメモリモジュールのメモリコントローラに送信する段階であって、前記パーティショニング情報を表す信号はそれぞれのパーティションの損耗平均化情報を有する段階と、

前記少なくとも1つのメモリ装置を前記パーティショニング情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのメモリインターフェイスの利用方法。

【請求項12】

前記パーティショニング情報を表す信号は、  
それぞれのパーティションのサイズと、  
それぞれのパーティションの開始アドレス/終了アドレスと、  
読み取り専用アクセス/読み取り-書き込みアクセスと、  
それぞれのパーティションのスエアブロックの数と、  
固定パーティション又は再構成可能なパーティションと、のグループから選択された、但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を送信する前記段階は、送信対象の信号内に前記情報を包含する段階を更に有しており、

前記パーティショニング情報に従って前記メモリモジュールを動作させる段階は、前記定義されたパーティションに従って前記少なくとも1つのメモリ装置にアクセスする段階と、それぞれのパーティションについて別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項12記載のメモリモジュールの利用方法。

【請求項13】

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項12の前記段階を実行するプログラムコードセクションを有するコンピュータプログラム。

【請求項14】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムを記録したコン

コンピュータ読み取り可能な記録媒体であって、該プログラムがコントローラ又はメモリモジュール上において実行された際に請求項12の前記段階を実行するプログラムコードセクションを有する、記録媒体。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の他の例示用の実施例においては、前述のパーティショニング情報は、それぞれのパーティションのサイズ、それぞれのパーティションの開始アドレス/終了アドレス、読み取り専用アクセス/読み取り-書き込みアクセス、損耗平均化情報、スベアブロックの数、及び固定パーティション又は再構成可能なパーティションのグループから選択された、但し、これらに限定されない、情報を有している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

即ち、本発明は、既存のメモリモジュール仕様の上部における（構成可能/制御可能なパーティションを有する）アブストラクションレイヤを開示している。これらのパーティションを適用することにより、データ破壊の確率を低くすることを保証できる。実際には、これは、従来の大容量メモリと比べて、命令（機能）、状態、又はパラメータの追加セットをメモリモジュールによってサポートしなければならないことを意味している。この命令セットにより、メモリモジュールのメモリ装置上においていくつかのパーティションを定義可能である。又、パーティションの最大数を、例えば、16（32、64、或いは、場合によっては、1024）に制限することも可能であろう。デフォルトでは、カード全体をデフォルトの機能を有する単一の読み取り/書き込みパーティションとして構成可能である（可視状態にすることができる）。（例えば、開始アドレス及び終了アドレス、或いは、開始アドレス及びパーティションサイズを含む）それぞれのパーティションのサイズは、それぞれのパーティションごとに別個に調節又は選択可能である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の更に他の例示用の実施例においては、前述のメモリコントローラは、前述のパーティショニング情報の正確性をチェックするべく構成されている。選択されたパーティションがメモリモジュールの構造に適合しているかどうかをチェック可能である。又、パーティションがオーバーラップしているかどうかをチェックすることも可能である。又、最小量のスベアブロックをメモリパーティションに提供し損耗平均化を実現することが可能であるかどうかを判定することも可能である。又、パーティショニング情報を監視し、且つ、更には、（例えば、スベアブロックを拡張し、パーティションを移動し、且つ、これに類似した内容を実行するべく）パーティションを評価及び再割り当てすることも考えられている。これらの機能により、メモリモジュールは、メモリセル/セクション/エリアの更に大規模な「ブラックアウト」に対して対処可能である。それぞれのチェックの後に、前述のチェック動作の否定的な結果を出力可能である（チェックの肯定的な結果をユーザーに提供することも可能ではあるが、これは、有用な情報を提供するものとみなされ

ないであろう)。これにより、再パーティショニング動作が必要であると考えられるとユーザーに対して通知可能である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明の他の態様によれば、メモリモジュールのメモリインターフェイスを利用する方法が提供されている。メモリインターフェイスは、(少なくとも)、データバス、コマンドライン、及びクロックラインを有している。本方法は、パーティショニング情報を示す信号をメモリモジュールのメモリコントローラにおいて受信する段階と、前述のパーティショニング情報をメモリモジュール内に保存する段階と、前述のメモリ装置を前述のパーティショニング情報に従って前述のメモリコントローラによって動作させる段階と、を有している。本明細書においては、「信号」という用語は、広い意味において理解する必要があり、即ち、これは、インターフェイスを通じたソフトウェアの送信とハードウェアシグナリングの両方をカバーする必要がある。メモリインターフェイスは、ホスト装置に対するメモリモジュールのインターフェイスであることに留意されたい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の方法の例示用の実施例においては、パーティショニング情報を示す前述の信号は、それぞれのパーティションのサイズと、それぞれのパーティションの開始アドレス/終了アドレスと、読み取り専用アクセス/読み取り-書き込みアクセスと、それぞれのパーティションの損耗平均化情報と、それぞれのパーティションのスペアブロックの数と、前述のパーティションが固定パーティションであるか又は再構成可能なパーティションであるかと、のグループから選択された、但し、これらに限定されない、情報を有している。前述のパーティショニング情報を保存した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、メモリ装置のパーティションを定義する段階と、を更に有している。又、前述のメモリ装置を前述のパーティショニング情報に従って動作させる前述の段階は、前述の定義されたパーティションに従ってメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の方法の更に他の例示用の実施例においては、前述のメモリコントローラは、前述のパーティショニング情報の正確性をチェックするべく構成されている。これにより、選択されたパーティションがメモリモジュール/装置の構造に適合しているかどうかをチェック可能である。又、パーティショニング情報が、例えば、オーバーラップするパーティションを定義しているかどうかをもチェック可能である。最小量のスペアブロックをメモリパーティションに提供して損耗平均化を実現することができるかどうかを判定可能である。それぞれのチェックの後に、前述のチェック動作の否定的な結果を出力可能である。これにより、再パーティショニング動作が必要であると考えられるとユーザーに対して



通知可能である。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の他の態様によれば、メモリモジュールのメモリインターフェイスの利用方法が提供されている。メモリインターフェイスは、データバス、コマンドライン、及びクロックラインを有している。本方法は、ホスト装置からパーティショニング情報を表す信号をメモリモジュールのメモリコントローラに送信する段階と、前述のメモリ装置を前述のパーティショニング情報に従って前述のメモリコントローラによって動作させる段階と、を有している。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の方法の例示用の一実施例によれば、前述のパーティショニング情報を表す信号は、それぞれのパーティションのサイズと、それぞれのパーティションの開始アドレス/終了アドレスと、読み取り専用/読み取り-書き込みアクセスと、それぞれのパーティションの損耗平均化情報と、それぞれのパーティションのスペアブロックの数と、パーティションが固定パーティションであるか又は再構成可能なパーティションであるかと、のグループから選択された、但し、これらに限定されない、情報を有している。前述のパーティショニング情報を保存した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、メモリ装置のパーティションを定義する段階と、を更に有することができる。又、前述のパーティショニング情報に従って前述のメモリ装置を動作させる前述の段階は、前述の定義されたパーティションに従ってメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

図3は、本発明の一態様によるメモリカードの概略図である。(データバス、電源、接地レベル、コマンド、及びクロック信号用の接点を有する)通常電気インターフェイスを有し、且つ、通常MMCフォームファクタを具備したMMC(Multi-Media Card)カードが示されている。従来のMMCカードと同様に、これらの接点は、MMCカードの外部接点を介したデータ交換を制御するべく機能するメモリインターフェイスコントローラに接続されている。メモリインターフェイスコントローラは、メモリコントローラを介してメモリ装置に接続されている。従来のMMCカードとは異なり、メモリコントローラは、前述のメモリ装置のパーティショニングを制御する専用のユニット/手段に接続されており、この図においては、図を簡単にするべく、前述のメモリ装置のパーティショニングを制御する手段は、パーティショニング手段と命名されている。メモリコントローラは、この前述のメモリ装置のパーティショニングを制御する手段内に、メモリ装置に関係したパーティショニング情報を保存することにより、メモリ装置(メモリエリア又はメモリコア)内の破線によって示されたエリアをメモリ装置のパーティションと

して定義可能である。前述のメモリ装置のパーティショニングを制御する手段をメモリ装置自体の専用エリア（又は、場合によっては、パーティションエリア）として実装することにより、MMCカードが単一のメモリ装置のみによってパーティショニング能力を提供できるようにすることも可能であることに留意されたい（メモリコントローラ自体の内部において前述のメモリ装置のパーティショニングを制御する手段に割り当てられたメモリエリア（アドレス）をハードコーディングすることを想定可能である）。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

パーティショニング情報を保存するメモリ装置により（且つ、メモリコントローラの処理能力が十分である場合には）、メモリモジュールは、前述のメモリ装置の前述のパーティショニングを制御する手段のパーティションデータに従ってメモリ装置又はメモリ装置に対するアクセスを動作させることができる。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 7

【補正方法】変更

【補正の内容】

【0 0 3 7】

図 4 は、本発明の方法の一実装を示すフローチャートである。このフローチャートは、パーティショニング情報を表す信号をメモリカードのメモリコントローラにおいて受信する段階で始まる。この情報は、メモリ（モジュール）インターフェイスコントローラにおいて、メモリインターフェイスを介して外部ホストから受信可能である。次いで、前述の受信したパーティショニング情報を、前述のメモリコントローラに割り当てられた前述のメモリ装置のパーティショニングを制御する手段に提供している。次いで、メモリモジュールのメモリコントローラは、前述のメモリ装置の前述のパーティショニングを制御する手段の前述の保存されたパーティショニング情報に従って前述のメモリ装置を動作させている。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【0 0 3 8】

フローチャートには明示的に示されていないが、パーティショニング情報は、それぞれのパーティションのサイズ、それぞれのパーティションの開始アドレス/終了アドレス、読み取り専用アクセス又は読み取り - 書き込みアクセスなどのパーティションのアクセスタイプ、それぞれのパーティションの損耗平均化情報（どのブロックが損耗しており、どのブロックがそれらを置換するのか）、及びそれぞれのパーティションのスペアブロックの数（これは、実現すべきMTBF（Mean Time Before Failure）とは独立的に自由に選択可能である）のグループから選択可能であるが、但し、これらに限定されるものではない。前述のパーティショニング情報を受信した後に、本方法は、前述の受信信号から前述の情報を抽出する段階と、前述の抽出した情報を保存する段階と、前述のメモリ装置上において（それぞれのパーティションパラメータによって）パーティションを定義する段階と、を更に有することができる。又、前述のメモリ装置を前述のパーティショニング情報に従って動作させる前述の段階は、（すべてのパーティションパラメータによって前述のパーティションを定義する段階と）、前述の定義されたパ

ーティションに従って（即ち、パーティションごとに）メモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り／書き込みアクセス及び損耗平均化を制御する段階と、をも有することができる。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

図5は、本発明の方法の他の実装を示すフローチャートである。このフローチャートは、パーティショニング情報を表す信号をホスト装置からメモリモジュールのメモリコントローラに送信する段階で始まる。次いで、ホスト装置は、前述のメモリ装置を前述のパーティショニング情報に従って動作させている。この実装は、本発明のホスト装置側を表している。

【手続補正 15】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】

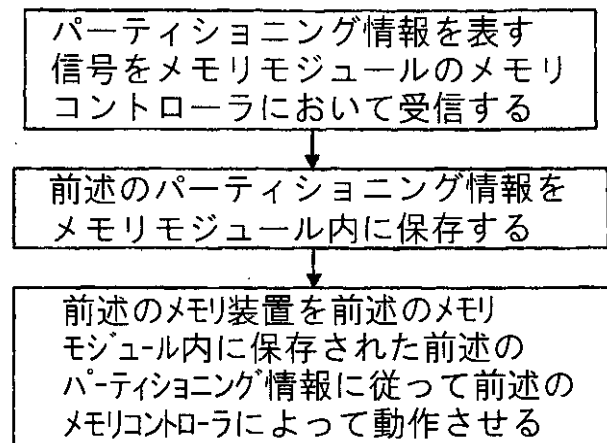


Fig. 4

【手続補正 16】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正の内容】

【 図 5 】

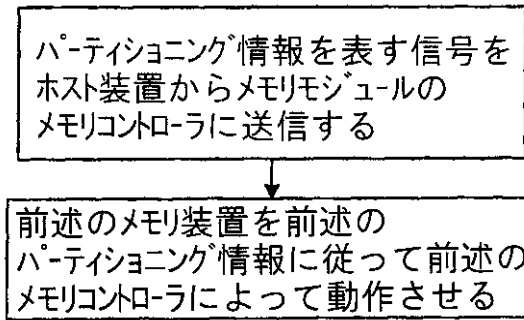


Fig. 5

## 【 手続補正書 】

【 提出日 】平成20年11月18日(2008.11.18)

## 【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

少なくとも1つのメモリ装置と、  
 メモリインターフェイスと、  
 前記少なくとも1つのメモリ装置及び前記メモリインターフェイスに接続されたメモリ  
 コントローラと、  
 前記少なくとも1つのメモリ装置のパーティショニングを制御する手段と、  
 を有しており、  
 前記メモリコントローラは、パーティショニング情報を表す信号を受信するよう構成さ  
 れ、

前記パーティショニング情報は、損耗平均化情報を有し、

前記メモリコントローラは、前記少なくとも1つのメモリ装置を前記パーティショニン  
 グ情報に従って動作させるべく構成されている、メモリカード又はメモリモジュール。

【 請求項 2 】

前記メモリインターフェイスは、MMC / SDカードインターフェイスである請求項 1  
 記載のメモリモジュール。

【 請求項 3 】

前記パーティショニング情報は、  
 それぞれのパーティションのサイズと、  
 それぞれのパーティションの開始アドレス / 終了アドレスと、  
 読み取り専用アクセス / 読み取り - 書き込みアクセスと、  
 スペアブロックの数と、

固定パーティション又は再構成可能なパーティションと、のグループから選択された、  
 但し、これらに限定されない、情報を有する請求項 1 記載のメモリモジュール。

【 請求項 4 】

前記少なくとも1つのメモリ装置は、フラッシュメモリである請求項 1 記載のメモリモ

ジュール。

【請求項 5】

前記少なくとも 1 つのメモリ装置と、前記メモリコントローラと、前記少なくとも 1 つのメモリ装置の前記パーティショニングを制御する前記手段と、は、単一チップ上に実装されている請求項 1 記載のメモリモジュール。

【請求項 6】

前記メモリコントローラは、前記パーティショニング情報の正確性をチェックするべく構成されている請求項 1 記載のメモリモジュール。

【請求項 7】

パーティショニング情報を表す信号をメモリモジュールのメモリコントローラにおいて受信する段階であって、前記パーティショニング情報を表す信号はそれぞれのパーティションの損耗平均化情報を有する段階と、

前記パーティショニング情報をメモリモジュール内に保存する段階と、

前記少なくとも 1 つのメモリ装置を前記パーティショニング情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのためのメモリインターフェイスの利用方法。

【請求項 8】

前記パーティショニング情報を表す信号は、

それぞれのパーティションのサイズと、

それぞれのパーティションの開始アドレス / 終了アドレスと、

読み取り専用アクセス / 読み取り - 書き込みアクセスと、

それぞれのパーティションのスペアブロックの数と、

固定パーティション又は再構成可能パーティションと、のグループから選択された、但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を保存する前記段階は、前記受信信号から前記情報を抽出する段階と、前記少なくとも 1 つのメモリ装置のパーティションを定義する段階と、を更に有しており、

前記メモリモジュールを前記パーティショニング情報に従って動作させる段階は、前記定義されたパーティションに従って前記少なくとも 1 つのメモリ装置にアクセスする段階と、それぞれのパーティションごとに別個に読み取り / 書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項 7 記載のメモリモジュールの利用方法。

【請求項 9】

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項 7 記載の前記段階を実行するプログラムコードセクションを有する、コンピュータプログラム。

【請求項 10】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムを記録したコンピュータ読み取り可能な記録媒体であって、該プログラムがコントローラ又はメモリモジュール上において実行された際に請求項 7 の前記段階を実行するプログラムコードセクションを有する、記録媒体。

【請求項 11】

パーティショニング情報を表す信号をホスト装置からメモリモジュールのメモリコントローラに送信する段階であって、前記パーティショニング情報を表す信号はそれぞれのパーティションの損耗平均化情報を有する段階と、

前記少なくとも 1 つのメモリ装置を前記パーティショニング情報に従って前記メモリコントローラによって動作させる段階と、

を有するメモリモジュールのメモリインターフェイスの利用方法。

【請求項 12】

前記パーティショニング情報を表す信号は、

それぞれのパーティションのサイズと、

それぞれのパーティションの開始アドレス/終了アドレスと、  
読み取り専用アクセス/読み取り-書き込みアクセスと、  
それぞれのパーティションのスペアブロックの数と、  
固定パーティション又は再構成可能なパーティションと、のグループから選択された、  
但し、これらに限定されない、情報を有しており、

前記パーティショニング情報を送信する前記段階は、送信対象の信号内に前記情報を包含する段階を更に有しており、

前記パーティショニング情報に従って前記メモリモジュールを動作させる段階は、前記定義されたパーティションに従って前記少なくとも1つのメモリ装置にアクセスする段階と、それぞれのパーティションについて別個に読み取り/書き込みアクセス及び損耗平均化を制御する段階と、を有する請求項1 1記載のメモリモジュールの利用方法。

【請求項 1 3】

メモリモジュールを利用可能なコンピュータプログラムであって、該プログラムがメモリモジュール上において実行された際に請求項1 1の前記段階を実行するプログラムコードセクションを有するコンピュータプログラム。

【請求項 1 4】

メモリモジュールを利用可能な方法を実行するコンピュータプログラムを記録したコンピュータ読み取り可能な記録媒体であって、該プログラムがコントローラ又はメモリモジュール上において実行された際に請求項1 1の前記段階を実行するプログラムコードセクションを有する、記録媒体。

## 【 国際調査報告 】

1

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/IB2006/003398

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC: see extra sheet According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G11C, G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EPO-INTERNAL, WPI DATA, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1063652 A2 (SILICON STORAGE TECHNOLOGY, INC.), 27 December 2000 (27.12.2000), [0017]-[0021]; [0025];[0033]-[0034]	1,3,4
Y		5,7,9-12, 14-16
A	--	2,6,8,13
X	US 20040111553 A (KEVIN M. CONLEY), 10 June 2004 (10.06.2004), [0032]-[0033];[0048];[0057]-[0064]	1-4
Y		5,7,9-12, 14-16
A	---	6,8,13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 June 2007		18 -06- 2007
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Bo Gustavsson/MN Telephone No. +46 8 782 25 00

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/IB2006/003398

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	TORU TANZAWA ET AL IEEE JOURNAL OF SOLID-STATE CIRCUITS VOL 37, NO. 11, November 2002. A 44-mm <sup>2</sup> Four-Band Eight-Word Page-Read 65 Mb Flash Memory White Flexible Block Redundancy and Fast Accurate Word-Line Voltage Controller AN 7458922 see paragraph I.II  --	1-16
E	US 20070047329 A1 (MIKOLAJ KOLAKOWSKI ET AL), 1 March 2007 (01.03.2007), [0014]-[0015]; [0023]-[0033]; figure 1,4  --	1-16
P,X	US 20060161725 A1 (CHARLES C. LEE ET AL), 20 July 2006 (20.07.2006), [0021]-[0032]	1-4,12-16
P,A	  -----  --	5-11



## INTERNATIONAL SEARCH REPORT

International application No. PCT/IB2006/003398
--

**International patent classification (IPC)****G06F 12/02** (2006.01)**G11C 16/00** (2006.01)**G11C 16/06** (2006.01)**G11C 8/00** (2006.01)**Download your patent documents at [www.prv.se](http://www.prv.se)**

The cited patent documents can be downloaded at [www.prv.se](http://www.prv.se) by following the links:

- In English/Searches and advisory services/Cited documents (service in English) or
- e-tjänster/anförda dokument (service in Swedish).

Use the application number as username.

The password is **GTYCNSDKVE**.

Paper copies can be ordered at a cost of 50 SEK per copy from PRV InterPat (telephone number 08-782 28 85).

Cited literature, if any, will be enclosed in paper form.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

28/05/2007

International application No.

PCT/IB2006/003398

EP	1063652	A2	27/12/2000	JP	2001023382	A	26/01/2001
				TW	477978	B	00/00/0000
				US	6591327	B	08/07/2003
-----							
US	20040111553	A	10/06/2004	AU	2003293322	A	30/06/2004
				CN	1745433	A	08/03/2006
				EP	1570489	A	07/09/2005
				JP	2006509304	T	16/03/2006
				KR	20050101160	A	20/10/2005
				US	6901498	B	31/05/2005
				US	7149871	B	12/12/2006
				US	20050195661	A	08/09/2005
				US	20070047305	A	01/03/2007
				WO	2004053888	A	24/06/2004
-----							
US	20070047329	A1	01/03/2007	NONE			
-----							
US	20060161725	A1	20/07/2006	NONE			
-----							

## フロントページの続き

(51) Int. Cl. F I テーマコード (参考)  
**G 0 6 F 3/08 (2006.01) G 0 6 F 3/08 C**

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74) 代理人 100122965

弁理士 水谷 好男

(72) 発明者 ジル, イェブゲン

フィンランド国, エフイーエン - 3 3 7 1 0 タンペレ, ケスキセンカツ 1 0 アー 2 2

(72) 発明者 ハーキネン, ユッシ

フィンランド国, エフイーエン - 3 3 7 2 0 タンペレ, オピスケリヤンカツ 3 4 セー 4 7

(72) 発明者 ミリー, キンモ

フィンランド国, エフイーエン - 3 9 1 6 0 ユルクヤルビ, ニエメンクヤ 8 アー

F ターム(参考) 5B018 GA04 HA23 KA18 MA24 NA06

5B035 AA11 BB09 CA29

5B058 CA28 KA08

5B060 AA12 AA16 AB16 MM09

5B065 BA09 CC03 ZA04 ZA14