

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4908202号
(P4908202)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int. Cl. F I
B 8 1 C 3/00 (2006.01) B 8 1 C 3/00
B 8 1 B 3/00 (2006.01) B 8 1 B 3/00

請求項の数 27 (全 26 頁)

(21) 出願番号	特願2006-509406 (P2006-509406)	(73) 特許権者	591245473
(86) (22) 出願日	平成16年3月30日 (2004.3.30)		ロベルト・ボッシュ・ゲゼルシャフト・ミ
(65) 公表番号	特表2006-526509 (P2006-526509A)		ト・ベシュレンクテル・ハフツング
(43) 公表日	平成18年11月24日 (2006.11.24)		ROBERT BOSCH GMBH
(86) 国際出願番号	PCT/US2004/009492		ドイツ連邦共和国デー70442 シュ
(87) 国際公開番号	W02004/109769		トゥットガルト, ヴェルナー・シュトラ
(87) 国際公開日	平成16年12月16日 (2004.12.16)		セ 1
審査請求日	平成19年3月26日 (2007.3.26)	(74) 代理人	100140109
(31) 優先権主張番号	10/454,867		弁理士 小野 新次郎
(32) 優先日	平成15年6月4日 (2003.6.4)	(74) 代理人	100075270
(33) 優先権主張国	米国 (US)		弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男
		(74) 代理人	100096013
			弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】 マイクロ電気機械的装置及びその封緘方法及び製造方法

(57) 【特許請求の範囲】

【請求項 1】

電気機械的装置のチャンバをシールする方法であって、前記電気機械的装置は、基板上に配置された機械構造及び電気コンタクトを備えており、前記機械構造は前記チャンバ内に収容され、前記電気コンタクトは少なくとも一部が前記チャンバの外側に配置される、方法において、

犠牲層を前記機械構造の少なくとも一部の上に付着する工程と、

第1封緘層を前記犠牲層の上に付着する工程と、

前記第1封緘層を貫通する少なくとも1つの開孔を形成し、前記犠牲層の少なくとも一部を除去可能とする工程と、

前記犠牲層の少なくとも一部を除去し、チャンバを形成する工程と、

半導体材料からなる第2封緘層を前記開孔上又は前記開孔内に付着し、前記チャンバをシールする工程とを含み、

前記第1封緘層は、第1の導電性を有する第1領域を形成するように第1の不純物でドーピングされた半導体材料からなり、

前記第2封緘層は、前記第1の導電性と逆の第2の導電性を有する第2領域を形成するように第2の不純物でドーピングされ、

前記電気コンタクトは絶縁接合領域に配置され、当該絶縁接合領域は、前記第1の導電性の前記第1領域と、前記第2の導電性の前記第2領域とにより取り囲まれる、方法。

【請求項 2】

請求項 1 に記載の方法において、前記半導体材料は、多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、ガリウム砒素の 1 つからなる、方法。

【請求項 3】

請求項 2 に記載の方法において、前記第 1 封緘層は、多晶質シリコン、非晶質シリコン、ゲルマニウム、シリコン/ゲルマニウム、ガリウム砒素の 1 つからなる、方法。

【請求項 4】

請求項 1 に記載の方法において、前記第 2 封緘層の露呈された表面を平坦化する工程を更に含む、方法。

【請求項 5】

請求項 1 に記載の方法において、前記第 2 封緘層の露呈された表面を平坦化する工程と、前記第 2 封緘層の少なくとも一部を除去し前記第 1 封緘層を露呈する工程とを更に含む、方法。

【請求項 6】

請求項 1 に記載の方法において、前記第 1 及び第 2 の封緘層を付着する前記工程は、エピタキシャル又は CVD 反応器を使用する工程を含む、方法。

【請求項 7】

請求項 1 に記載の方法において、前記第 1 封緘層は多孔質多晶質シリコン又は非晶質シリコンからなり、前記第 2 封緘層は多晶質シリコンからなる、方法。

【請求項 8】

請求項 1 に記載の方法において、前記第 1 封緘層は、単結晶シリコンからなる第 1 部分と、多晶質シリコンからなる第 2 部分とを備える、方法。

【請求項 9】

請求項 8 に記載の方法において、前記第 2 封緘層の表面を平坦化して前記第 1 封緘層の第 1 部分を露呈させる工程を更に含む、方法。

【請求項 10】

請求項 9 に記載の方法において、前記第 1 封緘層の前記第 1 部分において単結晶シリコンを成長させる工程を更に含む、方法。

【請求項 11】

機械構造及び電気コンタクトを有する電気機械的装置の製造方法であって、前記機械構造は、チャンバ内に有り、前記電気コンタクトは少なくとも一部が前記チャンバの外側に配置され、前記チャンバは流体を収容し、前記流体は前記機械構造を機械的に制動する圧力を有する、方法において、

半導体材料からなる第 1 封緘層を前記機械構造上に付着する工程と、

前記第 1 封緘層に少なくとも 1 つの開孔を形成する工程と、

前記チャンバを形成する工程と、

前記開孔上又は前記開孔内に半導体材料からなる第 2 封緘層を付着し、前記チャンバをシールする工程と

を含み、

前記第 1 封緘層の前記半導体は、第 1 の導電性を持つ第 1 領域を形成するように第 1 不純物でドーピングされ、

前記第 2 封緘層の前記半導体は、前記第 1 の導電性と逆の第 2 の導電性を持つ第 2 領域を形成するように第 2 不純物でドーピングされ、

前記電気コンタクトは絶縁接合領域に配置され、当該絶縁接合領域は、前記第 1 の導電性の前記第 1 領域と、前記第 2 の導電性の前記第 2 領域とにより取り囲まれる、方法。

【請求項 12】

請求項 11 に記載の方法において、前記第 1 封緘層は、多晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、ガリウム砒素の 1 つからなる、方法。

【請求項 13】

請求項 12 に記載の方法において、前記第 2 封緘層は、多晶質シリコン、多孔質多晶質

10

20

30

40

50

シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、ガリウム砒素の1つからなる、方法。

【請求項14】

請求項11に記載の方法において、前記第2封緘層の露呈面を平坦化して前記第1封緘層を露呈させる工程を更に含む、方法。

【請求項15】

請求項11に記載の方法において、前記第1封緘層は、単結晶シリコンからなる第1部分と、多晶質シリコンからなる第2部分とを備えた、方法。

【請求項16】

請求項15に記載の方法において、前記第2封緘層の表面を平坦化して前記第1封緘層の前記第1部分を露呈させる工程を更に含む、方法。

10

【請求項17】

請求項16に記載の方法において、前記第1封緘層の前記第1部分において単結晶シリコンを成長させる工程を更に含む、方法。

【請求項18】

電気機械的装置において、
 少なくとも1つの開孔を有する第1封緘層を備えたチャンバと、
 少なくとも一部が前記チャンバ内に配置された機械構造と、
 少なくとも一部が前記チャンバの外側に配置される電気コンタクトと、
 前記開孔上又は前記開孔内に付着された半導体材料からなる第2封緘層と
 を備え、
 前記第1封緘層は、第1の導電性を持つ第1領域を形成するように第1不純物でドーピングされた半導体材料からなり、

20

前記第2封緘層の半導体材料は、前記第1の導電性と逆の第2の導電性を持つ第2領域を形成するように第2不純物でドーピングされ、

前記電気コンタクトは絶縁接合領域に配置され、当該絶縁接合領域は、前記第1の導電性の前記第1領域と、前記第2の導電性の前記第2領域とにより取り囲まれる、電気機械的装置。

【請求項19】

請求項18に記載の電気機械的装置において、前記第2封緘層は、多晶質シリコン、多孔質多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、ガリウム砒素の1つからなる、電気機械的装置。

30

【請求項20】

請求項19に記載の電気機械的装置において、前記第1封緘層は、多晶質シリコン、多孔質多晶質シリコン、非晶質シリコン、ゲルマニウム、シリコン/ゲルマニウム、ガリウム砒素、シリコンカーバイドの1つからなる、電気機械的装置。

【請求項21】

請求項18に記載の電気機械的装置において、前記コンタクトは、その領域の導電性を高めるように不純物でドーピングされた半導体材料である、電気機械的装置。

【請求項22】

請求項18に記載の電気機械的装置において、前記第1封緘層は、単結晶シリコンからなる第1部分と、多晶質シリコンからなる第2部分とを備える、電気機械的装置。

40

【請求項23】

請求項18に記載の電気機械的装置において、前記第1封緘層は、単結晶シリコンからなる第1部分と、多孔質又は非晶質シリコンからなる第2部分とを備える、電気機械的装置。

【請求項24】

請求項23に記載の電気機械的装置において、前記第1封緘層の前記第2部分と重ねられた前記第2封緘層は、多晶質シリコンからなる、電気機械的装置。

【請求項25】

50

請求項 2 4 に記載の電気機械的装置において、前記チャンバの外側かつ上側に付着された単結晶シリコンからなるフィールド領域を備えた、電気機械的装置。

【請求項 2 6】

請求項 1 に記載の方法において、前記第 1 封緘層は、前記チャンバの壁の少なくとも一部である、方法。

【請求項 2 7】

請求項 2 5 に記載の電気機械的装置において、前記電気コンタクトは前記フィールド領域から絶縁される、電気機械的装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明である。電気機械的装置、及びマイクロ電気機械的装置及びナノ電気機械的装置の製造技術に関し、更に詳細には、1つの特徴では、高性能集積回路を共通の基板上に備えたマイクロ電気機械的装置及びナノ電気機械的装置の製造に関する。

【背景技術】

【0002】

マイクロ電気機械的装置（「MEMS」）、例えばジャイロ스코ープ、共振器、及び加速時計は、機械的構成要素をマイクロ電子装置にほぼ適合するスケールまで小型化するため、マイクロ機械加工技術（即ち、リソグラフィー及び他の精密製造技術）を使用する。MEMSは、代表的には、マイクロ機械加工技術を使用して例えばシリコン基板から又はシリコン基板上に製造した機械構造を含む。

20

【0003】

機械構造は、代表的には、チャンバ内にシールされる。壊れやすい機械構造は、例えば、気密封止された金属製容器（例えばTO-8「缶」；例えば、米国特許第6,307,815号を参照されたい）内にシールされていてもよいし、機械構造を収容又は被覆するためのチャンバを持つ半導体又はガラス状基板に結合されていてもよい（例えば、米国特許第6,146,917号、米国特許第6,352,935号、米国特許第6,477,901号、及び米国特許第6,501,082号を参照されたい）。気密封止された金属製容器の場合には、機械構造が上側又は内側に置かれた基板は、金属製容器内に配置され、又は金属製容器に取り付けられる。気密封止された金属製容器は、更に、主パッケージ

30

【特許文献1】米国特許第6,307,815号

【特許文献2】米国特許第6,146,917号

【特許文献3】米国特許第6,352,935号

【特許文献4】米国特許第6,477,901号

【特許文献5】米国特許第6,501,082号 半導体又はガラス状基板を用いたパッケージ技術の場合には、機械構造の基板を別の基板に結合し、これによってこれらの結合された基板がチャンバを形成し、このチャンバ内に機械構造を置いてよい。このようにして、機械構造の作動環境を制御してもよく、構造自体を例えば不時の接触から保護してもよい。結合された2枚の基板は、MEMS用の主パッケージであってもよいし、そうで

40

【0004】

機械構造を保護するため、気密封止された金属製容器又は結合された半導体又はガラス状基板を使用するMEMSは、対費用効果に優れた方法で高性能集積回路と同じ基板上で一体化するのが困難である。これに関し、高性能集積回路と一体化するのに必要な追加の加工技術は、機械構造を損傷したり壊したりし易い。

【0005】

壊れ易い機械構造を保護するチャンバを形成するための別の技術は、マイクロ機械加工技術（例えば、国際公開された特許出願第WO 01/77008A1号及び第WO 01/77009A1号を参照されたい）を使用する。これに関し、機械構造は、従来の技

50

術（即ち、低温技術（LTO）、テトラエトキシシラン（TEOS）、等を使用した酸化）を使用して付着し又は形成した従来の酸化物（SiO₂）を使用してチャンバ内に封緘される。（例えば、WO 01/77008A1の図2乃至図4参照。）この技術を実施する場合、機械構造はパッケージ及び/又は集積回路との一体化前に封緘される。

【特許文献6】WO 01/77008A1

【特許文献7】WO 01/77009A1 MEMSの機械構造を封緘するために従来の酸化物を使用することは、気密封止された金属製容器又は結合された半導体又はガラス状基板に対して有利であるけれども、従来の技術を使用して付着した従来の酸化物は、多くの場合、例えば隅部や段部のところに大きい引張応力が加わる（即ち、下側の表面に大きな空間的ずれが生じる）。更に、このような酸化物は、多くの場合、下側の表面が大きな空間的ずれを示す場合にこれらの領域の被覆がうまくいかないように形成され又は付着される。更に、従来の酸化物（従来の技術を使用して付着した）は、多くの場合、機械構造が封緘され且つ作動するように設計された環境で負圧が所望である場合、発生する負圧が不十分である。これらの欠点は、MEMSの一体性及び/又は性能に影響を及ぼす。

10

【0006】

更に、従来の技術を使用して付着した従来の酸化物は、封緘プロセス中に機械構造上に薄膜を形成する。この薄膜は、機械構造の一体性に影響を及ぼし、そのため、MEMSの性能又は作動特性（例えば、共振器の作動特性）に影響を及ぼす。

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

とりわけ、（1）従来の材料及び技術の欠点の1つ、幾つか、又は全てを解決し、及び/又は（2）高性能集積回路及び/又は追加のMEMSを共通の基板上で効率的に一体化できるMEMS（例えば、ジャイロスコープ、共振器、温度センサ、及び/又は加速時計）を提供する必要がある。

【課題を解決するための手段】

【0008】

本明細書中、多くの発明を説明し且つ例示する。第1の主要な特徴では、本発明は、機械構造がチャンバ内に配置された電気機械的装置のチャンバをシールする方法である。この方法は、犠牲層を機械構造の少なくとも一部の上に付着する工程、及び第1封緘層（例えば、多晶質シリコン、非晶質シリコン、ゲルマニウム、シリコン/ゲルマニウム、又はガリウム砒素）を犠牲層の上に付着する工程を含む。第1封緘層を通して少なくとも1つの開孔を形成し、犠牲層の少なくとも一部を除去してチャンバを形成する。その後、第2封緘層を開孔上に又は開孔内に付着し、チャンバをシールする。第2封緘層は半導体（例えば、多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、又はガリウム砒素）である。

30

【0009】

本発明のこの特徴の一実施例では、第1封緘層は、第1不純物でドーピングしてあり、第1の種類 of 導電性を持つ第1領域を提供する半導体であり、第2封緘層は第2不純物でドーピングしてあり、第2の種類 of 導電性を持つ第2領域を提供する。第1の種類 of 導電性は第2の種類 of 導電性と逆である。一実施例では、第1及び第2の封緘層は、エピタキシャル又はCVD反応器を使用して付着される。

40

【0010】

この方法は、更に、第2封緘層の露呈された表面を平坦化する工程、及び第2封緘層の十分な量を除去し、これによって第1封緘層を露呈し、接合部（ジャンクション）を絶縁する工程を含む。

【0011】

一実施例では、第1封緘層の第1部分は単結晶シリコンでできており、第2部分は多晶質シリコンでできている。この実施例では、第2封緘層の表面を平坦化し、第1封緘層の第1部分を露呈してもよい。その後、第1封緘層の第1部分で単結晶シリコンを成長して

50

もよい。

【0012】

別の原理的特徴では、本発明は、チャンバ内に機械構造を持つ電気機械的装置の製造方法である。チャンバは、機械構造を機械的に減衰する所定圧力の流体を含んでいてもよい。この方法は、第1封緘層（例えば、多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、又はガリウム砒素等の半導体で形成されている）を機械構造上に付着する工程を含む。次いで、第1封緘層に少なくとも1つの開孔を形成し、チャンバを形成する。その後、第2封緘層（例えば、多晶質シリコン、多孔質多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、又はガリウム砒素等の半導体で形成されている）を開孔上に又はこの開孔内に付着し、チャンバをシールする。

10

【0013】

本発明のこの特徴の一実施例では、第1封緘層は、第1の種類 of 導電性を持つ第1領域を形成するように第1不純物でドーピングしてあり、第2封緘層は、第2の種類 of 導電性を持つ第2領域を形成するように第2不純物でドーピングしてある。第1の種類 of 導電性は第2の種類 of 導電性とは逆である。第1及び第2の封緘層は、エピタキシャル又はCVD反応器を使用して付着できる。

【0014】

一実施例では、第1封緘層の第1部分は単結晶シリコンであり、第2部分は多晶質シリコンである。この実施例では、第2封緘層の表面を平坦化し、第1封緘層の第1部分を露呈してもよい。その後、第1封緘層の第1部分で単結晶シリコンを成長してもよい。

20

【0015】

別の重要な特徴では、本発明は、少なくとも1つの開孔を持つ第1封緘層（例えば、多晶質シリコン、多孔質多晶質シリコン、非晶質シリコン、ゲルマニウム、シリコン/ゲルマニウム、ガリウム砒素、窒化シリコン、又はシリコンカーバイド）を含むチャンバ、及び少なくとも一部がチャンバ内に配置された機械構造を含む。電気機械的装置は、更に、開孔上又は開孔内に配置され、これによってチャンバをシールする半導体（例えば、多晶質シリコン、多孔質多晶質シリコン、非晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、ゲルマニウム、又はガリウム砒素）でできた第2封緘層を含む。

【0016】

一実施例では、第1封緘層は、第1の種類 of 導電性を持つ第1領域を形成するように第1不純物でドーピングした半導体である。第2封緘層は、第2の種類 of 導電性を持つ第2領域を形成するように第2不純物でドーピングしてある。第1の種類 of 導電性は第2の種類 of 導電性とは逆である。

30

【0017】

本装置は、チャンバの外側に配置されたコンタクト（即ち、一部又は全部がチャンバの外側に配置されたコンタクト領域及び/又はコンタクトビア（contact via））を更に含む。コンタクトは、領域の導電性を高めるため、不純物でドーピングした半導体であってもよい。コンタクトは、第1の種類 of 導電性を持つ半導体で取り囲まれていてもよく、第1の種類 of 導電性を持つ半導体が、組み合わせられて接合部の絶縁体を形成する。

40

【0018】

本発明のこの特徴の装置は、単結晶シリコンで形成された第1封緘層の第1部分を含んでいてもよく、第2部分は、多晶質シリコンで形成されている。更に、本発明は、チャンバの外側に及び上側に付着したフィールド領域を含んでいてもよく、このフィールド領域は単結晶シリコンで形成されている。

【0019】

一実施例では、第1封緘層の第1部分は単結晶シリコンで形成されていてもよく、第2部分は多孔質又は非晶質のシリコンで形成されていてもよい。この実施例では、第1封緘層の第1部分と重なった第2封緘層は、多晶質シリコンである。

【0020】

50

以下の詳細な説明において添付図面を参照する。これらの図は本発明の様々な特徴を示し、適当である場合には、様々な図に亘って同じ参照番号が、同様の構造、構成要素、材料、及び/又はエレメントに付してある。特定的に図示した以外の様々な組み合わせ構造、構成要素、材料、及び/又はエレメントが考えられ、これらが本発明の範疇に含まれるということは理解されるべきである。

【発明を実施するための最良の形態】

【0021】

多くの発明をここに説明し、例示する。1つの特徴では、本発明は、最終パッケージ及び/又は装置の完成前にMEMS装置、及び機械構造がチャンバに封緘されたMEMS装置の組み立て又は製造技術に関する。機械構造を封緘する材料は、以下に列挙する属性のうちの一つ又はそれ以上を含んでいてもよい。即ち、引張応力が低く、段部を良好に覆い、続いてプロセスが行われる場合に一体性を維持し、チャンバ内の機械構造の性能特性に大きな影響及び/又は悪影響を及ぼさず（付着中、形成中、及び/又は成長中に材料でコーティングした場合）、設計された、適当な、及び/又は適当な封緘属性を作動条件及び/又は時間に亘って維持し、及び/又は高性能集積回路との一体化を容易にする。一実施例では、機械構造の封緘は、半導体、例えばシリコン（例えば、ドーピングした又はドーピングしていない、単結晶シリコン、多晶質シリコン、非晶質シリコン、又は多孔質多晶質シリコン）、ゲルマニウム、シリコン-ゲルマニウム、シリコンカーバイド、又はガリウム砒素、又はこれらの組み合わせによって行われる。このような材料は、MEMSの代表的な作動状態及び使用寿命に亘り、以下の属性のうちの一つ又はそれ以上を維持してもよい。

【0022】

図1を参照すると、1つの例示の実施例では、MEMS10は、微小機械加工を施した機械構造12を含む。この構造は基板14、例えばドーピングがなされていない半導体等の材料、ガラス等の材料、又は絶縁体等の材料上に配置される。MEMS10は、更に、微小機械加工を施した機械構造12が発生した情報を演算処理し且つ分析し、及び/又は微小機械加工を施した機械構造12を制御し又は監視するデータ処理電子装置16を含む。更に、MEMS10は、微小機械加工を施した機械構造12及び/又はデータ処理電子装置16から、情報を、外部装置（図示せず）、例えばコンピュータ、インジケータ/ディスプレイ及び/又はセンサに提供するインターフェース回路18を含む。

【0023】

データ処理電子装置16及び/又はインターフェース回路18は、基板14内又は基板上に一体化されていてもよい。これに関し、MEMS10は、機械構造12、データ処理電子装置16、及びインターフェース回路18を含むモノリシック構造であってもよい。データ処理電子装置16及び/又はインターフェース回路18は、更に、別体の別個の基板に設けられていてもよく、この基板を、製造後に基板14に結合してもよい。

【0024】

図2を参照すると、一実施例において、微小機械加工を施した機械構造12は、基板14上に、基板14上方に、及び/又は基板14内に配置した機械構造20a-dを含む。これらの機械構造20a-dは、例えば、周期表のIV族の材料、例えばシリコン、ゲルマニウム、炭素；更に、これらの組み合わせ、例えばシリコン-ゲルマニウム又はシリコンカーバイド；更に、III-V族の化合物、例えばガリウム燐、アルミニウムガリウム燐、又は他のIII-V族の化合物；更に、III族、IV族、V族、又はVI族の材料の組み合わせ、例えば窒化シリコン、シリコン酸化物、アルミニウムカーバイド、又はアルミニウム酸化物；更に、金属のシリサイド、ゲルマニウム化合物、及びカーバイド、例えばニッケルシリサイド、コバルトシリサイド、タングステンカーバイド、又はプラチナゲルマニウムシリサイド；更に、燐、砒素、アンチモン、硼素、又はアルミニウムでドーピングしたシリコン、又はゲルマニウム、炭素を含む、ドーピングを施したもの、又はシリコンゲルマニウム等の組み合わせ；更に、単晶質、多晶質、ナノ結晶質、又は非晶質を含む様々な結晶構造を持つこれらの材料；更に、結晶構造の組み合わせ、例えば単晶質構

10

20

30

40

50

造を持つ領域及び多晶質構造を持つ領域（ドーピングした又はドーピングしていない）の組み合わせで形成されていてもよい。

【0025】

更に、微小機械加工を施した機械構造12は、加速時計、ジャイロ스코ープ、又は他のトランスジューサー（例えば、圧力センサ、歪みセンサ、触覚センサ、磁気センサ、及び/又は温度センサ）又は共振器であってもよい。微小機械加工を施した機械構造12は、更に、加速時計、ジャイロ스코ープ、圧力センサ、触覚センサ、及び温度センサのうちの1つ又はそれ以上を含む複数のトランスジューサー又はセンサでできた機械構造を含んでもよい。微小機械加工を施した機械構造12が加速時計である場合には、機械構造20a-dは、加速時計の検出装置を構成するインターディジタル電極アレイ即ち櫛状フィンガ電極アレイの一部であってもよい（例えば、米国特許第6,122,964号を参照されたい）。

10

【0026】

図2を参照し続けると、フィールド領域22a及び22b、及びコンタクト領域24が、更に、基板14上に又は基板内に配置されている。フィールド領域22は、データ処理電子装置16及び/又はインターフェース回路18の電子部品、電気部品、又は集積回路（例えばトランジスタ、抵抗器、コンデンサー、インダクター、及び他の受動素子又は能動素子）用の基板材料を提供してもよい。コンタクト領域24は、微小機械加工を施した機械構造12、データ処理電子装置16、インターフェース回路18、及び/又は外部装置（図示せず）の間に電氣的経路を提供してもよい。フィールド領域22及びコンタクト領域24は、例えば、シリコン（ドーピングされた、又はドーピングがなされていない）、ゲルマニウム、シリコン/ゲルマニウム、シリコンカーバイド、及びガリウム砒素でできていてもよい。

20

【0027】

図3は、機械構造20a-dを含む、本発明の一実施例による微小機械加工を施した機械構造12の破線a-a'に沿った断面図を示す。機械構造20a-dはチャンバ26内に配置されている。一実施例では、チャンバ26は封緘層28a及び28bによってシールされており、即ち封緘されている。

【0028】

封緘層28a及び28bは、例えば半導体でできていてもよい。一実施例では、封緘層28a及び28bは、シリコン（ドーピングした又はドーピングしていない、単結晶シリコン、多晶質シリコン、非晶質シリコン、又は多孔質多晶質シリコン）、ゲルマニウム、シリコン/ゲルマニウム、シリコンカーバイド、及びガリウム砒素（及びこれらの組み合わせ）でできていてもよい。封緘層28a及び28bは、同じ材料であってもよいし異なる材料であってもよい。

30

【0029】

封緘層28a及び28bは、同じ又は異なる技術を使用して付着させ、形成し、及び/又は成長してもよい。例えば、封緘層28aは、低圧（「LP」）化学蒸着（「CVD」）プロセス（チューブ又はEPI反応器中で行う）又はプラズマ（「PE（plasma enhanced）」）CVDプロセスを使用して付着した多晶質シリコンであってもよく、封緘層28bは、大気圧（「AP」）CVDプロセスを使用して付着したドーピングした多晶質シリコンであってもよい。別の態様では、例えば、封緘層28aは、LPCVDプロセスを使用して付着したシリコンゲルマニウムであってもよく、封緘層28bは、PECVDプロセスを使用して付着したドーピングした多晶質シリコンであってもよい。確かに、チャンバ26を封緘するための全ての半導体及び付着技術及びその組み合わせは、現在周知であろうと後に開発されようと、本発明の範疇に含まれる。

40

【0030】

1つ又はそれ以上のトランスジューサー又はセンサ（例えば、加速時計、ジャイロ스코ープ、圧力センサ、触覚センサ、及び/又は温度センサ）の機械構造は単一のチャンバ内に収容され即ち含まれていて、そのチャンバ内の環境に露呈されていてもよいということ

50

に着目されたい。こうした状況では、チャンバ 26 内の環境が、微小機械加工を施した 1 つ又はそれ以上の機械構造（例えば、加速時計、圧力センサ、触覚センサ、及び / 又は温度センサ）の機械構造に対して機械的減衰を提供する。

【0031】

更に、1 つ又はそれ以上のトランスジューサー又はセンサの機械構造は、垂直方向及び / 又は水平方向に積み重ねられた即ち相互連結された多数の層をそれ自体が含んでいてもよい。（例えば、図 11 の A の微小機械加工を施した機械構造 12 b ; 図 11 の B 及び図 11 の C の機械構造 12 ; 及び図 11 の D の機械構造 20 a 及び 20 b、コンタクト領域 24 a 及び 24 b、及び埋め込み接点 24' 及び 24'' を参照されたい）。かくして、この状況では、多数の層を垂直方向及び / 又は水平方向で積み重ね及び / 又は相互連結する 1 つ又はそれ以上の加工工程を使用して機械構造を製造する。

10

【0032】

図 4 の A 及び図 4 の B を参照し、微小機械加工を施した機械構造 12 の例示の組み立て又は製造方法を説明する。この説明は、第 1 犠牲層 30、例えば二酸化シリコン又は窒化シリコンに配置された機械構造 20 a - d 及びコンタクト領域 24 を含む、部分的に組み立てられた状態から始める。機械構造 20 a - d 及びコンタクト領域 24 は、周知の付着、リソグラフィ、エッチング、及び / 又はドーピング技術、並びに周知の材料（例えば、シリコン、ゲルマニウム、シリコン - ゲルマニウム、又はガリウム砒素等の半導体）を使用して形成されていてもよい。更に、フィールド領域 22 a 及び 22 b 及び第 1 犠牲層 30 は、絶縁体層上にシリコン層を形成する周知の SOI 技術（図 4 の A 参照）、又は標準的な又はオーバーサイズ（「厚い」）ウェーハを使用する周知の形成、リソグラフィ、エッチング、及び / 又は付着技術（図 4 の B 参照）を使用して形成されてもよい。特に、フィールド領域 22 a 及び 22 b、機械構造 20、及びコンタクト領域 24 は、図 4 の A に示すように単晶構造（例えば単結晶シリコン）を備えていてもよく、多晶質構造、又は図 4 の B に示すように単晶構造又は多晶質構造の両方を備えていてもよい（即ち、フィールド領域 22 a 及び 22 b は単晶構造、例えば単結晶シリコンでできていてもよく、機械構造 20 及びコンタクト領域 24 は多晶質構造、例えば多晶質シリコンでできていてもよい。確かに、第 1 犠牲層 30 上に配置された機械構造 20 a - d 及びコンタクト領域 24 を含む部分的に形成された装置を作り出すための全ての技術、材料、及び結晶構造は、現在周知であろうと後に開発されようと、本発明の範疇に含まれる。

20

30

【0033】

図 4 の C を参照すると、機械構造 20 a - d 及びコンタクト領域 24 の形成後、第 2 犠牲層 32、例えば二酸化シリコン又は窒化シリコンを付着し及び / 又は形成し、機械構造 20 a - d を、封緘プロセスを含むこれに続いて行われるプロセス中に固定し、離間し、及び / 又は保護する。更に、これに続いて電気接点を形成するため、第 2 犠牲層 32 に開口部 34 をエッチングし即ち形成する。開口部 34 は、第 2 犠牲層 32 の付着及び / 又は形成の前又はその最中に例えば周知のマスキング技術（ナイトライド（窒化物）マスク）を使用して形成されてもよいし、第 2 犠牲層 32 の付着及び / 又は形成後に周知のリソグラフィ技術及びエッチング技術を使用して形成されてもよい。

【0034】

図 4 の D、図 4 の E、及び図 4 の F を参照すると、その後、第 2 犠牲層 32 上に第 1 封緘層 28 a を付着し、形成し、及び / 又は成長させてもよい（図 4 の D 参照）。一実施例では、第 2 犠牲層 32 と重なる領域での第 1 封緘層 28 a の厚さは 1 μm 乃至 25 μm であってもよい。第 2 犠牲層 32 のエッチング後に第 1 封緘層 28 a に作用する外部環境からの応力及び内部応力は、第 1 封緘層 28 a の厚さに影響を及ぼす。僅かな引張応力が加わったフィルムは、それ自体、圧縮力が加わったフィルムよりも良好に支持される。圧縮力が加わったフィルムは挫屈する場合がある。

40

【0035】

第 1 封緘層 28 a をエッチングし、通路又は開孔 36 を形成してもよい（図 4 の E 参照）。1 つの例示の実施例では、開孔の直径即ち孔径は 0.1 μm 乃至 2 μm である。

50

開孔 36 は、第 1 及び第 2 の犠牲層 30 及び 32 の夫々の少なくとも選択された部分のエッチング及び/又は除去を行うことができる(図 4 の F 参照)。例えば、一実施例では、第 1 及び第 2 の犠牲層 30 及び 32 は、二酸化シリコンでできており、これらの層 30 及び 32 の選択された部分の除去/エッチングを周知の湿式エッチング技術及び緩衝 HF 混合物(即ち緩衝酸化エッチング)又は HF 蒸気を使用する周知の蒸気エッチング技術を使用して行うことができる。機械構造 20 a - d 及び犠牲層 30 及び 32 の適正な設計及び HF エッチングプロセスパラメータにより、機械エレメント 20 a - d の周囲の犠牲層 30 を全て又はほぼ全て除去し、これによってエレメント 20 a - d を解放し、これによって MEMS 10 を適正に作動できるようにするのに十分に犠牲層 30 をエッチングできる。

10

【0036】

別の実施例では、第 1 及び第 2 の犠牲層 30 及び 32 は窒化シリコンでできており、層 30 及び 32 の選択された部分を燐酸を使用して除去/エッチングする。この場合も、機械構造 20 a - d 及び犠牲層 30 及び 32 の適正な設計及び湿式エッチングプロセスの制御により、機械エレメント 20 a - d の周囲の犠牲層 30 を全て又はほぼ全て除去するのに十分に犠牲層 30 をエッチングできる。

【0037】

犠牲層 30 及び/又は 32 をなくし、除去し、及び/又はエッチングする上で、(1) 層 30 及び/又は 32 用の多くの適当な材料(例えば、二酸化シリコン、窒化シリコン、及びドーピングした又はドーピングしていないガラス状材料、例えばホスホシリケート(「PSG」)又はボロホスホシリケート(「BPSG」))及びスピノンガラス(「SOG」)、(2) 多くの適当な/関連したエッチング剤(例えば、緩衝オキシドエッチ、燐酸及び例えば NaOH 及び KOH 等のアルカリ水酸化物)、及び(3) 多くの適当なエッチング又は除去技術(例えば、湿式エッチング、プラズマエッチング、蒸気エッチング、又は乾式エッチング)があるということに着目されたい。確かに、層 30 及び/又は 32 は、ドーピングした又はドーピングしていない半導体(例えば多晶質シリコン、シリコン/ゲルマニウム、又はゲルマニウム)であってもよく、こうした場合には、機械構造 20 a - d 及びコンタクト領域 24 は、エッチングプロセス又は除去プロセスによる悪影響が機械構造 20 a - d 及びコンタクト領域 24 に作用しない場合(例えば、構造 20 a - d 及びコンタクト領域 24 がエッチングプロセス又は除去プロセス中に保護されている(例えば酸化物層がシリコンを基材とした構造 20 a - d を保護している)場合、又は構造 20 a - d 及びコンタクト領域 24 が層 30 及び/又は 32 のエッチングプロセス又は除去プロセスによる悪影響を受ける材料で形成されている場合)には、同じ又は同様の(同様に加工された、エッチングが施された、又は除去された)半導体である。従って、なくし、除去し、及び/又はエッチングを行うための全ての材料、エッチング剤及びエッチング技術、及びこれらの組み合わせは、現在周知であろうと後に開発されようと、本発明の範疇に含まれる。

20

30

【0038】

更に、特定の実施例では、開孔の形成に加え、第 1 封緘層 28 a のエッチングプロセスにより、更に、コンタクトビア 38 を形成し、電気コンタクト領域 24 から第 1 封緘層 28 a のレベルまで又はその上方までの電氣的連続性を促すということに着目されたい(図 4 の F 参照)。このようにして、例えば、電気コンタクト領域 24 と重なる第 1 封緘層 28 a の部分の除去、及び適当な材料の付着、形成、及び/又は成長(これにより MEMS の様々な層、例えば単結晶シリコン間に適切な電気コンタクトを提供する)と関連した加工等の追加の加工をなくし及び/又は少なくすることができる。確かに、周知の不純物インプラネーション技術を使用してコンタクトビア 38 の抵抗又は導電性を調節(例えば抵抗を下げ、及び/又は導電性を向上する)してもよい。

40

【0039】

更に、コンタクト 24 は、第 1 及び第 2 の犠牲層 30 及び/又は 32 によって一部が、実質的に、又は全体が取り囲まれたままであってもよい。例えば、図 4 の F を参照すると

50

、機械構造 20 a - d は夫々の下側からオキシドコラムがなくならないけれども、電気コンタクト領域 24 の下の犠牲層 30 のコラム 40 が電気コンタクト領域 24 に追加の物理的支持並びに電気絶縁を提供する。

【0040】

図 4 の G を参照すると、機械エレメント 20 a - d の解放後、第 2 封緘層 28 b の付着、形成、及び / 又は成長を行ってもよい。第 2 封緘層 28 b は、例えば、シリコンを基材とした材料（例えば多晶質シリコン又はシリコン - ゲルマニウム）であってもよく、これは、例えば、エピタキシャル、スパッタリング、又は CVD を用いる反応器（例えば APCVD、LPCVD、及び PECVD）を使用して付着される。付着、形成、及び / 又は成長は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。材料は、第 1 封緘層 28 a と同じであってもよいし異なってもよい。しかしながら、第 1 及び第 2 の封緘層 28 a 及び 28 b の形成に同じ材料を使用するのが有利である。この場合、例えば、熱膨張率が同じであり、これらの層 28 a と 28 b との間の境界がチャンバ 26 の「シール」を高める。

10

【0041】

－実施例では、第 2 封緘層 28 b は、エピタキシャル反応器及び従来の選択的エピタキシャルシリコン成長と同様の条件を使用してエピタキシャル付着させてもよい。これは、シラン、ジクロロシラン、又はトリクロロシランプロセスで H₂ ガス及び / 又は HCl ガスで行ってもよい。これらのプロセスは、代表的には、600 乃至 1400 で行われる。

20

【0042】

－実施例では、第 2 封緘層 28 b の、第 1 封緘層及びエレメント 20 a - d と重なる領域の厚さは、1 μm 乃至 10 μm であってもよい。確かに、機械構造 12 を含む MEMS 10 が経時的にスケールを変え、そして様々な及び / 又は異なる材料が使用されるため、第 1 封緘層 28 a、第 2 封緘層 28 b、及びその組み合わせの適当な又は必要な厚さが、同様に变化する。このように、第 1 封緘層 28 a の厚さと第 2 封緘層 28 b の厚さとの間で 1 : 1 乃至 1 : 10 の比が有利である。しかしながら、この他の比及び厚さが明瞭に適しているということに着目されたい（図 7 の A、図 7 の B、及び図 8 の A 乃至 E を参照されたい）。

【0043】

第 2 封緘層 28 b は、第 1 封緘層 28 a の不純物に対して逆の導電性を持つ不純物でドーピングされていてもよい。例えば、第 1 封緘層 28 a は硼素でドーピングされていてもよく、第 2 封緘層 28 b は磷でドーピングされていてもよい。この方法では、シールプロセス即ち封緘プロセスが完了したとき、電気コンタクト領域 24 を取り囲む接合部が形成され、これらの接合部がコンタクト領域 24 を例えばフィールド領域 22 b から電氣的に「絶縁」する。

30

【0044】

コンタクト領域 24 の近くにこの領域と隣接して及び / 又はこの領域の周囲に配置された第 2 封緘層 28 b の部分にも、付着、形成、及び / 又は成長の後にイオンインプラントレーションが加えられてもよい。このようにして、電気「絶縁」性を低下させたり高めたりできる。第 2 封緘層 28 b が不純物ドーパントなしで付着及び / 又は形成されている場合、イオンインプラントレーションが、コンタクト領域 24 と例えばフィールド領域 22 b との間の主要な電気絶縁の全て又はほぼ全てを提供する。確かに、こうした場合には、第 2 封緘層 28 b がフィールド領域に亘って延びている場合又はフィールド領域間を延びている場合（これによってこれらの間を電氣的に接続している場合）、コンタクト領域 24 の近くにこの領域と隣接して及び / 又はこの領域の周囲に配置された第 2 封緘層 28 b のイオンインプラントレーション（ドーピングした第 2 封緘層 28 b のドーピング又はカウンタドーピング）が、コンタクト領域 24 と例えばフィールド領域 22 b との間の電気絶縁の全て又はほぼ全てを提供する。

40

【0045】

50

図5のAを参照すると、別の実施例の組では、微小機械加工を施した機械構造12は、例えば研磨技術(例えば、化学的機械的研磨(「CMP」))を使用して実質的に平坦化されていてもよい。これに関し、第2封緘層28bが第1封緘層28aを越えるレベルまで付着され、形成され、及び/又は成長した場所で、平坦化プロセスにより第2封緘層28bの一部を除去し、「滑らかな」表面層及び/又は(実質的に)平らな表面を形成する。コンタクトビア38が、逆にドーピングした半導体層28bによって、第1封緘層28aに対して電氣的に絶縁される(図5のA参照)ように、十分な量の第2封緘層28bを除去するのが有利である。この露呈された平らな表面は、更に、良好に形成されたベースを(例えばフィールド領域22に)提供し、このベース上で集積回路(例えばCMOSトランジスタ)及び微小機械加工を施した機械構造12を周知の製造技術及び機器を使用して製造できる。

10

【0046】

MEMS10の高性能の集積回路の一体化を容易にするため、内部又は上側にこのような回路を製造できる単結晶シリコン製のフィールド領域22a及び/又は22bを含むのが有利である。これに関し、図5のBを参照すると、一実施例では、フィールド領域22a1及び/又は22b1と重なった第1封緘層の一部(即ち22a2及び22b2)を再結晶し、これによって多晶質材料の結晶構造を単晶材料又は実質的単晶材料の構造に「変換」即ち転位する。このようにして、例えばMEMS10で一体化されたデータ演算処理電子装置16のトランジスタ又は他の構成要素を単晶フィールド領域に製造できる。

【0047】

20

別の実施例では、フィールド領域22a1及び/又は22b1と重なった第1封緘層28aの部分を従来のエッチング技術を使用して除去し、フィールド領域22a1及び/又は22b1を露呈する。その後、単結晶シリコンがフィールド領域22a1及び/又は22b1上で成長し、これによってフィールド領域22a2及び22b2を提供する。

【0048】

更に別の実施例では、フィールド領域22a1及び/又は22b1と重なった第1封緘層28aの部分をエッチングし、単結晶シリコンでできたフィールド領域22a1及び/又は22b1を露呈する。その後、トランジスタ又は他の能動素子を周知の製造技術を使用してフィールド領域22a及び/又は22b内に又はその上に一体化してもよい。

【0049】

30

図6のA乃至Fを参照すると、別の実施例の組では、第1封緘層28aの付着、形成、及び/又は成長の前に、これと同時に、又は直後に、微小機械加工を施したフィールド領域22a2及び22b2が成長してもよい。例えば、図6のAを参照すると、第2犠牲層32の付着又は形成の前、又はその後に、エピタキシャルで付着した、単結晶シリコンフィールド領域22a2及び22b2の封緘層を第2犠牲層32よりも上の又はこれを越えるレベルまで成長させてもよい。別の態様では、単結晶シリコンフィールド領域22a2及び22b2は、第2犠牲層32よりも上の又はこれを越えるレベルまで成長しない。

【0050】

図6のBを参照すると、一実施例では、単結晶シリコンフィールド領域22a2及び22b2(及びコンタクト領域24)の成長後、第1封緘層28aを付着し、形成し、及び/又は成長してもよい。第1封緘層28aは、例えば、シリコンを基材とした材料(例えばドーピングした又はドーピングがなされていない、シリコン/ゲルマニウム、シリコンカーバイド、単結晶シリコン、多晶質シリコン、又は非晶質シリコン)、ゲルマニウム、及びガリウム砒素(及びその組み合わせ)であってもよく、例えばエピタキシャル、スパッタリング、又はCVDを用いる反応器(例えばAPCVD、LPCVD、及びPECVD)を使用して付着及び/又は形成される。付着、形成、及び/又は成長は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。材料は、第1単結晶シリコンフィールド領域22a2及び22b2と同じであってもよいし異なってもよい。例示の実施例では、第1封緘層28aは多晶質シリコン材料で形成されている。

40

50

【 0 0 5 1 】

微小機械加工を施した機械構造 1 2 の、これに続いて行われる加工は、図 4 の E - G に関して上文中に説明したのと実質的に同じである。このように、微小機械加工を施した機械構造 1 2 に関する、図 4 の E - G と関連した上文中の説明は、この実施例の組に完全に適用できる。簡潔のため、説明を繰り返すのを控えるが、簡単に述べる。

【 0 0 5 2 】

簡単に述べると、第 1 封緘層 2 8 a にエッチングを加え（図 6 の C 参照）、第 1 及び第 2 の犠牲層 3 0 及び 3 2 の夫々の少なくとも選択された部分のエッチング及び / 又は除去を行うための通路即ち開孔 3 6 を形成する（図 6 の D 参照）。この場合も、機械構造 2 0 a - d 及び犠牲層 3 0 及び 3 2 を適当に設計するため、エッチングプロセスのパラメータを制御することにより、機械エレメント 2 0 a - d の周囲の層 3 0 を全て又はほぼ全て除去するのに十分に犠牲層 3 0 をエッチングでき、これにより、機械エレメント 2 0 a - d を解放し、MEMS 1 0 が適正に作動できるようにする（図 6 の D 参照）。

【 0 0 5 3 】

機械エレメント 2 0 a - d の解放後、第 2 封緘層 2 8 b を付着し、形成し、及び / 又は成長する（図 6 の E 参照）。第 2 封緘層 2 8 b は、例えば、シリコンを基材とした材料（例えば、単結晶シリコン、多晶質シリコン、及び / 又はシリコン - ゲルマニウム）であってもよく、これは、例えば、エピタキシャル、スパッタリング、又は CVD を用いる反応器（例えば APCVD、LPCVD、及び PECVD）を使用して付着される。付着、形成、及び / 又は成長は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。材料は、第 1 封緘層 2 8 a と同じであってもよいし異なってもよい。しかしながら、上文中に説明したように、チャンバ 2 6 の「シール」を高めるため、第 1 及び第 2 の封緘層 2 8 a 及び 2 8 b を形成するのと同じ材料を使用するのが有利である。

【 0 0 5 4 】

第 2 封緘層 2 8 b の下の材料及び / 又は表面、並びに第 1 及び第 2 の封緘層 2 8 b の付着、形成、及び / 又は成長に使用される技術は、先ず最初に、下側の材料の結晶構造を確認するという点に着目されたい。例えば、所定のパラメータの組を持つエピタキシャル環境では、封緘層 2 8 a 及び / 又は 2 8 b の単晶構造を「再処理」的に付着、形成、及び / 又は成長させてもよい（図 7 の A 参照）。これとは対照的に、別の所定のパラメータ組では、封緘層 2 8 a 及び / 又は 2 8 b の単晶構造を「アドバンシング」的に付着、形成、及び / 又は成長させてもよい（図 7 の B 参照）。以上説明した構造及びエレメントは、これらの及び他の方法で付着、形成、及び / 又は成長させてもよい。従って、単晶構造を持つ材料（例えばフィールド領域 2 2 a 1）に付着、形成、及び / 又は成長させた単晶構造（例えばフィールド領域 2 2 a 2）を、使用される方法又はプロセスに拘わらず、垂直方向（例えば図 7 の C 参照）に付着、形成、及び / 又は成長するものとして概略に例示する。

【 0 0 5 5 】

更に、チャンバをシール又は封緘するとき、第 2 封緘層 2 8 b を形成する材料をチャンバ 2 6 の表面（例えば、機械構造 2 0 a - d の表面）に付着、形成、及び / 又は成長してもよいということに着目すべきである。第 2 封緘層 2 8 b を付着、形成、及び / 又は成長するとき、構造及び / 又はチャンバ 2 6 内の表面の所望の一体性を保存するように注意を払わなければならない。

【 0 0 5 6 】

上述のように、特定の実施例では、第 2 封緘層 2 8 b を第 1 封緘層 2 8 a の不純物に対して逆の導電性を持つ不純物でドーピングする。このようにして、シールプロセス即ち封緘プロセスの完了時に電気コンタクト領域 2 4 を取り囲む接合部が形成され、これらの接合部によりコンタクト領域 2 4 を例えばフィールド領域 2 2 b から電氣的に「絶縁」する。

【 0 0 5 7 】

更に、上述のように、別の実施例の組では、第2封緘層28bを第1封緘層28aを越えるレベルまで付着、形成、及び/又は成長させる場合、露呈された表面を、例えば研磨技術(例えばCMP)を使用して実質的に平らにするのが有利である。平坦化プロセスは、第2封緘層28bの一部を除去し、「滑らかな」表面層及び/又は(実質的に)平らな表面を形成する。確かに、平坦化プロセスは、逆にドーピングされた半導体層28bのリングによってコンタクトビア38を電氣的に絶縁するように、第2封緘層28bの十分な部分を除去する(図6のF参照)。この場合も、上述のように、この露呈された平らな表面は、更に、良好に形成されたベースを提供する。このベース上に、集積回路(例えばCMOSトランジスタ)及び/又は微小機械加工を施した機械構造12が、周知の製造技術及び機器を使用して製造される。

10

【0058】

図示のように、単結晶シリコンフィールド領域22b2がコンタクト領域24上に及びその上方に成長する。別の実施例では、フィールド領域22b2はコンタクト領域24上に及びその上方に成長しない。この実施例では、コンタクトビア38が、単結晶シリコンでなく、主として多晶質シリコンで形成されている。更に、上文中に説明したように、コンタクトビア38はこのコンタクトビア38を形成する材料の導電性を高めるために不純物でドーピングしてある。

【0059】

図8のA乃至Eを参照すると、別の実施例の組では、第1封緘層28aは透過性であってもよいし、半透過性であってもよい(例えば、スパッタリングした多晶質シリコン又は多孔質CVD及び/又はエピタキシャル付着した多晶質シリコン)。この実施例の組では、層28aを形成する透過性又は半透過性材料を通して層30及び32のエッチングプロセス又は除去プロセスを行うことができる。その後、第2封緘層28b(例えば多晶質シリコン)を第1封緘層28a上に付着、形成、及び/又は成長するとき、材料が第1封緘層28aの小孔内に移動し、これを充填し、及び/又は満たす。この状況で、第2封緘層28bの付着、形成、及び/又は成長中、比較的少量の材料がチャンバ26内の構造の表面に付着してもよい。このように、チャンバ26が第1封緘層28aの上面(即ち、付着、形成、及び/又は成長プロセスに最初に露呈された表面-図8のDを参照されたい)に向かって「シール」され即ち封緘される。

20

【0060】

例えば、一実施例では、透過性又は半透過性材料は、厚さが0.1µm乃至2µmのスパッタリングした多晶質シリコン又は多孔質CVD付着多晶質シリコンである。層30及び32のエッチング及び/又は除去を行った後、第2封緘層28bの厚さは5µm乃至25µmであってもよい。

30

【0061】

図8のCを参照すると、アニーリングプロセスを使用して第1封緘層28aを構成する材料を高密度化し、これによって「閉鎖」し、チャンバ26を「シール」してもよい。即ち、この実施例では、第1及び第2の犠牲層30及び32をエッチングした後、微小機械加工を施した機械構造12を熱処理することにより、層28aの材料を高密度化することによって、チャンバをシールし即ち封緘する。このように、第2封緘層28bはチャンバ26を最初にシールする上で必ずしも必要ではない。

40

【0062】

図8のEを参照すると、一実施例では、チャンバ26の封緘プロセスに三つ又はそれ以上の封緘層が含まれていてもよい。第2封緘層28b及び第3封緘層28c(又はこれに続く/追加の層)の付着、形成、及び/又は成長を行い、チャンバ26を「シール」する。詳細には、第2封緘層28bは、例えば半導体(例えばシリコン、シリコンカーバイド、シリコン-ゲルマニウム、又はゲルマニウム)、又は金属支承材料(例えばシリサイド又はTiW)であってもよく、これは、例えば、エピタキシャル、スパッタリング、又はCVDを用いる反応器(例えばAPCVD、LPCVD、及びPECVD)を使用して付着される。付着、形成、及び/又は成長は、形態一致プロセスによって行われてもよいし

50

又は非形態一致プロセスによって行われてもよい。封緘層 28 b を構成する材料は、第 1 封緘層 28 a と同じであってもよいし異なってもよい。

【 0 0 6 3 】

その後、第 3 封緘層 28 c の付着、形成、及び / 又は成長を行ってもよい (図 8 の E 参照) 。第 3 封緘層 28 c は、チャンバ 26 を「シール」し、又は閉鎖し、又は更に完全に「シール」する。第 3 封緘層 28 c の付着、形成、及び / 又は成長は、封緘層 28 a 及び / 又は 28 b と同じであってもよく、実質的に同様であってもよく、又は異なってもよい。これに関し、第 3 封緘層 28 c は、例えば、半導体、絶縁体 (例えば窒化シリコン又はシリコン酸化物) 、プラスチック (例えばフォトレジスト又は低 K 誘電体) 又は金属支承材料でできていてもよい。第 3 封緘層 28 c は、例えば、エピタキシャル、スパッタリング、又は CVD を用いる反応器 (例えば APCVD、LPCVD、及び PECVD) を使用して付着、形成、及び / 又は成長が行われる。付着、形成、及び / 又は成長は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。

10

【 0 0 6 4 】

高性能集積回路を MEMS 10 に容易に一体化するための上文中に説明した技術は、図 8 の A 乃至 E に示す実施例で実施できるということに着目されたい。これに関し、このような回路が内部又は上側で製造される単結晶シリコンでできたフィールド領域 22 a を含むのが有利である。一実施例では、フィールド領域 22 a と重なった第 1 封緘層の一部を再結晶することによって、スパッタリングした非晶質シリコン又は多孔質 CVD O / 又はエピタキシャルで付着した多晶質シリコンの結晶構造を、単晶材料又は実質的に単晶材料に「変換」し、又は転位する。このようにして、MEMS 10 と一体化した例えばデータ処理電子装置 16 のトランジスタ又は他の素子を単晶フィールド領域 22 a 及び / 又は 22 b に形成できる。

20

【 0 0 6 5 】

別の実施例では、フィールド領域 22 a と重なった第 1 封緘層 28 a (及び / 又は第 2 封緘層 28 b) の部分を従来のエッチング技術を使用して除去し、フィールド領域 22 a を露呈する。その後、単結晶シリコンをフィールド領域 22 a 上で成長させてもよい。別の態様では、フィールド領域 22 a と重なった第 1 封緘層 28 a (及び第 2 封緘層 28 b) の部分をエッチングし、単晶材料を露呈し、その後、トランジスタ又は他の能動素子を周知の製造技術を使用してフィールド領域 22 a 内に又は上に一体化してもよい。

30

【 0 0 6 6 】

更に、封緘層 28 c (例えば図 8 の E 及び図 9 の A を参照されたい) を付着、形成、及び / 又は成長し、例えば更に平らな表面、加工を続けるためのエッチング停止層、絶縁層、グラウンド平面、パワー平面を形成し、及び / 又はチャンバ 26 の「シール」を高め、及びこれによって流体 42 の拡散に対するバリアを高めるともよいということに着目されたい。例えば、図 9 の A 乃至 C を参照すると、層 28 c は絶縁層であってもよく、この層は、これに加えて (又はその代わりに) 、コンタクト領域 24 及びコンタクトビア又はプラグ 38 との適当な相互接続を (例えば高度にドーピングしたポリシリコン又は金属層をして) 容易にする。その後 (又はこれと同時に) 、層 28 c にパターンを付け、コンタクト開口部 44 を形成する (図 9 の B を参照されたい) 。次いで、高度に導電性 (低電気抵抗) の材料 (例えば高度にドーピングした半導体及び / 又はアルミニウム、クロム、金、銀、モリブデン、プラチナ、パラジウム、タングステン、チタニウム、及び / 又は銅等の金属) を付着し、相互接続を容易にする (図 9 の C 参照) 。

40

絶縁層 28 c 及び層 46 の付着、形成、及び / 又は成長は、MEMS 10 の集積回路製造の「バックエンド」における最終プロセス工程のうちの一つであってもよいということに着目されたい。これに関し、このようなプロセスを MEMS 10 の集積回路製造の「バックエンド」の絶縁及びコンタクト形成工程と「組み合わせ」る。この方法により、製造費用を抑えることができる。

50

【0067】

封緘層28cの目的又は機能に応じて、例えば、半導体（例えば、多晶質シリコン、シリコンカーバイド、シリコン/ゲルマニウム、又はゲルマニウム）、絶縁体（例えば二酸化シリコン、窒化シリコン、BPSG、PSG、又はSOG）、又は金属支承体（例えばシリサイド）であってもよい。封緘層28cは、例えば、エピタキシャル、スパッタリング、又はCVDを用いる反応器（例えばAPCVD、LPCVD、及びPECVD）を使用して付着、形成、及び/又は成長を行ってもよい。付着、形成、及び/又は成長は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。封緘層28cを形成する材料は、他の封緘層と同じであってもよいし異なってもよい。

10

【0068】

実施例の別の組では、第2封緘層28bは、例えば、エピタキシャル、スパッタリング、又はCVDを用いる反応器（例えばAPCVD、LPCVD、及びPECVD）を使用して付着及び/又は形成した金属（例えば、アルミニウム、クロム、金、銀、モリブデン、プラチナ、パラジウム、タングステン、チタニウム、及び/又は銅）、金属酸化物（例えば、アルミニウム酸化物、タンタル酸化物、及び/又はインジウム酸化物）、合金（例えば、チタニウムナイトライド、チタニウムタングステン、及び/又はAl-Si-Cu）、及び/又は金属-シリコン化合物（例えば、タングステンシリサイド、チタニウムシリサイド、及び/又はニッケルシリサイド等のシリサイド）（下文において集合的に「金属支承材料」と呼ぶ）で形成されていてもよい。実施例のこの組では、第1封緘層28a

20

【0069】

例えば、図10のAを参照すると、MEMS10の集積回路部分の形成後（形成する場合）、第1封緘層28aを第2犠牲層32上に付着、形成、及び/又は成長すると同時にフィールド領域22及びコンタクト領域24の選択された部分をマスクによって保護するか或いはエッチングによって再露呈する。第1封緘層28aは、例えば、絶縁体（例えば、窒化シリコン、二酸化シリコン、PSG、又はBPSG）であってもよく、これらは、例えば、エピタキシャル、スパッタリング、又はCVDを用いる反応器（例えばAPCVD、LPCVD、及びPECVD）を使用して付着される。付着、形成、及び/又は成長は、例えば形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。確かに、第1封緘層28aの付着、形成、及び/又は成長は、MEMS10の集積回路製造の「バックエンド」におけるプロセス工程であってもよい。

30

【0070】

その後、第1封緘層28aをエッチングし、通路又は開孔36（図10のB参照）を形成してもよい。第1及び第2の犠牲層30及び32の夫々の少なくとも選択された部分が機械エレメント20a-dを解放すると、MEMS10の適正な作動を可能にする（図10のC参照）。

【0071】

機械エレメント20a-dの解放後、第2封緘層28bを付着、形成、及び/又は成長してもよい（図10のD参照）。この実施例では、第2封緘層28bは、例えば、エピタキシャル、スパッタリング、又はCVDを用いる反応器（例えばAPCVD、LPCVD、及びPECVD）を使用して付着される金属支承材料である。付着及び/又は形成は、形態一致プロセスによって行われてもよいし又は非形態一致プロセスによって行われてもよい。第2封緘層28bの付着、形成、及び/又は成長もまた、MEMS10の集積回路製造の「バックエンド」のコンタクト形成工程と「組み合わせ」することができる。このようにして、製造費を抑えることができる。

40

【0072】

その後、コンタクト領域24を例えばフィールド領域22から電氣的に「絶縁」するの

50

が有利である。一実施例では、これは、平坦化技術を使用して行われる。これに関し、第2封緘層28bの露呈面は、例えば研磨技術(例えばCMP)を使用して実質的に平坦化される。平坦化プロセスは、コンタクト領域24を電氣的に絶縁するために第2封緘層28bの十分な部分を除去する。別の実施例では、第2封緘層28bの選択された部分をエッチングしてもよい(図10のF参照)。

【0073】

フィールド領域22と重なる第2封緘層28aの部分を従来のエッチング技術を使用して除去し、フィールド領域を露呈してもよいということは理解されるべきである(図9のE参照)。このようにして、単結晶シリコンをフィールド領域22で成長及び/又は形成してもよい。その後、トランジスタ又は他の能動素子を周知の製造技術を使用してMEMS内に又はその上に一体化してもよい。

10

【0074】

確かに、第1封緘層28aをフィールド領域22及び/又は24上でマスクなしで付着、形成、及び/又は成長した場合には、フィールド領域22及び/又は24と重なった第1封緘層28aの選択された部分をエッチングし、部分及び単結晶シリコンを露呈する。その後、単結晶シリコンを成長させ、トランジスタ又は他の能動素子を上文中に説明したように一体化できるようにする。

【0075】

更に、チャンバ26内の環境(例えばガス又はガス蒸気圧)により、機械構造20a-dについての機械的減衰の程度が程度決まるということに着目すべきである。これに関し、チャンバ26は、このチャンバ内に「捕捉」され、「シール」され、及び/又は収容された流体42を含む。チャンバ26内の流体42の状態(例えば圧力)は、従来の技術を使用して、及び/又は2003年3月20日に出願され且つ譲渡された「制御された雰囲気を持つ電気機械的装置及びその製造方法」という表題の米国非仮特許出願第10/392,528号に記載されており且つ図示された技術を使用して決定される。(以下、「制御された雰囲気を持つ電気機械的装置特許出願」と呼ぶ)

20

制御された雰囲気を持つ電気機械的装置特許出願に記載され且つ例示された発明は、本願に記載され且つ例示された任意の及び全ての発明で実施できる。例えば、上文中に説明した封緘技術は、制御された雰囲気を持つ電気機械的装置特許出願に記載された技術で、選択された、所望の、及び/又は所定の状態の流体をチャンバ内に捕捉し及び/又はシールするために実施できる。このようにして、流体は、チャンバ内の機械構造に対し、所望の、所定の、適当な、及び/又は選択された機械的減衰を提供する。

30

【0076】

別の例として、制御された雰囲気を持つ電気機械的装置特許出願には、モノリシックに一体化された、微小機械加工を施した、1つ又はそれ以上の電気機械的装置を持つ複数の機械構造(例えばジャイロ스코ープ、共振器、温度センサ、及び/又は加速時計)を含むMEMSが記載されている。図11のAを参照すると、一実施例では、MEMS10は、微小機械加工を施した複数の機械構造12a-cを含む。これらの機械構造は、基板14上にモノリシックに一体化されているか或いは基板内に配置されている。微小機械加工を施した複数の機械構造12a-cの各々は、1つ又はそれ以上の機械構造20a-p(明瞭化を図るため、それらの一部だけに番号が付してある)を含む。これらの機械構造は、チャンバ26a-dに配置されている。

40

【0077】

特定の実施例では、チャンバ26a-dは、上文中に説明した技術を使用してシールされ又は封緘されている。チャンバ26a-dのシール又は封緘は、同じ又は実質的に同じ方法で、又は異なる技術を使用して行われていてもよい。このようにして、複数の構造12a-dは、機械構造20a-pに対し、同じ、実質的に同じ、異なる、又は実質的に異なる所望の、所定の、適当な、及び/又は選択された機械的減衰を提供するように形成されていてもよい。

【0078】

50

確かに、少なくとも1つの実施例では、構造12cは複数のチャンバ、即ちチャンバ26c及び26dを含み、これらのチャンバは流体42c及び42dを夫々収容している。チャンバ22c及び22dは、流体42c及び42dの夫々が、同じ又は実質的に同じ選択された、所望の、及び/又は所定の状態に維持されるようにシールされ即ち封緘されていてもよい。このように、この実施例では、流体42c及び42dは、機械構造20h-k及び20l-pの夫々に対し、同じ又は実質的に同じ選択された、所望の、所定の、適当な、及び/又は選択された機械的減衰を提供してもよい。

【0079】

別の態様では、少なくとも別の実施例において、チャンバ26c及び26dは、流体42c及び42dが「捕捉」され、「シール」され、維持され、及び/又はチャンバ26c及び26dの夫々に、異なる又は実質的に異なる選択された、所望の、及び/又は所定の状態で収容されるように、異なる又は異なった技術を使用してシール又は封緘されていてもよい。この実施例では、チャンバ26c及び26dは、様々なプロセス技術、様々なプロセス条件、及び/又は様々な材料(例えばガス、又はガス蒸気)を使用して「シール」されていてもよい。このように、封緘後、流体42c及び42dは、機械構造20h-k及び20l-pの夫々に対し、異なる又は実質的に異なる機械的減衰特性を提供する。このようにして、微小機械加工を施した機械構造12cは、最適の、所定の、所望の作動に対して異なる又は実質的に異なる機械的減衰特性を必要とする様々な電気機械的装置(例えばジャイロスコープ、共振器、温度センサ、及び/又は加速時計)を含んでもよい。簡潔化を図るため、ここでは、制御された雰囲気を持つ電気機械的装置特許出願に記載された全ての発明を繰り返さない。しかしながら、例えば、全ての発明の特徴、寄与、変形例、材料、技術、及び利点を含む、制御された雰囲気を持つ電気機械的装置特許出願の全ての内容は本明細書中に含まれたものとする。

【0080】

上述のように、一組の実施例では、モノリシック構造は、共通の基板上に又はこの基板内に一体化した機械構造12及びデータ処理電子装置16及び/又はインターフェース回路18を含んでもよい。図12のA乃至図12のCを参照すると、MEMS10は、構造20a乃至20d及びコンタクト領域24を持つ微小機械加工を施した機械構造12、並びにフィールド領域22b(及び/又は領域22a(図示せず))に配置された集積回路50を含むデータ処理電子装置16を含む。上述のように、機械構造20a-20d(及びコンタクト24)は、例えば、単晶材料(図12のA及びB)又は多晶質材料(図12C)から形成されていてもよい。更に、コンタクトビア又はプラグ38は、更に、例えば、主として、単晶材料(図12のB)及び多晶質材料(図12のA及びC)から形成されていてもよい。

【0081】

機械構造12は、低抵抗層46を介して集積回路50に電氣的に接続されていてもよいということに着目すべきである。集積回路50は、従来技術を使用して形成されていてもよい。

【0082】

詳細には、集積回路50がコンタクト24に直接アクセスする場合には、低抵抗電路を提供するのが有利である。絶縁層48は、コンタクト領域24と相互接続するため、又は相互接続を容易にするため、付着、形成、及び/又は成長させ、パターン付けされていてもよい。その後、低抵抗層46(例えば高度にドーピングした、ポリシリコン、又はアルミニウム、クロム、金、銀、モリブデン、プラチナ、パラジウム、タングステン、チタニウム、及び/又は銅等の金属)を形成する。

【0083】

本明細書中に多くの発明を記載し且つ例示した。本発明の特定の実施例、特徴、材料、形体、寄与、及び利点を説明し且つ例示したが、本発明の多くの他の並びに異なる及び/又は同様の実施例、特徴、材料、形体、寄与、構造、及び利点は、説明、例示、及び特許請求の範囲から明らかであるということは理解されるべきである。このように、本明細書

10

20

30

40

50

中に記載し且つ例示した本発明の特徴、材料、形体、寄与、構造、及び利点は、網羅的ではなく、本発明のこのような他の、同様の、並びに異なる実施例、特徴、材料、形体、寄与、構造、及び利点は、本発明の範囲内にあるということは理解されるべきである。

【0084】

例えば、本明細書中に例示し且つ説明した任意の及び全ての実施例には、垂直方向及び／又は横方向に積み重ねられ又は相互接続された（例えば、図11のB、図11のC、及び図11のDの微小機械加工を施した機械構造12）、機械構造の多数の層、コンタクト領域、及び剥き出しのコンタクトが含まれていてもよい。更に、機械構造の単一の及び多数の層自体は、垂直方向及び／又は横方向に積み重ねられ又は相互連結されていてもよい（例えば、図11のAの微小機械加工を施した機械構造12bを参照されたい）。更に、結果的に得られた微小機械加工を施した機械構造12は、共通の基板14上で集積回路50と一体化されていてもよい。集積回路50に対し、微小機械加工を施した機械構造12の任意の垂直方向及び／又は横方向位置が適している。

10

【0085】

更に、図13を参照すると、チャンバ26をシール即ち封緘するとき、第2の即ち続く封緘層（例えば第2封緘層28b）をチャンバ26の構造の選択された表面上に（例えば機械構造20a-d及びフィールド領域22a及び22bに）付着、形成、及び／又は成長する場合、追加の材料の付着、形成、及び／又は成長を考慮に入れて機械構造20a-dを設計し製造するのが有利である。機械構造20a-dの表面上の追加の材料28b'の厚さは、適切には、開孔36の幅又は直径とほぼ等しくてもよい。従って、一組の実施例では、機械構造20a-dの設計（例えば厚さ、高さ、幅、及び／又はチャンバ36内の他の構造に対する横方向及び／又は垂直方向関係）には、このような追加の材料28b'が含まれ、最終構造を提供するための機械構造20a-dの製造には少なくとも二つの工程が含まれる。第1工程は、機械構造20a-dを初期寸法に従って（例えば、図4のA及び図4のBに関して上文中に説明したように）製造する工程であり、第2工程は、少なくとも1つの封緘層、例えば第2封緘層28b及び／又は続く封緘層の付着、形成、及び／又は成長により、材料28b'を付着、形成、及び／又は成長する工程である。

20

【0086】

特許請求の範囲中の「付着」及び他の形態の用語（付着物、付着、及び付着した）は、とりわけ、例えば反応器（エピタキシャル、スパッタリング、又はCVDを用いる反応器（例えばAPCVD、LPCVD、及びPECVD））を使用して材料の層を付着、形成、及び／又は成長することを意味する。

30

【0087】

更に、特許請求の範囲では、「コンタクト」という用語は、一部又は全部がチャンバの外側に配置された導電性領域、例えばコンタクト領域及び／又はコンタクトピアを意味する。

【0088】

最後に、本発明をマイクロ機械構造又はエレメントを含むマイクロ電気機械システムに関して説明したが、本発明は、これに限定されないということに着目されるべきである。というよりはむしろ、本明細書中に説明した発明は、例えばナノ電気機械システムを含む他の電気機械システムに適用できる。かくして、本発明は、機械的構成要素を全体として電子装置に適したスケールまで小型化するリソグラフィ及び他の精密製造技術等の製造技術に従って形成された電気機械的装置、例えばジャイロスコープ、共振器、温度センサ、及び／又は加速時計に関する。

40

【図面の簡単な説明】

【0089】

【図1】インターフェース回路及びデータ処理電子装置と関連して基板に配置されたマイクロ電気機械的装置のブロックダイヤグラムである。

【図2】マイクロ電気機械的構造の一部、例えば加速時計のインターデジタル電極アレイ又は櫛状フィンガ電極アレイの部分の、コンタクト領域及びフィールド領域と関連した

50

平面図である。

【図3】本発明の特定の特徴による、図2のインターデジタル電極アレイ又は櫛状フィンガ電極アレイの部分及びコンタクト領域及びフィールド領域の(図2のa - a線に沿った)断面図である。

【図4】A - Gは、本発明の特定の特徴による図3のマイクロ構造の製造プロセスの様々な段階での断面図である。

【図5】A - Cは、本発明の特定の特徴による図3のマイクロ構造の追加の製造プロセスの断面図である。

【図6】A - Fは、本発明の特定の特徴によるマイクロ構造の製造プロセスの様々な段階での断面図である。

【図7】A - Cは、非形態一致及び形態一致の付着、成長、及び/又は形成技術を使用した単晶構造の成長を更に例示として示す断面図である。

【図8】A - Eは、第1封緘層が透過性材料である封緘プロセスの様々な段階での、本発明の特定の特徴によるマイクロ構造の製造の断面図である。

【図9】A - Cは、三つ又はそれ以上の封緘層(図9のA参照)及びコンタクト相互連結部(図9のC参照)の実施を含む本発明の別の特徴による図2のインターデジタル電極アレイ又は櫛状フィンガ電極アレイのマイクロ構造の製造の一部のa - a線に沿った断面図である。

【図10】A - Fは、本発明の特定の特徴によるマイクロ構造の製造の、プロセスの様々な段階での断面図である。

【図11】Aは、本発明の特定の特徴に従ってMEMSの基板上又は基板内にモノリシックに一体化された1つ又はそれ以上の電気機械的装置を各々有する複数のマイクロ機械構造の一部の断面図であり、B - Dは、本発明の特定の特徴に従ってMEMSの基板上又は基板内にモノリシックに一体化された複数のマイクロ構造を持つマイクロ機械構造の一部の断面図である。

【図12】A - Cは、微小機械加工を施した機械構造部分及び集積回路部分を含み、これらの部分の両方が共通の基板上に配置され又は一体化された、本発明の特定の特徴によるMEMSの断面図である。

【図13】一層の第2封緘層を上側に付着したマイクロ構造を持つ、微小機械加工を施した機械構造の一部の断面図である。

【符号の説明】

【0090】

10 MEMS

12 機械構造

14 基板

16 データ処理電子装置

18 インターフェース回路

20 a - d 機械構造

22 a、22 b フィールド領域

24 コンタクト領域

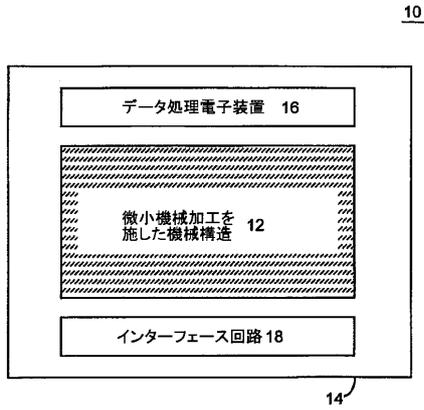
10

20

30

40

【図 1】



【図 2】

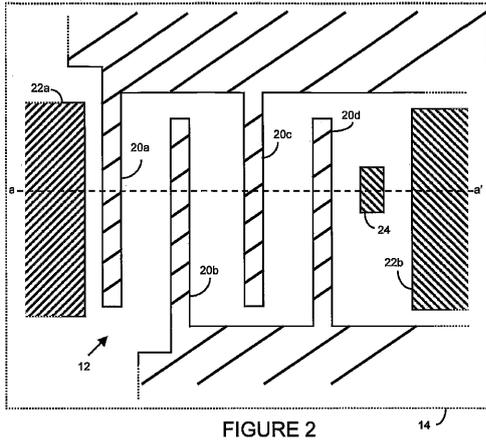


FIGURE 2

【図 3】

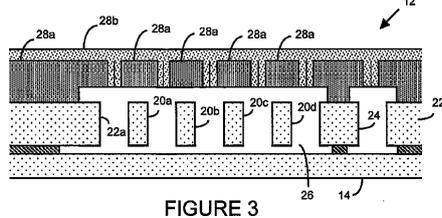


FIGURE 3

【図 4 A】

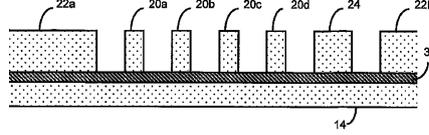


FIGURE 4A

【図 4 B】

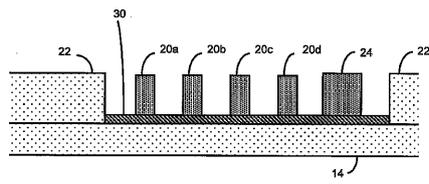


FIGURE 4B

【図 4 C】

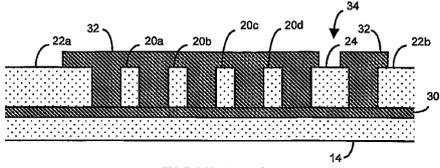


FIGURE 4C

【図 4 F】

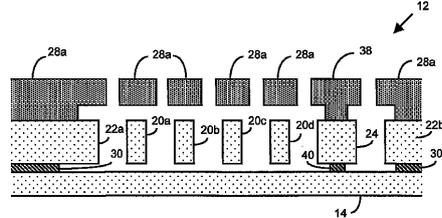


FIGURE 4F

【図 4 D】

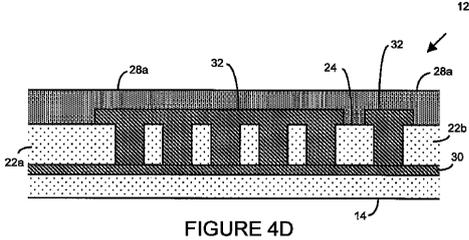


FIGURE 4D

【図 4 G】

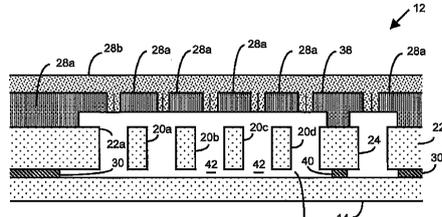


FIGURE 4G

【図 4 E】

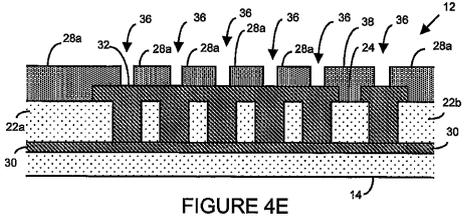


FIGURE 4E

【図 5 A】

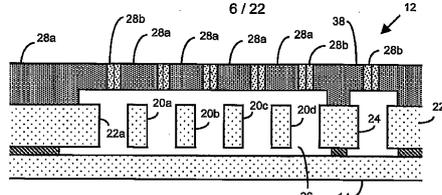


FIGURE 5A

【 5 B 】

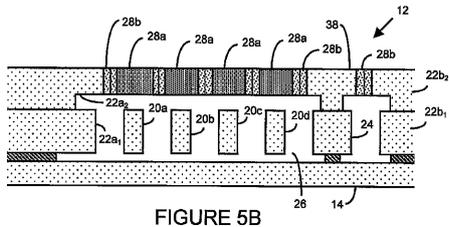


FIGURE 5B

【 5 C 】

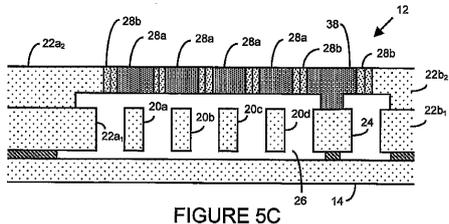


FIGURE 5C

【 6 A 】

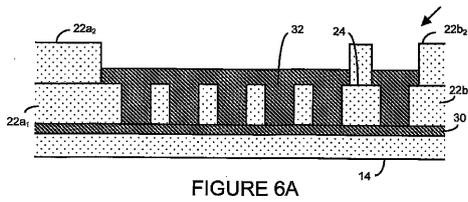


FIGURE 6A

【 6 B 】

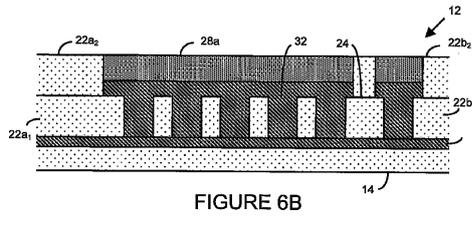


FIGURE 6B

【 6 C 】

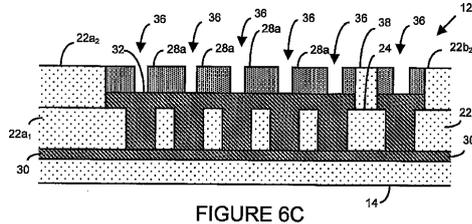


FIGURE 6C

【 6 D 】

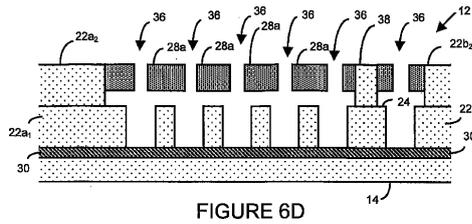


FIGURE 6D

【 6 E 】

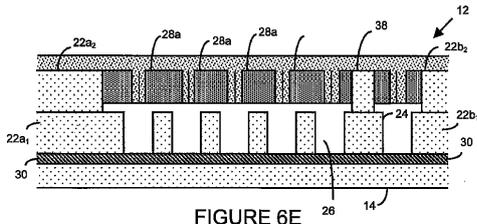


FIGURE 6E

【 6 F 】

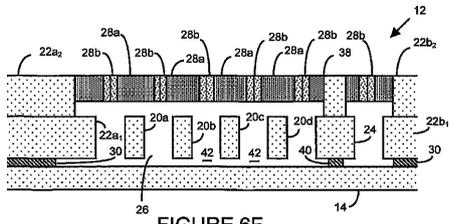


FIGURE 6F

【 7 B 】

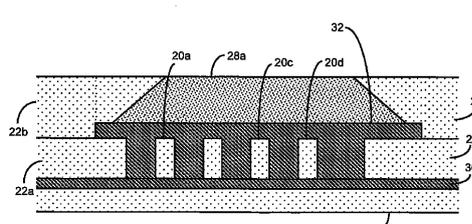


FIGURE 7B

【 7 C 】

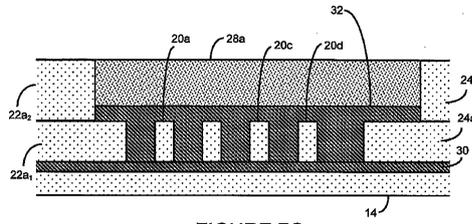


FIGURE 7C

【 7 A 】

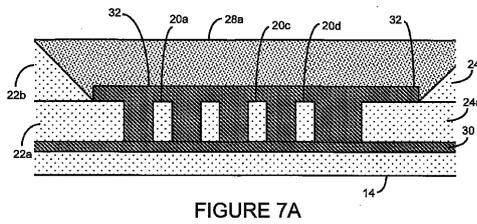


FIGURE 7A

【 8 A 】

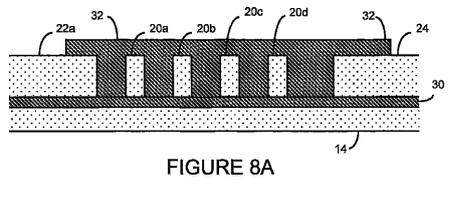


FIGURE 8A

【図10F】

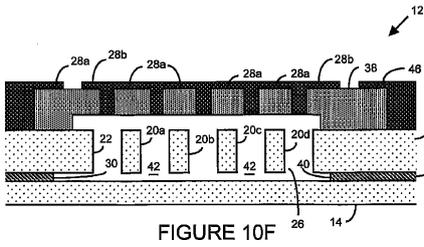


FIGURE 10F

【図11B】

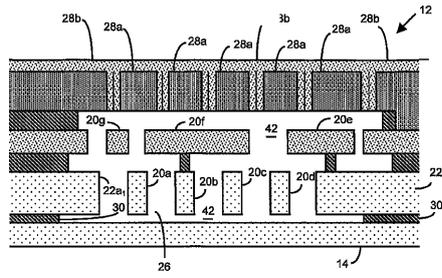


FIGURE 11B

【図11A】

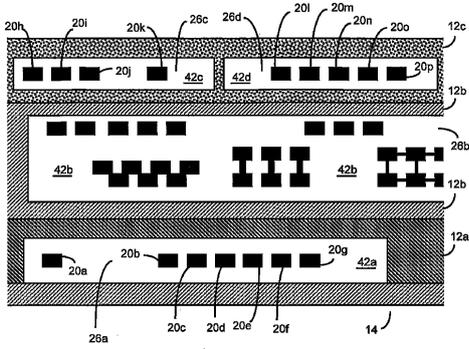


FIGURE 11A

【図11C】

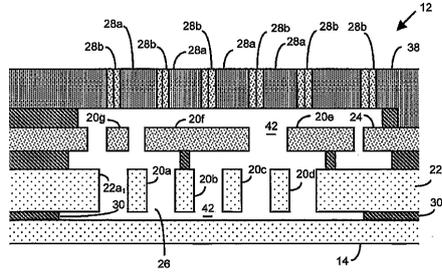


FIGURE 11C

【図11D】

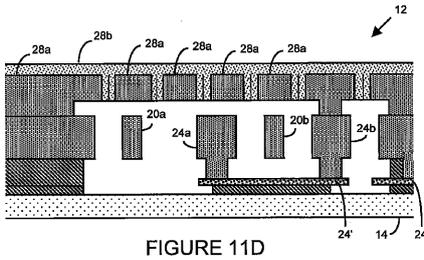


FIGURE 11D

【図12B】

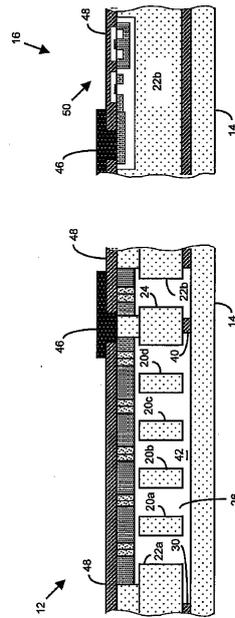


FIGURE 12B

【図12A】

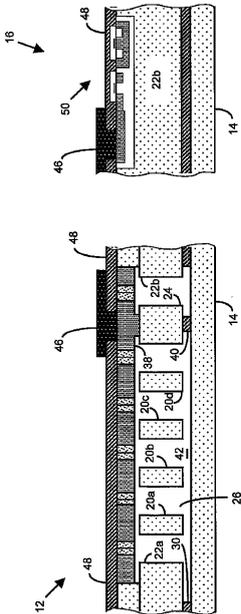


FIGURE 12A

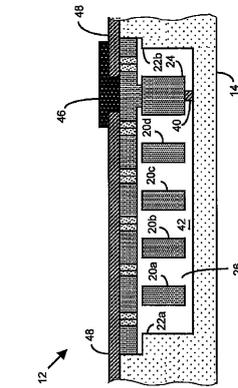
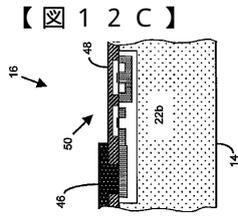


FIGURE 12C

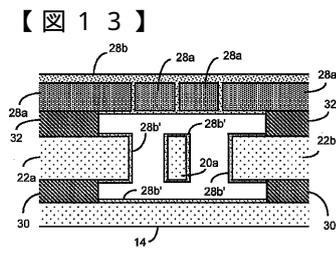


FIGURE 13

フロントページの続き

- (74)代理人 100106644
弁理士 戸塚 清貴
- (72)発明者 パートリッジ, アーロン
アメリカ合衆国カリフォルニア州 9 4 3 0 1, パロ・アルト, ノース・カリフォルニア・アベニュー 2 2 4
- (72)発明者 ルッツ, マルクス
アメリカ合衆国カリフォルニア州 9 4 3 0 6, パロ・アルト, マニューエラ・アベニュー 4 2 1 4
- (72)発明者 クローンミュラー, ズィルヴィア
ドイツ連邦共和国 7 1 4 0 9, シュヴァイクハイム, ルートヴィグスビュルガー・シュトラッセ 5 7

審査官 太田 良隆

- (56)参考文献 特公平07 - 1 0 1 7 4 8 (J P , B 2)
米国特許出願公開第 2 0 0 3 / 0 0 4 9 8 7 8 (U S , A 1)
国際公開第 2 0 0 3 / 0 2 3 8 4 9 (W O , A 1)
特開 2 0 0 0 - 1 3 8 3 8 1 (J P , A)
特開昭 6 4 - 0 0 4 0 8 2 (J P , A)
特開平 0 7 - 0 3 0 1 2 8 (J P , A)
国際公開第 0 1 / 0 5 8 8 0 4 (W O , A 2)
国際公開第 2 0 0 4 / 0 6 1 9 8 3 (W O , A 1)
特表 2 0 0 7 - 5 2 4 5 1 4 (J P , A)
特開 2 0 0 4 - 3 1 4 2 9 2 (J P , A)
特開 2 0 0 0 - 1 2 4 4 6 9 (J P , A)
国際公開第 0 1 / 0 4 6 0 6 6 (W O , A 2)
国際公開第 0 1 / 0 7 7 0 0 9 (W O , A 1)
特表 2 0 0 7 - 5 2 4 9 9 5 (J P , A)

(58)調査した分野(Int.Cl., DB名)

B81B 1/00 - 7/04
B81C 1/00 - 99/00
H01L29/84