

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年8月9日(09.08.2018)



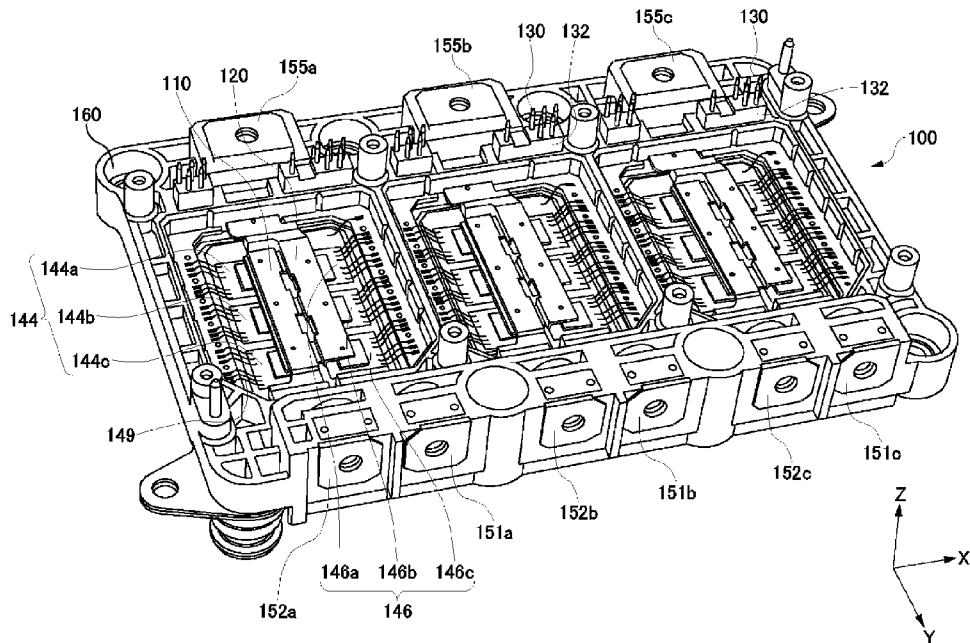
(10) 国際公開番号

WO 2018/142863 A1

- (51) 国際特許分類:  
*H01L 25/07* (2006.01)    *H01L 25/18* (2006.01)  
*H01L 23/48* (2006.01)    *H02M 7/48* (2007.01)
- (21) 国際出願番号:                    PCT/JP2018/000369
- (22) 国際出願日:                    2018年1月10日(10.01.2018)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (30) 優先権データ:  
 特願 2017-019963    2017年2月6日(06.02.2017)    JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 征矢野 伸 (SOYANO Shin); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 仲野 逸人 (NAKANO Hayato); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 樋口 恵一 (HIGUCHI Keiichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 大澤 彰浩 (OSAWA Akihiro); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー2 2階 Tokyo (JP).

(54) Title: SEMICONDUCTOR MODULE, ELECTRIC AUTOMOBILE AND POWER CONTROL UNIT

(54) 発明の名称: 半導体モジュール、電気自動車、及びパワーコントロールユニット



(57) Abstract: Provided is a semiconductor module which is provided with: a first lead frame which is connected to a plurality of semiconductor chips of a first arm circuit; a second lead frame which is connected to a plurality of semiconductor chips of a second arm circuit; a first main terminal which is connected to the first lead frame; and a second main terminal which is connected to the second lead frame. The first lead frame and the second lead frame have portions that face each other; a first end of the first lead frame is provided with a first terminal connection part that is connected to



WO 2018/142863 A1

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

the first main terminal; a second end of the second lead frame is provided with a second terminal connection part that is connected to the second main terminal; and the first terminal connection part and the second terminal connection part are arranged on the opposite sides of the facing portions of the first lead frame and the second lead frame.

(57) 要約 : 第1のアーム回路の複数の半導体チップに接続される第1のリードフレームと、第2のアーム回路の複数の半導体チップに接続される第2のリードフレームと、第1のリードフレームに接続される第1の主端子と、第2のリードフレームに接続される第2の主端子とを備え、第1のリードフレームと第2のリードフレームとは対向する部分を有し、第1のリードフレームの第1の端部に、第1の主端子に接続されている第1の端子接続部を有し、第2のリードフレームの第2の端部に、第2の主端子に接続されている第2の端子接続部を有し、第1の端子接続部と第2の端子接続部とが、第1のリードフレームと第2のリードフレームの対向する部分から見て、逆側に配置されている半導体モジュールを提供する。

## 明 細 書

発明の名称：

半導体モジュール、電気自動車、及びパワーコントロールユニット

### 技術分野

[0001] 本発明は、半導体モジュール、電気自動車、及びパワーコントロールユニットに関する。

### 背景技術

[0002] 複数のパワー半導体素子を収容する半導体モジュールにおいて、屈曲した電流接続部品を半導体素子に接続する構造が知られている（例えば、特許文献1参照）。

[先行技術文献]

[特許文献]

[特許文献1] 特開2007-266608号公報

### 解決しようとする課題

[0003] 半導体モジュールにおいては、内部インダクタンスを低減することが望ましい。

### 一般的開示

[0004] 本発明の第1の態様においては、半導体モジュールを提供する。半導体モジュールは、第1のアーム回路と第2のアーム回路とを備えてよい。半導体モジュールは、複数の半導体チップ、第1のリードフレーム、第2のリードフレーム、第1の主端子、及び第2の主端子を備えてよい。複数の半導体チップは、第1のアーム回路と第2のアーム回路のそれぞれに含まれてよい。第1のリードフレームは、第1のアーム回路の複数の半導体チップに接続されてよい。第2のリードフレームは、第2のアーム回路の複数の半導体チップに接続されてよい。第1の主端子は、第1のリードフレームに接続されてよい。第2の主端子は、第2のリードフレームに接続されてよい。第1のリードフレームと第2のリードフレームとは対向する部分を有してよい。第1

のリードフレームの第1の端部に、第1の端子接続部を有してよい。第1の端子接続部は、第1の主端子に接続されていてよい。第2のリードフレームの第2の端部に、第2の端子接続部を有してよい。第2の端子接続部は、第2の主端子に接続されていてよい。第1の端子接続部と第2の端子接続部とが、第1のリードフレームと第2のリードフレームの対向する部分から見て、逆側に配置されてよい。

[0005] 上アーム回路に含まれる半導体チップがオン状態になったときに第1のリードフレームに流れる電流の方向と、下アーム回路に含まれる半導体チップがオン状態になったときに第2のリードフレームに流れる電流の方向とが逆向きであってよい。

[0006] 第1のリードフレームにおいて複数の半導体チップに接続されるチップ接続部と、第2のリードフレームにおいて複数の半導体チップに接続されるチップ接続部とが、上面視において平行に配置されてよい。

[0007] 第1のリードフレームは、第1の板状部と、第1の延長部とを有してよい。第1の延長部は、第1の板状部において第2のリードフレームと向かい合う端辺に、上方向または下方向に伸びて形成されてよい。第2のリードフレームは、第2の板状部と、第2の延長部とを有してよい。第2の延長部は、第2の板状部において第1のリードフレームと向かい合う端辺に、第1の延長部と対向する方向に伸びて形成されてよい。

[0008] 第1のリードフレームは、第1の対向部を更に有してよい。第1の対向部は、第1の延長部に接続されてよい。第1の対向部は、第1の板状部と対向して配置された板状であってよい。

[0009] 第2のリードフレームは、第2の対向部を更に有してよい。第2の対向部は、第2の延長部に接続されてよい。第2の対向部は、第2の板状部と対向して配置された板状であってよい。

[0010] 第1のリードフレームは、第1の板状部を有してよい。第2のリードフレームは、第2の板状部と、重畳部とを有してよい。第2の板状部は、上面視において第1の板状部とは重ならないように配置されてよい。重畳部は、第

2の板状部に接続されてよい。重畳部は、第1の板状部と重なるように配置されてよい。

[0011] 第1のリードフレームは、第1の延長部と、第1の対向部と、複数の第1のチップ接続部とを有してよい。第1の延長部は、第1の板状部において第2のリードフレームと向かい合う端辺に、上方向または下方向に伸びて形成されてよい。第1の対向部は、第1の延長部に接続されてよい。第1の対向部は、第1の板状部と対向して配置された板状であってよい。複数の第1のチップ接続部は、第1の板状部または第1の対向部と、複数の半導体チップとを接続してよい。

[0012] 第2のリードフレームは、複数の第2のチップ接続部を有してよい。複数の第2のチップ接続部は、第2の板状部と複数の半導体チップとを接続してよい。

[0013] 第2のリードフレームは、第2の延長部を有してよい。第2の延長部は、第2の板状部と重畳部とを連結してよい。第2の延長部は、第2の主端子側の端辺から、複数の半導体チップのうち第2の主端子に最も近い半導体チップと対向する位置まで、切欠きが形成されていてよい。

[0014] 第1のリードフレームは、第1の板状部と、複数のチップ接続部とを有してよい。第1の板状部は、第1の主端子に接続されてよい。複数のチップ接続部は、複数の半導体チップに接続されてよい。複数のチップ接続部は、第1の板状部よりも薄くてよい。

[0015] 第1のリードフレームにおいて、第1の主端子に接続される前記第1の端子接続部は、複数の半導体チップに接続される部分よりも厚くてよい。

[0016] 第1のリードフレームは、複数の第1のチップ接続部を有してよい。複数の第1のチップ接続部は、複数の半導体チップに接続されてよい。第1の延長部は、第1のチップ接続部よりも厚くてよい。

[0017] 複数の半導体チップは、複数のトランジスタを含んでよい。第1のリードフレームは、第1中間部を有してよい。第1中間部は、複数の半導体チップのエミッタ端子に接続されてよい。複数の半導体チップは、第1のアーム回

路に含まれてよい。第2のリードフレームは、第2中間部を有してよい。第2中間部は、複数の半導体チップのエミッタ端子に接続されてよい。複数の半導体チップは、第2のアーム回路に含まれてよい。第1のリードフレームの第1中間部と第2のリードフレームの第2中間部とは、間隔をあけて対向してよい。第1のリードフレームの第1中間部と第2のリードフレームの第2中間部とは、間隔の中央を中心として上面視で点対称に配置されてよい。

[0018] 第1のリードフレームには、第1スリット部が形成されてよい。第1スリット部は、第1のリードフレームの第1中間部の長手方向に沿って形成されてよい。第2のリードフレームには、第2スリット部が形成されてよい。第2スリット部は、第2のリードフレームの第2中間部の長手方向に沿って形成されてよい。

[0019] 第1スリット部の長手方向の長さは、第1のリードフレームの第1中間部の長手方向の長さの3分の2より大きくてよい。第2スリット部の長手方向の長さは、第2のリードフレームの前記第2中間部の長手方向の長さの3分の2より大きくてよい。

[0020] 第1スリット部は、前記第1の主端子側の端辺から形成されてよい。第2スリット部は、前記第2の主端子側の端辺から形成されてよい。

[0021] 本発明の第2の態様においては、電気自動車を提供する。電気自動車は、半導体モジュールを備えてよい。

[0022] 本発明の第3の態様においては、電気自動車を提供する。電気自動車は、半導体モジュールを備えてよい。本発明の第4の態様においては、パワーコントロールユニットを提供する。パワーコントロールユニットは、半導体モジュールを備えてよい。

[0023] 上記の発明の概要は、本発明の特徴の全てを列挙したものではない。これらの特徴群のサブコンビネーションも発明となりうる。

### 図面の簡単な説明

[0024] [図1]本発明の一の実施形態の半導体モジュール100の概要を示す斜視図である。

- [図2]半導体モジュール100の主回路の概要を示す回路図である。
- [図3]主回路における電流の向きの一例を示す図である。
- [図4]第1リードフレーム110及び第2リードフレーム120の配置例を示す図である。
- [図5]第1リードフレーム110及び第2リードフレーム120の配置例の断面を示す図である。
- [図6]第1リードフレーム110を示す図である。
- [図7]第2リードフレーム120を示す図である。
- [図8]一对のリードフレームの他の配置例を示す図である。
- [図9]リードフレームの他の例を示す図である。
- [図10]リードフレームの他の例を示す図である。
- [図11]リードフレームの他の例を示す図である。
- [図12]チップ接続部の例を示す図である。
- [図13]リードフレームの接続例を示す図である。
- [図14]切欠きが形成されたリードフレームの一例を示す図である。
- [図15]本発明の一の実施形態の電気自動車及びパワーコントロールユニットを示す図である。
- [図16]逆導通絶縁ゲート型バイポーラトランジスタを含む、半導体モジュール100の主回路の一例を示す回路図である。
- [図17]スリット部をそれぞれ有する第1リードフレーム110及び第2リードフレーム120の配置例を示す図である。
- [図18]スリット部をそれぞれ有する第1リードフレーム110及び第2リードフレーム120の上面図の一例である。
- [図19]スリット部の有無に起因する、電流波形の違いを示す図である。
- [図20]スリット部の有無に起因する、対向アームでのIGBTにおける電圧波形の違いを示す図である。

### 発明を実施するための形態

[0025] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は

請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0026] 本明細書では、X軸、Y軸及びZ軸の直交座標軸を用いて技術的事項を説明する。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸及び-Z軸に平行な方向を意味する。

[0027] 図1は、本発明の一の実施形態の半導体モジュール100の概要を示す斜視図である。半導体モジュール100は、複数の半導体チップ144a、144b、及び144cと、複数の半導体チップ146a、146b、及び146c等の電子回路を内部に收容する。本例の半導体モジュール100は、複数の半導体チップ144a、144b、及び144cと、複数の半導体チップ146a、146b、及び146cを收容する樹脂ケース160を備えてよい。但し、樹脂ケース160は、必要に応じて省略されてもよい。半導体モジュール100の收容部には、積層基板が備えられる。積層基板上に半導体チップ144a、144b、及び144c等が設けられている。

[0028] 複数の半導体チップ144a、144b、及び144cは、下アーム回路144を構成する。複数の半導体チップ146a、146b、及び144cは、上アーム回路146を構成する。下アーム回路144は、主電源の負極と交流出力端子との間に電氣的に接続されたスイッチ回路である。上アーム回路146は、主電源の正極と交流出力端子との間に電氣的に接続されたスイッチ回路である。半導体モジュール100は、インバータ回路を構成してよい。下アーム回路144と上アーム回路146とのうち一方の回路を「第1のアーム回路」と称し、他方の回路を「第2のアーム回路」と称する。

[0029] 下アーム回路144を構成する複数の半導体チップ144a、144b、及び144cは、Y軸に沿って配列されてよい。同様に、上アーム回路14



6を構成する複数の半導体チップ146a、146b、及び146cも、Y軸に沿って配列されてよい。複数の半導体チップ144a、144b、及び144cと、複数の半導体チップ146a、146b、及び144cとは、X軸上の異なる位置において互いに対向するように配列されてよい。但し、半導体チップ144a、144b、及び144c等は、必ずしも一列に配列されていなくてもよい。隣接する半導体チップ144a、144bのX方向の位置が交互に変わるように千鳥に配列されてもよい。

[0030] 下アーム回路144と上アーム回路146とは対をなして配置される。本例では、3組の下アーム回路144と上アーム回路146とが配置されている。但し、回路の数は、この場合に限られない。

[0031] 半導体モジュール100は、下アーム回路用のリードフレームと、上アーム回路用のリードフレームとを備える。下アーム回路用のリードフレームと上アーム回路用のリードフレームとのどちらか一方が、第1リードフレームであり、他方が第2リードフレームである。下アーム回路用のリードフレームを第1リードフレーム110とし、上アーム回路用のリードフレームを第2リードフレーム120とする場合を例にとって説明する。但し、第1リードフレーム110を下アーム回路用のリードフレームに限定する意図ではなく、第2リードフレーム120を上アーム回路用のリードフレームに限定する意図ではない。上アーム回路用のリードフレームを第1リードフレームとし、上アーム回路用のリードフレームを第2リードフレームとしてもよい。

[0032] 本例では、3組の下アーム回路144と上アーム回路146とに対応して、第1リードフレーム110と第2リードフレームとが3組設けられる。但し、第1リードフレーム110と第2リードフレーム120の数は限定されない。第1リードフレーム110と第2リードフレーム120は、金属その他の導電性材料で形成されてよい。第1リードフレーム110は、一体的に形成されていてもよく、複数の構成部材を連結して形成されていてもよい。第2リードフレーム120も同様である。

[0033] 第1リードフレーム110は、下アーム回路144における複数の半導体

チップ144a、144b、及び144cに接続される。第2リードフレーム120は、上アーム回路146における複数の半導体チップ146a、146b、及び146cに接続される。

[0034] 第1リードフレーム110及び第2リードフレーム120とは互いに対向して配置された面を有する。対向とは、第1リードフレームと第2リードフレームとの間の面を中心にして、面対象な面を意味してよい。第1リードフレームと第2リードフレームとの間の面は、YX面であっても、YZ面であってもよい。上面視とは、上方向から見た場合を意味する。半導体チップ144a、144b、及び144cを基準にして第1リードフレーム110が設けられている側を上方向とし、上方向の反対側を下方向とする。したがって、本例では、+Z軸方向が上方向となる。

[0035] 本例では、第1リードフレーム110において複数の半導体チップ144a、144b、及び144cに接続される部分と、第2リードフレーム120において複数の半導体チップ146a、146b、及び146cに接続される部分とが、上面視において平行に配置される。

[0036] 樹脂ケース160の表面には、複数の主端子が固定されている。具体的には、半導体モジュール100は、U端子155a、V端子155b、及びW端子155cを備える。U端子155a、V端子155b、及びW端子155cは、交流出力端子、特に、三相出力端子であってよい。また、半導体モジュール100は、樹脂ケース160の表面にP端子151a、151b、151c（151と総称する）及びN端子152a、152b、152c（152と総称する）を備えてよい。P端子151は、主電源の正極に接続され得る入力端子であり、N端子152は、主電源の負極に接続され得る入力端子である。また、端子ピン130等が樹脂ブロック132によって樹脂ケース160表面に設けられてよい。

[0037] U端子155a、V端子155b、W端子155c、P端子151、及びN端子152は、主端子である。本例では、P端子151は、直流電源の正極端子である。N端子152は、直流電源の負極端子である。P端子151

及びN端子152は、樹脂ケース160の一側面（+Y軸方向側の側面）に沿って配置されてよい。一方、交流出力端子であるU端子155a、V端子155b、及びW端子155cが、樹脂ケース160における上記の一側面と対向する他側面（-Y軸方向側の側面）に沿って配置されてよい。第1リードフレーム110は、半導体チップ144a、144b、及び144cに接続される。第1リードフレーム110の一端部（+Y軸方向の端部）が、主端子の一つであるN端子152に接続されている。一方、第2リードフレーム120の端部（-Y軸方向の端部）が、主端子の一つであるU端子155a（あるいは、V端子155b、W端子155c）に接続されている。第2リードフレーム120の上記端部は、第1リードフレーム110がN端子152に接続された+Y軸方向の端部とは逆側（-Y軸方向）における端部である。

[0038] また、半導体モジュール100は、その裏面側の底部に冷却器を備えてもよい。冷却器には外部から冷媒が供給され得る。半導体チップ144a等の各チップ、第1リードフレーム110及び第2リードフレーム120は樹脂で封止されてよい。樹脂は、シリコンゲル等のゲル、シリコン樹脂やエポキシ樹脂等の封止材であってよい。封止材はフィラーを含んでよい。

[0039] 図2は、半導体モジュール100の主回路の概要を示す回路図である。この例は3相インバータを示している。3相インバータは、下アーム回路144と上アーム回路146とをそれぞれ3組有する。下アーム回路144のそれぞれは、3つ1組の半導体チップ144a、144b、及び144cを有している。各下アーム回路144における3つの半導体チップ144a、144b、及び144cは、電氣的に並列に接続されている。同様に、上アーム回路144のそれぞれは、3つ1組の半導体チップ146a、146b、及び146cを有している。それぞれの上アーム回路146における3つの半導体チップ146a、146b、及び146cは、電氣的に並列に接続されている。なお、図2および図3においては、還流ダイオードが記載されていないが、各々の半導体チップ144a、144b、144c、146a、

146b、及び146cには、後述するような還流ダイオードが接続されていてもよい。

[0040] 半導体チップ144a、144b、144c、146a、146b、及び146cは、トランジスタを含むパワー半導体素子であってよい。パワー半導体素子は、例えばエミッタ電極、制御電極パッド、及び、エミッタ電極と基板を挟んで反対側のコレクタ電極を備えるIGBT (Insulated Gate Bipolar Transistor) チップを含んでよい。パワー半導体素子は、IGBT領域及びFWD領域を有するRC-IGBT (逆導通IGBT) を含んでよい。制御電極パッドは、ゲート電極またはセンスエミッタ電極を含んでよい。また、制御電極パッドは、温度測定用のアノード電極及びカソード電極を含んでよい。半導体チップ用の基板は、シリコンまたはシリコンカーバイドを含んでよい。但し、半導体チップ144a、144b、144c、146a、146b、及び146cは、IGBTに限られず、MOSFET (Metal-oxide-semiconductor Field-effect Transistor) であってもよい。また、IGBTやMOSFET等のトランジスタには、ダイオードを並列に接続させてもよい。

[0041] 対応する下アーム回路144と上アーム回路146とは対をなしてレグを構成してよい。図示する例は3つのレグを含む。各レグにおいて、上アーム回路146に含まれる半導体チップ146a、146b、及び146cの各コレクタ電極には、P端子151が電氣的に接続されている。下アーム回路144に含まれる半導体チップ146a、146b、及び146cの各エミッタ電極には、N端子152が電氣的に接続されている。また、上アーム回路146の半導体チップ146a、146b、及び146cの各エミッタ電極と、下アーム回路144の半導体チップ144a、144b、及び144cの各コレクタ電極とが、U端子155a等に電氣的に接続されている。これらの電氣的接続は、第1リードフレーム110、第2リードフレーム120、積層基板上の金属箔に形成された回路、及び内部配線端子149等を介

して実施されてよい。また制御電極パッドは、プリント基板及び端子ピン130等を介して外部の制御回路に接続されてよい。

[0042] 図3は、主回路における電流の向きの一例を示す図である。図3は、一つのレグを抜き出して示す。下アーム回路144の半導体チップ144a、144b、及び144cの各エミッタ電極と、N端子152aとの間の電気接続に、第1リードフレーム110が用いられる。上アーム回路146の半導体チップ146a、146b、及び146cの各エミッタ電極と、U端子155a等との間の電気接続に第2リードフレーム120が用いられる。第2リードフレーム120の端部が-Y軸方向においてU端子155aと接続する。一方、第1リードフレーム110の端部が+Y軸方向においてN端子152aと接続する。

[0043] 第2リードフレーム120には、半導体チップ146a、146b、及び146cのエミッタ電極から、U端子155に電流が流れる。本例では、第2リードフレーム120には、電流が-Y軸方向に流れる。一方、第1リードフレーム110には、半導体チップ144a、144b、及び144cのエミッタ電極から、N端子152aに電流が流れる。本例では、第1リードフレーム110には、電流が+Y軸方向に流れる。

[0044] したがって、本例の半導体モジュール100においては、上アーム回路146に含まれる半導体チップ146a、146b、及び146cがオン状態になったときに第2リードフレーム120に流れる電流の方向と、下アーム回路144に含まれる半導体チップ144a、144b、及び144cがオン状態になったときに第1リードフレーム110に流れる電流の方向とが逆向きになる。これによって、第1リードフレーム110と第2リードフレーム120によって発生するインダクタンス及び誘導磁場をキャンセルさせることができる。したがって、第1リードフレーム110及び第2リードフレーム120が隣接して平行に配置されることにより、第1リードフレーム110と第2リードフレーム120とに流れる電流に起因して発生するインダクタンスを低減させることができる。

- [0045] 本実施形態の半導体モジュール100によれば、半導体チップ144a、144b、及び144c等をアルミニウム等のワイヤーボンディングにより回路配線する場合と比べて、熱的に有利である。また、ワイヤーボンディングにより主回路配線を引き回す場合と比べて、ボンディングに使うワイヤーの本数を減らすことができるので、設備費用及び工数を削減することができる。ワイヤーボンディングによって回路配線する場合と比べて、ワイヤーボンディングの配線領域を少なくすることができ、半導体モジュール100の小型化を実現することができる。本実施形態の半導体モジュール100によれば、ワイヤーボンディングによる場合と比べて、端子放熱性も向上する。
- [0046] 図4は、第1リードフレーム110及び第2リードフレーム120の配置例を示す図である。図5は、第1リードフレーム110及び第2リードフレーム120の配置例の断面を示す図である。図6は、第1リードフレーム110を示す。図7は、第2リードフレーム120を示す。
- [0047] 第1リードフレーム110は、図4、図5、及び図6に示されるように、第1の板状部111を備える。板状部111は、半導体モジュール100の樹脂ケース160の底面に平行な平面(XY平面)を有してよい。板状部111は、Z軸方向の厚みがX方向及びY方向の幅に比べて小さい。板状部111は、複数の半導体チップ144a、144b、及び144cが配列される方向を長手方向として延伸してよい。本例では、板状部111は、Y方向に延伸している。
- [0048] 第1リードフレーム110は、複数の半導体チップ144a、144b、及び144cと接続する複数のチップ接続部116a、116b、及び116cを備える。チップ接続部116a、116b、及び116cと板状部111とは、それぞれ立ち上がり部119を介して接続される。立ち上がり部119は、チップ接続部116a、116b、及び116cの端面でチップ接続部116a、116b、及び116cに対して板状部111側に屈曲した部分である。立ち上がり部119は、板状部111と接続されている。立ち上がり部119は、チップ接続部116a、116b、及び116cに対

して直角に屈曲している必要はなく、チップ接続部116a、116b、及び116cに対して30度以上150度以下の角度で屈曲されてよい。また、立ち上がり部119は、曲面を有していてもよい。

[0049] 第1リードフレーム110において、板状部111の長手方向端部に、第1の主端子と電氣的に接続するための端子接続部191が設けられている。

[0050] チップ接続部116a、116b、及び116cの厚みは、板状部111の厚みと同じかそれより薄い。より好ましくは、チップ接続部116a、116b、及び116cの厚みは、板状部111の厚みより薄い。また、端子接続部191の厚みは、板状部111の厚みと同じかそれより薄い。より好ましくは、端子接続部191の厚みは、板状部111の厚みより薄い。端子接続部191の厚みは、チップ接続部116a、116b、及び116cの厚みと同じかそれより厚い。このような構成によれば、半導体モジュール100の機械的な剛性を高めることができるとともに、半導体チップ144a、144b、及び144cにかかる応力を緩和することができる。

[0051] 板状部111、チップ接続部116a、116b、及び116c、立ち上がり部119、及び端子接続部191は、一つの導電性材料で一体的に形成されていてもよく、複数の導電性部材を連結することで形成されていてもよい。

[0052] 第2リードフレーム120は、図4、図5、及び図7に示されるように、板状部121及び重畳部128を備える。重畳部128は、板状部121と接続される。第2リードフレーム120の重畳部128の主面は、上面視において第1リードフレーム110の板状部111の主面と重なるように配置される。重畳部128と板状部111は接触しないようにZ軸方向に間隔が設けられている。重畳部128の主面とは、重複部128の面のうち、最も面積の大きい面と、その裏面を指す。同様に、板状部121の主面とは、板状部121の面のうち、最も面積の大きい面と、その裏面を指す。図4及び図7の例では、XY面と平行な面が、重畳部128及び板状部121の主面である。

[0053] 本例では、重畳部128と板状部121とは、延長部122を介して接続される。延長部122は、第2リードフレーム120において、第1リードフレーム110と向かい合う端辺に、上方向または下方向に伸びて形成された部分であってよい。延長部122は、板状部121に対して直角に屈曲している必要はなく、板状部121に対して30度以上150度以下の角度で屈曲されてよい。また、延長部122は、曲面を有していてもよい。第2リードフレーム120は、板状部121と複数の半導体チップ146a、146b、及び146cとを接続する複数のチップ接続部126a、126b、及び126cを備える。チップ接続部126a、126b、及び126cと板状部121とは、立ち上がり部129を介して接続される。立ち上がり部129は、チップ接続部126a、126b、及び126cの端面でチップ接続部126a、126b、及び126cに対して板状部121側に屈曲している。立ち上がり部129は、板状部121と接続されてよい。立ち上がり部129は、チップ接続部126a、126b、及び126cに対して直角に屈曲している必要はなく、チップ接続部126a、126b、及び126cに対して30度以上150度以下の角度で屈曲されてよい。また、立ち上がり部129は、曲面を有していてもよい。図4に示されるように、第1リードフレーム110において複数の半導体チップ144a、144b、及び144cに接続される複数のチップ接続部116a、116b、及び116cと、第2リードフレーム120において複数の半導体チップ146a、146b、及び146cに接続される複数のチップ接続部126a、126b、及び、126cとが、上面視において平行に配置されてよい。

[0054] 第2リードフレーム120において、重畳部128の長手方向端部に、第2の主端子と電氣的に接続するための端子接続部181が設けられている。重畳部128において、端子接続部181が設けられる長手方向端部は、第1リードフレーム110の端子接続部191とは長手方向逆側に位置する重畳部128端部である。

[0055] チップ接続部126a、126b、及び126cの厚みは、板状部121



の厚み及び重畳部 128 の厚みと同じかそれらより薄い。より好ましくは、チップ接続部 126 a、126 b、及び 126 c の厚みは、板状部 111 の厚みより薄い。また、端子接続部 181 の厚みは、板状部 121 の厚み及び重畳部 128 の厚みと同じかそれらより薄い。より好ましくは、端子接続部 181 の厚みは、板状部 111 の厚みより薄い。端子接続部 181 の厚みは、チップ接続部 126 a、126 b、及び 126 c の厚みと同じかそれより厚い。このような構成によれば、半導体モジュール 100 の機械的な剛性を高めることができるとともに、半導体チップ 146 a、146 b、及び 146 c にかかる応力を緩和することができる。

[0056] 板状部 121、延長部 122、重畳部 128、チップ接続部 126 a、126 b、及び 126 c、立ち上がり部 129、及び端子接続部 181 は、一つの導電性材料で一体的に形成されていてもよく、複数の導電性部材を連結することで形成されていてもよい。

[0057] 板状部 111 及び板状部 121 には、樹脂ケース 160 内に樹脂を流し込むときに、樹脂が回り込みやすいように開口 171 が形成されてよい。また、板状部 111 には、治具を挿入するための切欠き 173 が形成されてよい。延長部 122 には、治具を挿入するための開口 172 が形成されてよい。開口 172 によって延長部 122 は、複数の延長部 122 a、122 b、及び 122 c に区画される。

[0058] 本例によれば、第 2 リードフレーム 120 の重畳部 128 が第 1 リードフレーム 110 の板状部 111 に上面視で重なるように伸びている。これにより、第 1 リードフレーム 110 と第 2 リードフレーム 120 とが対向する面積が拡大する。したがって、第 1 リードフレーム 110 と第 2 リードフレーム 120 とによって発生するインダクタンス及び誘導磁場をキャンセルさせる効果を高めることができる。

[0059] 図 8 は、一对のリードフレームの他の例を示す図である。第 1 リードフレーム 110 は、延長部 112 を有する。延長部 112 は、第 2 リードフレーム 120 と向かい合う端辺において、上方向または下方向に伸びて形成され

る。図8では、第2リードフレーム120も、延長部122を備える。第1リードフレーム110の延長部112と第2リードフレーム120の延長部122とは、延長方向が同じであってよい。本例では、延長部112と延長部122は、上方向に伸びている。これにより、第1リードフレーム110と第2リードフレーム120とが向かい合う端辺において、対向する面積が拡大する。したがって、第1リードフレーム110と第2リードフレーム120の発生するインダクタンス及び誘導磁場をキャンセルさせる効果を高めることができる。

[0060] 第1リードフレーム110において、板状部111の長手方向端部に、第1の主端子と電氣的に接続するための端子接続部191が設けられている。第2リードフレーム120において、板状部121の端部に、第2の主端子と電氣的に接続するための端子接続部181が設けられている。端子接続部181は、第1リードフレーム110の端子接続部191とは長手方向逆側における板状部121端部に、設けられている。

[0061] 本例においても、第1リードフレーム110は、チップ接続部116を有し、第2リードフレーム120は、チップ接続部126を有する。延長部112及び延長部122は、ZY平面に平行に広がる平面部を有してよい。延長部112及び延長部122の平面部の幅方向(X方向)の厚みD2は、チップ接続部の幅方向(Z方向)の厚みD1より大きい。これにより、半導体モジュールの機械的な剛性を高められるとともに、半導体チップに加わる応力を緩和することができる。

[0062] 図9は、一对のリードフレームの他の例を示す図である。第1リードフレーム110は、板状部111、延長部112に接続される対向部114を備える。延長部112は、第2リードフレーム120と向かい合う端辺において、上方向または下方向に伸びて形成される。対向部114は、延長部112に接続され、且つ、板状部111と対向して配置される板状の部分である。本例では、板状部111が+X軸方向に伸びて、延長部112で-X軸方向に折り返される。

- [0063] 第2リードフレーム120は、板状部121、延長部122に接続される対向部124を備える。延長部122は、第1リードフレーム110と向かい合う端辺において、上方向または下方向に伸びて形成される。対向部124は、延長部122に接続され、且つ、板状部121と対向して配置される板状の部分である。本例では、板状部121が-X軸方向に伸びて、延長部122で-X軸方向に折り返される。第1延長部112と第2延長部122のZ方向の長さが異なってもよい。
- [0064] 第1リードフレーム110において、対向部114の端部または板状部111の端部に、端子接続部191が設けられる。また、第2リードフレーム120において、対向部124の端部または板状部121の端部に、端子接続部181が設けられている。端子接続部191と端子接続部181は、リードフレームの長手方向（Y方向）において、逆側の端部に設けられている。また、本例においても、チップ接続部116とチップ接続部126とが設けられてよい。
- [0065] 本例の半導体モジュール100よれば、第1リードフレーム110と第2リードフレーム120とが向かい合う端辺において、対向する面積が拡大する。これにより、第1リードフレーム110と第2リードフレーム120とによって発生するインダクタンス及び誘導磁場をキャンセルさせる効果を高めることができる。また、第1リードフレーム110及び第2リードフレーム120の表面積を広くすることができるので、放熱性を高めることができる。また、折り返しによって、XY平面内で第1リードフレーム110と第2リードフレーム120が占める面積を維持したまま、リードフレームの断面積を増やすことができる。これにより大電流を流すことも容易となる。
- [0066] 図10は、リードフレームの他の例を示す図である。本例の第2リードフレーム120は、図4において示される第2リードフレーム120の変形例である。したがって、図4で示される構成と同様の構造については、詳しい説明を省略する。第2リードフレーム120は、チップ接続部126、立ち上がり部129、板状部121、延長部122a、対向部124a、延長部

122b、対向部124b、延長部122c、重畳部128及び端子接続部181を備える。第2リードフレーム120の重畳部128は、上面視において第1リードフレーム110の板状部111と重なるように配置される。重畳部128と板状部111は接触しないようにZ軸方向に間隔が設けられている。また、第2リードフレーム120の延長部122aは、第1リードフレーム110の板状部111における第2リードフレーム120側端辺（+X軸方向の端辺）と対向する高さ位置（Z軸方向で同位置）に配置されている。

[0067] 重畳部128の端部に端子接続部181が設けられている。第1リードフレーム110の端子接続部191と、第2リードフレーム120の端子接続部181は、リードフレームの長手方向（Y方向）において、逆側に設けられている。

[0068] 本例の第2リードフレーム120は、チップ接続部126を備える。チップ接続部126は、チップ接続部126の-X軸方向端辺（第1リードフレーム110と向かい合う端辺）から屈曲された立ち上がり部129を介して、板状部121と接続されている。

[0069] 本例によれば、第2リードフレーム120の延長部122a及び重畳部128が形成されている。そのため、第1リードフレーム110と第2リードフレーム120とが対向する面積が拡大する。これにより、第1リードフレーム110と第2リードフレーム120の発生するインダクタンス及び誘導磁場をキャンセルさせる効果を高めることができる。さらに、折り返しの効果によって、第2リードフレーム120の表面積を拡大して放熱性を高められると共に、断面積を拡大して大電流化に対応することができる。

[0070] 図11は、リードフレームの他の例を示す図である。本例の第1リードフレーム110は、金属板等を複数回にわたって折り返して断面積を拡大する。第1リードフレーム110は、チップ接続部116、立ち上がり部119、板状部111、延長部112a、対向部114a、延長部112b、対向部114b、延長部112c、対向部114c及び端子接続部191を備え

る。第2リードフレーム120も同様の構成を有している。そして、第1リードフレーム110の端子接続部191と、第2リードフレーム120の端子接続部181は、リードフレームの長手方向（Y方向）において、逆側に設けられている。本例では、延長部112aと延長部122a、延長部112cの延長部122cが向かい合っていることで、第1リードフレーム110と第2リードフレーム120の対向する面積が拡大する。これにより、第1リードフレーム110と第2リードフレーム120の発生するインダクタンス及び誘導磁場をキャンセルさせる効果を高めることができる。

[0071] 図12は、チップ接続部116の例を示す図である。半導体モジュール100の收容部には、積層基板が備えられる。積層基板上に配置された半導体チップ144に対して第1リードフレーム110のチップ接続部116がはんだ付けされてよい。このとき、チップ接続部116の厚さD1を0.6mm以下としてよい。熱膨張係数が異なる半導体チップ144とチップ接続部116とをはんだ付けすることによって、応力が生じる。しかしながら、本例の半導体モジュール100によれば、チップ接続部116の厚さD1を0.6mm以下とすることにより、応力を緩和することができる。板状部111の厚さD4は、チップ接続部116の厚さD1に比べて厚くしてよい。延長部112の厚さD2は、チップ接続部116の厚さD1に比べて厚くしてよい。対向部114の厚さD5は、チップ接続部116の厚さD1に比べて厚くしてよい。端子接続部191の厚さD3は、チップ接続部116の厚さD1より厚く、板状部111の厚さD4と同じかそれより薄くしてよい。立ち上がり部119の厚さD6は、チップ接続部116の厚さD1以上で、板状部111の厚さD4以下としてよい。板状部111、延長部112、及び対向部114の剛性が高まることにより、半導体モジュール100の機械的な剛性を高めることができる。また、板状部111、延長部112、及び対向部114の断面積が増えることで、電気抵抗を低減できる。チップ接続部116、立ち上がり部119、及び端子接続部191の剛性を低めることで、半導体チップに144にかかる応力を緩和することができる。

[0072] 図13は、リードフレームの接続例を示す図である。第1リードフレーム110の一端側は、チップ接続部116を通じて半導体チップ144上にあり、他端側の端子接続部191は、導電性ブロック192を通じて第1の主端子に電氣的に接続されてよい。第2リードフレーム120の一端側は、チップ接続部126を通じて半導体チップ146上にあり、他端側の端子接続部181は、導電性ブロック182を通じて第2主端子に接続されてよい。導電性ブロック182、192は、例えば銅ブロックである。

[0073] 図14は、切欠き174が形成された第2リードフレーム120の一例を示す図である。第2リードフレーム120の一端が複数の半導体チップ146a、146b、及び146cに接続されて、他端側の端子接続部181が第2の主端子に接続される場合、複数の半導体チップ146a、146b、及び146cのそれぞれと第2の主端子との間で電流経路の長さに違いが生じる。本例は、電流経路の長さを補正する。

[0074] 本例の半導体モジュール100によれば、第2リードフレーム120は、延長部122を備える。延長部122は、板状部121と重畳部128とを連結してよい。延長部122には、切欠き174が形成されてよい。本例では、切欠き174は、第2の主端子側の端子接続部181から、複数の半導体チップ146a、146b、及び146cのうち第2の主端子に最も近い半導体チップ146aと対向する位置まで形成されている。この結果、半導体チップ146aと第2の主端子との間の電流経路が長くなって、複数の半導体チップ146a、146b、及び146c間での電流経路の長さの差異が抑制される。

[0075] 本例では、樹脂ケース160の側面にアーム回路を形成するN端子152と、U端子155a（あるいは、V端子155b、W端子155c）が配置されている。本例では、N端子152は、樹脂ケース160の一側面（+Y軸方向側の側面）に沿って配置され、上記の一側面と対向する他側面（-Y軸方向側の側面）に沿ってU端子155a、V端子155b、及びW端子155cが配置されてよい。また、第1リードフレーム110の端部に形成さ

れる端子接続部 191 は、N 端子 152 に接続されている。第 2 リードフレーム 120 の端部に形成される端子接続部 181 は、U 端子 155 a（あるいは、V 端子 155 b、W 端子 155 c）に接続されている。そのため、上面視において、端子接続部 191 と端子接続部 181 は、リードフレームの中心から見て逆側に形成される。

[0076] 本発明の第 1 の様態においては、第 1 リードフレーム 110 は、板状部 111 と、端子接続部 191 と、チップ接続部 116 とを有する。板状部 111 は、平板状の略長方形の主面を有する。端子接続部 191 は、板状部 111 の主面の短辺に設けられており、N 端子 152 と電氣的に接続する。更に、前記略長方形の板状部 111 の主面のうち、複数の半導体チップのある主面側にチップ接続部 116 が形成されている。第 2 リードフレーム 120 は、板状部 121 と、端子接続部 181 と、チップ接続部 126 と、重畳部 128 を有する。重畳部 128 は、板状部 121 の主面端部から延長して設けられる。端子接続部 181 は、重畳部 128 の略長方形の主面の短辺に設けられており、U 端子 155 a（あるいは、V 端子 155 b、W 端子 155 c）と電氣的に接続する。更に、前記第 1 リードフレーム 110 の板状部 111 の主面と前記第 2 リードフレーム 120 の重畳部 128 とは、XY 面で対向している。端子接続部 191 と端子接続部 181 は、Y 軸方向でリードフレームの対向する部分から見て逆側に形成される。

[0077] 本発明の第 2 の様態においては、第 1 リードフレーム 110 は、板状部 111 と、端子接続部 191 と、チップ接続部 116 と、延長部 112 とを有する。板状部 111 は、平板状の略長方形の主面を有する。端子接続部 191 は、板状部 111 の主面の短辺に設けられており、N 端子 152 と電氣的に接続する。更に、前記略長方形の板状部 111 の主面のうち、複数の半導体チップのある主面側にチップ接続部 116 が形成されている。延長部 112 は、板状部 111 の主面の長辺から Z 軸方向に延長して設けられる。更に、前記略長方形の板状部 111 の長辺のうち、一方の側にチップ接続部 116、他方の側に延長部 112 が形成されている。第 2 リードフレーム 120

は、板状部 121 と、端子接続部 181 と、チップ接続部 126 と、延長部 122 を有する。板状部 121 は、平板状の略長方形の主面を有する。端子接続部 181 は、板状部 121 の主面の短辺に設けられており、U 端子 155a (あるいは、V 端子 155b、W 端子 155c) と電氣的に接続する。更に、前記略長方形の板状部 121 の主面のうち、複数の半導体チップのある主面側にチップ接続部 126 が形成されている。延長部 122 は、板状部 121 の主面の長辺から Z 軸方向に延長して設けられる。更に、前記略長方形の板状部 121 の長辺のうち、一方の側にチップ接続部 126、他方の側に延長部 122 が形成されている。更に、前記第 1 リードフレーム 110 の延長部 112 の主面と前記第 2 リードフレーム 120 の延長部 122 の主面とは、YZ 面で対向している。端子接続部 191 と端子接続部 181 は、Y 軸方向でリードフレームの対向する部分から見て逆側に形成される。

[0078] 本発明の第 3 の様態においては、第 1 リードフレーム 110 は、板状部 111 と、端子接続部 191 と、チップ接続部 116 と、延長部 112 と、対向部 114 とを有する。板状部 111 は、平板状の略長方形の主面を有する。前記略長方形の板状部 111 の主面のうち、複数の半導体チップのある主面側にチップ接続部 116 が形成され、他方の板状部 111 主面側に延長部 112 が設けられる。延長部 112 は、板状部 111 の主面の長辺から +Z 軸方向に延長して設けられる。更に、延長部 112 の端辺から板状部 111 と対向する向きに、対向部 114 が設けられる。端子接続部 191 は、対向部 114 の主面の短辺に設けられており、N 端子 152 と電氣的に接続する。更に、第 2 リードフレーム 120 は、板状部 121 と、端子接続部 181 と、チップ接続部 126 と、延長部 122 と、対向部 124 とを有する。板状部 121 は、平板状の略長方形の主面を有する。前記略長方形の板状部 121 の主面のうち、複数の半導体チップのある主面側にチップ接続部 126 が形成され、他方の板状部 121 主面側に延長部 122 が設けられる。延長部 122 は、板状部 121 の主面の長辺から +Z 軸方向に延長して設けられる。更に、延長部 122 の端辺から板状部 121 と対向する向きに、対向部



124が設けられる。端子接続部181は、対向部124の主面の短辺に設けられており、U端子155a（あるいは、V端子155b、W端子155c）と電氣的に接続する。更に、前記第1リードフレーム110の延長部112の主面と前記第2リードフレーム120の延長部122の主面とは、YZ面で対向している。端子接続部191と端子接続部181は、Y軸方向でリードフレームの対向する部分から見て逆側に形成される。

[0079] 以上のとおり、以上の種々の実施形態における半導体モジュールによれば、大電流に対応した配線構造を実現することができる。さらに、内部インダクタンスの低減にも寄与する。特に、半導体モジュール100は、上アーム回路146及び下アーム回路144を有しており、電気自動車（電気駆動車両）及びパワーコントロールユニットにおける電力変換部として好適に用いられる。

[0080] 図15は、電気自動車300の駆動系の概略構成図である。電気自動車300は、少なくとも上記で述べたいずれか1つの半導体モジュール100と、モータ17、中央演算装置18、ポンプ19、熱交換器20、配管21とを備えている。モータ17は、機械的に駆動力を車輪16に伝達する機構を用いて車輪16を回転させる。

[0081] モータ17は、半導体モジュール100の出力する電力で駆動する。中央演算装置18は、半導体モジュール100を制御する。ポンプ19は、半導体モジュール100を冷却する冷媒を輸送する。熱交換器20は、冷媒を冷却する。配管21は、ポンプ19と熱交換器20とを閉回路状に接続して冷媒流路を形成する。

[0082] 特に、半導体モジュール100と中央演算装置18を少なくとも有するパワーコントロールユニット200は、電気自動車300において電力変換を行う電力変換装置である。具格的には、電気自動車300のバッテリーが主電源として用いられる。バッテリーの正極が半導体モジュール100のP端子151に接続され、バッテリーの負極が半導体モジュール100のN端子152に接続される。そして、交流出力端子であるU端子155a、V端子155

b、及びW端子155cがモータ17に接続される。中央演算装置18によって、半導体チップ144及び半導体チップ146の制御端子に制御信号を与えて、モータ17に供給する電力を制御してよい。

[0083] 上述したとおり、複数の半導体チップ144a、144b、144c、146a、146b、及び146cは、それぞれRC-IGBTであってよい。図16は、逆導通絶縁ゲート型バイポーラトランジスタを含む半導体モジュール100における主回路の一例を示す回路図である。図16に示される回路は、半導体チップの構成を除いて、図2に示される回路と同様である。

[0084] 図16は、3相インバータを示している。3相インバータは、下アーム回路144と上アーム回路146とをそれぞれ3組有する。下アーム回路144のそれぞれは、3つ1組の半導体チップ144a、144b、及び144cを有している。各下アーム回路144における3つの半導体チップ144a、144b、及び144cは、電氣的に並列に接続されている。同様に、上アーム回路146のそれぞれは、3つ1組の半導体チップ146a、146b、及び146cを有している。それぞれの上アーム回路146における3つの半導体チップ146a、146b、及び146cは、電氣的に並列に接続されている。

[0085] 本例において、各半導体チップ144a~144cは、IGBT143a~143cと、還流ダイオード145a~145cとを含む。各IGBT143a~143cには、各還流ダイオード145a~145cが逆並列に接続されている。すなわち、各IGBT143a~143cの高電位側電極となるコレクタに、還流ダイオード145a~145cのカソードが接続される。各IGBT143a~143cの低電位側電極となるエミッタに、還流ダイオード145a~145cのアノードが接続される。

[0086] 各半導体チップ146a~146cは、IGBT147a~147cと、還流ダイオード148a~148cとを含む。各IGBT147a~147cには、各還流ダイオード148a~148cが逆並列に接続されている。なお、図16に示される主回路において、図2に示される場合と同様に、第

1リードフレーム110は、下アーム回路144に含まれる複数の半導体チップ144a、144b、及び144cのエミッタ端子に接続される部分を有する。第2リードフレーム120は、上アーム回路146に含まれる複数の半導体チップ146a、146b、及び146cのエミッタ端子に接続される部分を有する。但し、複数の半導体チップ144a、144b、144c、146a、146b、及び146cは、それぞれIGBTチップとダイオードチップとの組合せからなってもよい。例えば、半導体チップ144aは、1つのIGBTチップと1つのダイオードチップとを逆並列に接続したものでもよい。また、複数の半導体チップ144a、144b、144c、146a、146b、及び146cは、それぞれMOSFETチップとダイオードチップとの組合せからなってもよい。例えば、半導体チップ144aは、1つのMOSFETチップと1つのダイオードチップを逆並列に接続したものでもよい。

[0087] 図16に示されるようなRC-IGBTを用いた半導体モジュール100によれば、半導体モジュール100の小型化及び低熱抵抗化を図ることができる。さらに、半導体モジュール100の高出力化及び高電圧化を実現するために、各半導体チップ144a、144b、144c、146a、146b、及び146cのチップ面積の大型化及び高耐圧化が図られる。各半導体チップ144a、144b、144cのエミッタ端子を接続するための部材として、ボンディングワイヤに代えて、上述した第1リードフレーム110が用いられてよい。各半導体チップ146a、146b、及び146cのエミッタ端子を接続するための部材として、第2リードフレーム120が用いられてよい。

[0088] 狭いスペースにおいて、大電流が流れる大容量チップが各半導体チップとして配置されている場合には、相互インダクタンスの影響が大きくなる。それゆえ、低インダクタンス化と、各半導体チップ144a、144b、及び144cにおける各インダクタンス間のバラツキの抑制とを実現することが困難となる場合がある。同様に、各半導体チップ146a、146b、及び

146cにおける各インダクタンス間のバラツキを抑制することも困難になる。

[0089] 各半導体チップ144a、144b、144c、146a、146b、及び146cの大容量化に伴って、1チップあたりの電流の時間変化 $di/dt$ が大きくなる。また、ボンディングワイヤに代えて、第1リードフレーム110及び第2リードフレーム120が用いられることによって、インダクタンスが小さくなる。1チップあたりの電流の時間変化 $di/dt$ が大きくなることに起因して、半導体チップ146a、146b、及び146cにおける各エミッタから第1の主端子までのインダクタンスのアンバランスが生じる。同様に、半導体チップ144a、144b、及び144cにおける各エミッタから第2の主端子までのインダクタンスのアンバランスが生じる。インダクタンスのアンバランスは、各半導体チップ144a、144b、144c間での電流のアンバランスを生じさせる。電流のアンバランスによって電流が特定の半導体チップに集中する。

[0090] 具体的には、図16において、IGBT147a、147b、及び147cがオフ状態からオン状態になると、ゲート電圧 $V_{ge}$ がIGBT147a、147b、及び147cの閾値電圧 $V_{th}$ を超えた時点でIGBT147a、147b、及び147cを通じてコレクタ電流 $I_c$ が流れる。そして、その対向アーム（下アーム回路144）の還流ダイオード145a、145b、145cが逆回復する。そして、これに伴って、対向アームのIGBT143a、143b、及び143cのゲート電圧が上昇する。

[0091] 本例では、IGBT147a、147b、及び147cの間に電流のアンバランスが生じることによって、IGBT147aに電流が集中する。これにより、対向アームのIGBT143a、143b、及び143cの何れかのIGBT、例えばIGBT143cにおけるゲート電圧の上昇が顕著になる。この結果、ゲート電圧が所定の閾値電圧を超える場合に、例えば、IGBT143cの誤オンが発生する。

[0092] したがって、低インダクタンスであって、かつ各半導体チップの各インダ

クタンスの差異を抑制することができる第1リードフレーム110と第2リードフレーム120が提供されることが望ましい。これにより、上アーム回路146を構成する各半導体チップ146a~146cにおける電流のアンバランス及び下アーム回路144を構成する各半導体チップ144a~144cにおける電流のアンバランスを解消するとともに、誤オンを防止することができる。

[0093] 図17は、スリット部をそれぞれ有する第1リードフレーム110及び第2リードフレーム120の配置例を示す図である。図18は、スリット部をそれぞれ有する第1リードフレーム110及び第2リードフレーム120の上面図の一例である。

[0094] 図17及び図18に示される第1リードフレーム110及び第2リードフレーム120は、互いに対向して配置された面を有する。本例においては、図8に示された場合と同様に、第1リードフレーム110は、延長部112を有する。延長部112は、第2リードフレーム120と向かい合う端辺において、上方向または下方向に伸びて形成される。第2リードフレーム120も、延長部122を備える。本例では、延長部112と延長部122は、上方向に伸びている。第1リードフレーム110の延長部112と第2リードフレーム120の延長部122とは、互いに接触しないようにしつつ近接する。これにより、相互インダクタンスの作用による低インダクタンス化が図られる。

[0095] 第1リードフレーム110は、長手方向に延びている。第1リードフレーム110は、長手方向の両端の間に第1中間部113を有する。第2リードフレーム120も、長手方向に延びている。第2リードフレーム120は、長手方向の両端の間に第2中間部123を有する。第1中間部113は、図4~図14に示されるような板状部111及びチップ接続部116を含んでよく、さらに、対向部114等を含んでもよい。同様に、第2中間部123は、図4~図14に示されるような板状部121及びチップ接続部126を含んでよく、さらに、対向部124等を含んでもよい。

[0096] 本例では、第1リードフレーム110の長手方向の一端部（+Y軸方向の端部）が、端子接続部191を介して主端子の一つであるN端子152に接続されている。本例では、延長部112の長手方向の一端部が端子接続部191を介してN端子152に接続されている。第2リードフレーム120の長手方向の一端部（-Y軸方向の端部）が、端子接続部181を介して主端子の一つであるU端子155a（あるいは、V端子155b、W端子155c）に接続されている。本例では、延長部122の長手方向の一端部が端子接続部191を介してU端子155a等に接続されている。

[0097] 図18に示されるとおり、絶縁基板183上に導電板184及び導電板185が設けられてよい。導電板184及び導電板185は、互いに電氣的に分離されている。下アーム回路144を構成する複数の半導体チップ144a、144b、及び144cは、Y軸に沿って、導電板184上に配列されてよい。複数の半導体チップ144a、144b、及び144cにおいて、それぞれのIGBT143a、IGBT143b、及びIGBT143cの各エミッタ端子に対して、第1リードフレーム110の第1中間部113が接続される。具体的には、第1中間部113に含まれる複数のチップ接続部116a、116b、及び116cが、IGBT143a、IGBT143b、及びIGBT143cの各エミッタ端子に接続されてよい。チップ接続部116a、116b、及び116cは、図4、図6、図12等にも示される構成と同様であってよい。

[0098] 複数の半導体チップ144a、144b、及び144cにおいて、それぞれのIGBT143a、IGBT143b、及びIGBT143cの各コレクタ端子は、半導体チップの裏面において導電板184に接続される。導電板184は、第2リードフレーム120に接続される。導電板184は、第2リードフレーム120を介して、上アーム回路146を構成する複数の半導体チップ146a、146b、及び146cにおけるIGBT147a、IGBT147b、及びIGBT147cの各エミッタ端子と、主端子の一つであるU端子155a（あるいは、V端子155b、W端子155c）と

に電氣的に接続される。

[0099] 上アーム回路146を構成する複数の半導体チップ146a、146b、及び146cは、Y軸に沿って、導電板185上に配列されてよい。複数の半導体チップ144a、144b、及び144cと、複数の半導体チップ146a、146b、及び146cとは、X軸上の異なる位置において互いに対向するように配列されてよい。但し、半導体チップ144a、144b、及び144c等は、必ずしも一列に配列されていなくてもよい。複数の半導体チップ146a、146b、及び146cにおいて、それぞれのIGBT147a、IGBT147b、及びIGBT147cの各エミッタ端子に対して、第2リードフレーム120の第2中間部123が接続される。具体的には、第2中間部123に含まれる複数のチップ接続部126a、126b、及び126cが、IGBT147a、IGBT147b、及びIGBT147cの各エミッタ端子に接続されてよい。チップ接続部126a、126b、及び126cは、図4、図7、及び図12等を示される構成と同様であってよい。

[0100] 複数の半導体チップ146a、146b、及び146cにおいて、それぞれのIGBT147a、IGBT147b、及びIGBT147cの各コレクタ端子は、半導体チップの裏面において導電板185に接続される。導電板185は、主端子の一つであるP端子151に電氣的に接続されてよい。P端子151とN端子152とは、互いに接することなく、第1リードフレーム110及び第2リードフレーム120の同一方向の端部（+Y方向の端部）に配置されてよい。

[0101] 第1リードフレーム110の第1中間部113と第2リードフレーム120の第2中間部123とは、間隔をあけて対向しているとともに、間隔の中央を中心として上面視で点対称に配置されている。なお、点対称における中心は、第1リードフレーム110の第1中間部113と第2リードフレーム120の間隔のX方向の中点、かつ、図18に点線で示される中間領域のY軸方向の中点であってよい。

- [0102] 図18に示されるとおり、第1リードフレーム110には、第1リードフレーム110の長手方向に沿って第1スリット部194が形成されている。本例では、第1リードフレーム110の第1中間部113において長手方向（Y軸方向）に沿う第1スリット部194が形成されている。第1スリット部194は、第1リードフレーム110の第1中間部113の第1の主端子側の端辺（+Y軸方向の端部に位置する辺）から他方の端辺（-Y軸方向の端部に位置する辺）へ向かう方向（-Y軸方向）に延伸して形成されてよい。
- [0103] 第2リードフレーム120には、第2リードフレーム120の長手方向に沿って第2スリット部193が形成されている。本例では、第2リードフレーム120の第2中間部123において長手方向（Y軸方向）に沿う第2スリット部193が形成されている。第2スリット部193は、第2リードフレーム120の第2中間部123の第2の主端子側の端辺（-Y軸方向の端部に位置する端辺）から他方の端辺（+方向の端部に位置する端辺）へ向かう方向（+Y軸方向）に延伸して形成されてよい。
- [0104] 第1スリット部194の長手方向の長さ及び第2スリット部193の長手方向の長さは、ともに同じ長さD2であってよい。第1スリット部194の短手方向の長さ及び第2スリット部193の短手方向の長さは、ともに同じ長さD3であってよい。長さD2は、長さD3より長くてよい。第1スリット部194の長手方向の長さD2は、第1リードフレーム110の第1中間部113の長手方向（Y軸方向）の長さD1の3分の1以上であってよく、2分の1以上であってよく、3分の2より大きくてもよい。同様に、第2スリット部193の長手方向の長さD2は、第2リードフレーム120の第2中間部123の長手方向の長さの3分の1以上であってもよく、2分の1以上であってよく、あるいは3分の2以上であってよい。
- [0105] 本例では、第1スリット部194は、延長部112の側面に沿って接するように第1中間部113における板状部に設けられている。第2スリット部193は、延長部122の側面に沿って接するように第2中間部123にお



ける板状部に設けられている。但し、延長部 112 の側面から X 軸方向に所定距離だけ離れて第 1 スリット部 194 が設けられていてもよい。延長部 122 の側面から X 軸方向に所定距離だけ離れて第 2 スリット部 193 が設けられていてもよい。

[0106] 第 1 スリット部 194 及び第 2 スリット部 193 の形成位置及び形状を含めて、第 1 リードフレーム 110 の第 1 中間部 113 と第 2 リードフレーム 120 の第 2 中間部 123 とは、上面視で点对称に配置されることが好ましい。

[0107] 図 17 及び図 18 に示される第 1 スリット部 194 及び第 2 スリット部 193 を設ける効果について説明する。図 19 は、スリット部の有無に起因する、電流波形の違いを示す図である。本例では、上アーム回路 146 に含まれる複数の半導体チップ 146a (チップ 1)、半導体チップ 146b (チップ 2)、及び半導体チップ 146c (チップ 3) を流れる各電流と、それらの合計電流とを示している。本例では第 2 リードフレーム 120 が接続される第 2 の主端子 (本例では、U 端子 155a) に近い側から順番に、チップ 1、チップ 2、チップ 3 と称する。

[0108] 図 19 において、スリット無しのグラフは、図 17 及び図 18 における第 1 スリット部 194 及び第 2 スリット部 193 が形成されていない場合におけるターンオン時の電流波形のシミュレーション結果を示す。スリット有りのグラフは、図 17 及び図 18 における第 1 スリット部 194 及び第 2 スリット部 193 が形成されている場合におけるターンオン時の電流波形のシミュレーション結果を示す。スリット無しの場合とスリット有りの場合とにおいて、印加電源電圧  $V_{dd}$ 、定常電流  $I_d$ 、ゲート抵抗  $R_g$ 、及び接合部温度  $T_j$  等の条件は同じである。

[0109] 図 19 に示されるとおり、第 1 リードフレーム 110 及び第 2 リードフレーム 120 が、第 1 スリット部 194 及び第 2 スリット部 193 を有する場合において、半導体チップ 146a (チップ 1)、半導体チップ 146b (チップ 2)、及び半導体チップ 146c (チップ 3) をそれぞれ流れる電流

のバラツキは、第1リードフレーム110及び第2リードフレーム120が第1スリット部194及び第2スリット部193を有しない場合における導体チップ146a（チップ1）、半導体チップ146b（チップ2）、及び半導体チップ146c（チップ3）をそれぞれ流れる電流のバラツキより小さい。

[0110] 本例によれば、第1スリット部194及び第2スリット部193がある場合において、半導体チップ146a（チップ1）、半導体チップ146b（チップ2）、及び半導体チップ146c（チップ3）を流れる電流の比率は、2.7 : 2 : 1程度となる。これは、第1スリット部194及び第2スリット部193がない場合における、半導体チップ146a（チップ1）、半導体チップ146b（チップ2）、及び半導体チップ146c（チップ3）を流れる電流の比率である10 : 1.25 : 1の比率に比べて電流のバラツキが小さい。

[0111] 本例において、第1スリット部194及び第2スリット部193が設けられることによって、第1スリット部194及び第2スリット部193がない場合に比べて、特定の半導体チップ146a（チップ1）に電流が集中することを抑制することができる。本例では、複数の半導体チップ146a（チップ1）、半導体チップ146b（チップ2）、及び半導体チップ146c（チップ3）のうち、半導体チップ146a（チップ1）を流れる電流が一番大きくなる。そして、第1スリット部194及び第2スリット部193を設けることによって、半導体チップ146a（チップ1）を流れる電流が $\Delta I$ だけ低減する。本例では、合計した定常電流 $I_d$ を400Aとする条件において、第1スリット部194及び第2スリット部193が設けられることによって、半導体チップ146a（チップ1）を流れるピーク電流を749Aから324Aに削減できた。

[0112] 図20は、スリット部の有無に起因する、対向アームでのIGBTにおける電圧波形の違いを示す図である。上述したとおり、対向アーム（例えば、下アーム回路144）の還流ダイオード145a、145b、145cが逆

回復する。そして、これに伴って、対向アームの IGBT 143 a、143 b、及び 143 c のゲート電圧が上昇する。しかしながら、第 1 スリット部 194 及び第 2 スリット部 193 を設けることによって、対向アームの IGBT 143 a、143 b、及び 143 c のゲート電圧の上昇を抑制することができる。本例では、第 1 スリット部 194 及び第 2 スリット部 193 を設けることによって、ゲート電圧のピークを 9.1 V から 6.1 V に低減することができた。

[0113] なお、本例では、第 1 スリット部 194 及び第 2 スリット部 193 を設けない場合には、半導体チップ 144 a (チップ 6)、144 b (チップ 5)、及び 144 c (チップ 4) のうち、半導体チップ 144 c (チップ 4) における IGBT 143 c のゲート電圧が最も大きくなった。一方、第 1 スリット部 194 及び第 2 スリット部 193 が設けられた場合には、半導体チップ 144 a、144 b、及び 144 c のうちのうち、半導体チップ 144 a (チップ 6) における IGBT 143 a のゲート電圧が最も大きくなった。但し、IGBT 143 a のゲート電圧は、第 1 スリット部 194 及び第 2 スリット部 193 を設けない場合の最大のゲート電圧と比べて小さくすることができた。

[0114] 第 1 スリット部 194 及び第 2 スリット部 193 を設けることによって、自己インダクタンスについても、半導体チップ 146 a、146 b、及び 146 c における値のアンバランスが軽減された。第 1 スリット部 194 及び第 2 スリット部 193 を設けない構造では、半導体チップ 146 a、146 b、及び 146 c の自己インダクタンスは、それぞれ 14.6 nH、20.4 nH、29.0 nH となり、比率は、1 : 1.4 : 2.0 であった。これに対し、第 1 スリット部 194 及び第 2 スリット部 193 を設ける構造では、半導体チップ 146 a、146 b、及び 146 c の自己インダクタンスが、それぞれ 40.7 nH、33.9 nH、33.6 nH となり、比率は、1.3 : 1 : 1 となった。したがって、半導体チップ 146 a、146 b、及び 146 c におけるエミッタから主端子までのインダクタンスのアン balan

スが改善された。

[0115] 実効インダクタンスについても、半導体チップ146a、146b、及び146cにおけるアンバランスが軽減された。実効インダクタンスは、自己インダクタンスと相互インダクタンスの和により算出される。第1スリット部194及び第2スリット部193を設けない構造では、半導体チップ146a、146b、及び146cにおける実効インダクタンスは、それぞれ10.2nH、18.1nH、23.8nHとなり、比率は、1:1.8:2.3となった。これに対し、第1スリット部194及び第2スリット部193を設ける構造では、半導体チップ146a、146b、及び146cにおける実効インダクタンスは、それぞれ15.0nH、15.1nH、14.2nHとなり、比率は、1.1:1.1:1となった。したがって、半導体チップのエミッタから主端子までの実効インダクタンスのアンバランスが改善された。

[0116] 以上のとおり、本例の半導体モジュール100によれば、第1リードフレーム110に第1スリット部194が形成され、第2リードフレーム120に第2スリット部193が形成される。これにより、半導体チップ146a、146b、及び146cにおけるインダクタンスのアンバランスが軽減される。そして、半導体チップ146a、146b、及び146cにおける電流のアンバランスが軽減される。対向アームにおける還流ダイオード145a、145b、145cが逆回復するとき、対向アームにおけるIGBT143a、143b、及び143cのゲート電圧が上昇することを防止することができる。したがって、特定の半導体チップが誤オンすることを防止することができる。

[0117] なお、上記の例では、上アーム回路146がスイッチングされる場合を示したが、下アーム回路144がスイッチングされる場合も同様である。半導体チップ144a、144b、及び144cにおけるインダクタンスのアンバランスが軽減される。そして、半導体チップ144a、144b、及び144cにおける電流のアンバランスが軽減される。対向アームにおける還

流ダイオード148a、148b、148cが逆回復するとき、対向アームにおけるIGBT147a、147b、及び147cのゲート電圧が上昇することを防止することができる。

[0118] 図16から図20を参照して説明した第1スリット部194及び第2スリット部193が形成された半導体モジュール100についても、図15に示される電気自動車300及びパワーコントロールユニット200において使用されてよい。

[0119] 以上、本発明を実施の形態を用いて説明したが、半導体モジュール100の構成は、これらの場合に限定されない。例えば、図9に示されるように、第1リードフレーム110において、対向部114と、板状部111とが上面視において重なる構成において、第1リードフレーム110の長手方向における対向部114の長さとは異なるようにしてもよい。例えば、対向部114の長さを短くした上で、第1リードフレーム110の一端部に近い部分にのみ対向部114を配置してよい。

[0120] 同様に、第2リードフレーム120においても、対向部124の長さを短くした上で、第1リードフレーム110の一端部とは逆側の端部に近い第2リードフレーム120の部分にのみ対向部124を配置してよい。この場合も、第1リードフレーム110の第1中間部113と、第2リードフレーム120の第2中間部123とは、間隔の中央を中心として上面視で点対称に配置されてよい。対向部114または板状部111等の配置位置によって、半導体チップ146a、146b、及び146cにおけるインダクタンスのアンバランスが軽減される。

[0121] 図8に示されるように、第1リードフレーム110の板状部111と、第2リードフレーム120の板状部121とを有する半導体モジュール100を利用してよい。板状部111が板状部121と対向している辺と反対側の端縁において、板状部111を部分的に拡張する拡張部分が設けられてよい。同様に、板状部121が板状部121を部分的に拡張する拡張部分が設けられてよい。この場合、第1リードフレーム110の一端部に近い部分にお

いて、板状部 111 に拡張部分を設けてよい。第 2 リードフレーム 120 において、第 1 リードフレーム 110 の一端部とは逆側の端部に近い部分において、板状部 121 に拡張部分を設けてよい。この場合も、第 1 リードフレーム 110 の第 1 中間部 113 と、第 2 リードフレーム 120 の第 2 中間部 123 とは、間隔の中央を中心として上面視で点対称に配置されてよい。対向部 114 または板状部 111 等の配置位置によって、半導体チップ 146 a、146 b、及び 146 c におけるインダクタンスのアンバランスが軽減される。

[0122] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

### 符号の説明

[0123] 16・・・車輪、17・・・モータ、18・・・中央演算装置、19・・・ポンプ、20・・・熱交換器、21・・・配管、100・・・半導体モジュール、110・・・第 1 リードフレーム、111・・・板状部、112・・・延長部、113・・・第 1 中間部、114・・・対向部、116・・・チップ接続部、119・・・立ち上がり部、120・・・第 2 リードフレーム、121・・・板状部、122・・・延長部、123・・・第 2 中間部、124・・・対向部、126・・・チップ接続部、128・・・重畳部、129・・・立ち上がり部、130・・・端子ピン、132・・・樹脂ブロック、143・・・IGBT、144・・・下アーム回路、144 a・・・半導体チップ、144 b・・・半導体チップ、144 c・・・半導体チップ、145・・・還流ダイオード、146・・・上アーム回路、146 a・・・半導体チップ、146 b・・・半導体チップ、146 c・・・半導体チップ、147・・・IGBT、148・・・還流ダイオード、149・・・内部配線端子、151・・・P端子、152・・・N端子、155 a・・・U端子、

155b・・・V端子、155c・・・W端子、160・・・樹脂ケース、171・・・開口、172・・・開口、173・・・切欠き、174・・・切欠き、181・・・端子接続部、182・・・導電性ブロック、183・・・絶縁基板、184・・・導電板、185・・・導電板、191・・・端子接続部、192・・・導電性ブロック、193・・・第2スリット部、194・・・第1スリット部、200・・・パワーコントロールユニット、300・・・電気自動車

## 請求の範囲

- [請求項1] 第1のアーム回路と第2のアーム回路とを備える半導体モジュールであって、
- 前記第1のアーム回路と第2のアーム回路のそれぞれに含まれる複数の半導体チップと、
- 前記第1のアーム回路の前記複数の半導体チップに接続される第1のリードフレームと、
- 前記第2のアーム回路の前記複数の半導体チップに接続される第2のリードフレームと、
- 前記第1のリードフレームに接続される第1の主端子と、
- 前記第2のリードフレームに接続される第2の主端子と
- を備え、
- 前記第1のリードフレームと前記第2のリードフレームとは対向する部分を有し、
- 前記第1のリードフレームの第1の端部に、前記第1の主端子に接続されている第1の端子接続部を有し、
- 前記第2のリードフレームの第2の端部に、前記第2の主端子に接続されている第2の端子接続部を有し、
- 前記第1の端子接続部と第2の端子接続部とが、第1のリードフレームと前記第2のリードフレームの対向する部分から見て、逆側に配置されている半導体モジュール。
- [請求項2] 前記第1のアーム回路に含まれる前記複数の半導体チップがオン状態になったときに前記第1のリードフレームに流れる電流の方向と、前記第2のアーム回路に含まれる前記複数の半導体チップがオン状態になったときに前記第2のリードフレームに流れる電流の方向とが逆向きである
- 請求項1に記載の半導体モジュール。
- [請求項3] 前記第1のリードフレームにおいて前記複数の半導体チップに接続



されるチップ接続部と、前記第2のリードフレームにおいて前記複数の半導体チップに接続されるチップ接続部とが、上面視において平行に配置されている

請求項1または2に記載の半導体モジュール。

[請求項4]

前記第1のリードフレームは、

第1の板状部と、

前記第1の板状部において前記第2のリードフレームと向かい合う端辺に、上方向または下方向に伸びて形成された第1の延長部と

を有し、

前記第2のリードフレームは、

第2の板状部と、

前記第2の板状部において前記第1のリードフレームと向かい合う端辺に、前記第1の延長部と対向する方向に伸びて形成された第2の延長部と

を有する請求項1から3のいずれか一項に記載の半導体モジュール

。

[請求項5]

前記第1のリードフレームは、前記第1の延長部に接続され、且つ、前記第1の板状部と対向して配置された板状の第1の対向部を更に有する

請求項4に記載の半導体モジュール。

[請求項6]

前記第2のリードフレームは、前記第2の延長部に接続され、且つ、前記第2の板状部と対向して配置された板状の第2の対向部を更に有する

請求項4または5に記載の半導体モジュール。

[請求項7]

前記第1のリードフレームは、第1の板状部を有し、

前記第2のリードフレームは、

上面視において前記第1の板状部とは重ならないように配置された第2の板状部と、

前記第2の板状部に接続され、上面視において前記第1の板状部と重なるように配置された重畳部と

を有する請求項1から3のいずれか一項に記載の半導体モジュール

。

[請求項8]

前記第1のリードフレームは、

前記第1の板状部において前記第2のリードフレームと向かい合う端辺に、上方向または下方向に伸びて形成された第1の延長部と、

前記第1の延長部に接続され、且つ、前記第1の板状部と対向して配置された板状の第1の対向部と、

前記第1の板状部または前記第1の対向部と、前記複数の半導体チップとを接続する複数の第1のチップ接続部と

を有する請求項7に記載の半導体モジュール。

[請求項9]

前記第2のリードフレームは、前記第2の板状部及び前記複数の半導体チップを接続する複数の第2のチップ接続部を有する

請求項7または8に記載の半導体モジュール。

[請求項10]

前記第2のリードフレームは、前記第2の板状部と前記重畳部とを連結する第2の延長部を有し、

前記第2の延長部は、前記第2の主端子側の端辺から、前記複数の半導体チップのうち前記第2の主端子に最も近い半導体チップと対向する位置まで、切欠きが形成されている

請求項7から9のいずれか一項に記載の半導体モジュール。

[請求項11]

前記第1のリードフレームは、

前記第1の主端子に接続される第1の板状部と、

前記複数の半導体チップに接続され、前記第1の板状部よりも薄い複数のチップ接続部と

を有する請求項1から3のいずれか一項に記載の半導体モジュール

。

[請求項12]

前記第1のリードフレームにおいて、前記第1の主端子に接続され

る前記第1の端子接続部は、前記複数の半導体チップに接続されるチップ接続部よりも厚い

請求項1から11のいずれか一項に記載の半導体モジュール。

[請求項13] 前記第1のリードフレームは、前記複数の半導体チップに接続される複数の第1のチップ接続部を有し、

前記第1の延長部は、前記複数の第1のチップ接続部よりも厚い

請求項4から6のいずれか一項に記載の半導体モジュール。

[請求項14] 前記第1のリードフレームは、前記第1のアーム回路に含まれる前記複数の半導体チップのエミッタ端子に接続された第1中間部を有し、

前記第2のリードフレームは、前記第2のアーム回路に含まれる前記複数の半導体チップのエミッタ端子に接続された第2中間部を有し、

前記第1のリードフレームの前記第1中間部と前記第2のリードフレームの第2中間部とは、間隔をあけて対向しているとともに、前記間隔の中央を中心として上面視で点対称に配置されている

請求項1に記載の半導体モジュール。

[請求項15] 前記第1のリードフレームは、該第1のリードフレームの前記第1中間部の長手方向に沿う第1スリット部が形成されており、

前記第2のリードフレームは、該第2のリードフレームの前記第2中間部の長手方向に沿う第2スリット部が形成されている、

請求項14に記載の半導体モジュール。

[請求項16] 前記第1スリット部の長手方向の長さは、前記第1のリードフレームの前記第1中間部の長手方向の長さの3分の2より大きく、

前記第2スリット部の長手方向の長さは、前記第2のリードフレームの前記第2中間部の長手方向の長さの3分の2より大きい、

請求項15に記載の半導体モジュール。

[請求項17] 前記第1スリット部は、前記第1の主端子側の端辺から形成されて

おり、

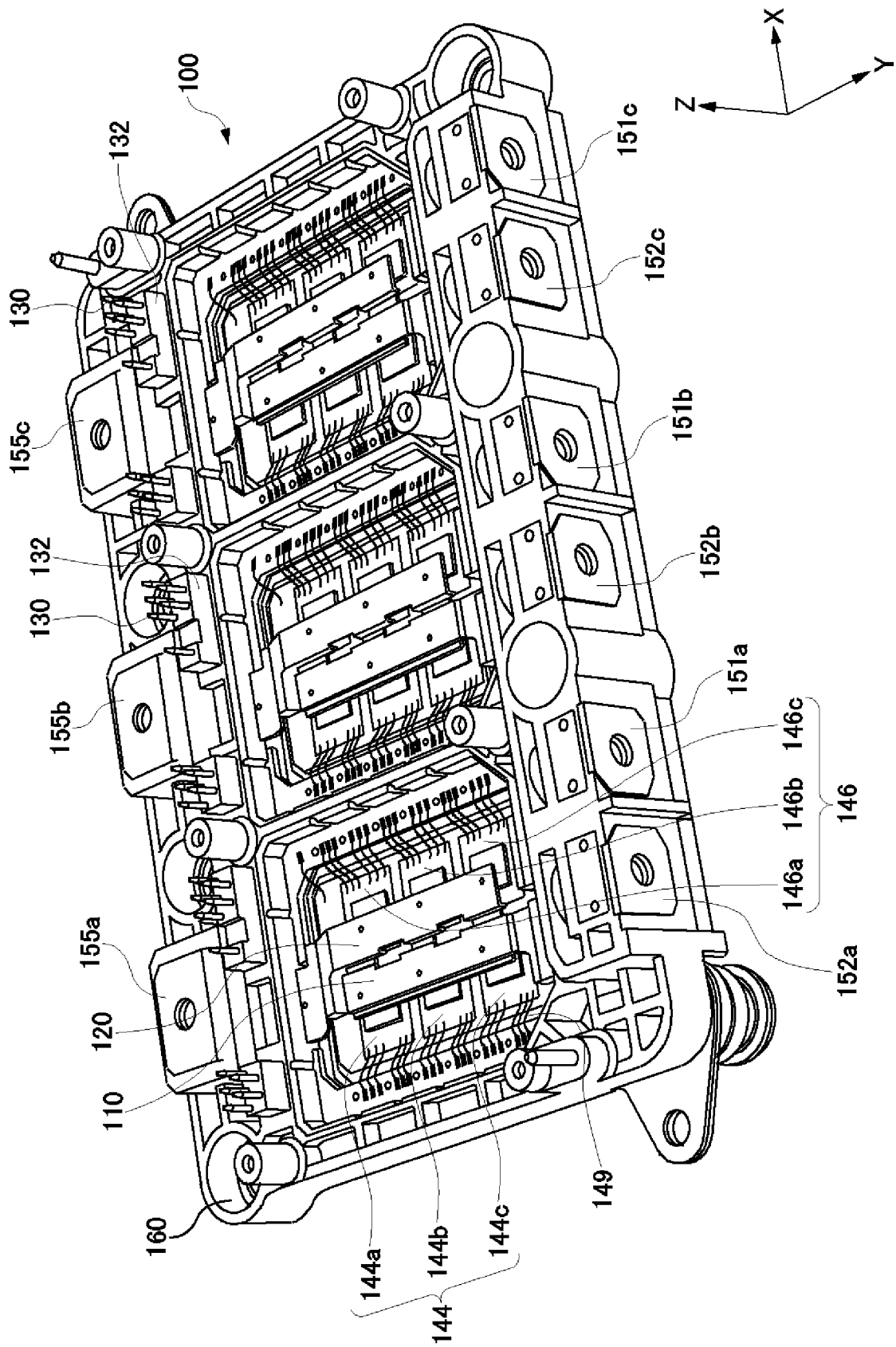
前記第2スリット部は、前記第2の主端子側の端辺から形成されている

請求項15に記載の半導体モジュール。

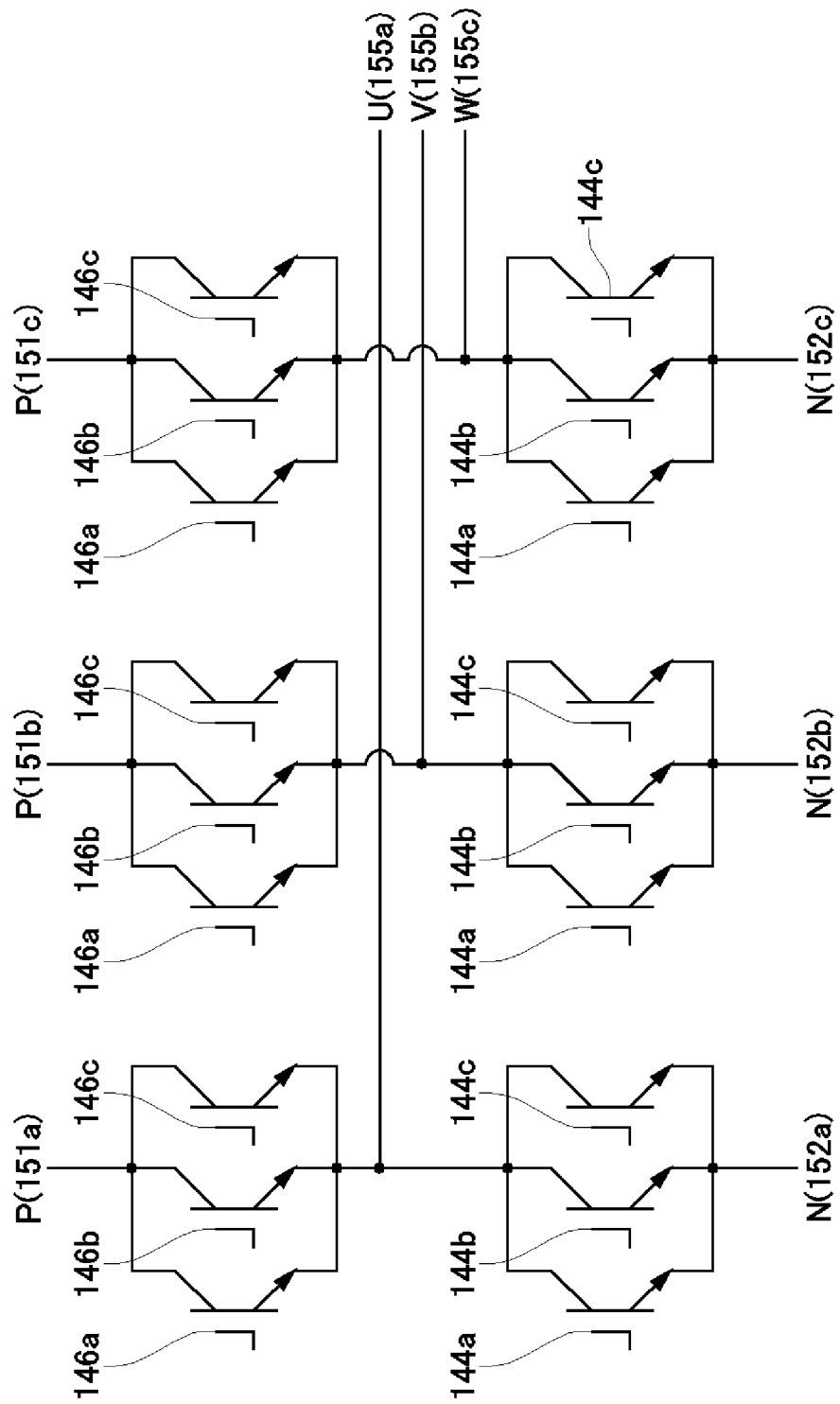
[請求項18] 請求項1から17のいずれか一項に記載の半導体モジュールを備える電気自動車。

[請求項19] 請求項1から17のいずれか一項に記載の半導体モジュールを備えるパワーコントロールユニット。

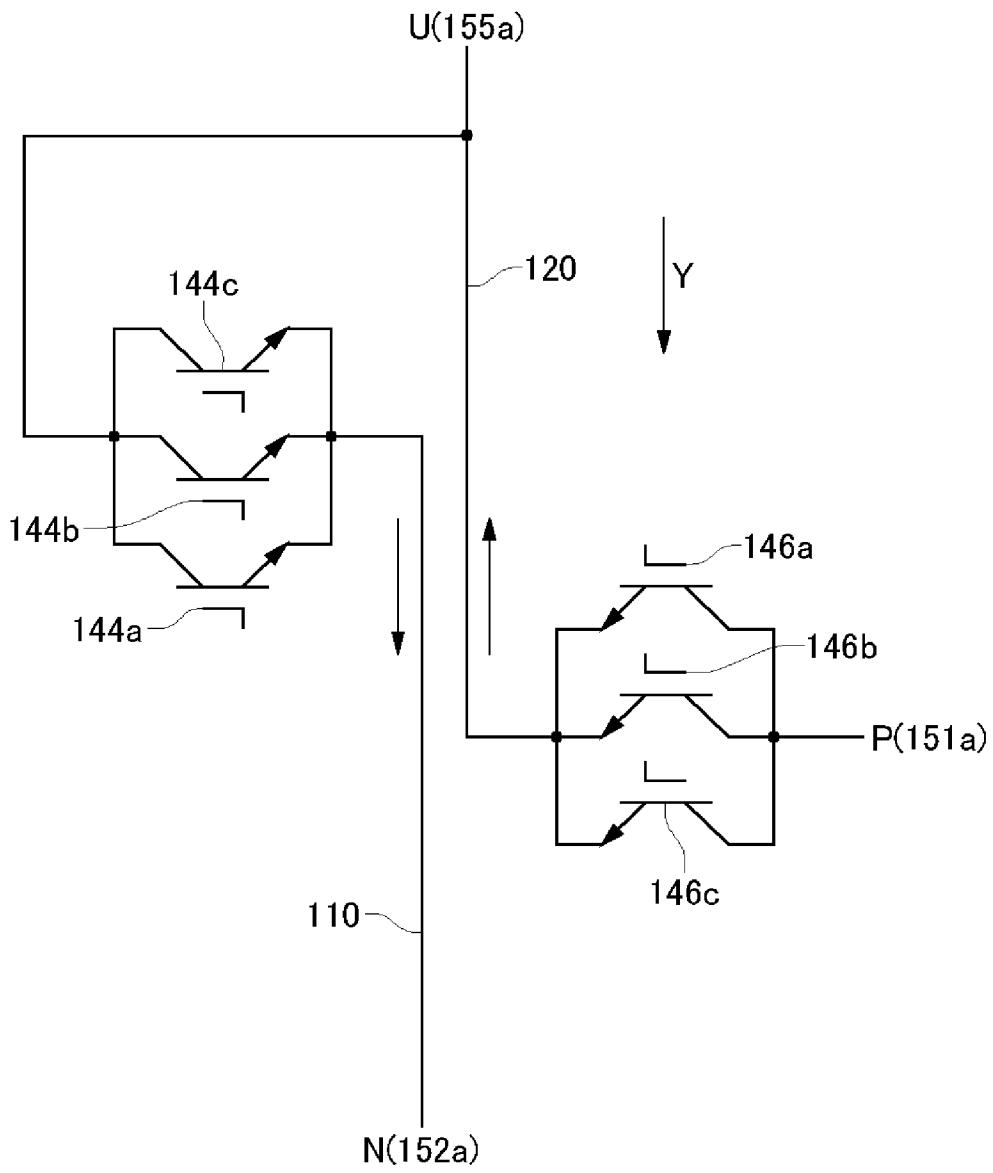
[図1]



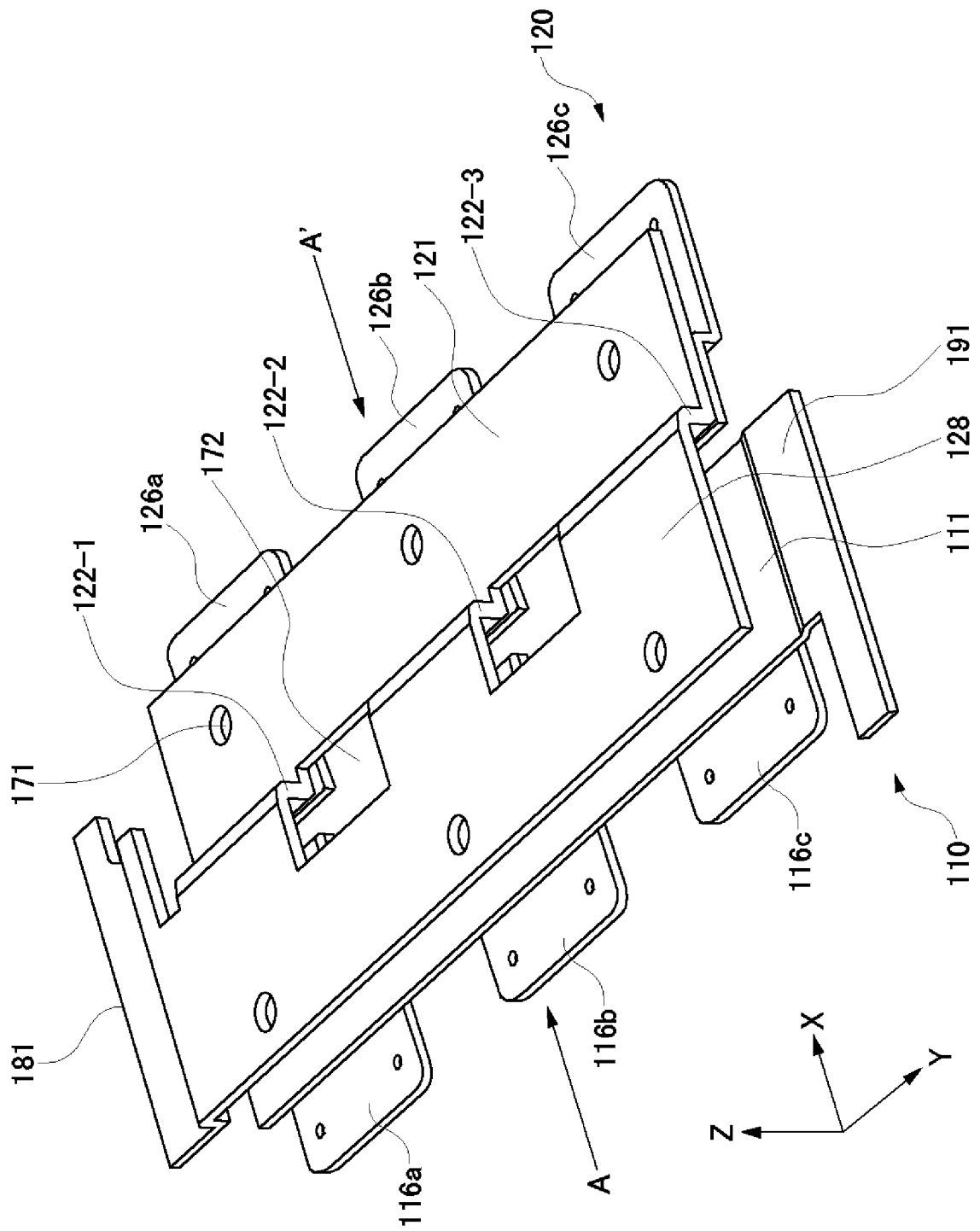
[図2]



[図3]

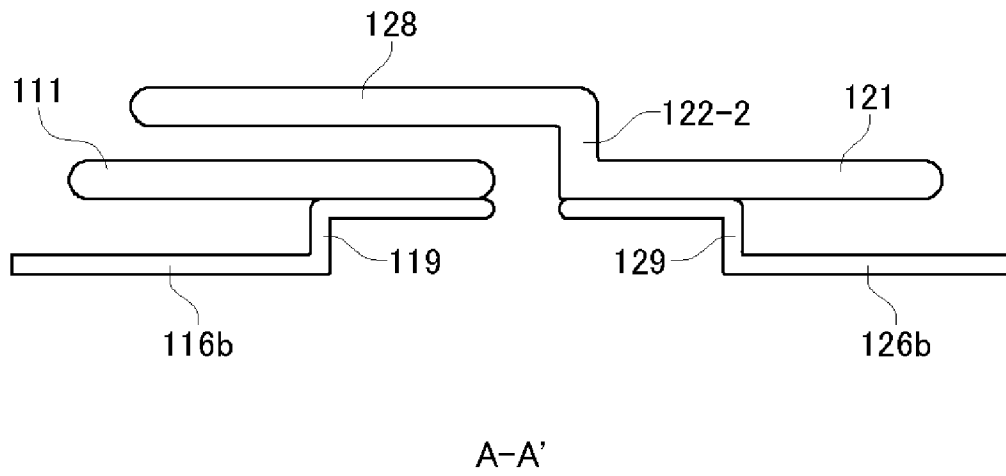


[図4]

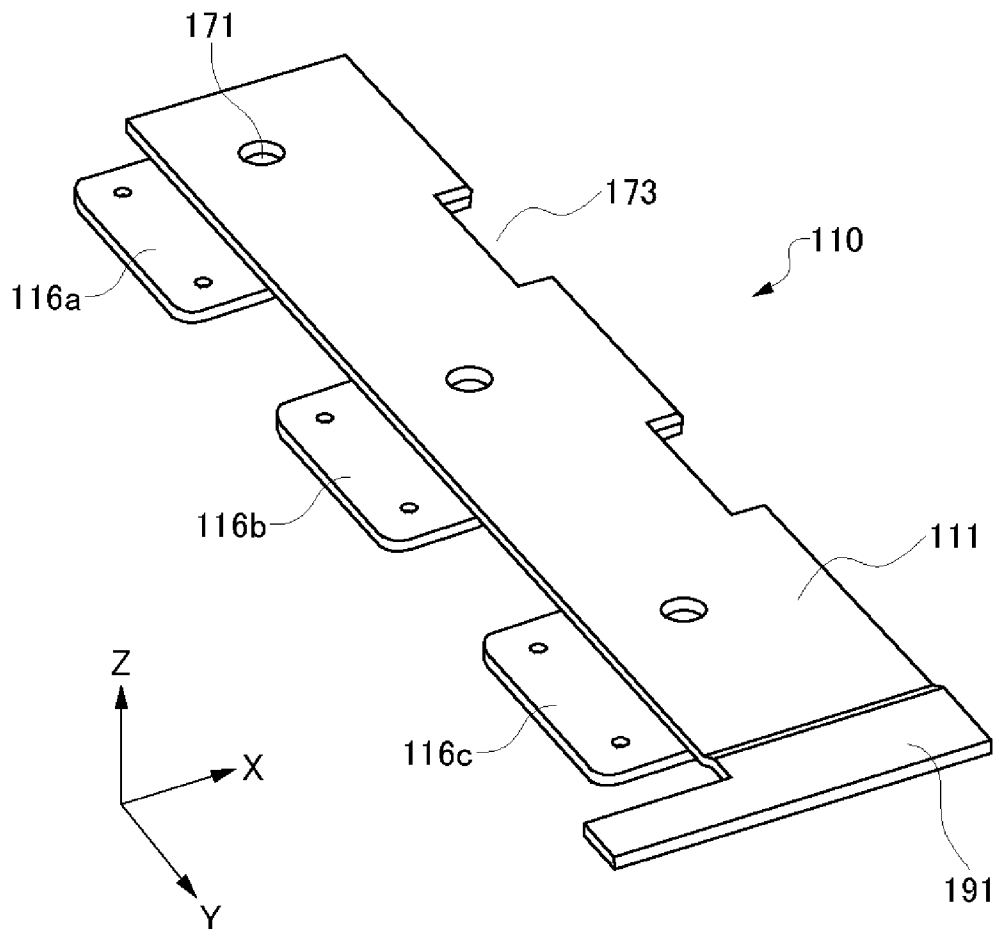




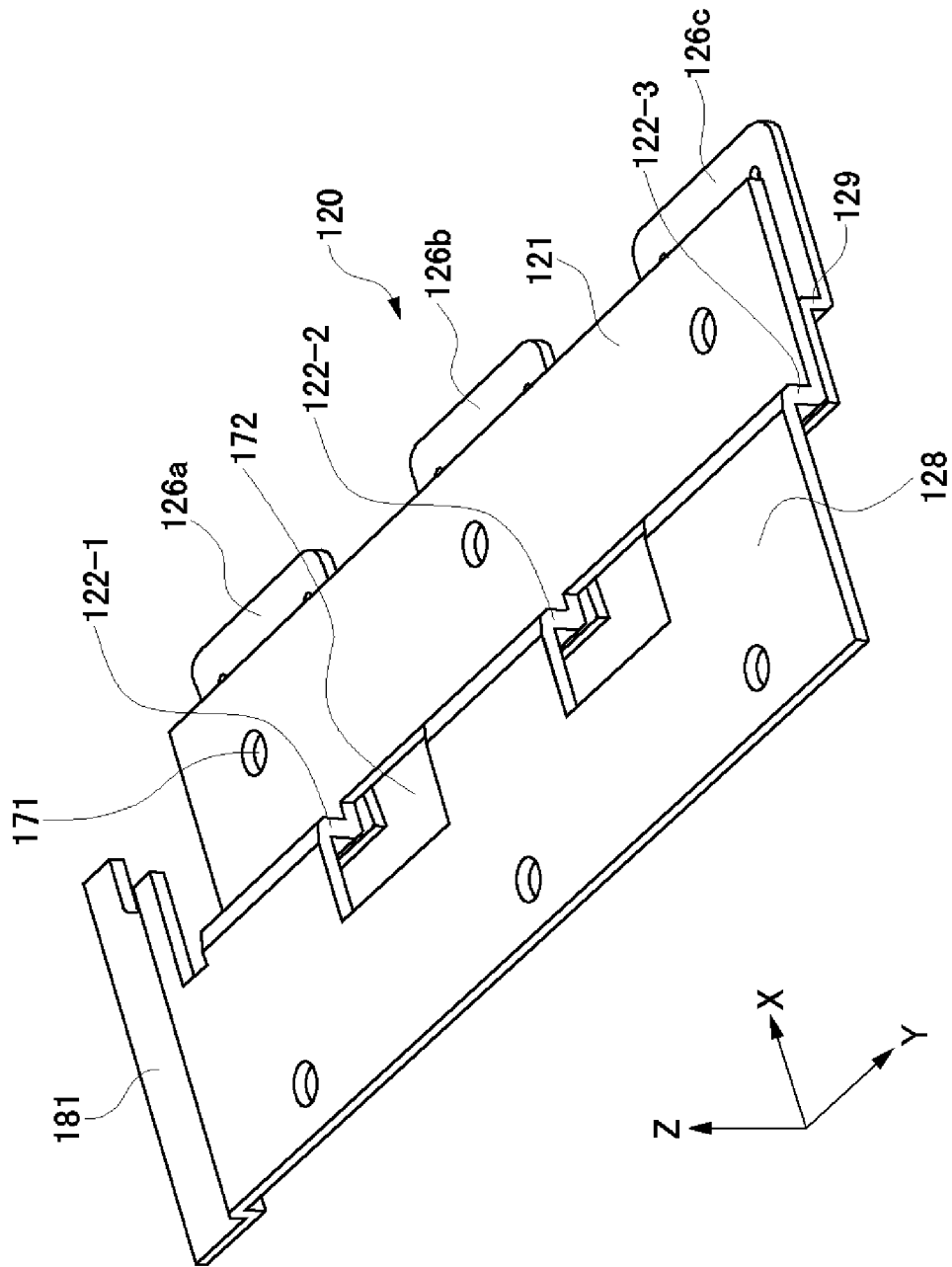
[図5]



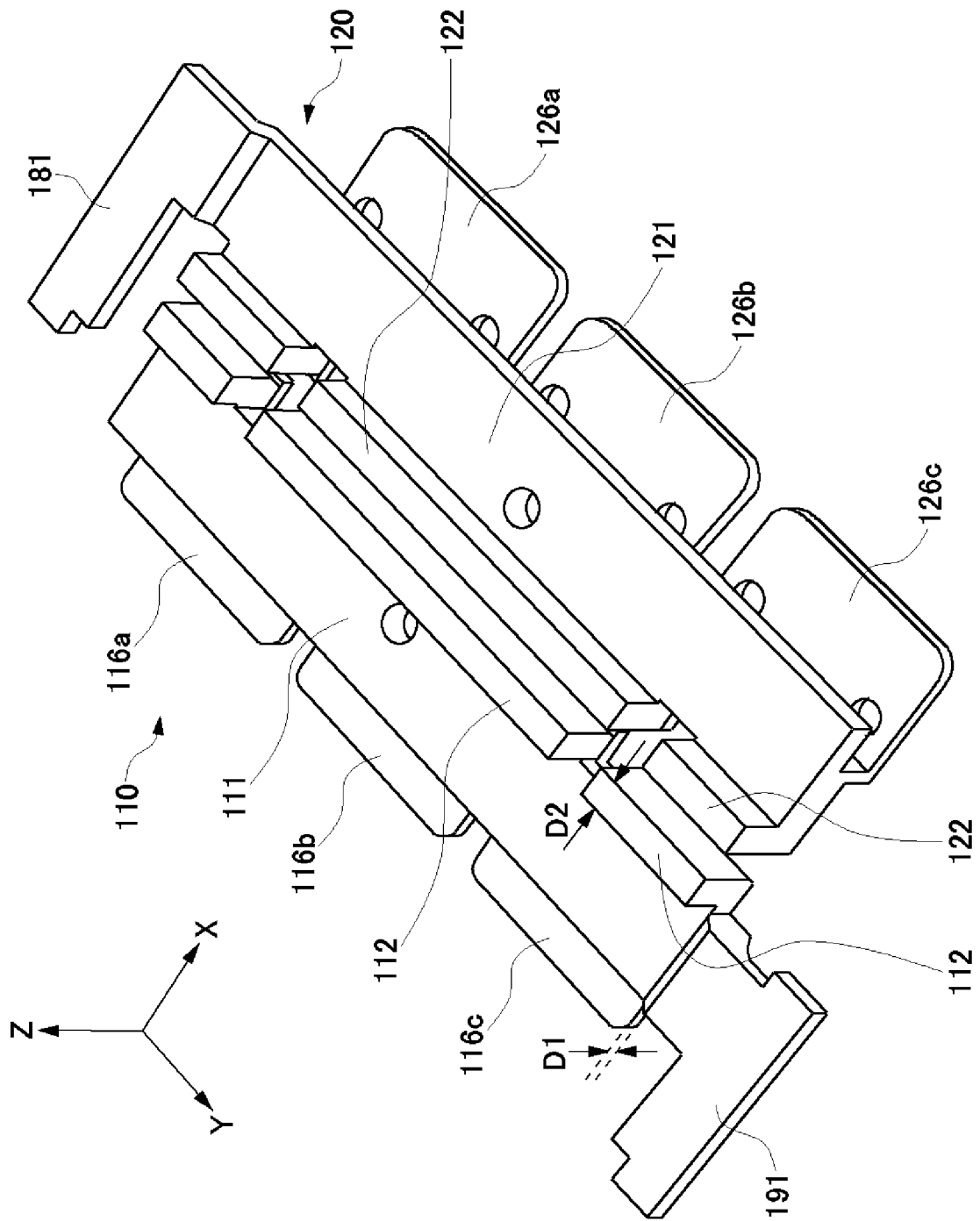
[図6]



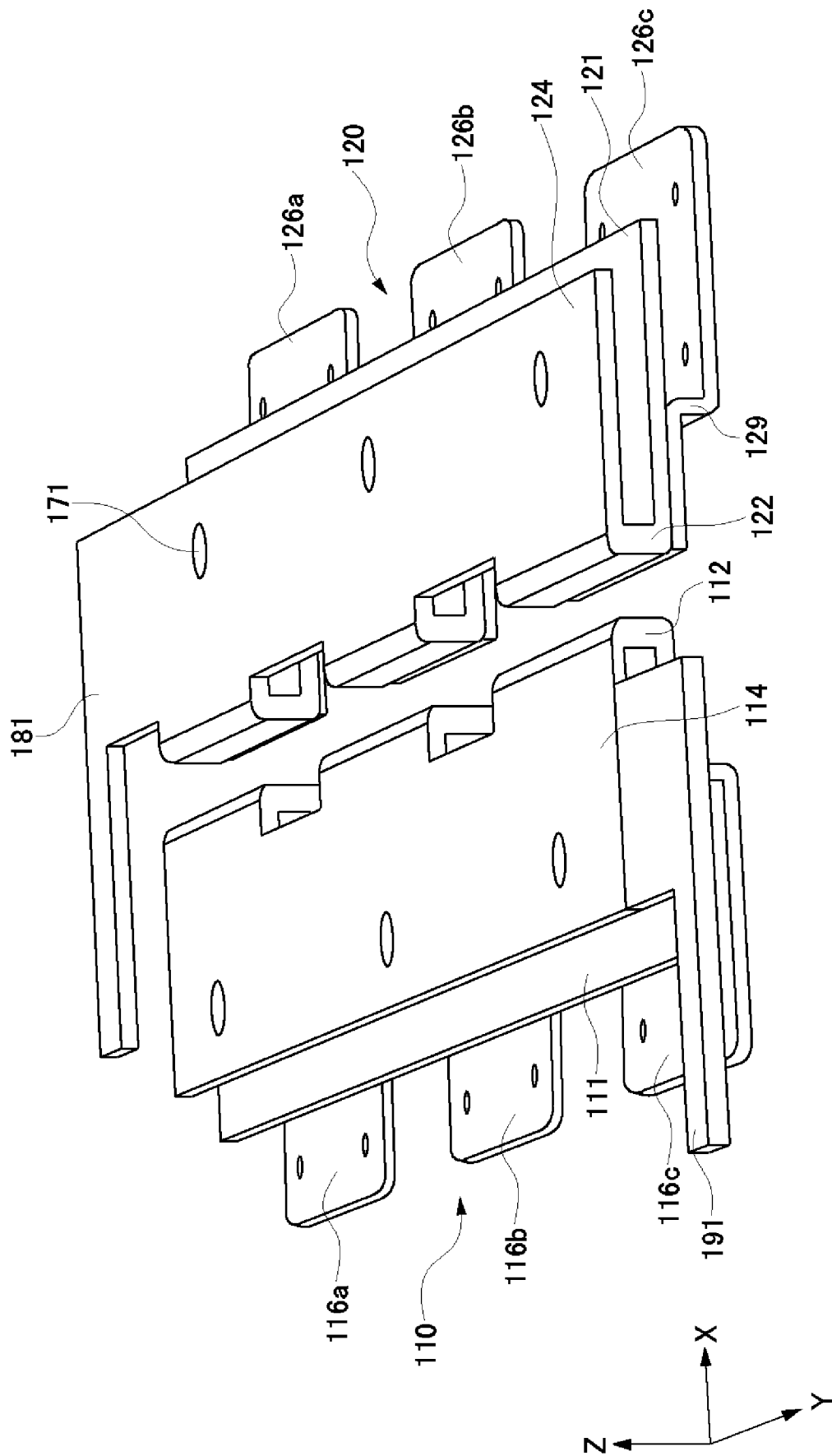
[図7]



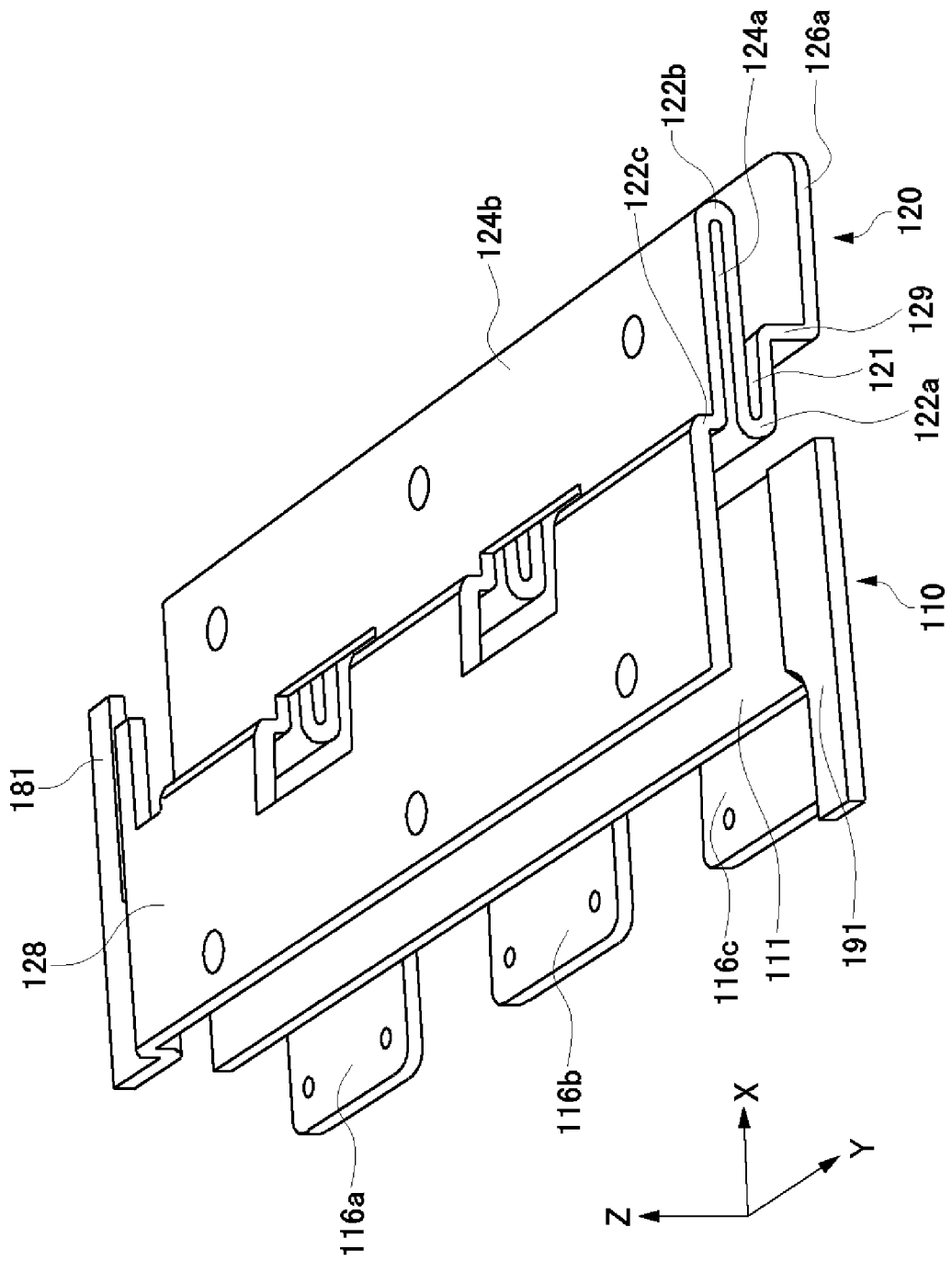
[図8]



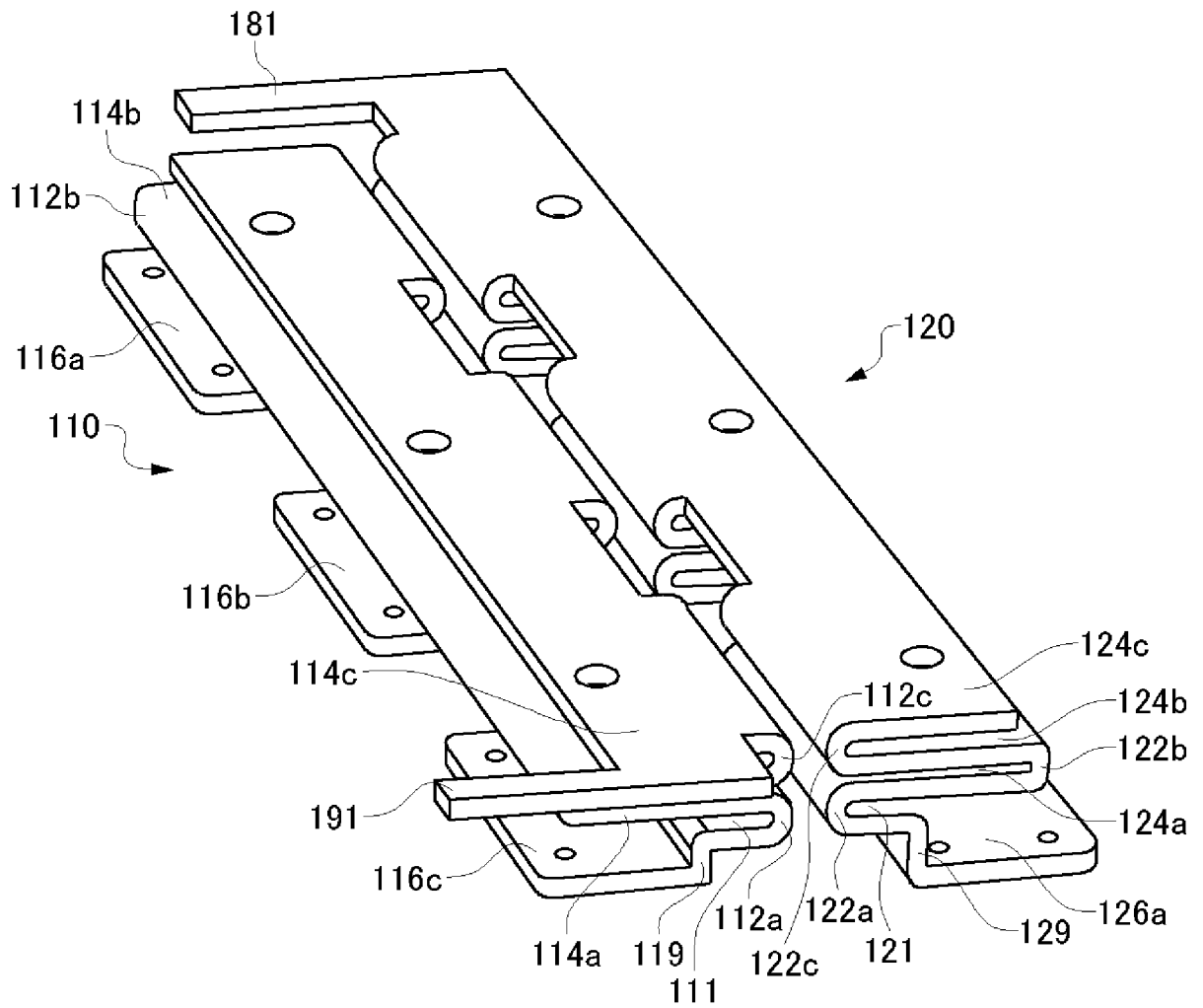
[図9]



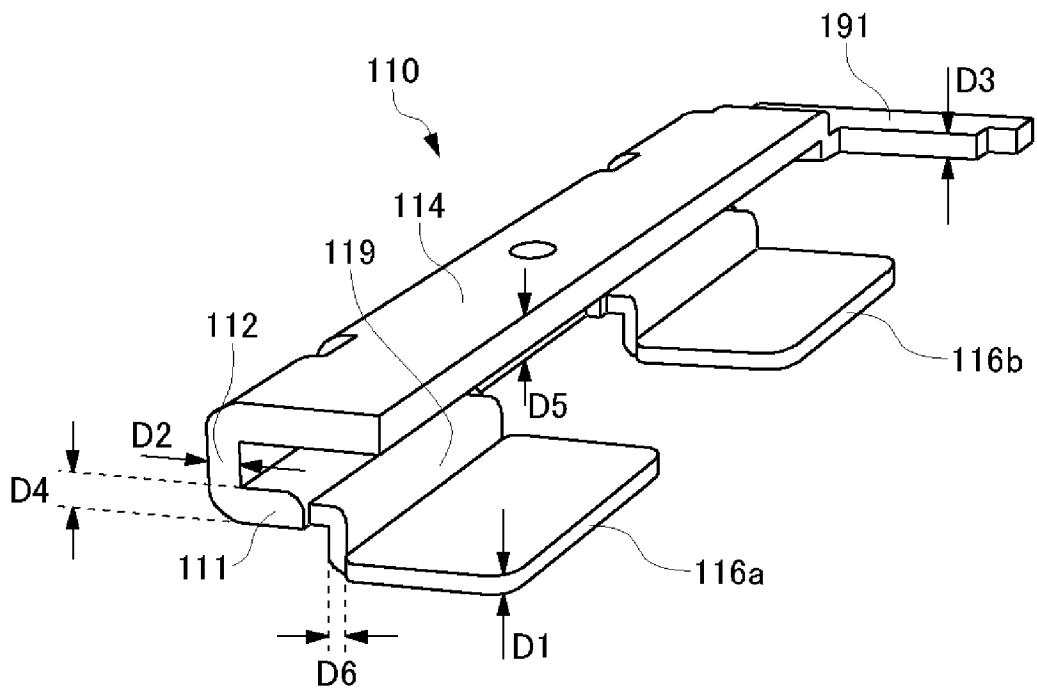
[図10]



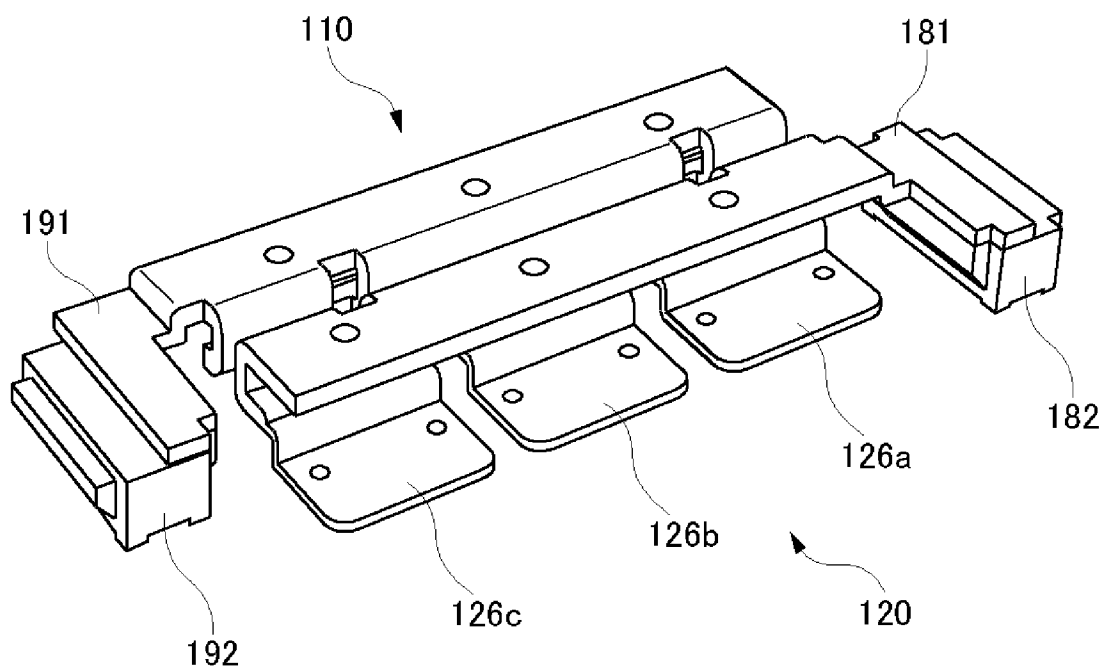
[図11]



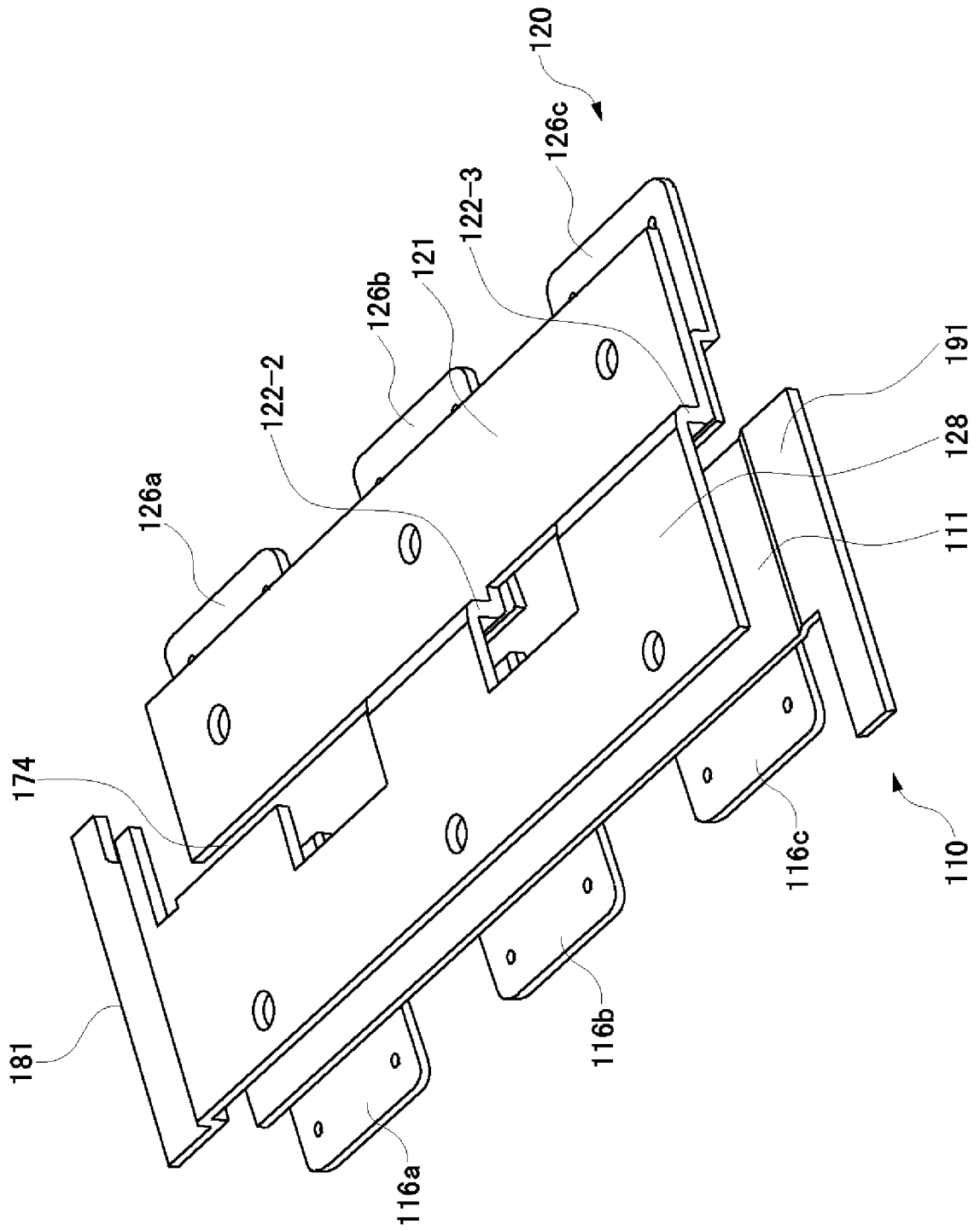
[図12]



[図13]

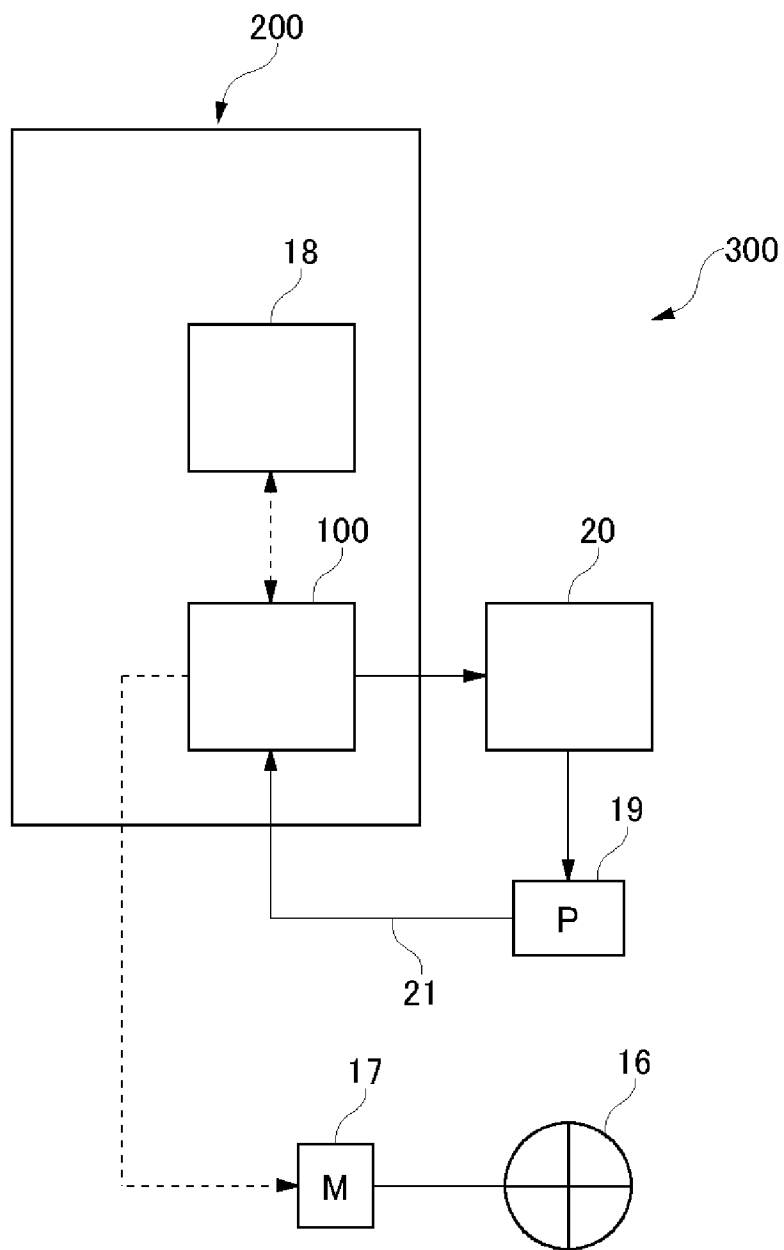


[図14]

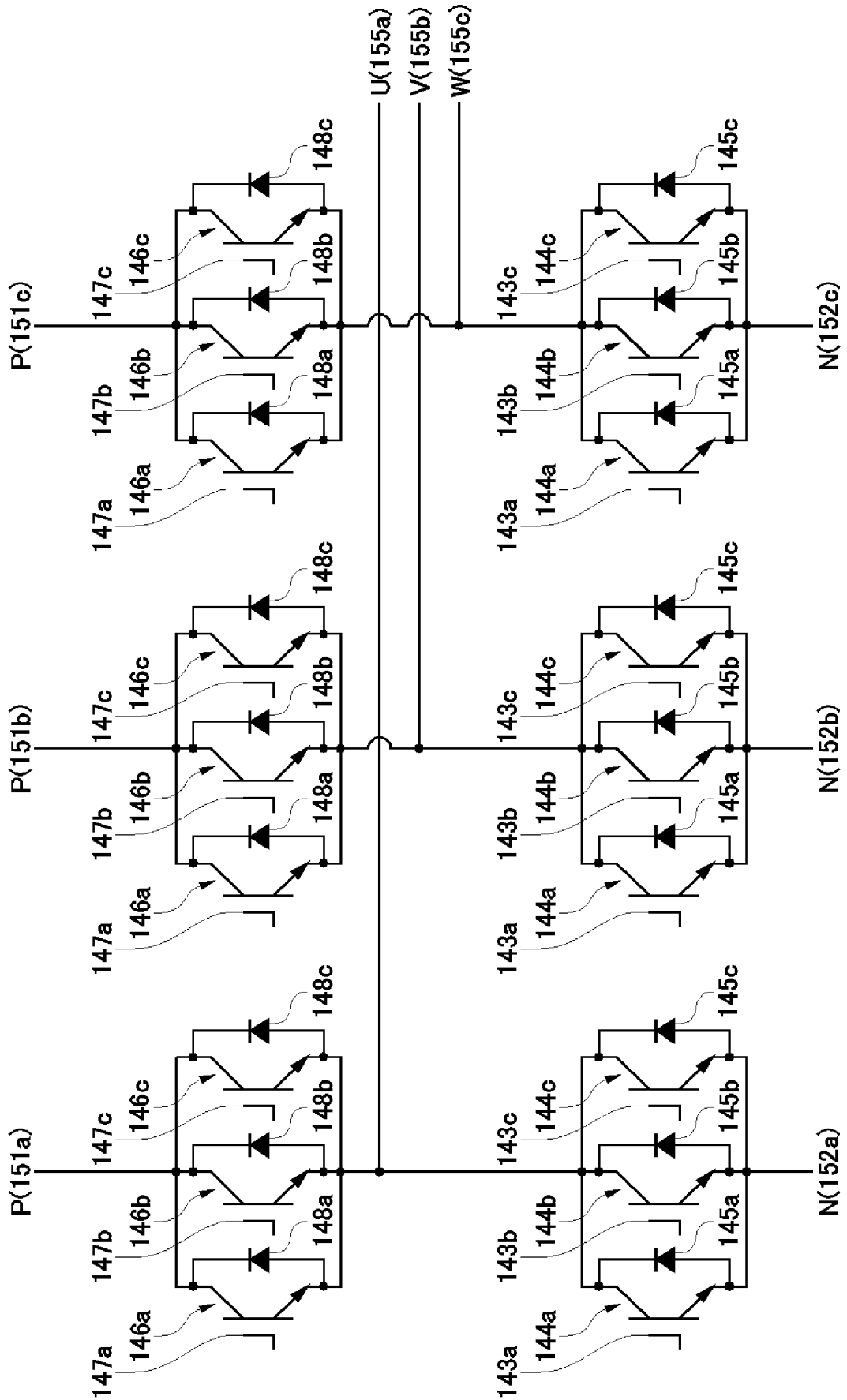




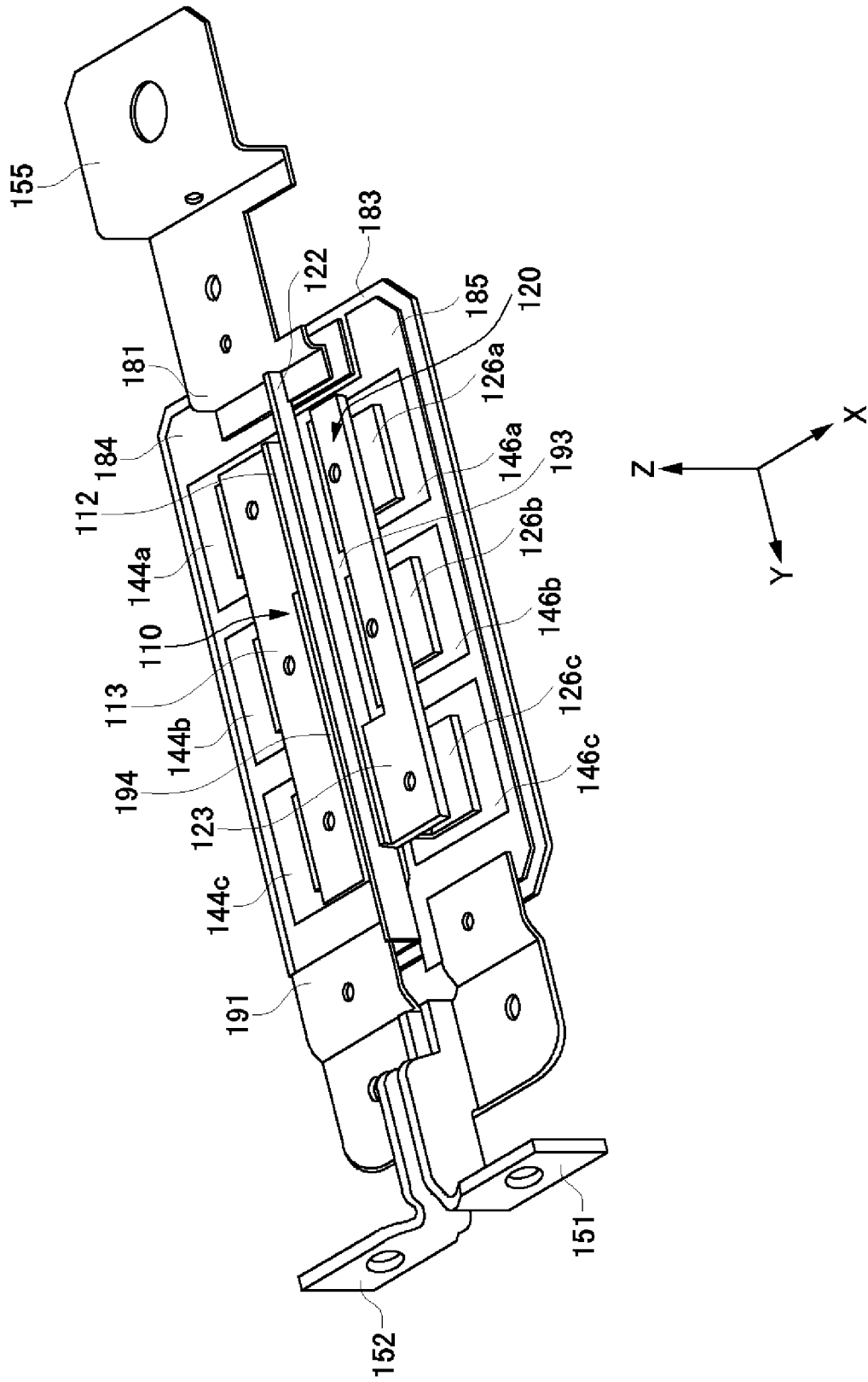
[図15]



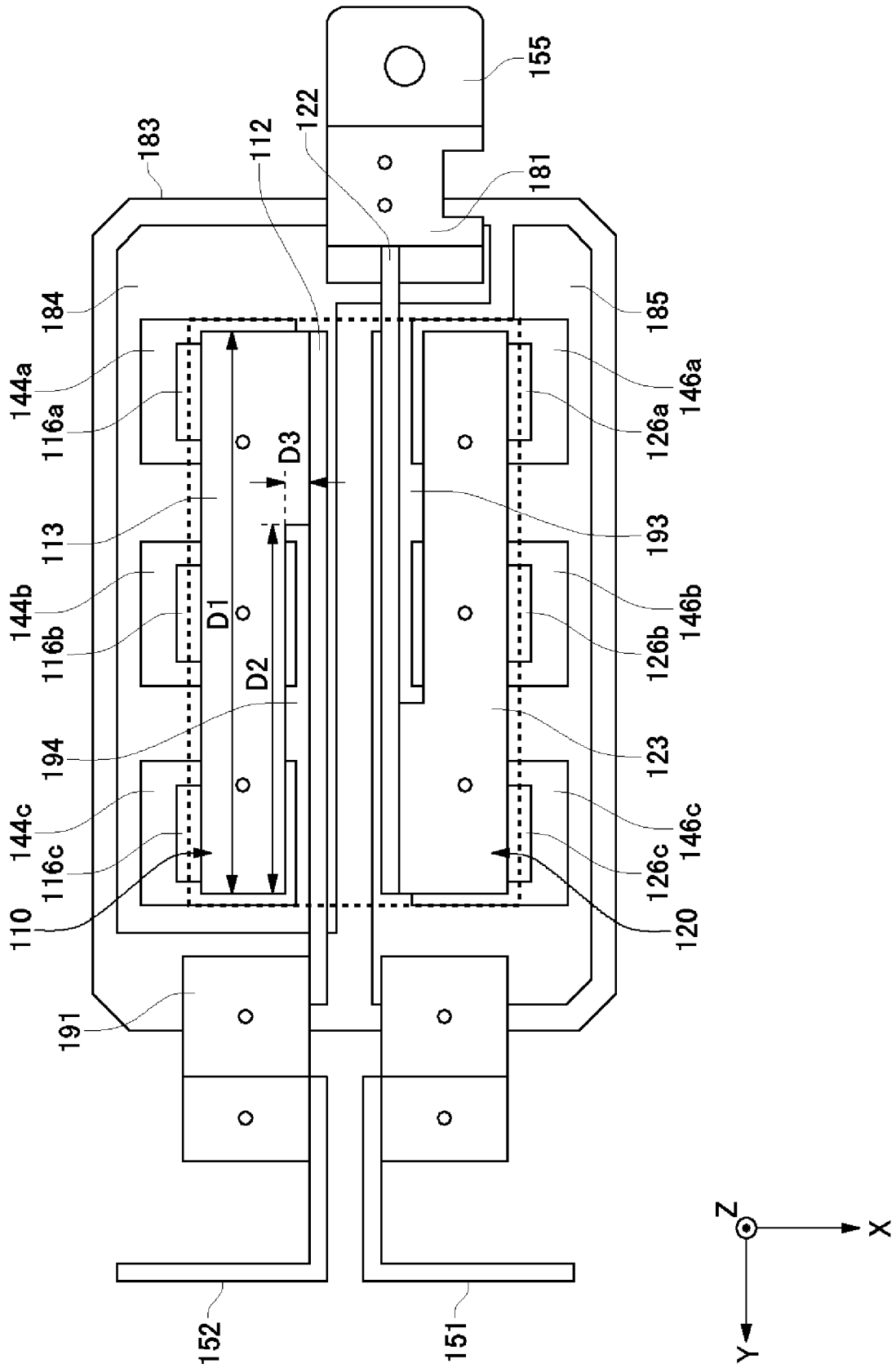
[図]16



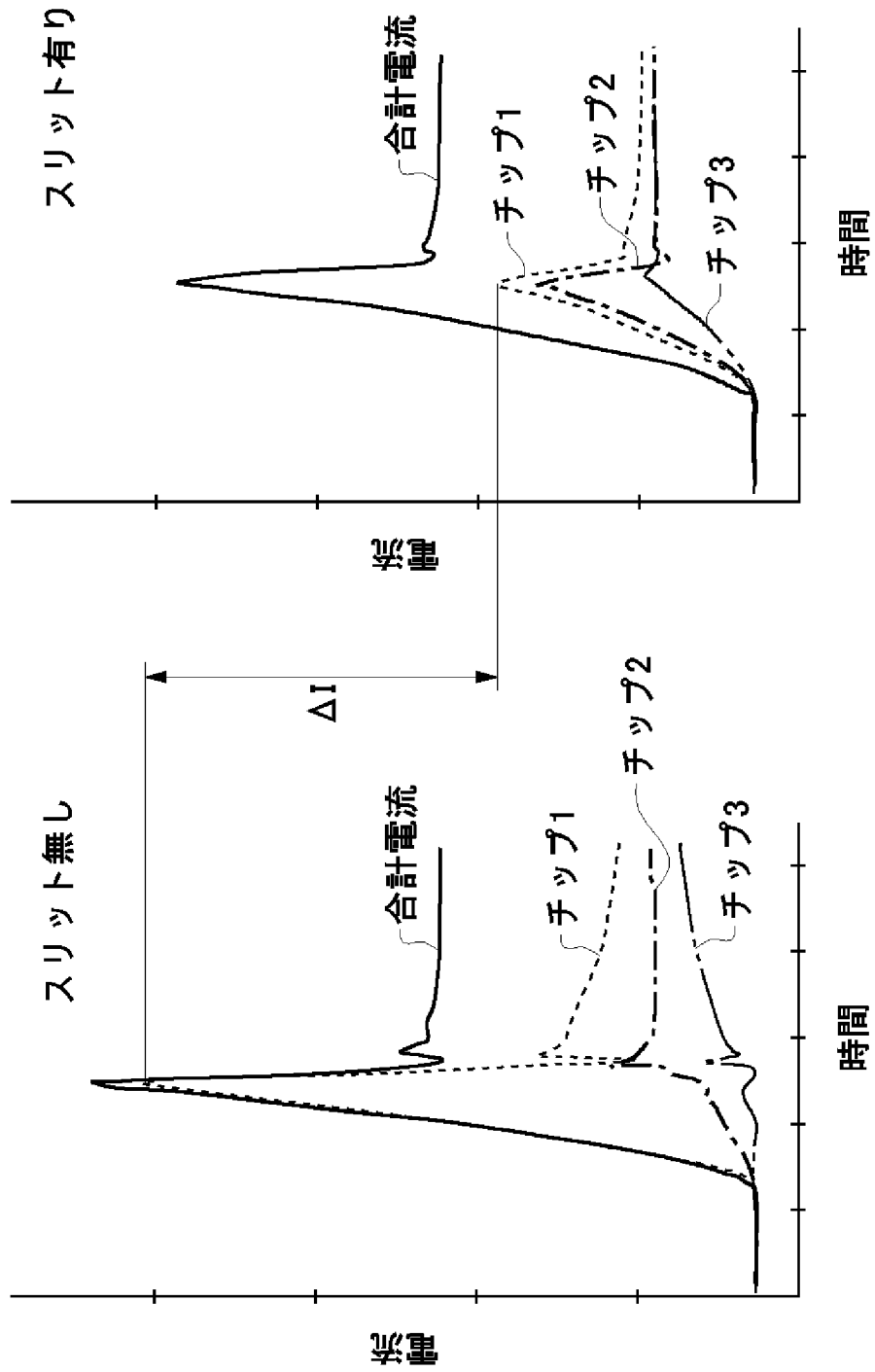
[図17]



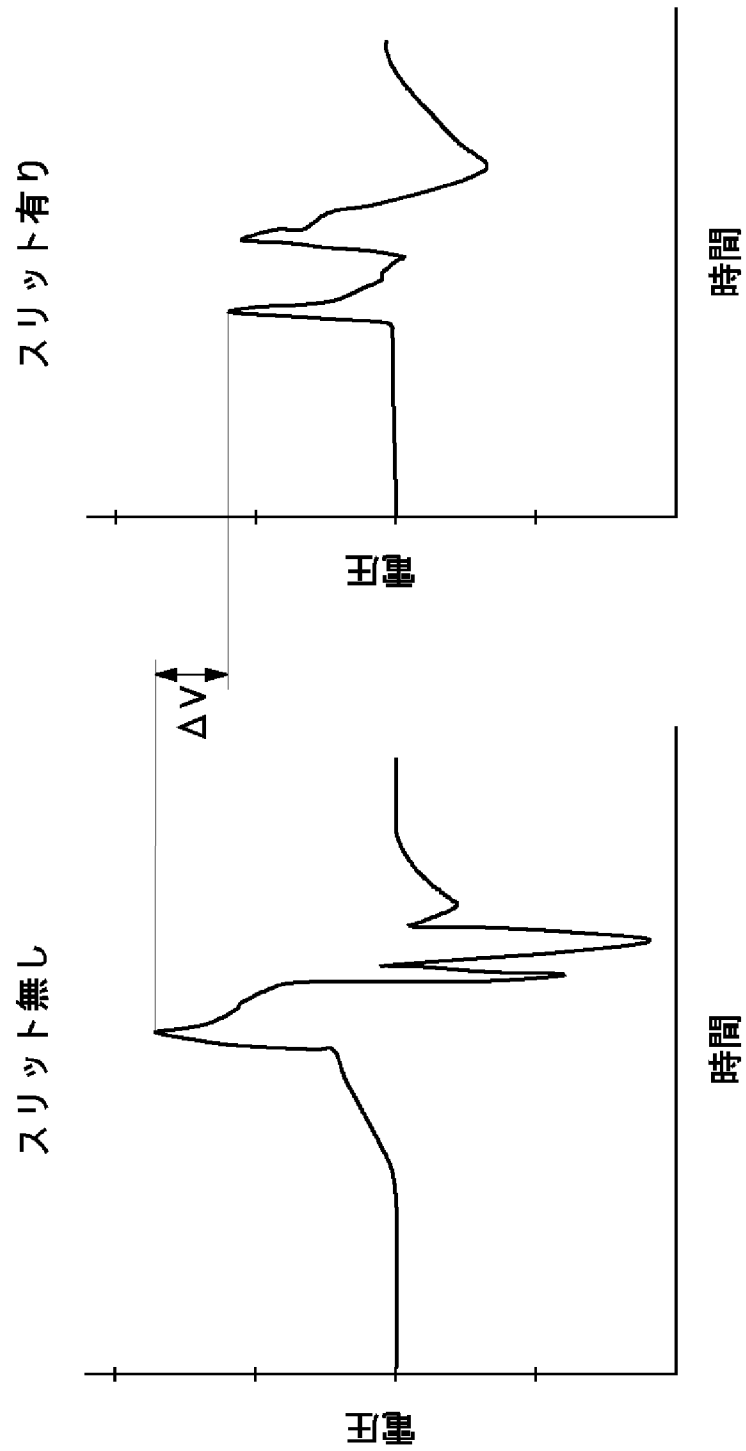
[図18]



[図19]



[図20]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/000369

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.Cl. H01L25/07 (2006.01) i, H01L23/48 (2006.01) i, H01L25/18 (2006.01) i, H02M7/48 (2007.01) i  
 According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/171996 A1 (PANASONIC CORP.) 21 November 2013, paragraphs [0029]-[0062], fig. 1-3 & EP 2851950 A1, paragraphs [0029]-[0061], fig. 1-3 & US 2015/0115423 A1 & CN 104303297 A	1-4, 14, 18-19 5-13, 15-17
Y A	JP 2004-22960 A (MITSUBISHI ELECTRIC CORP.) 22 January 2004, paragraphs [0022]-[0030], [0039], [0068]-[0072], fig. 1-4, 10-11 (Family: none)	1-4, 14, 18-19 5-13, 15-17
Y A	JP 2014-22580 A (ROHM CO., LTD.) 03 February 2014, paragraphs [0034]-[0068], fig. 9-14 (Family: none)	1-4, 14, 18-19 5-13, 15-17

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 March 2018 (07.03.2018)	Date of mailing of the international search report 20 March 2018 (20.03.2018)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2013/171996 A1 (パナソニック株式会社) 2013. 11. 21, 段落[0029]-[0062]、図 1-3 & EP 2851950 A1、段落[0029]-[0061]、図 1-3 & US 2015/0115423 A1 & CN 104303297 A	1-4, 14, 18-19 5-13, 15-17
Y A	JP 2004-22960 A (三菱電機株式会社) 2004. 01. 22, 段落[0022]-[0030], [0039], [0068]-[0072]、図 1-4, 10-11 (ファミリーなし)	1-4, 14, 18-19 5-13, 15-17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

07.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

豊島 洋介

電話番号 03-3581-1101 内線 3551

5D

9850



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-22580 A (ローム株式会社) 2014. 02. 03, 段落[0034]-[0068]、図 9-14 (ファミリーなし)	1-4, 14, 18-19 5-13, 15-17