

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-85188

(P2006-85188A)

(43) 公開日 平成18年3月30日(2006.3.30)

(51) Int. Cl. F I テーマコード (参考)  
**G03F 1/08 (2006.01)** G O 3 F 1/08 A 2 H O 9 5

審査請求 未請求 請求項の数 13 O L 外国語出願 (全 71 頁)

(21) 出願番号	特願2005-300906 (P2005-300906)	(71) 出願人	504288122
(22) 出願日	平成17年9月14日 (2005. 9. 14)	(74) 代理人	100066692
(31) 優先権主張番号	60/609, 243		弁理士 浅村 皓
(32) 優先日	平成16年9月14日 (2004. 9. 14)	(74) 代理人	100072040
(33) 優先権主張国	米国 (US)		弁理士 浅村 肇
		(74) 代理人	100093702
			弁理士 山本 貴和
		(74) 代理人	100087217
			弁理士 吉田 裕
		(72) 発明者	マイケル スー
			台湾、シン - チュー、チュン シャ
			オロード、11エフ、ナンバー 440
			最終頁に続く

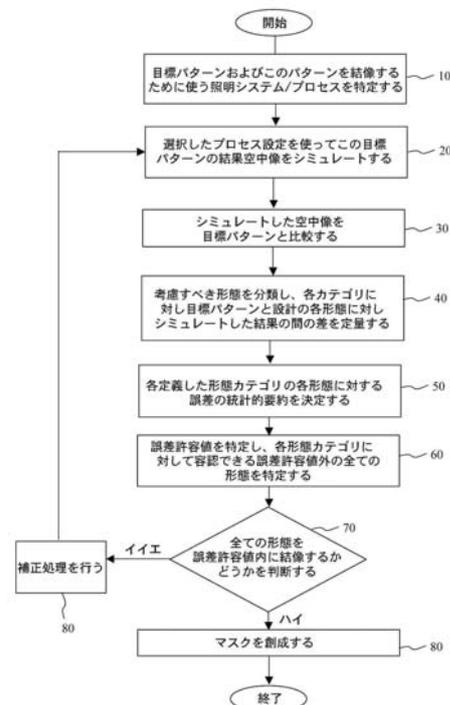
(54) 【発明の名称】 フルチップ製造信頼性チェックおよび補正を行うための方法

(57) 【要約】

【課題】 リソグラフィ投影装置で使うマスクの設計を、再設計が必要ないように、初期の段階で製造適性をチェックし、問題箇所があればそれを自動補正するような方法を提供すること。

【解決手段】 この方法は、基板上に結像すべき複数の形態を有する目標マスクパターン並びにこのパターンを結像するために使う照明システムおよびプロセス設定を特定し、このプロセス設定の下で目標パターンの結果空中像をシミュレートし、このシミュレート結果を元の目標パターンと比較してその差（即ち、誤差）を定量する。少なくとも一つの形態カテゴリを定義し、各定義した形態カテゴリに対して誤差値のヒストグラムを作る。各カテゴリの全ての形態がそれぞれの形態に対して指定した誤差許容値内にあるかどうかを判断し、あれば、このプロセスを進めてマスクパターンを創成し、なければ、補正処理を行う。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

結像プロセスパターンに使うためのマスクを創成する方法であって、

- (a) 基板上に結像すべき複数の形態を有する所望の目標パターンを得る工程、
- (b) 該目標パターンおよび所定のプロセスに関連するプロセスパラメータを使ってウエハ像をシミュレートする工程、
- (c) 少なくとも一つの形態カテゴリを定義する工程、
- (d) 前記複数の形態を有する前記目標パターンの中の、前記少なくとも一つの形態カテゴリに対応する形態を特定し、かつ前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を記録する工程、および
- (e) 前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対するこの誤差値を示す統計的要約を創成する工程、を含む方法。

10

**【請求項 2】**

請求項 1 に記載された方法に於いて、前記誤差値が前記目標パターンの中の形態の位置と前記シミュレートしたウエハ像の中の同じ形態の位置の間の差を表す方法。

**【請求項 3】**

請求項 2 に記載された方法であって、複数の形態カテゴリを定義する工程、前記目標パターンの中の前記複数の形態の各々が前記複数の形態カテゴリのどれに対応するかを特定する工程、この与えられた形態のそれぞれの形態カテゴリの各形態に対する誤差値を記録する工程、および前記与えられた形態カテゴリに対応するとして特定した各形態に対する誤差値を示す、前記形態カテゴリの各々に対する統計的要約を創成する工程、をさらに含む方法。

20

**【請求項 4】**

請求項 3 に記載された方法に於いて、目標設計の中の複数の形態の各々を前記複数の形態カテゴリの少なくとも一つに分類する方法。

**【請求項 5】**

請求項 1 に記載された方法であって、

- (f) 前記少なくとも一つの形態カテゴリに対応する誤差許容値を特定する工程、および
- (g) 前記少なくとも一つの形態カテゴリに対応するとして特定した何れかの形態が前記誤差許容値を超える誤差値を有するかどうかを決める工程、をさらに含む方法。

30

**【請求項 6】**

請求項 5 に記載された方法であって、前記誤差許容値を超える誤差値を有するとして特定した何れかの形態に対して補正処理を行う工程、をさらに含み、前記補正処理は、対応する形態の誤差値を前記誤差許容値以下に下げよう機能する方法。

**【請求項 7】**

コンピュータを制御するためのコンピュータプログラムプロダクトであって、コンピュータがコンピュータ可読媒体、および記録媒体上に記録され、リソグラフィ結像プロセスで使うためのマスクに対応するファイルを創成するようにこのコンピュータを指示するための手段を含み、ファイル創成が、

40

- (a) 基板上に結像すべき複数の形態を有する所望の目標パターンを得る工程、
- (b) 該目標パターンおよび所定のプロセスに関連するプロセスパラメータを使ってウエハ像をシミュレートする工程、
- (c) 少なくとも一つの形態カテゴリを定義する工程、
- (d) 前記複数の形態を有する前記目標パターンの中の、前記少なくとも一つの形態カテゴリに対応する形態を特定し、かつ前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を記録する工程、および
- (e) 前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を示す統計的要約を創成する工程、を含むコンピュータプログラムプロダクト。

**【請求項 8】**

50

請求項 7 に記載されたコンピュータプログラムプロダクトに於いて、前記誤差値が前記目標パターンの中の形態の位置と前記シミュレートしたウエハ像の中の同じ形態の位置の間の差を表すプロダクト。

【請求項 9】

請求項 8 に記載されたコンピュータプログラムプロダクトであって、複数の形態カテゴリを定義する工程、前記目標パターンの中の前記複数の形態の各々が前記複数の形態カテゴリのどれに対応するかを特定する工程、与えられた形態のそれぞれの形態カテゴリの各形態に対する誤差値を記録する工程、および前記与えられた形態カテゴリに対応するとして特定した各形態に対するこの誤差値を示す、前記形態カテゴリの各々に対する統計的要約を創成する工程、をさらに含むプロダクト。

10

【請求項 10】

請求項 9 に記載されたコンピュータプログラムプロダクトに於いて、目標設計の中の複数の形態の各々を前記複数の形態カテゴリの少なくとも一つに分類するプロダクト。

【請求項 11】

請求項 7 に記載されたコンピュータプログラムプロダクトであって、

( f ) 前記少なくとも一つの形態カテゴリに対応する誤差許容値を特定する工程、および

( g ) 前記少なくとも一つの形態カテゴリに対応するとして特定した何れかの形態が前記誤差許容値を超える誤差値を有するかどうかを決める工程、をさらに含むプロダクト。

【請求項 12】

請求項 11 に記載されたコンピュータプログラムプロダクトであって、前記誤差許容値を超える誤差値を有するとして特定した何れかの形態に対して補正処理を行う工程、をさらに含み、前記補正処理は、この対応する形態の誤差値を前記誤差許容値以下に下げるように機能するプロダクト。

20

【請求項 13】

デバイス製造方法であって、

( a ) 少なくとも部分的に放射線感応性材料の層で覆われた基板を用意する工程、

( b ) 放射線システムを使って放射線の投影ビームを用意する工程、

( c ) 該投影ビームの断面にパターンを付けるためにマスク上のパターンを使う工程、および

30

( d ) 放射線のパターン化したビームを放射線感応性材料の層の目標部分上に投影する工程、を含む方法に於いて、工程 ( c ) で前記マスクを、

基板上に結像すべき複数の形態を有する所望の目標パターンを得る工程、

該目標パターンおよび所定のプロセスに関連するプロセスパラメータを使ってウエハ像をシミュレートする工程、

少なくとも一つの形態カテゴリを定義する工程、

前記複数の形態を有する前記目標パターンの中の、前記少なくとも一つの形態カテゴリに対応する形態を特定し、かつ前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を記録する工程、および

前記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を示す統計的要約を創成する工程、を含む方法によって作る製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

この特許出願およびそれから発生するあらゆる特許は、2004年9月14日に提出した、“フルチップ製造信頼性チェックおよび補正 ( M R C <sup>2</sup> ) ” という名称の米国仮特許出願第 60 / 609 , 243 号の優先権を主張し、その出願全体を参考までにここに援用する。

【0002】

本発明の技術分野は、一般的には、設計プロセスで予めその目標設計 / レイアウトが与

50

えられたプロセスを使う製造に適するかどうか、またはその目標設計/レイアウトに設計要件を満足させないかおよび/または製造したとき歩留りが不満足な結果になる“故障の起こりそうな部分”または“弱い部分”があるかどうかを決定できるようにするための方法、プログラムプロダクトおよび装置に関する。

【背景技術】

【0003】

リソグラフィ装置は、例えば、集積回路(IC)の製造に使うことができる。そのような場合、マスクがこのICの個々の層に対応する回路パターンを含んでもよく、このパターンを、放射線感応性材料(レジスト)の層で塗被した基板(シリコンウエハ)の目標部分(例えば、一つ以上のダイを含む)上に結像することができる。一般的に、単一ウエハが隣接する目標部分の全ネットワークを含み、それらをこの投影システムを介して、一度に一つずつ、順次照射する。ある種類のリソグラフィ投影装置では、全マスクパターンをこの目標部分上に一度に露光することによって各目標部分を照射し、そのような装置を普通ウエハステッパと呼ぶ。普通ステップアンドスキャン装置と呼ぶ、代替装置では、マスクパターンを投影ビームの下で与えられた基準方向(“走査”方向)に順次走査することによって各目標部分を照射し、一方、基板テーブルをこの方向に平行または逆平行に同期して走査する。一般的に、この投影システムが倍率M(一般的に $< 1$ )を有するので、この基板テーブルを走査する速度Vが、倍率M掛けるマスクテーブルを走査する速度である。ここに説明したようなリソグラフィ装置に関する更なる情報は、例えば、US 6,046,792から収集することができ、それを参考までにここに援用する。

10

20

【0004】

リソグラフィ投影装置を使う製造プロセスでは、パターンを、少なくとも部分的に放射線感応材料(レジスト)の層で覆われた基板上に結像する。この結像工程の前に、基板は、例えば、下塗り、レジスト塗布およびソフトベークのような、種々の処理を受けるかも知れない。露光後、基板は、例えば、露光後ベーク(PEB)、現像、ハードベークおよび結像形態の測定/検査のような、他の処理を受けるかも知れない。この一連の処理は、デバイス、例えばICの個々の層をパターン化するための基礎として使用する。そのようにパターン化した層は、次に、エッチング、イオン注入(ドーピング)、金属化処理、酸化処理、化学・機械的研磨等のような、全て個々の層の仕上げを意図した種々の処理を受けるかも知れない。もし、幾つかの層が必要ならば、全処理またはその変形を各新しい層に反復しなければならないだろう。結局、デバイスのアレイが基板(ウエハ)上にできる。次に、これらのデバイスをダイシングまたは鋸引のような手法によって互いから分離し、そこから個々のデバイスをキャリアに取付け、ピンに接続し等できる。

30

【0005】

簡単のために、この投影システムを、以後“レンズ”と呼ぶかも知れないが、この用語は、例えば、屈折性光学素子、反射性光学素子、および反射屈折性光学素子を含む、種々の型式の投影システムを包含するように広く解釈すべきである。この放射線システムも放射線の投影ビームを指向し、成形しまたは制御するためにこれらの設計形式の何れかに従って作用する部品を含んでもよく、そのような部品も以下で集合的または単独に“レンズ”と呼ぶかも知れない。更に、このリソグラフィ装置は、二つ以上の基板テーブル(および/または二つ以上のマスクテーブル)を有する型式でもよい。そのような“多段”装置では、追加のテーブルを並列に使ってもよく、または準備工程の一つ以上のテーブルで行い、一方他の一つ以上のテーブルを露光に使ってもよい。二段階リソグラフィ装置は、例えば、US 5,969,441に記載してあり、それを参考までにここに援用する。

40

【0006】

上記言及のフォトリソグラフィマスクは、シリコンウエハ上に集積すべき回路部品に対応する幾何学的パターンを含む。そのようなマスクを作成するために使うパターンは、CAD(コンピュータ支援設計)プログラムを使って創成し、このプロセスを屢々EDA(電子的設計自動化)と呼ぶ。大抵のCADプログラムは、機能マスクを作成するために1組の所定のデザインルールに従う。これらのルールは、処理および設計限界によって決め

50

る。例えば、デザインルールは、回路装置またはラインが望ましくない方法で影響し合わないことを保証するように、回路装置（例えば、ゲート、コンデンサ等）または相互接続ライン間の間隔許容値を定める。これらのデザインルール限界を典型的には“限界寸法”（CD）と呼ぶ。回路の限界寸法は、ライン若しくはホールの最小幅または二つのライン若しくは二つのホール間の最小間隔と定義することができる。それで、このCDが設計した回路の全体のサイズおよび密度を決める。

**【0007】**

マスクに“補助形態”を使って、レジスト上に投影した像、および結局現像したデバイスを改善してもよい。補助形態とは、レジストの現像したパターンに現すことは意図しないが、現像した像が所望の回路パターンにより良く似るように、回折効果を利用するためにマスクに設ける形態である。補助形態は、一般的に“解像度以下”または“遥かに解像度以下”で、それは、それらがウエハ上で実際に解像されるマスクの最小形態より少なくとも1次元で小さいことを意味する。補助形態は、限界寸法の数分の一と定義される寸法でもよい。言換えれば、このマスクパターンは、一般的に1未満、例えば、1/4または1/5の倍率で投影するので、このマスク上の補助形態は、ウエハ上の最小形態より大きな物理的寸法を有してもよい。

10

**【0008】**

勿論、集積回路製作に於ける目標の一つは、補助形態を使うことによって改善した、元の回路設計をウエハ上に（マスクを介して）忠実に再現することである。もう一つの目標は、指定された設計許容値内で容易に製造できる設計レイアウトを創成することである。これは、このデバイスを実際に製造するとき、このプロセスが高歩留りになるために重要である。

20

**【0009】**

先行技術で、光学的ルールチェック（ORC）のような、種々のルールチェック法が議論されているが、これらの既知の手法は、典型的に最新式の解像度強調法（PET）を含む、今日のデザインレイアウトに使うためには困難でありおよび/または不適當である。その上、既知のルールチェック法は、設計プロセスの初期に、与えられた設計が（高歩留りになるように）容易に製造できるかどうかを決めず、それによって屢々再設計プロセスに関連する時間と金の両方の点でかなりのコストを生じる。

**【0010】**

従って、再設計プロセスに関連する時間とコストを最少にするように、デザインプロセスの初期に設計が製造に実際的であるかどうかを決められるようにするための方法の必要性がある。その上、最新式のPETに使うのに適し、且つ結果デバイスを指定された設計許容値内にするようにこの設計に自動的に補正を施せる、製造信頼性チェックおよび補正方法の必要性がある。

30

**【発明の開示】****【発明が解決しようとする課題】****【0011】**

上記の観点から、本発明の目的は、設計プロセスで予めその目標設計/レイアウトが与えられたプロセスを使う製造に実際に適するかどうか、またはその目標設計/レイアウトにその目標設計/レイアウトに設計要件を満足させないかおよび/または製造したとき歩留りが不満足な結果になる“故障の起こりそうな部分”または“弱い部分”があるかどうかを決定できるようにするための方法を提供することである。その上、本発明のもう一つの目的は、最新式のPETに使うのに適し、且つ結果デバイスを指定された設計許容値内にするようにこの設計に自動的に補正を施せる、製造信頼性チェックおよび補正方法を提供することである。

40

**【課題を解決するための手段】****【0012】**

更に具体的には、本発明は、結像プロセスパターンに使うためのマスクを創成する方法に関する。この方法は、（a）基板上に結像すべき複数の形態を有する所望の目標パター

50

ンを得る工程、(b)この目標パターンおよび所定のプロセスに関連するプロセスパラメータを使ってウエハ像をシミュレートする工程、

(c)少なくとも一つの形態カテゴリを定義する工程、(d)上記複数の形態を有する上記目標パターンの中の、上記少なくとも一つの形態カテゴリに対応する形態を特定し、かつ上記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対する誤差値を記録する工程、および(e)上記少なくとも一つの形態カテゴリに対応するとして特定した各形態に対するこの誤差値を示す統計的要約を創成する工程を含む。その上、この誤差を特定すると、本発明の方法は、例えば、データベースに記憶した所定の補正処理を適用してOPC補正処理を変えおよび/またはプロセスパラメータを変えることによってこの誤差を自動的に補正しようとする更なる工程を含むことができる。そのようなデータベースは、潜在的問題領域に対する種々の補正值を含む、ルールベースシステムに基づくことができ、それを、容認できる解決策が見付かるまで連続的方法で適用することができる。更に、もし、与えられた誤差に対する容認できる補正処理を特定したならば、この問題および解決策に対応するデザインルールをこのデータベースに記録し、更なる補正/設計に利用することができる。

10

#### 【発明の効果】

##### 【0013】

本発明の方法は、先行技術に優る重要な利点をもたらす。最も重要なことに、本発明は、設計プロセスで予め目標設計が指定された設計許容値内で実際に製造できるかどうかを決める、フルチップ製造信頼性チェックおよび補正を行うための方法を提供する。その上、本発明の方法は、指定された設計許容値で製造できる設計をするように、設計の自動補正を行うことができる。

20

##### 【0014】

本発明に関するもう一つの利点は、このフルチップ製造信頼性チェックおよび補正方法が最新式の解像度強調法と共に使うのに適していることである。

##### 【0015】

本発明の更に別の利点は、このフルチップ製造信頼性チェックおよび補正方法が、複数のマスクおよび/または多重露光(例えば、DDL垂直および水平マスク)、並びに同じマスクに多重データ層(例えば、クロムおよび位相形態を含むCPLマスク)を使うプロセスに使うのに適していることである。

30

##### 【0016】

本発明の更に別の利点は、この方法が、設計プロセスの初期にその目標設計に設計要件を満足させないかおよび/または製造プロセスに掛けたときに歩留りが不満足な結果になる何か“故障の起こりそうな部分”または“弱い部分”があるかどうかに関して設計者にフィードバックすることである。その結果、本発明は、瑕疵のある設計のプロトタイプのテープアウトおよび開発に関するコストを除去することは勿論、再設計プロセスに関連する時間とコストを最少にする。言換えれば、本発明は、設計者が、テストウエアのテープアウトプロセスおよび開発(即ち、処理)の前に、設計に基本的に瑕疵があるか(および従って製造不可能であるか)どうか決めることを可能にする。

##### 【0017】

その上、本発明の方法は、ある場合に、この設計の“故障の起こりそうな部分”または“弱い部分”に対応するように、この設計および/またはプロセスを自動的に修正できる。

40

##### 【0018】

本発明の付加的利点は、以下の本発明の実施例の詳細な説明から当業者に明白となる。

##### 【0019】

この本文では、ICの製造でこの発明を使用することを具体的に参照するかも知れないが、この発明は他の多くの可能な用途があることを明確に理解すべきである。例えば、それを集積光学システム、磁区メモリ用誘導検出パターン、液晶ディスプレイパネル、薄膜

50

磁気ヘッド等の製造に使ってもよい。当業者は、そのような代替用途の関係で、この本文で使う“レチクル”、“ウエハ”または“ダイ”という用語のどれも、それぞれ、より一般的な用語“マスク”、“基板”および“目標部分”で置換えられると考えるべきであることが分るだろう。

【0020】

本発明それ自体は、更なる目的および利点と共に、以下の詳細な説明および添付の図面を参照することによってより良く理解できる。

【実施例】

【0021】

図1は、本発明の第1実施例によるフルチップ製造信頼性チェックおよび補正方法を示す例示フローチャートである。このプロセスの第1ステップ(ステップ10)は、目標マスクパターン(即ち、目標設計)並びにこのパターンを結像するために利用する照明システムおよび設定(即ち、プロセス条件)を特定することである。

10

【0022】

図2aおよび図2bは、本発明のチェックおよび補正方法に掛けることができる例示レイアウトパターン(即ち、目標パターン)を示す。更に具体的には、図2aは、フルチップレイアウトを示し、一方図2bは、CPLマスクのクロムおよび位相領域に分離した図2aのレイアウトの一部を示す。上記のように、本発明の方法は、複数のマスクおよび/または多重露光(例えば、DDL垂直および水平マスク)、並びに同じマスクに多重データ層(例えば、クロムおよび位相形態を含むCPLマスク)を使うプロセスに使うのに適している。

20

【0023】

一旦目標パターンを特定すると、このプロセスの次のステップ(ステップ20)は、製造変動値を含む、生産設定値(即ち、所望のプロセス)の下でこの目標パターンのレジストパターンニング輪郭をシミュレートすることである。このシミュレーションは、何れかの既知のシミュレーションツール、例えば、ASMLマスクツール社が販売するリソクルーザ<sup>TM</sup>を使って行うことができる。

【0024】

次のステップ(ステップ30)は、元の目標パターンとこのシミュレートしたレジストパターンニング輪郭の間の差を定量するために、このシミュレーションプロセスの結果を元の目標パターンと比較することである。本発明の好適実施例では、このシミュレートした結果と目標パターンの間でフルチップ比較を行う。このプロセスは、このシミュレートしたレジストパターンの2次元輪郭を目標パターンの2次元輪郭と比較することによって行うことができる。2次元輪郭のそのような比較は、例えば、2002年10月9日に提出した米国特許出願第10/266,922号に記載してあり、その内容全体を参考までにここに援用する。その代りに、このパターンの予め定義した領域/点、好ましくは予想される厳しい領域を比較して、この目標パターンとシミュレートしたレジストパターンの間の差を定量することができる。例えば、チェックマーカを目標設計の厳しい形態の位置に含めることができ、そこでチェックマーカを含む設計の位置にだけ比較を行う。そのような厳しい領域には、例えば、細いラインのCD均一性、凸角、凹隅、ライン端、等があってもよい。このアプローチは、設計者が製造中厳しいまたは問題があると予想する形態/領域にだけこのプロセスを絞ることを可能にする。しかし、本実施例では、フルチップ設計レイアウトを表すように、この設計レイアウトの全ての領域の形態を考慮することが好ましい。もし、比較プロセスに2次元輪郭を使用するなら、設計者は、このフルチップ設計レイアウトを表すことを保証するように、比較プロセス用の輪郭に付いてのサンプリング点間の距離を指定することができる。

30

40

【0025】

一旦比較を完了し、シミュレートした結果と目標パターンの間の差を確定すると、このプロセスの次のステップ(ステップ40)は、考慮および/または解析すべき形態を指定/分類し、目標設計の形態とシミュレートした結果の間の差(即ち、誤差)を定量するこ

50

とである。これは、考慮すべき形態の種々のカテゴリ、例えば、ライン端、CD均一性、凸角、凹隅、等を定義することを伴う。一旦これらのカテゴリを定義すると、シミュレートした結果と目標パターンとの差を、チェックマーカを含み且つ予め定義したカテゴリの一つに割当てた各位置で抽出する。この与えられた例では、与えられたチェックマーカ位置での各差/誤差をライン端誤差、CD均一性誤差、凸角誤差または凹隅誤差の何れかとして割当て/定義し且つそれぞれのカテゴリに記録する。上記のように、フルチップレイアウトの表示が得られるように、チェックマーカをこのレイアウト内に置くのが好ましい。その代りに、もし、比較を2次元輪郭に基づいて行なうならば、設計者は、チェックマーカの定義に類似する、抽出すべき輪郭についての比較点の位置を指定しなければならない。

10

**【0026】**

一旦ステップ40を完了すると、シミュレートした結果と目標パターン間の実際の差が知られ且つ記録され、および特定の種類の形態カテゴリに分類される。上記の形態のカテゴリは、事実上例示であることを意図し、限定を意図しないことを注記する。上に示した以外の追加のカテゴリを使うことができる。更に、やはり上記のように、解析し且つ記録する位置の数は、レイアウト全体を表すのが好ましい。勿論、考慮する位置の実際の数は、レイアウト毎に変わり、この製造環境で潜在的問題点であると見做される厳しい領域の数に大きく依存するだろう。

**【0027】**

このプロセスの次のステップ(ステップ50)は、各形態カテゴリに対してヒストグラム(または何か他の適当な統計的書式)を創成し、各カテゴリに対して記録した形態の全てについて誤差結果をプロットすることである。各ヒストグラムは、与えられたカテゴリにそれぞれの形態が幾つ含まれているか、および与えられた形態カテゴリの各形態に関連する結像誤差の大きさを示す。それで、このヒストグラムは、設計者に各定義した形態カテゴリで起る誤差の数を容易に決められるようにする。更に、以下に更に詳しく説明するように、このヒストグラムは、設計者に仕様外である許容できない誤差を補正するために局部補正を利用できるかどうか、または重大な再設計が必要かどうかをかなり迅速に決定できるようにする。

20

**【0028】**

続いて、このプロセスの次のステップ(ステップ60)は、ステップ40で特定した形態カテゴリの各々に対する容認できる誤差許容値を定義し、各カテゴリでこの容認できる誤差許容値外の全ての形態を特定することである。知られているように、そのような誤差許容値は、最終目標パターンで容認できる(即ち、設計限界内の)偏差を定義する。これらの誤差許容値は、典型的には初期設計段階中に回路設計者が定義し、異なる形態種類間でレイアウト内で異なるのは勿論、レイアウト毎に異なる。設計者が指定したこれらの誤差許容値は、少なくとも、ステップ40で特定した誤差カテゴリに対する許容誤差に対応し且つ指定すべきであることを注記する。以下に更に詳しく説明するように、設計者が与えられたカテゴリ内の容認できる誤差許容値外になる(および従って補正すべき)形態のパーセントを容易に決められるように、これらの誤差許容値をステップ50で創った種々のヒストグラムに重ねることも可能である。

30

40

**【0029】**

一旦誤差許容値が決ると、次のステップ(ステップ70)は、各カテゴリの全ての形態がそれぞれの形態に対して指定した誤差許容値内にあるかどうかを判断することである。もし、答がハイであれば、このプロセスはステップ90へ進み、マスクパターンを創成する。もし、答がイエエであれば、このプロセスはステップ80へ進み、そこでOPC補正および/またはその他の補正処理(即ち、光学設定(例えば、開口数、シグマ)、マスク型式(例えば、透過式、位相式)、またはレジスト処理のような処理パラメータであるがそれに限らないパラメータの変更)を、指定した誤差許容値外の関連する結像誤差を有する形態を除去しようと努力して適用する。一旦これらの補正を行うと、このプロセスは、他のシミュレーションが行えるように前記のステップ20へ戻り、および次にこの補正を

50

行った全ての形態が指定した誤差許容値内にあるかどうかに関して決められるようにこのプロセスを進める。このプロセスを進めるとき2度目、またはその後の何度目にも形態カテゴリを再分類し、または誤差許容値を再定義する(即ち、ステップ40および60)必要はないことを注記する。

#### 【0030】

ある実施例では、所定のルール(例えば、過度のライン端短縮を示す領域での形態ラインの延長)を使って上記補正(ステップ80)を自動的に行うことができる。そのようなルールは、与えられたプロセスで考慮する形態のカテゴリに付いて且つそれに基づいて決められるだろう。実際、各個々の形態カテゴリに対する誤差を集約する、ヒストグラムの創成を含む、本発明の前記方法のほぼ全てのステップをコンピュータまたは専用処理装置を使用する自動化した方法で行うことができる。

10

#### 【0031】

与えられた実施例では、補正処理データベースが補正の二つの主要方法を含む。第1の方法は、マスク設計に適用したOPC形態の適用および/または修正を伴う。上記のように、与えられた誤差を補正するためにマスク設計に適用するOPC補正形態を支配する所定のルールは、データベースに記憶しており、それで該当する誤差が起ると決めたら(それはヒストグラムから決めることができる)、マスク設計に適用する。第2の方法は、使用する与えられたプロセスパラメータの修正を伴う。再び、与えられた誤差が起ると試みるべき、有り得るプロセス変動を支配する所定のルールは、この補正処理データベースに記憶することができる。勿論、OPC形態とプロセスパラメータの両方に調整を要するルールも可能である。また、一旦与えられた誤差状態に対して解決策が決ると、将来の用途に適用できるように、この補正をデザインルールの形で記録するためにこのデータベースを更新してもよい。本プロセスは反復プロセスであり、シミュレーションおよびチェックプロセスを毎回再実行し、調整を行い、この調整が残りの誤差全てを補正したかどうかを決めることも再び注記する。このシステムが全ての未解決の誤差に対して容認できる解決策を決めるまで、このプロセスを繰返す。もし、多数回反復の後に(それは操作員が予め決めることができる)このシステムが容認できる解決策を見付けられないならば、マスクレイアウトの再設計が必要かも知れない。

20

#### 【0032】

上記のように、予め定義した形態カテゴリに対してヒストグラムを創成する、本発明の方法は、フルチップレイアウトに対して設計者が設計の“弱い部分”を容易に特定し、閉出せるようにするために非常に有用である。その上、このヒストグラムは、処理パラメータへの調整を僅かに仕様外の設計(即ち、容認できる誤差許容値範囲外の形態数が最少の設計)を“調整”するために使用できるかどうかを決めるための容易な方法を提供する。このヒストグラムは、また設計者に設計プロセスの初期に、提案した設計に、このレイアウトのかなりの再設計が必要かも知れないことを示す、重要な製造可能性問題(例えば、与えられた誤差カテゴリのほぼ全ての形態が容認できる誤差外になる)があることを決められるようにもする。言換えれば、誤差の程度と数が、プロセス変動および/またはOPC補正処理を使ってもこれらの誤差を補正できそうにない程である。

30

#### 【0033】

図3は、図2の目標パターンの例示部分を、同じパターンのシミュレーション結果と重ね合わせて示す。分るように、目標パターンとシミュレーション結果の間に差がある。図4は、このシミュレーション結果と目標パターンの間の差に基づいて創成した、例示ヒストグラムを示す。与えられた例では、モニタ用に五つの形態カテゴリ、即ち、凸形態、凹形態、ライン端形態、ゲート幅形態および限界寸法(即ち、ライ幅)形態を定義した。各それぞれのヒストグラムは、目標設計目的からの誤差の程度は勿論、考慮中の(即ち、チェックマーカで識別した)それぞれの形態の数を確認する。更に具体的には、もし、モニタする形態が全て誤差ゼロであれば、各ヒストグラムは、このヒストグラムの中央(図4のx軸上の0)に位置する単線を示すだろう。しかし、与えられた例のヒストグラムは、それぞれの形態が各カテゴリで誤差の程度が違うことを示すので、これは一般的にそうでは

40

50

ない。更に、このヒストグラムで42と印した線は、容認できる誤差許容値を示すことを注記する。特に、これら2本の線内に入るあらゆる誤差は、“0”（即ち、誤差なし）からの偏差の容認できるレベルであり、2本の線のどれかの外側にあるあらゆる誤差は、容認できない誤差偏差を表す。図4のヒストグラムを検討すると、モニタする凸および凹形態の大部分が容認できない誤差変動を有し、一方ライン端形態、ゲート形態およびCD形態は、大抵指定した誤差許容値内であり、従って容認できることが容易に分る。図3は、この設計内の代表的問題領域の幾つかをハイライト表示する。

#### 【0034】

図5は、図4に示すのと同じレイアウトおよび同じカテゴリのためのヒストグラムを示すが、違いは、補正を3組のヒストグラムの各々に適用したことである。第1組（パラ1およびパラ2）では、形態へのライン端引戻し調整を行った。図4と図5の間の比較で示すように、全てのライン端形態が今度は予め定義した誤差許容値内にあり、従って実際の製造プロセス中何のプリント問題も生じない筈である。パラ3では、バイアス補正アルゴリズムを適用したが、しかし、多数のライン端形態が誤差許容値外に残っているので、ライン端形態の満足な補正にはならなかった。パラ1ないしパラ3は、パラメータ組1ないしパラメータ組3の略であることを注記する。上記のように、異なるパラメータを使い、種々のOPCおよびマスクパターン修正を行うために調整して誤差を補正することができる。各パラメータ組は、異なるMRCヒストグラムを生じ、あるパラメータ変動は、特定の誤差を解決するが、全体の性能の低下を生じるかも知れない。ライン端引戻しのような、ある種類の誤差の与えられた補正が、CD均一性が悪くなるような、異なる種類の誤差を発生することも有り得る。本発明のヒストグラムを利用することによって、与えられた誤差が補正可能でありそうか、または設計修正が必要かどうかを迅速且つ容易に識別することが可能である。

10

20

30

#### 【0035】

図6も図4に示すのと同じレイアウトおよび同じカテゴリのためのヒストグラムを示すが、違いは、凸角および凹隅補正をパラ4およびパラ5のヒストグラムの各々の形態に適用したことである。図4と図6の間の比較で示すように、パラ4で行った補正は、凸および凹形態のプリントでかなりの改善をする結果となり、一方パラ5で行った補正は改善にならなかった。パラ6では、もう一つのバイアス補正アルゴリズムを適用した。この全域補正が各形態を指定した誤差許容値内にしない場合、局部補正（即ち、許容値外の形態だけの補正）を設計者が、またはこのシステムが自動的に行うことができる。前記の図から分るように、このヒストグラムは、与えられたカテゴリの形態のどれが指定した誤差許容値に合格しないかを容易に示す。

#### 【0036】

図7ないし図9に示すヒストグラムは、それぞれ、ライン端形態、ゲート形態および限界寸法の与えられたプロセスでのプリント性能が、適用する線量（即ち、エネルギー）またはピンぼけパラメータを変えても多くは変わらないことを示す。これらの図の各々に示すように、結果ヒストグラムは、線量およびピンぼけの変動が及んでも、比較的変らないままである。再び、このヒストグラムは、設計者が、これらのプロセス設定の変動が形態の結像プロセスに所望の補正を達成するかどうかを決めるための比較的容易な方法を提供する。プロセス変動が所望の補正を提供できない場合、設計許容値を満たすためにレイアウト修正が必要かも知れない。

40

#### 【0037】

図11および図12は、誤差を補正するために設計修正が必要なときの例を示す。更に具体的には、図11の下部左手側は、レイアウトの一部を示し、この図の上部右側は、この目標パターンに重ね合せたシミュレートしたウエハ像を示す。この例では、OPC処理の適用およびプロセスパラメータ調整が誤差を補正するに十分である。しかし、この目標回路の別の部分とシミュレートした結果を示す、図11の右手側では、このOPC処理とプロセスパラメータ変動が全ての誤差を補正するには不十分である。例えば、この図の上部右手側を参照すると、OPCの適用およびプロセスパラメータ補正処理後に橋絡誤差が

50

残存する。それで、レイアウトの修正が必要である。容認できるレイアウト修正の例を図 12 に示す。図 12 に示すように、この橋絡誤差を除去するために、種々の形態のエッジが互いから更に離れている。シミュレートした結果も図 12 に示す。上記のように、そのようなレイアウト修正は、一般的には回路設計者が必要なときに行う。しかし、レイアウト設計の自動補正 / 修正を提供するためのルールセットを創成することも可能だろう。

【 0 0 3 8 】

上記のように、本発明の方法は、先行技術に優る重要な利点をもたらす。最も重要なことに、本発明は、設計プロセスで予め目標設計が指定された設計許容値内で実際に製造できるかどうかを決める、フルチップ製造信頼性チェックを行うための方法を提供する。その上、本発明の方法は、指定された設計許容値で製造できる設計をするように、設計の自動補正を行うことができる。

10

【 0 0 3 9 】

本発明のもう一つの利点は、このフルチップ製造信頼性チェックおよび補正方法が、複数のマスクおよび / または多重露光（例えば、D D L 垂直および水平マスク）、並びに同じマスクに多重データ層（例えば、クロムおよび位相形態を含む C P L マスク）を使うプロセスに使うのに適していることである。

【 0 0 4 0 】

本発明の更に別の利点は、この方法が、設計プロセスの初期にその目標設計に設計要件を満足させないかおよび / または製造プロセスに掛けたときに歩留りが不満足な結果になる何か “故障の起こりそうな部分” または “弱い部分” があるかどうかに関して設計者にフィードバックすることである。その結果、本発明は、瑕疵のある設計のプロトタイプの手配アウトおよび開発に関するコストを除去することは勿論、再設計プロセスに関連する時間とコストを最少にする。言換えれば、本発明は、設計者が、テストウエアの手配アウトプロセスおよび開発（即ち、処理）の前に、設計に基本的に瑕疵があるか（および従って製造不可能であるか）どうか決めることを可能にする。

20

【 0 0 4 1 】

その上、本発明の方法は、この設計の “故障の起こりそうな部分” または “弱い部分” に対応するように、誤差許容値限界外の形態を除去 / 補正しようと、この設計および / またはプロセスを自動的に修正できる。

【 0 0 4 2 】

上述のように、本発明のプロセスは、コンピュータまたは専用プロセッサを使って自動的に行うことができる。更に、局部補正を為すべきときを含む、行うべき補正を支配するルールを予め決め、次に前記の方法によって創り出したヒストグラムの結果に基づいて適用することができる。実際、もし、設計者が望むなら、ほぼ全プロセスを自動化できる。勿論、もし、設計者がこのプロセスに積極的に関わる（例えば、適用する補正の種類を決める）ことを望むなら、これも可能である。

30

【 0 0 4 3 】

図 10 は、現発明を使って設計したマスクと共に使うのに適したリソグラフィ投影装置を概略的に描く。この装置は、

- 放射線の投影ビーム P B を供給するための放射線システム E x、I L。この特別な場合、この放射線システムは放射線源 L A も含む、
- マスク M A（例えば、レチクル）を保持するためのマスクホルダを備え、且つこのマスクを部材 P L に関して正確に位置決めするために第 1 位置決め手段に結合された第 1 物体テーブル（マスクテーブル）M T、
- 基板 W（例えば、レジストを塗被したシリコンウエハ）を保持するための板ホルダを備え、且つこの基板を部材 P L に関して正確に位置決めするために第 2 位置決め手段に結合された第 2 物体テーブル（基板テーブル）W T；および
- マスク M A の被照射部分を基板 W の目標部分 C（例えば、一つ以上のダイを含む）上に結像するための投影システム（“レンズ”）P L（例えば、屈折性、反射性または反射屈折性光学システム）を含む。

40

50

## 【0044】

ここに描くように、この装置は、反射型である（即ち、反射性のマスクを有する）。しかし、一般的に、それは、例えば透過型（透過性のマスクを備える）でもよい。その代りに、この装置は、マスクを使う代りに別の種類の他の種類のパターンニング手段を使ってもよく；その例にはプログラム可能ミラーアレイまたはLCDマトリックスがある。

## 【0045】

この線源LA（例えば、水銀灯またはエキシマレーザ）は、放射線のビームを作る。このビームを直接か、または、例えば、ビーム拡大器Exのような、状態調節手段を通してから、照明システム（照明器）ILの中へ送る。この照明器ILは、このビームの強度分布の外側および/または内側半径方向範囲（普通、それぞれ、外側および/または内側と呼ぶ）を設定するための調整手段AMを含んでもよい。その上、それは、一般的に、インテグレータINおよびコンデンサCOのような、種々の他の部品を含む。この様にして、マスクMAに入射するビームPBは、その断面に所望の均一性および強度分布を有する。

10

## 【0046】

図10に関して、線源LAは、（この線源LAが、例えば、水銀灯である場合によくあることだが）このリソグラフィ投影装置のハウジング内にあってもよいが、このリソグラフィ投影装置から遠く離れていて、それが作った放射線ビームをこの装置に（例えば、適当な指向ミラーを使って）導いてもよいことに注目すべきで；この後者のシナリオは、線源LAがエキシマレーザ（例えば、KrF、ArFまたはF<sub>2</sub>レーズングに基づく）である場合によくあることである。現発明は、これらのシナリオの両方を包含する。

20

## 【0047】

ビームPBは、次に、マスクテーブルMT上に保持されたマスクMAを横切る。マスクMAを横断してから、ビームPBは、レンズPLを通過し、それがこのビームPBを基板Wの目標部分C上に集束する。第2位置決め手段（および干渉計測定手段IF）を使って、基板テーブルWTを、例えば、異なる目標部分CをビームPBの経路に配置するように、正確に動かすことができる。同様に、例えば、マスクMAをマスクライブラリから機械的に検索してから、または走査中に、第1位置決め手段を使ってマスクMAをビームPBの経路に関して正確に配置することができる。一般的に、物体テーブルMT、WTの移動は、図10にはっきりは示さないが、長ストロークモジュール（粗位置決め）および短ストロークモジュール（精密位置決め）を使って実現する。しかし、ウエハステッパの場合は（ステップアンドスキャン装置と違って）、マスクテーブルMTを短ストロークアクチュエータに結合するだけでもよく、または固定してもよい。

30

## 【0048】

図示する装置は、二つの異なるモードで使うことができる。

- ステップモードでは、マスクテーブルMTを本質的に固定して保持し、全マスク像を目標部分C上に一度に（即ち、単一“フラッシュ”で）投影する。次に基板テーブルWTをxおよび/またはy方向に移動して異なる目標部分CをビームPBで照射できるようにする。

- 走査モードでは、与えられた目標部分Cを単一“フラッシュ”では露光しないことを除いて、本質的に同じシナリオを適用する。その代りに、マスクテーブルMTが与えられた方向（所謂“走査方向”、例えば、y方向）に速度Vで動き得て、それで投影ビームPBがマスク像の上を走査させられ；同時に、基板テーブルWTがそれと共に同じまたは反対方向に速度V=Mで動かされ、このMはレンズPLの倍率（典型的には、M=1/4または1/5）である。この様にして、比較的大きい目標部分Cを、解像度について妥協する必要なく、露光することができる。

40

## 【0049】

その上、ソフトウェアが開示した概念を実行または実行を支援してもよい。コンピュータシステムのソフトウェア機能は、実行可能コードを含む、プログラミングを必要とし、上述の結像モードを実行するために使ってもよい。このソフトウェアコードは、汎用コン

50

コンピュータによって実行可能である。運用する際は、このコード、および事によると関連するデータレコードを汎用コンピュータ・プラットフォーム内に記憶する。しかし、普段は、このソフトウェアを他の場所に記憶しおよび/または適当な汎用コンピュータシステムにローディングするために移送してもよい。従って、上に議論した実施例は、少なくとも一つの機械可読媒体が担持する一つ以上のコードモジュールの形の一つ以上のソフトウェアプロダクトを必要とする。このコンピュータシステムのプロセッサによりそのようなコードを実行すると、このプラットフォームが、本質的にここに議論し且つ図示した実施例で行った様式でカタログおよび/またはソフトウェア・ダウンロード機能を実行できるようにする。

【0050】

ここで使う、コンピュータまたは機械“可読媒体”のような用語は、実行用コンピュータに命令を与える際に参加するあらゆる媒体を指す。そのような媒体は、不揮発性媒体、揮発性媒体、および伝送媒体を含むがそれに限らない、多くの形を採ってもよい。不揮発性媒体は、例えば、上に議論したサーバプラットフォームの一つとして機能する何れかのコンピュータの記憶装置の何れかのような、光または磁気ディスクを含む。揮発性媒体は、そのようなコンピュータプラットフォームの主記憶装置のような、ダイナミックメモリを含む。物理的伝送媒体は、コンピュータシステム内のバスを含むワイヤを包含する、同軸ケーブル、銅線および光ファイバを含む。搬送波伝送媒体は、電気若しくは電磁信号、または無線周波(RF)および赤外(IR)データ通信中に発生するもののような音波若しくは光波の形を採ることができる。従って、コンピュータ可読媒体の共通の形には、例えば、フロッピー(登録商標)ディスク、フレキシブルディスク、ハードディスク、磁気テープ、何か他の磁気媒体、CD-ROM、DVD、何か他の光媒体、パンチカード、紙テープのような普通あまり使わない媒体、孔のパターンを備える何か他の物理的媒体、RAM、PROM、およびEPROM、フラッシュEPROM、何か他のメモリチップ若しくはカートリッジ、搬送波伝送データ若しくは命令、そのような搬送波を伝送するケーブル若しくはリンク、またはコンピュータがプログラミングコードおよび/またはデータを読取れる何か他の媒体がある。コンピュータ可読媒体のこれらの形の多くは、一つ以上の命令の一つ以上のシーケンスをプロセッサへ実行するために伝送する際に携るかも知れない。

【0051】

本発明を詳細に説明し且つ図示したが、それは説明および例示としてだけであることを明確に理解すべきであり、限定としてとるべきでなく、本発明の範囲は、添付の請求項の表現によってのみ限定されることを理解すべきである。

【図面の簡単な説明】

【0052】

【図1】本発明の第1実施例によるフルチップ製造信頼性チェックおよび補正方法を示す例示フローチャートである。

【図2a】本発明のチェックおよび補正方法に掛けることができる例示レイアウトパターン(即ち、目標パターン)を示す。

【図2b】本発明のチェックおよび補正方法に掛けることができる例示レイアウトパターン(即ち、目標パターン)を示す。

【図3】図2の目標パターンの例示部分を、同じパターンのシミュレーション結果と重ね合わせて示す。

【図4】このシミュレーション結果と目標パターンの間の差に基づいて創成した、例示ヒストグラムを示す。

【図5】図4に示すのと同じレイアウトおよび同じカテゴリのためのヒストグラムを示すが、差は、3組のヒストグラムの各々によって表す形態にライン端補正を適用したことである。

【図6】図4に示すのと同じレイアウトおよび同じカテゴリのためのヒストグラムを示すが、差は、パラ4およびパラ5のヒストグラムの各々によって表す形態に凸角および凹隅

10

20

30

40

50

補正を適用し、パラ 6 のヒストグラムによって表す形態にライン端補正を適用したことがある。

【図 7】ライン端形態の与えられたプロセスでのプリント性能が、プロセスパラメータを変えても多くは変わらないことを表すヒストグラムを示す。

【図 8】ゲート形態の与えられたプロセスでのプリント性能が、プロセスパラメータを変えても多くは変わらないことを表すヒストグラムを示す。

【図 9】限界寸法の与えられたプロセスでのプリント性能が、プロセスパラメータを変えても多くは変わらないことを表すヒストグラムを示す。

【図 10】開示した概念を使って設計したマスクと共に使うのに適した例示リソグラフィ投影装置を概略的に描く。

10

【図 11】誤差を補正するためにレイアウト修正が必要なときの例を示す。

【図 12】誤差を補正するためにレイアウト修正が必要なときの例を示す。

【符号の説明】

【 0 0 5 3 】

C 目標部分

E x ビーム拡大器

I L 照明システム

L A 線放射源

M A マスク

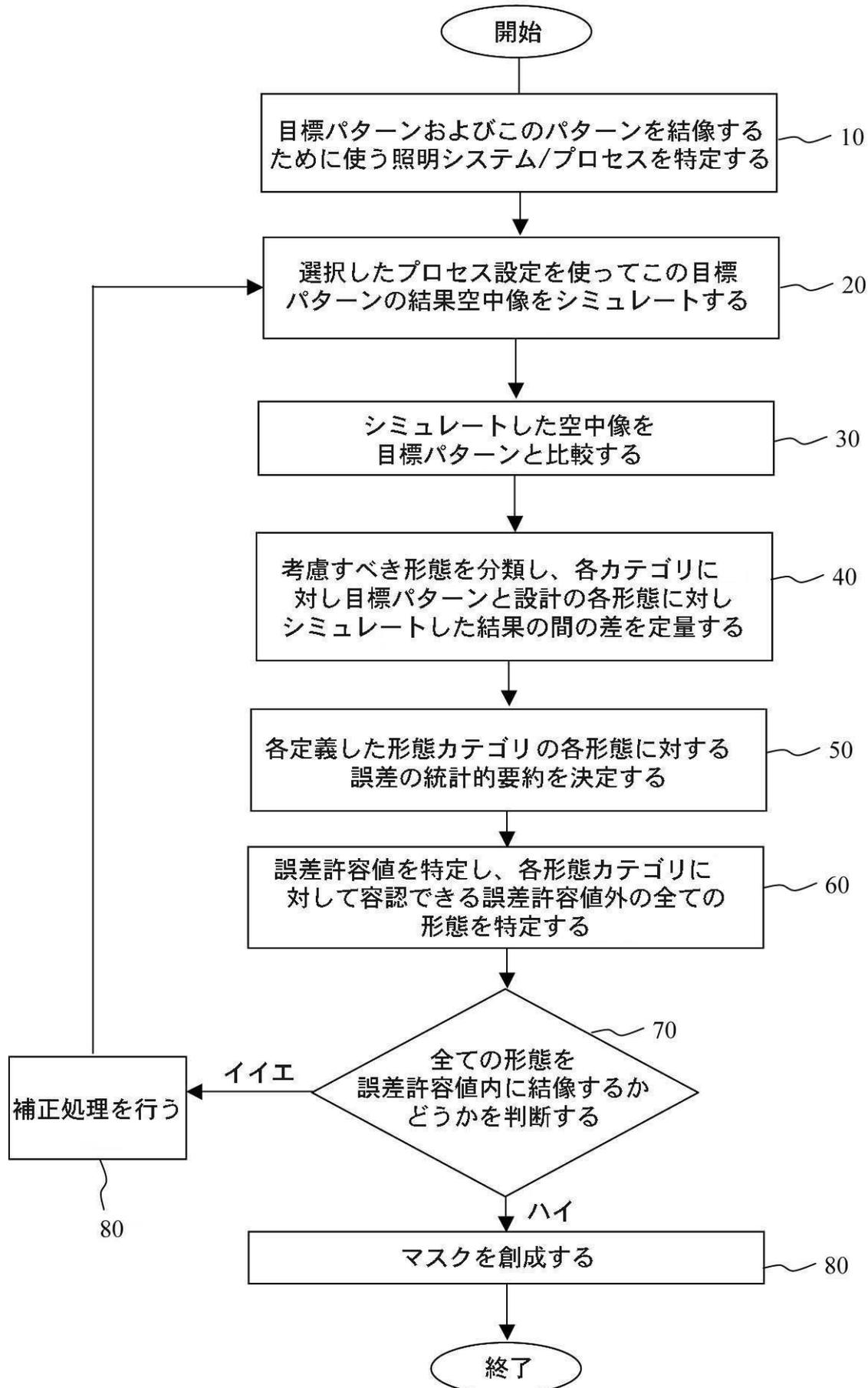
P B 投影ビーム

P L 投影システム

W 基板

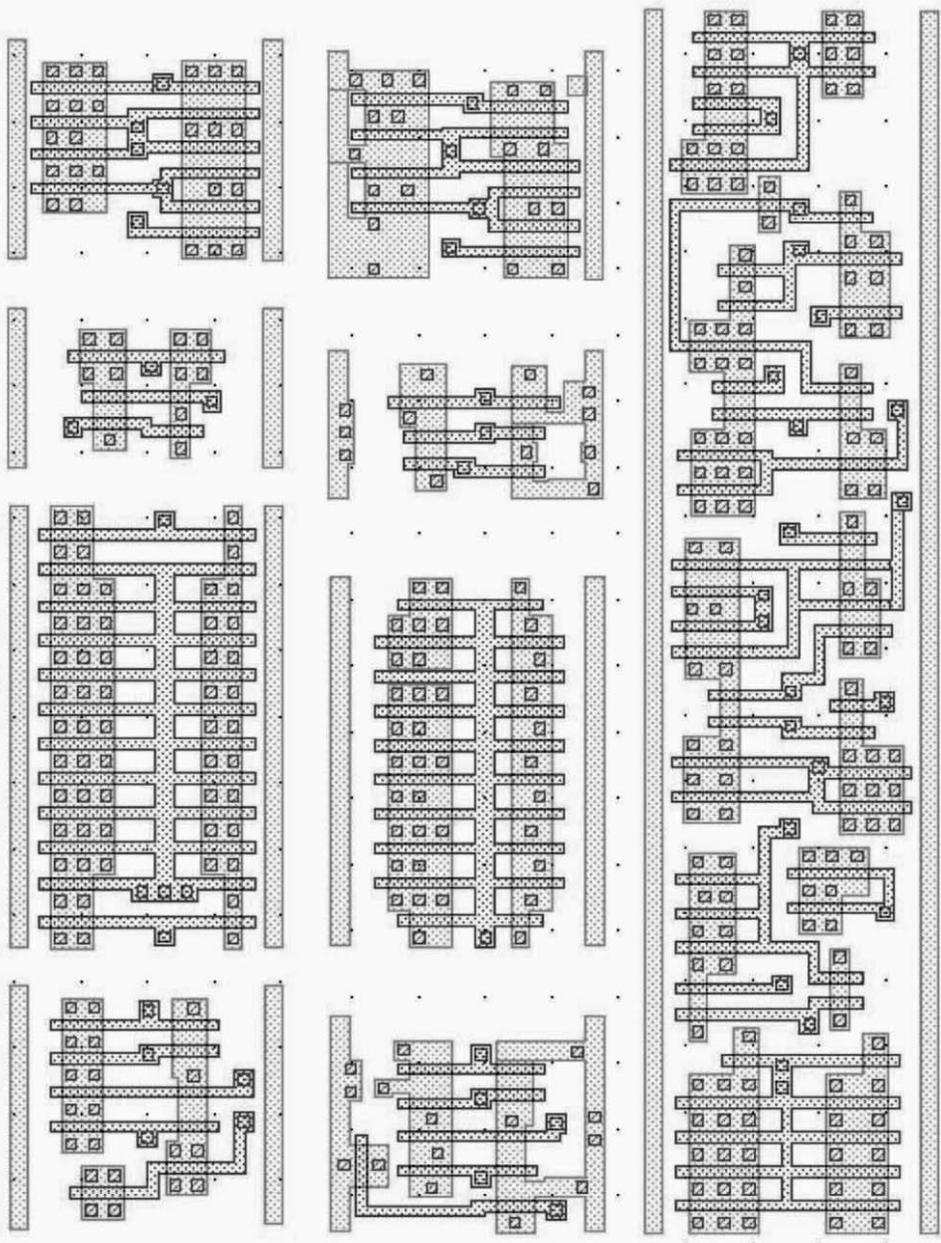
20

【図1】

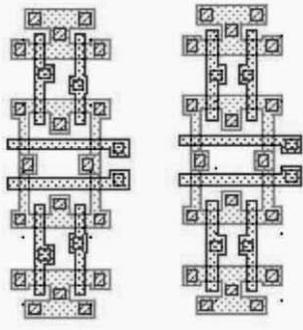


【図 2 a】

MRC<sup>2</sup> テストパターンレイアウト

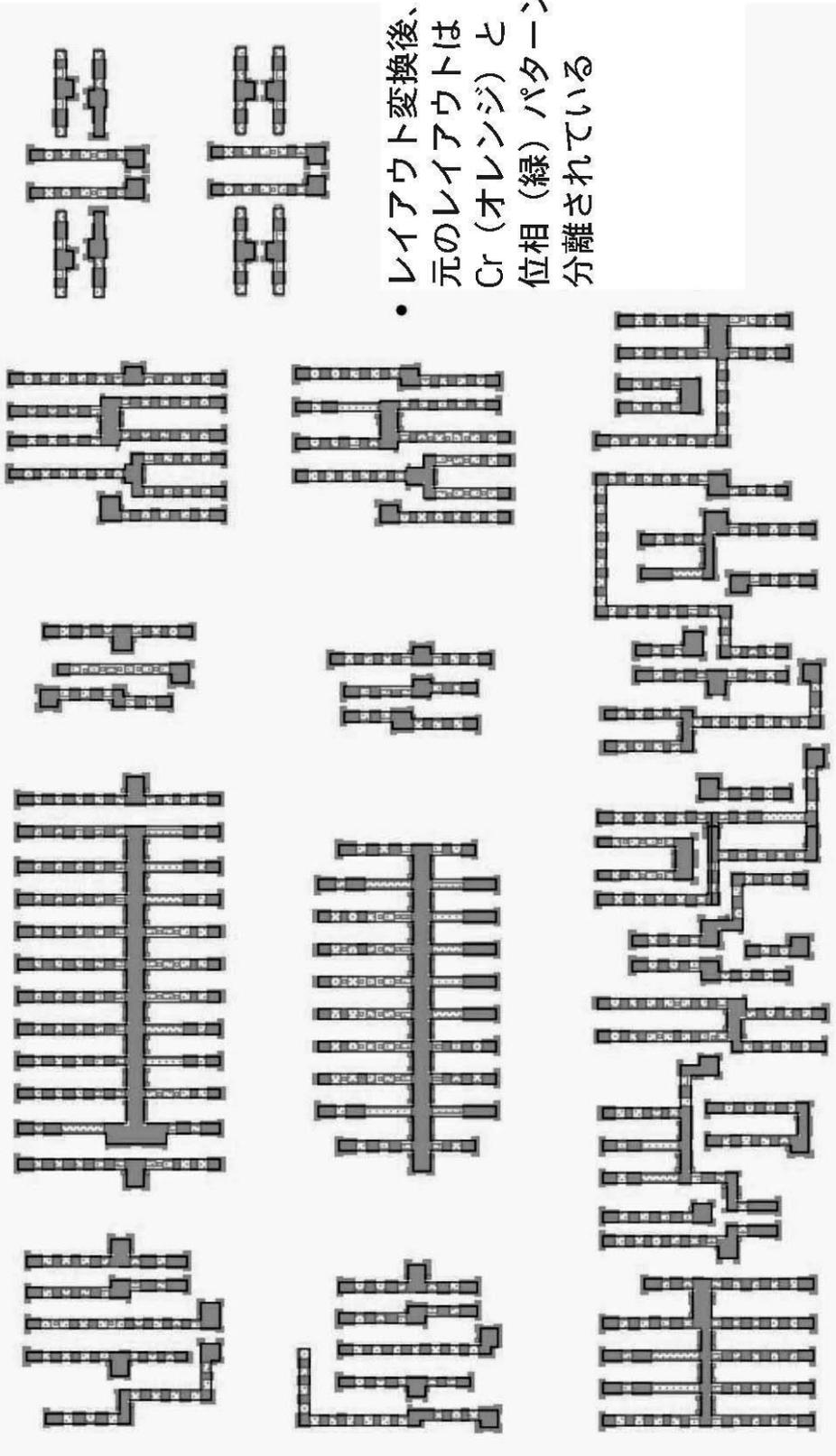


- 70nmノードのフルチップレイアウトから選択した限界設計

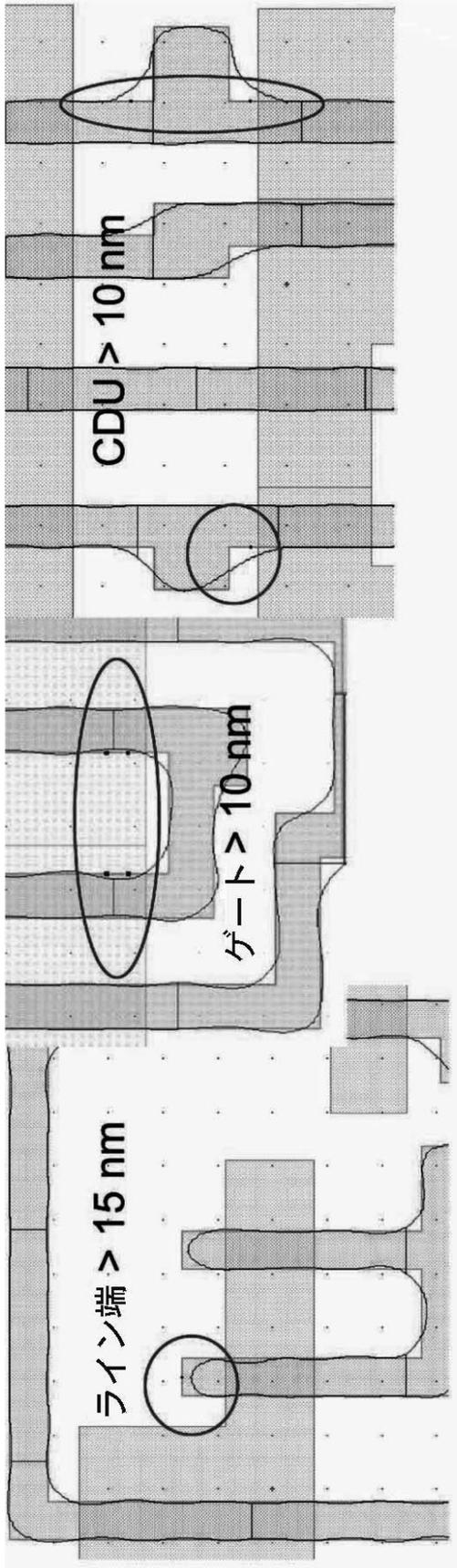


【 図 2 b 】

多層マスク (CPLベースライン) 用MRC<sup>2</sup>

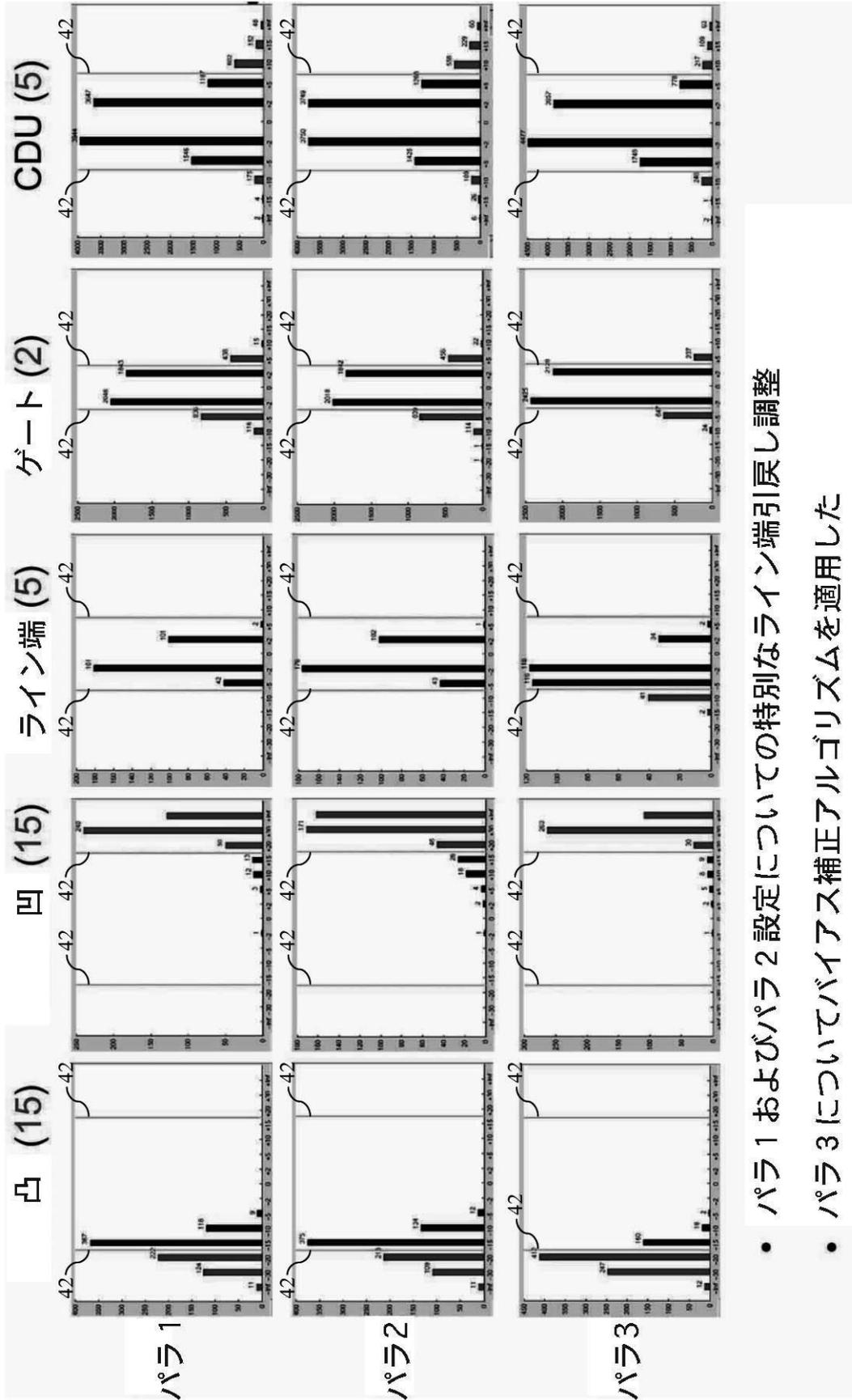


【図 3】



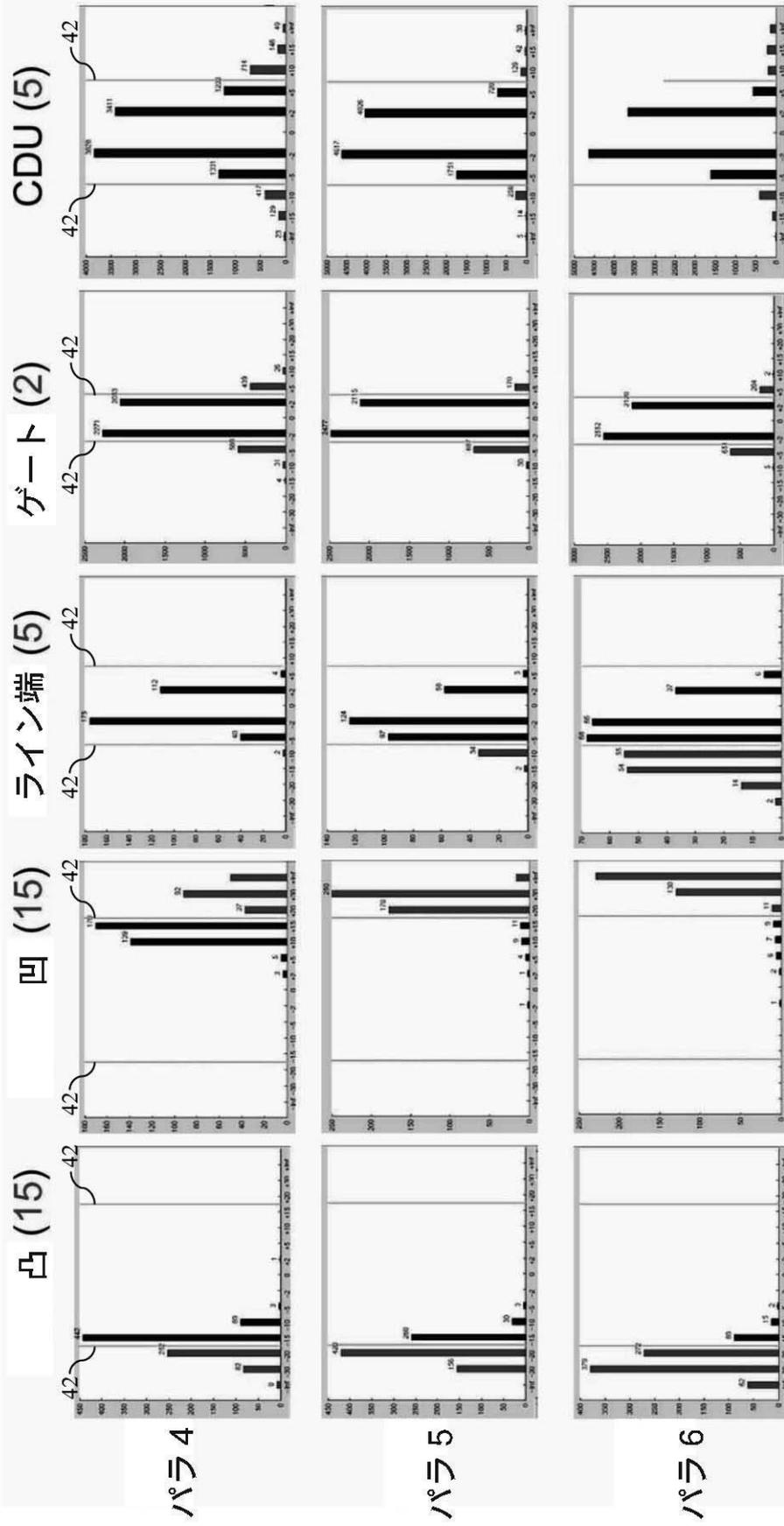


【図5】



- パラ1およびパラ2設定についての特別なライン端引戻し調整
- パラ3についてバイアス補正アルゴリズムを適用した

【図 6】



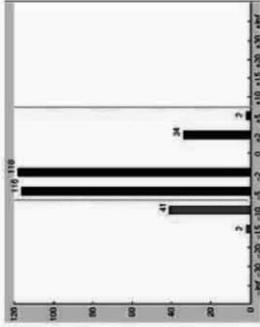
- パラ 4 および パラ 5 設定についての特別な凸角および凹隅調整

- パラ 6 について選択してバイアス補正を適用した

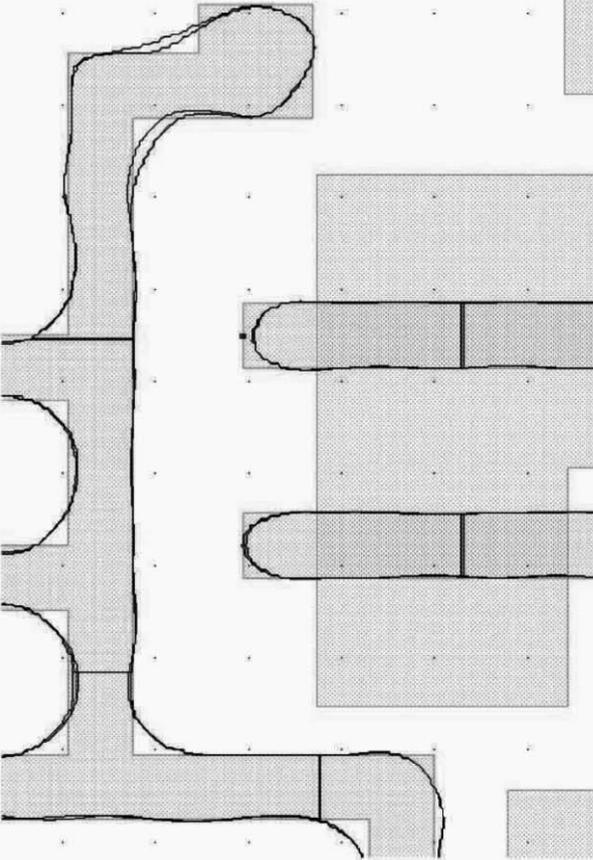
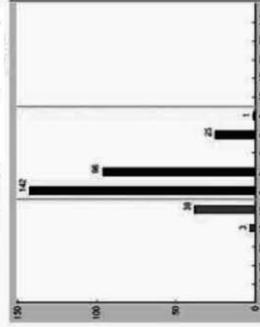
【図7】  
0.15 $\mu$ m ピンぼけ  
+ 8% エネルギー



0.15 $\mu$ m ピンぼけ



0.15 $\mu$ m ピンぼけ  
+ 8% エネルギー

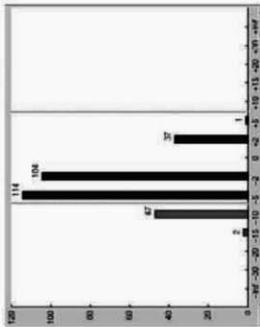


- MRC<sup>2</sup>作業がエネルギーシフトおよびピンぼけ状態でのプリント性能を検証する

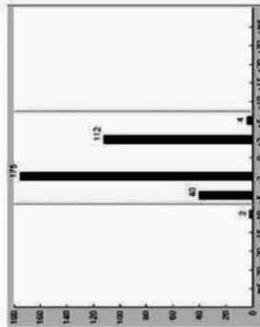
- プロセスが変動しても全体のライン端性能は変わらない

- ライン端の最大変動は10nm以下である

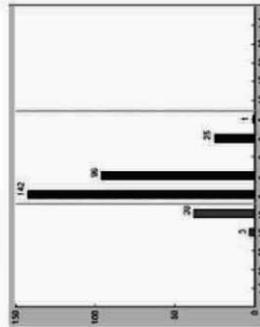
+ 8% エネルギー



最適エネルギー

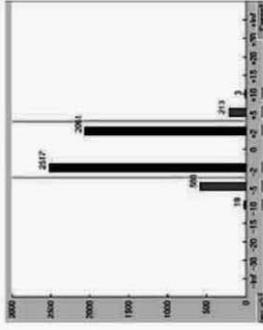


- 8% エネルギー

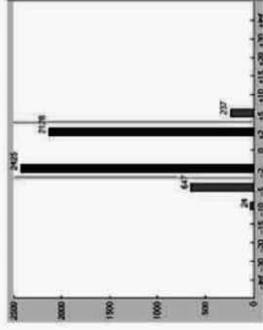


【 図 8 】

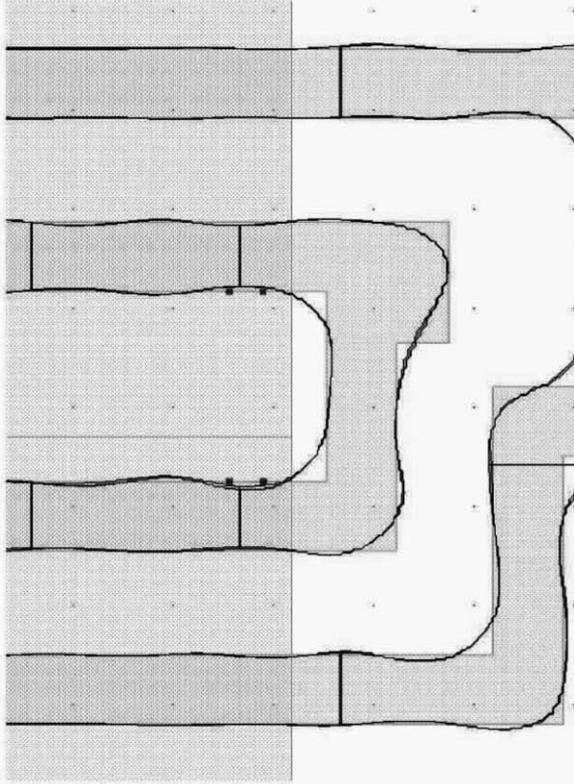
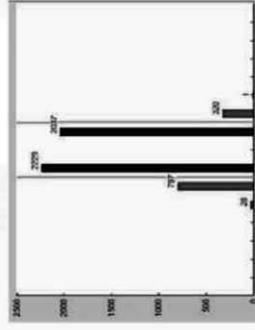
0.15μm ピンぼけ  
+8% エネルギー



0.15μm ピンぼけ



0.15μm ピンぼけ  
+8% エネルギー



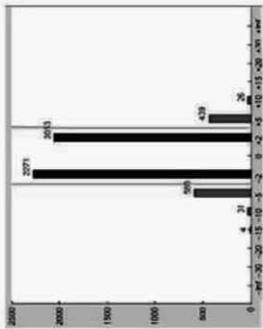
プロセスが変動しても全体のゲート性能は変わらない

ゲートCDの最大変動は10nm以下である

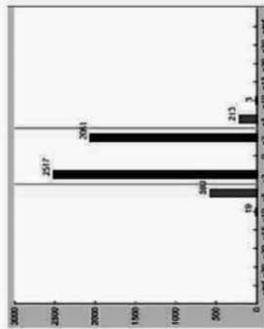
局部補正を加えるかそれとも

設計変更する時だ！

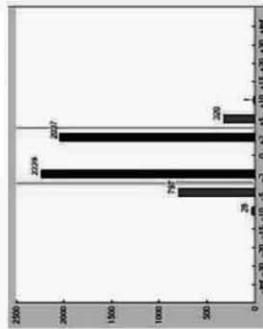
+8% エネルギー



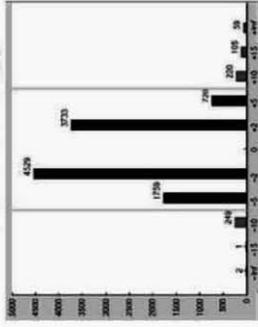
最適エネルギー



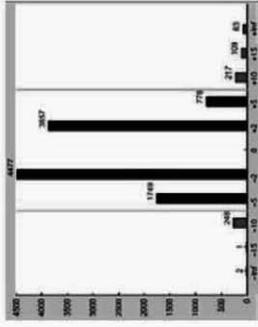
-8% エネルギー



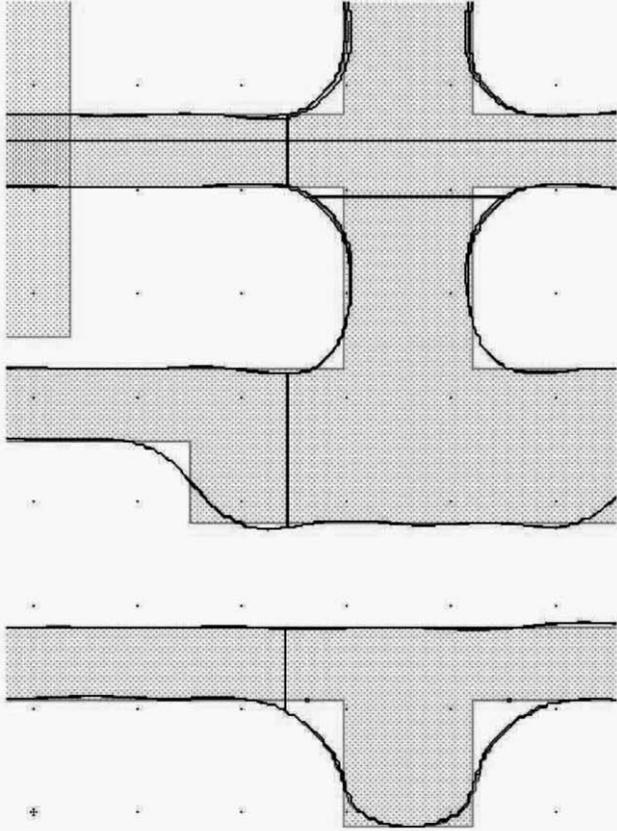
【図9】  
0.15μmピンぼけ  
+8%エネルギー



0.15μmピンぼけ



0.15μmピンぼけ  
+8%エネルギー

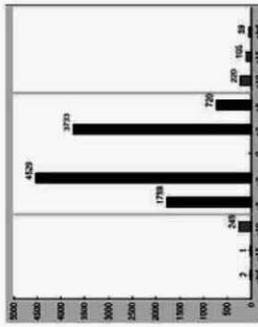


- プロセスが変動しても全体のCD均一性は変わらない

- CD均一性の最大変動は10nm以下である

- 大きいパッドに近い場所のいくつかはCD変動が大きい

+8%エネルギー



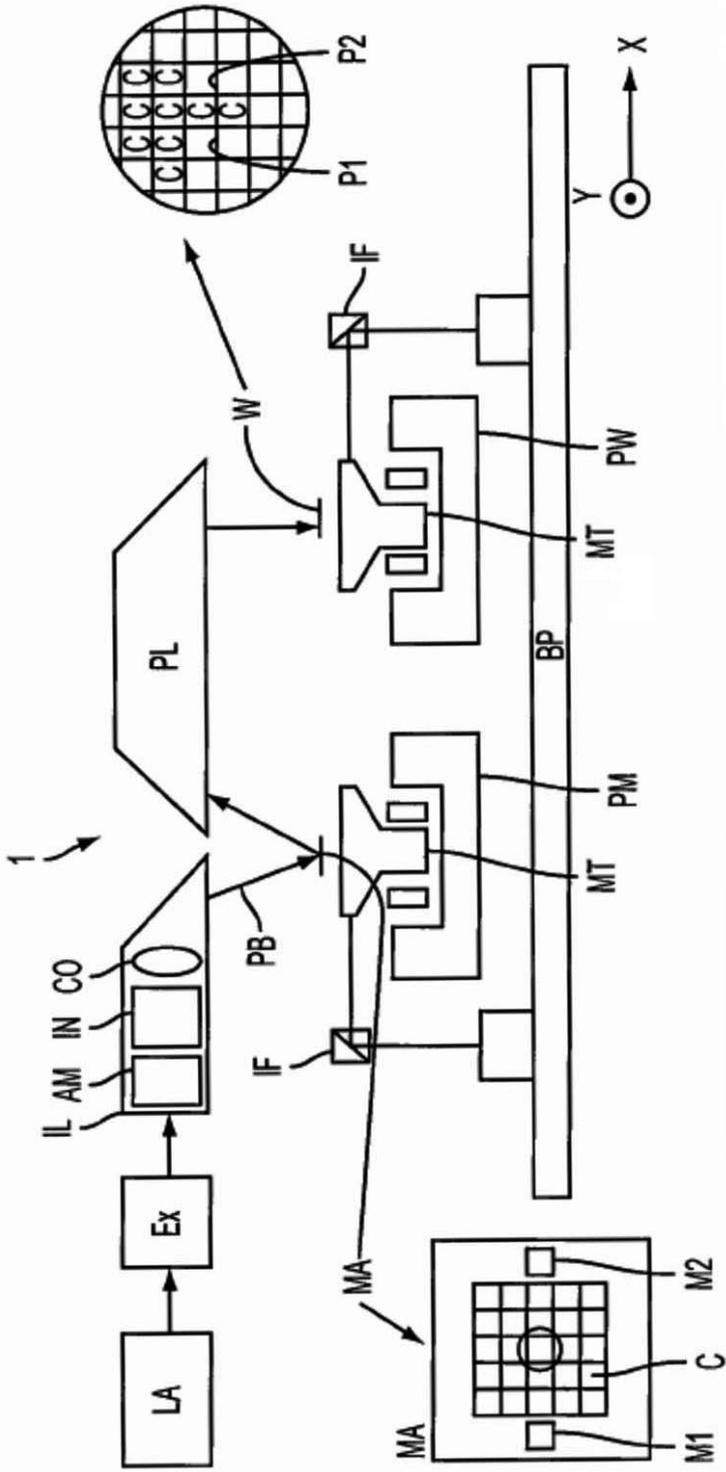
最適エネルギー



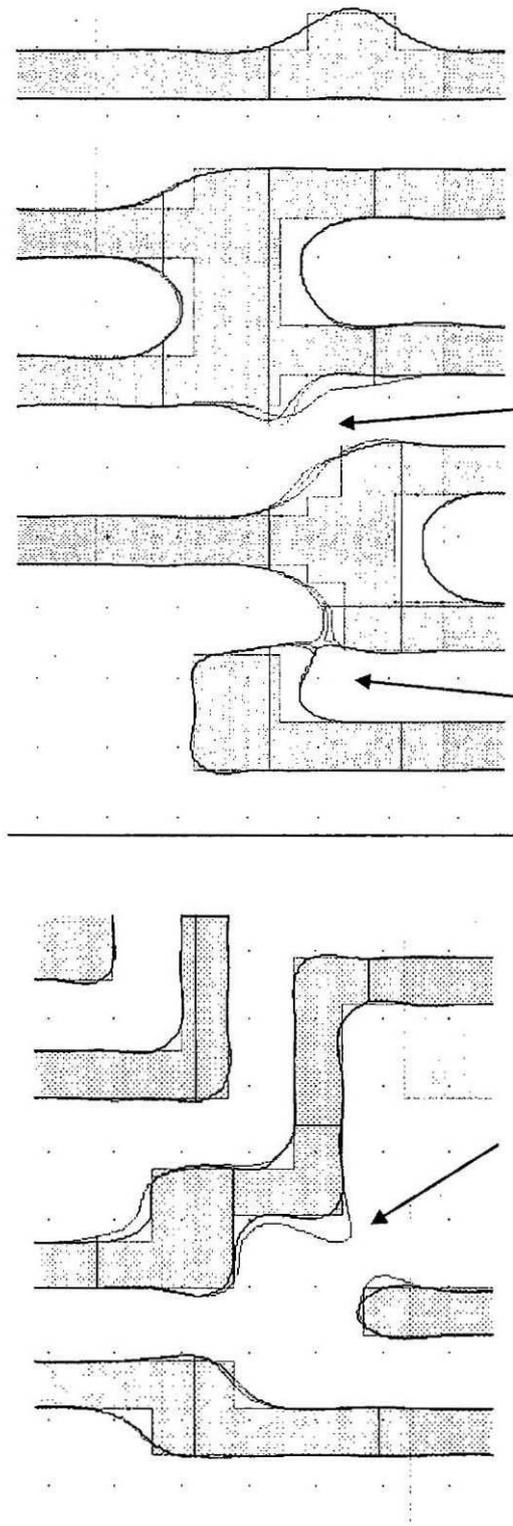
-8%エネルギー



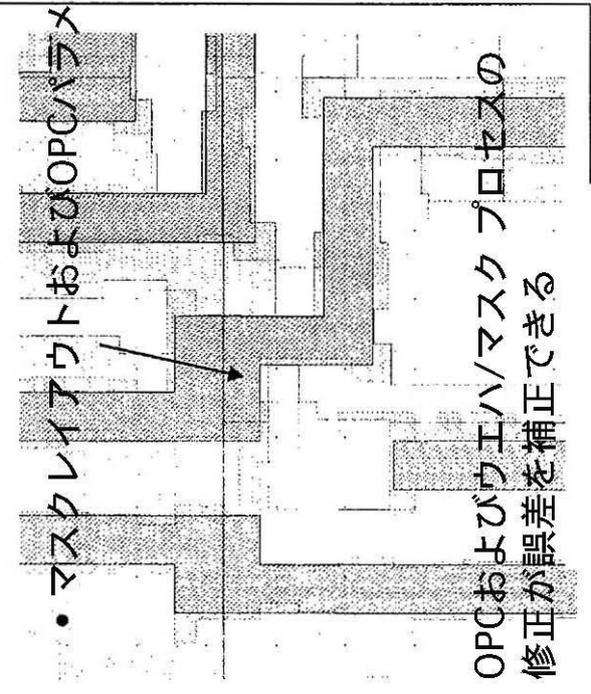
【図10】



【図 1 1】

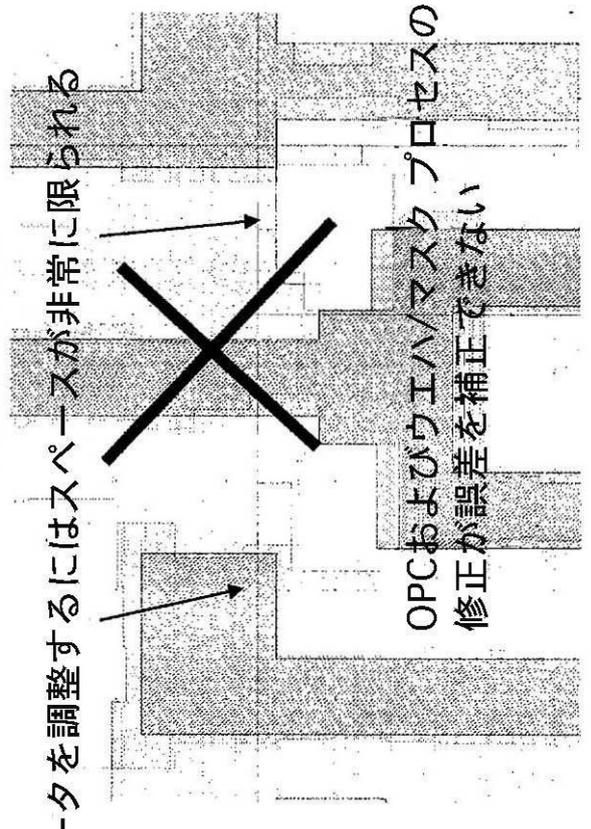


- MRC<sup>2</sup>作業はエネルギーシフトおよびピンぼけ状態でのプリント性能を検証し、ある潜在的故障を捕らえる



- マスクレイアウトおよびOPCパラメータを調整するにはスペースが非常に限られる

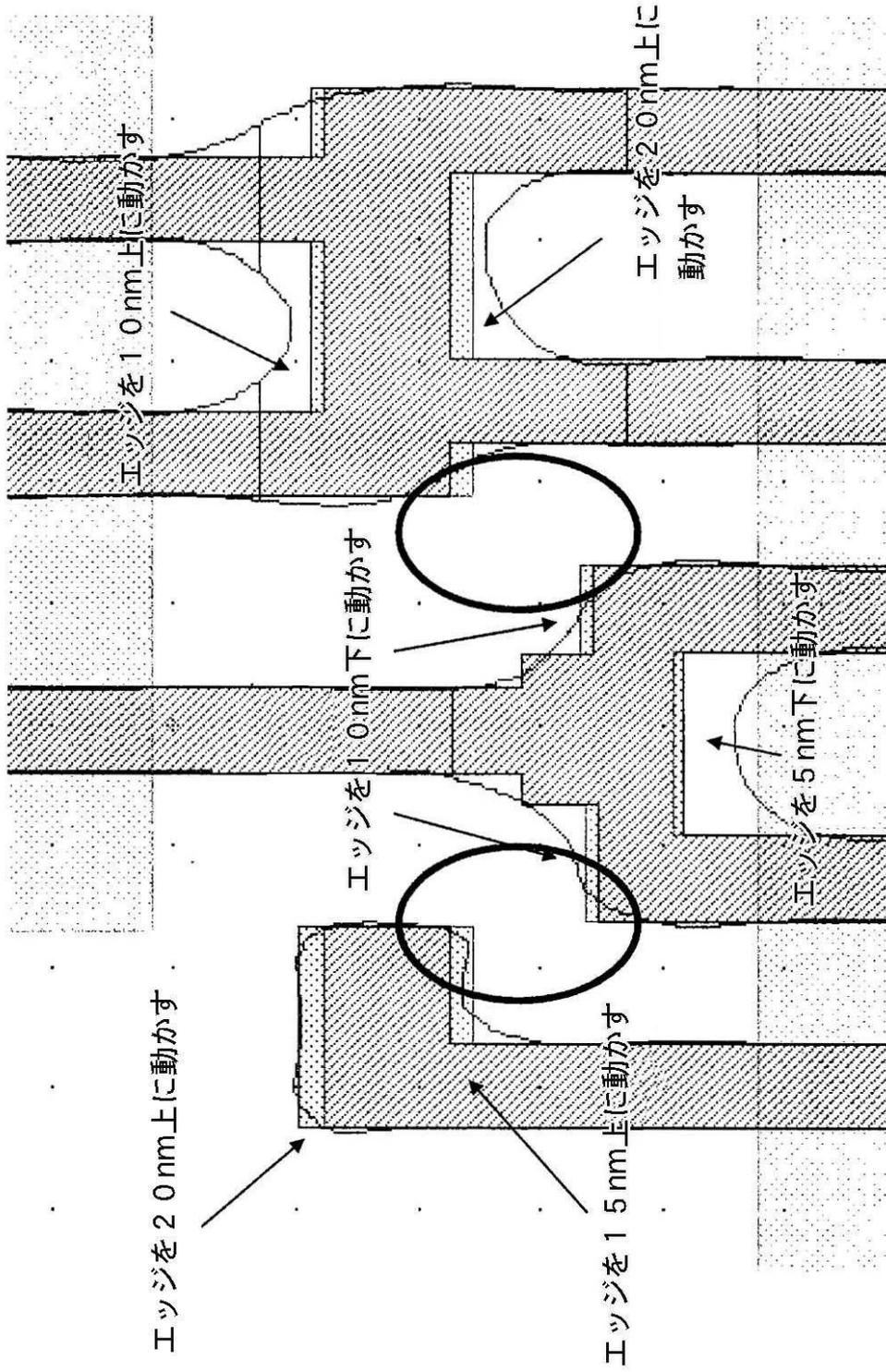
OPCおよびウエハ/マスクプロセスの修正が誤差を補正できる



- マスクレイアウトおよびOPCパラメータを調整するにはスペースが非常に限られる

OPCおよびウエハ/マスクプロセスの修正が誤差を補正できない

【 図 1 2 】



ピンぼけおよびエネルギーシフト状態でも橋絡誤差がない  
この設計は製造環境に丈夫である

## フロントページの続き

- (72)発明者 トマス レイディグ  
アメリカ合衆国、カリフォルニア、ポイント リッチモンド、コテージ アベニュー 201
- (72)発明者 カート イー． ワンプラー  
アメリカ合衆国、カリフォルニア、サニーベール、カスケード ドライブ 1098
- (72)発明者 ディアン - フー スティーブン スー  
アメリカ合衆国、カリフォルニア、フェルモント、アンバー プレース 40658
- (72)発明者 シュエロン シー  
アメリカ合衆国、カリフォルニア、サンノゼ、ウォルナット ブLOSSAM ドライブ 5571  
、アパートメント 14
- (72)発明者 ダグラス ファン デン ブルーク  
アメリカ合衆国、カリフォルニア、サニーベール、モッキンバード レーン 917
- (72)発明者 ジャン フン チェン  
アメリカ合衆国、カリフォルニア、クパチーノ、パイン ブルック レーン 11752
- Fターム(参考) 2H095 BA02 BB02 BC09 BD01

【 外国語明細書 】

## **A METHOD FOR PERFORMING FULL-CHIP MANUFACTURING RELIABILITY CHECKING AND CORRECTION**

### **CLAIM OF PRIORITY**

[01] This patent application, and any patent(s) issuing therefrom, claims priority to U.S. provisional patent application number 60/609,243, filed on September 14, 2004, entitled “Full-Chip Manufacturing Reliability Check And Correction (MRC<sup>2</sup>)”, which is incorporated herein by reference in its entirety.

### **TECHNICAL FIELD**

[02] The technical field of the present invention relates generally to a method, program product and apparatus for allowing for the determination earlier on in the design process of whether the target design/layout is manufacturable utilizing a given process, or whether the target design/layout contains “trouble spots” or “weak spots,” that would prevent the target design/layout from satisfying the design requirements and/or result in an unsatisfactory yield when manufactured.

### **BACKGROUND OF THE INVENTION**

[03] Lithographic apparatus can be used, for example, in the manufacture of integrated circuits (ICs). In such a case, the mask may contain a circuit pattern corresponding to an individual layer of the IC, and this pattern can be imaged onto a target portion (*e.g.*,

comprising one or more dies) on a substrate (silicon wafer) that has been coated with a layer of radiation-sensitive material (resist). In general, a single wafer will contain a whole network of adjacent target portions that are successively irradiated via the projection system, one at a time. In one type of lithographic projection apparatus, each target portion is irradiated by exposing the entire mask pattern onto the target portion in one go; such an apparatus is commonly referred to as a wafer stepper. In an alternative apparatus, commonly referred to as a step-and-scan apparatus, each target portion is irradiated by progressively scanning the mask pattern under the projection beam in a given reference direction (the "scanning" direction) while synchronously scanning the substrate table parallel or anti-parallel to this direction. Since, in general, the projection system will have a magnification factor  $M$  (generally  $< 1$ ), the speed  $V$  at which the substrate table is scanned will be a factor  $M$  times that at which the mask table is scanned. More information with regard to lithographic devices as described herein can be gleaned, for example, from US 6,046,792, incorporated herein by reference.

[04] In a manufacturing process using a lithographic projection apparatus, a mask pattern is imaged onto a substrate that is at least partially covered by a layer of radiation-sensitive material (resist). Prior to this imaging step, the substrate may undergo various procedures, such as priming, resist coating and a soft bake. After exposure, the substrate may be subjected to other procedures, such as a post-exposure bake (PEB), development, a hard bake and measurement/inspection of the imaged features. This array of procedures is used as a basis to pattern an individual layer of a device, *e.g.*, an IC. Such a patterned layer may then undergo various processes such as etching, ion-implantation (doping), metallization,

oxidation, chemo-mechanical polishing, etc., all intended to finish off an individual layer. If several layers are required, then the whole procedure, or a variant thereof, will have to be repeated for each new layer. Eventually, an array of devices will be present on the substrate (wafer). These devices are then separated from one another by a technique such as dicing or sawing, whence the individual devices can be mounted on a carrier, connected to pins, etc.

[05] For the sake of simplicity, the projection system may hereinafter be referred to as the "lens;" however, this term should be broadly interpreted as encompassing various types of projection systems, including refractive optics, reflective optics, and catadioptric systems, for example. The radiation system may also include components operating according to any of these design types for directing, shaping or controlling the projection beam of radiation, and such components may also be referred to below, collectively or singularly, as a "lens."

Further, the lithographic apparatus may be of a type having two or more substrate tables (and/or two or more mask tables). In such "multiple stage" devices the additional tables may be used in parallel, or preparatory steps may be carried out on one or more tables while one or more other tables are being used for exposures. Twin stage lithographic apparatus are described, for example, in US 5,969,441, incorporated herein by reference.

[06] The photolithographic masks referred to above comprise geometric patterns corresponding to the circuit components to be integrated onto a silicon wafer. The patterns used to create such masks are generated utilizing CAD (computer-aided design) programs, this process often being referred to as EDA (electronic design automation). Most CAD programs follow a set of predetermined design rules in order to create functional masks. These rules are set by processing and design limitations. For example, design rules define

the space tolerance between circuit devices (such as gates, capacitors, etc.) or interconnect lines, so as to ensure that the circuit devices or lines do not interact with one another in an undesirable way. The design rule limitations are typically referred to as "critical dimensions" (CD). A critical dimension of a circuit can be defined as the smallest width of a line or hole or the smallest space between two lines or two holes. Thus, the CD determines the overall size and density of the designed circuit.

[07] "Assist features" in masks may be used to improve the image projected onto the resist and ultimately the developed device. Assist features are features that are not intended to appear in the pattern developed in the resist but are provided in the mask to take advantage of diffraction effects so that the developed image more closely resembles the desired circuit pattern. Assist features are generally "sub-resolution" or "deep sub-resolution," meaning that they are smaller in at least one dimension than the smallest feature in the mask that will actually be resolved on the wafer. Assist features may have dimensions defined as fractions of the critical dimension. In other words, because the mask pattern is generally projected with a magnification of less than 1, e.g., 1/4 or 1/5, the assist feature on the mask may have a physical dimension larger than the smallest feature on the wafer.

[08] Of course, one of the goals in integrated circuit fabrication is to faithfully reproduce the original circuit design on the wafer (via the mask), which is improved with the use of assist features. Another goal is to generate a design layout that is readily manufacturable within specified design tolerances. This is important so that when the device is actually manufactured, the process results in a high yield.

[09] While various rule checking methods have been discussed in the prior art, such as optical rule checking (ORC), these known techniques are difficult and/or unsuitable for use with today's design layouts, which typically include advanced resolution enhancement techniques (RETs). In addition, known rule checking methods do not determine whether or not a given design is readily manufacturable (so as to result in a high yield) early in the design process, thereby often resulting in substantial costs in terms of both time and money associated with the redesign process.

[10] Accordingly, there is a need for method for allowing for the determination of whether or not a design is practical to manufacture early on in the design process so as to minimize the time and costs associated with the redesign process. In addition, there is a need for a manufacturing reliability checking and correction method which is suitable for use with advanced RETs, and which can automatically provide corrections to the design so as to render the resulting device within the specified design tolerances.

### **SUMMARY OF THE INVENTION**

[11] In view of the foregoing, it is an object of the present invention to provide a method for determining earlier on in the design process whether the target design/layout is actually manufacturable utilizing a given process, or whether the target design/layout contains "trouble spots" or "weak spots" that would prevent the target design/layout from satisfy the design requirements and/or result in an unsatisfactory yield when manufactured. In addition, another object of the present invention is to provide a manufacturing reliability checking and correction method which is suitable for use with advanced RETs, and which can

automatically provide corrections to the design so as to render the resulting device within the specified design tolerances.

[12] More specifically, the present invention relates to a method of generating a mask for use in an imaging process pattern. The method includes the steps of: (a) obtaining a desired target pattern having a plurality of features to be imaged on a substrate; (b) simulating a printing or wafer image (i.e., simulate the resist patterning) utilizing the target pattern and process parameters associated with a defined process; (c) defining at least one feature category; (d) identifying features in the target pattern that correspond to the at least one feature category, and recording an error value for each feature identified as corresponding to the at least one feature category; and (e) generating a statistical summary which indicates the error value for each feature identified as corresponding to the at least one feature category.

In addition, upon identification of the error, the method of the present invention can include the further steps of automatically attempting to correct the error by varying OPC corrective measures and/or varying process parameters by applying predetermined corrective measures stored, for example, in a database. Such a database can be based on a rule-based system, containing various corrections for potential problem areas, which can be applied in a serial manner until an acceptable solution is found. Further, if an acceptable correction measure is identified for a given error, a design rule corresponding to the problem and solution can be recorded in the database and utilized for future corrections/designs.

[13] The method of the present invention provides important advantages over the prior art. Most importantly, the present invention provides a method for performing full-chip manufacturing reliability checking and correction that determines early on in the design

process whether or not the target design is actually manufacturable within specified design tolerances. In addition, the method of the present invention can provide for automatic correction of the design so as to produce a design which is manufacturable with specified design tolerances.

[14] Another advantage associated with the present invention is that the full-chip manufacturing reliability checking and correction method is suitable for use with advanced resolution enhancement techniques.

[15] Yet another advantage of the present invention is that the full-chip manufacturing reliability checking and correction method is suitable for use with processes utilizing multiple masks and/or multiple exposures (e.g., DDL vertical and horizontal masks), and multiple data layers in the same mask (e.g., CPL masks including chrome and phase features).

[16] Yet another advantage of the present invention is that the method provides feedback to the designer early in the design process regarding whether the target design contains any "trouble spots" or "weak spots" that would prevent the target design from satisfying the design requirements and/or result in an unsatisfactory yield when subjected to the manufacturing process. As a result, the present invention minimizes the time and costs associated with a redesign process, as well as eliminates the costs associated with tape-out and development of a prototype of a flawed design. In other words, the present invention allows the designer to determine whether or not a design is fundamentally flawed (and therefore non-manufacturable) before the tape-out process and development (i.e., processing) of a test wafer.

[17] In addition, the method of the present invention can, in certain instances, automatically modify the design and/or process so as to address "trouble spots" or "weak spots" in the design.

[18] Additional advantages of the present invention will become apparent to those skilled in the art from the following detailed description of exemplary embodiments of the present invention.

[19] Although specific reference may be made in this text to the use of the invention in the manufacture of ICs, it should be explicitly understood that the invention has many other possible applications. For example, it may be employed in the manufacture of integrated optical systems, guidance and detection patterns for magnetic domain memories, liquid-crystal display panels, thin-film magnetic heads, etc. The skilled artisan will appreciate that, in the context of such alternative applications, any use of the terms "reticle", "wafer" or "die" in this text should be considered as being replaced by the more general terms "mask", "substrate" and "target portion", respectively.

[20] The invention itself, together with further objects and advantages, can be better understood by reference to the following detailed description and the accompanying drawings.

#### **BRIEF DESCRIPTION OF THE DRAWINGS**

[21] Fig. 1 is an exemplary flowchart illustrating the full-chip manufacturing reliability checking and correction method in accordance with a first embodiment of the present invention.

[22] Figs. 2a and 2b illustrate an exemplary layout pattern (i.e., target pattern) that can be subjected to the checking and correction method of the present invention.

[23] Fig. 3 illustrates an exemplary portion of the target pattern of Fig. 2 overlaid with the simulation result of the same pattern.

[24] Fig. 4 illustrates exemplary histograms, which were generated based on the differences between the simulation result and the target pattern.

[25] Fig. 5 illustrates histograms for the same layout and same categories as shown in Fig. 4, with the difference being that line end corrections have been applied to the features represented by each of the three sets of histograms of Fig. 5.

[26] Fig. 6 illustrates histograms for the same layout and same categories as shown in Fig. 4, with the difference being that a concave and convex corner correction has been applied to the features represented by each of the histograms of Par 4 and Par 5, and a line end correction has been applied to the features represented by the histograms of Par 6.

[27] Figs. 7-9 illustrate histograms indicating that the printing performance of the line-end features, gate features and critical dimensions, respectively, in the given process do not vary much with changes in process parameters.

[28] Fig. 10 schematically depicts an exemplary lithographic projection apparatus suitable for use with a mask designed with the aid of the disclosed concepts.

[29] Figs. 11 and 12 illustrate an example of when a layout modification is required in order to correct an error.

## **DETAILED DESCRIPTION OF THE INVENTION**

[30] Fig. 1 is an exemplary flowchart illustrating the full-chip manufacturing reliability checking and correction method in accordance with a first embodiment of the present invention. The first step (Step 10) in the process is to identify the target mask pattern (i.e., the target design) and illumination system and settings (i.e., process conditions) to be utilized to image the pattern.

[31] Figs. 2a and 2b illustrate an exemplary layout pattern (i.e., target pattern) that can be subjected to the checking and correction method of the present invention. More specifically, Fig. 2a represents the full chip layout, while Fig. 2b represents a portion of the layout of Fig. 2a separated into chrome and phase areas in a CPL mask. As noted above, the method of the present invention is suitable for use with processes utilizing multiple masks and/or multiple exposures (e.g., DDL vertical and horizontal masks), and multiple data layers in the same mask (e.g., CPL masks including chrome and phase features).

[32] Once the target pattern is identified, the next step in the process (Step 20) is to simulate the resist patterning contour of the target pattern under production settings (i.e., the desired process), which include manufacturing variations. This simulation can be performed utilizing any known simulation tool, for example, LithoCruiser<sup>TM</sup>, sold by ASML MaskTools, Inc.

[33] The next step (Step 30) is to compare the results of the simulation process to the original target pattern to determine differences between the original target pattern and the

simulated resist patterning contour. In the preferred embodiment of the present invention, a full-chip comparison is performed between the simulated result and the target pattern. This process can be performed by comparing the two-dimensional contour of the simulated resist pattern with the two-dimensional contour of the target pattern. Such comparisons of two-dimensional contours are described, for example, in US Patent Application No. 10/266,922 filed on October 9, 2002, the contents of which are incorporated by reference herein in its entirety. Alternatively, predefined areas/points of the pattern, preferably expected critical areas, can be compared to determine the differences between the target pattern and the simulated resist pattern. For example, check markers can be included in the target design at locations of critical features, and the comparison is then only performed at the locations of the design including check markers. Such critical areas may include, for example, CD uniformity in narrow lines, convex corners, concave corners, line-ends, etc. This approach allows the process to focus on only those features/areas that the designer expects to be critical or problematic during manufacture. However, in the present embodiment, it is preferable to consider features in all areas of the design layout so that the full-chip design layout is represented. If two-dimensional contours are utilized for the comparison process, the designer can specify the distance between the sampling points about the contour for the comparison process so as to ensure that the full-chip design layout is represented.

[34] Once the comparison is completed and the differences between the simulated result and the target pattern are defined, the next step (Step 40) in the process is to specify/classify the features to be considered and/or analyzed and determine the differences (i.e., errors) between the features in the target design and the simulated result. This entails defining

various categories of features to be considered, for example, line-ends, CD uniformity, convex corners, concave corners, etc. Once these categories are defined, the differences between the simulated result and the target pattern are extracted at each position containing a check marker and assigned to one of the predefined categories. In the given example, each difference/error at a given check marker location is assigned/defined as either a line-end error, a CD uniformity error, a convex corner error or a concave corner error and recorded in the respective category. As noted above, it is preferable that the check markers are placed within the layout such that a representation of the full-chip layout is obtained. Alternatively, if a comparison is performed based on two-dimensional contours, the designer must specify the positions of the comparison points about the contours which are to be extracted, which is analogous to defining check markers.

[35] Once Step 40 is completed, the actual differences between the simulated result and the target pattern are known and recorded, and classified into specific types of features categories. It is noted that the categories of features noted above are intended to be exemplary in nature, and not limiting. Additional categories other than those set forth above can be utilized. Furthermore, as also noted above, it is preferably that the number of locations analyzed and recorded are representative of the entire layout. Of course, the actual number of locations considered will vary from layout to layout and depend largely on the number of critical areas deemed to be potential problems in the manufacturing environment.

[36] The next step (Step 50) in the process is to generate a histogram (or any other suitable statistical format) for each feature category and plot the error results for all of the recorded features for each category. Each histogram illustrates how many of the respective features

are included in the given category, and the magnitude of the imaging error associated with each feature in the given feature category. As such, the histogram allows the designer to easily determine the number of errors occurring in each defined feature category. Moreover, as explained in more detail below, the histogram allows the designer to determine fairly quickly whether or the local corrections can be utilized to correct unacceptable errors that are out of specification, or if a major redesign is required.

[37] Continuing, the next step (Step 60) in the process is to define acceptable error tolerances for each of the feature categories identified in Step 40, and identify all features in each category that are outside the acceptable error tolerances. As is known, such error tolerances define the variations in the final target pattern that are acceptable (i.e., within design limits). The error tolerances are typically defined by the circuit designer during the initial design stage, and will vary from layout to layout, as well as vary within the layout between different types of features. It is noted that the error tolerances specified by the designer, at a minimum, should correspond to and specify the acceptable errors for the error categories identified in Step 40. As explained in further detail below, it is also possible to superimpose the error tolerances on the various histograms created in Step 50 so as to allow the designer to readily determine the percentage of features in a given category that fall outside the acceptable error tolerance (and therefore must be corrected).

[38] Once the error tolerances have been determined, the next step (Step 70) is to determine whether or not all of the features in each of the categories are within the specified error tolerance for the respective feature. If the answer is YES, the process proceeds to Step 90 and the mask pattern is generated. If the answer is NO, the process proceeds to Step 80,

where OPC corrections and/or other corrective measures (i.e., vary process parameters, such as, but not limited to, optical settings, (e.g., NA, Sigma), mask type (e.g., transmission, phase), or resist process) are applied in an effort to eliminate any feature having an associated imaging error outside of the specified error tolerance. Once these corrections are made, the process returns to Step 20 of the foregoing process so as to allow another simulation to be performed, and then proceeds through the process so as to allow for a determination regarding whether or not the correction rendered all features within the specified error tolerances. It is noted that there is no need to re-classify the feature categories or re-define the error tolerances (i.e., Steps 40 and 60) when proceeding through the process the second time, or any other subsequent time.

[39] It is noted that in one embodiment, the foregoing corrections (Step 80) can be performed automatically utilizing predetermined rules (e.g., extending feature lines in areas exhibiting excessive line-end shorting). Such rules would be determined and based on the categories of features being considered in the given process. Indeed, substantially all of the steps of the foregoing method of the present invention can be performed in an automated manner utilizing a computer or dedicated processing device, including the generation of the histograms, which summarize the errors for each individual feature category.

[40] In the given embodiment, a corrective measure database includes two primary methods of correction. The first method entails applying and/or modifying the OPC features applied to the mask design. As noted above, predetermined rules governing the OPC corrective feature to be applied to the mask design to correct given errors are stored in a database and then applied to the mask design if the applicable error is determined to occur

(which can be determined from the histogram). The second method entails modifying the given process parameters being utilized. Once again, predetermined rules governing the possible process variations to be attempted upon the occurrence of a given error can be stored in the corrective measure database. Of course, rules requiring an adjustment to both the OPC features and process parameters are also possible. Also, once a solution is determined for a given error condition, the database may be updated to record the correction in the form of a design rule so that it may be applied in future applications. It is also again noted that the instant process is an iterative process, in which the simulation and checking process is re-performed each time an adjustment is made to determine if the adjustment corrected all of the remaining errors. The process is repeated until the system determines an acceptable solution to all pending errors. If after a number of iterations (which can be determined by the operator in advance) the system can not find an acceptable solution, it is likely that a redesign of the mask layout will be necessary.

[41] As noted above, the method of the present invention, which generates histograms for predefined feature categories, is extremely useful for allowing the designer to readily identify and screen out design “weak spots” (and possibly correct such weak spots) for the full-chip layout. In addition, the histogram provides an easy way to determine whether or not adjustments to the processing parameters can be utilized to “tune” slightly out-of-specification designs (i.e., a design having a minimal number of features outside the acceptable error tolerance range). The histogram also allows the designer to determine early in the design process that the proposed design has significant manufacturability issues (e.g., substantially all features in a given error category fall outside the acceptable error) indicating

that a substantial redesign of the layout may be required. In other words, the degree and number of errors are such that it is unlikely that process variations and/or OPC corrective measures could be utilized to correct the errors.

[42] Fig. 3 illustrates an exemplary portion of the target pattern of Fig. 2 overlaid with the simulation result of the same pattern. As can be seen, differences exist between the target pattern and the simulation result. Fig. 4 illustrates exemplary histograms, which were generated based on the differences between the simulation result and the target pattern. In the given example, five categories of features were defined for monitoring, namely, convex features, concave features, line end features, gate width features and critical dimension (i.e., line width) features. Each respective histogram identifies the number of respective features under consideration (i.e., identified with check markers), as well as the degree of error from the target design goal. More specifically, if all of the features being monitored had zero error, each histogram would illustrate a single line located at the center of the histogram (0 on the x-axis in Fig. 4). However, this is typically not the case, as the histograms in the given example illustrate that the respective features have varying degrees of errors in each category. It is further noted that the lines marked 42 in the histogram indicate the acceptable error tolerances. Specifically, any error that falls within these two lines is an acceptable level of deviation from "0" (i.e., no error), and any error that is outside of either of the two lines represents an unacceptable error deviation. Reviewing the histograms of Fig. 4, it can be readily seen that the majority of the convex and concave features being monitored have unacceptable error variations, while the line-end features, the gate features and the CD

features are mostly within the specified error tolerance, and are therefore acceptable. Fig. 3 highlights some of the exemplary problem areas within the design.

[43] Fig. 5 illustrates histograms for the same layout and same categories as shown in Fig. 4, with the difference being that a correction has been applied in each of the three sets of histograms. In the first set (Par 1 and Par 2), a line end pull back adjustment to the features was made. As shown in a comparison between Fig. 4 and Fig. 5, all of the line end features are now within the predefined error tolerance, and therefore should not cause any printing issues during the actual manufacturing process. In Par 3, a bias correction algorithm was applied, however, it did not result in a satisfactory correction of the line end features, as numerous line end feature remain outside the error tolerance. It is noted that Par 1~3, stand for parameter sets 1~3. As noted above, different parameters can be utilized and adjusted to perform various OPC and mask pattern modifications to correct the error. Each parameter set will result in different MRC histogram, some parameter variations may resolve the specific error but result in a reduction in overall performance. It is also possible that a given correction for one type of error, such as line end pull back, will result in the generation of a different type of error, such as CD uniformity becoming worse. By utilizing the histogram of the present invention, it is possible to discern quickly and easily if a given error is likely to be correctable or if a design medication is required.

[44] Fig. 6 also illustrates histograms for the same layout and same categories as shown in Fig. 4, with the difference being that a concave and convex corner correction has been applied to the features in each of the histograms of Par 4 and Par 5. As shown in a comparison between Fig. 4 and Fig. 5, the correction performed in Par 4 resulted in a

significant improvement in the printing of the concave and convex features, while the correction performed in Par 5 did not. In Par 6, another bias correction algorithm was applied. In the event that the global correction does not render each feature within the specified error tolerance, a local correction (i.e., a correction of only the feature out of tolerance) can be performed by the designer, or automatically by the system. As can be seen from the foregoing figures, the histogram readily indicates whether any of the features of a given category do not comply with the specified error tolerances.

[45] The histograms illustrated in Figs. 7-9 indicate that the printing performance of the line-end features, gate features and critical dimensions, respectively, in the given process, do not vary much with changes in the dose applied (i.e., energy) or defocus parameters. As shown in each of these figures, the resulting histogram remains relatively unchanged over variations in dose and defocus. Once again, the histogram provides a relatively easy method for the designer to determine whether or not variations in the process settings will achieve the desired corrections in the imaging process of the features. In situations where process variations cannot provide the desired correction, layout modifications may be necessary to satisfy design tolerances.

[46] Figs. 11 and 12 illustrate an example of when a design modification is required in order to correct an error. More specifically, the bottom left-hand side of Fig. 11 illustrates a portion of a layout and the top-right side of the figure illustrates the simulated wafer image superimposed on the target pattern. In this example, the application of OPC measures and process parameter adjustment is sufficient to correct the errors. However, in the right-hand side of Fig. 11, which illustrates another portion of the target circuit and the simulated result,

the OPC measures and process parameters variations are insufficient to correct all errors. For example, referring to the top right-hand side of the figure, bridging errors remain after application of the OPC and process parameter corrective measures. As such, a layout modification is necessary. An example of an acceptable layout modification is illustrated in Fig. 12. As indicated in Fig. 12, the edges of various features are further separated from one another to eliminate the bridging error. The simulated result is also illustrated in Fig. 12. As noted above, such layout modifications are typically performed by the circuit designer when they are required. However, it would also be possible to generate a rule-set to provide for automatic correction/modification of the layout design.

[47] As noted above, the method of the present invention provides important advantages over the prior art. Most importantly, the present invention provides a method for performing full-chip manufacturing reliability checking that determines early on in the design process whether or not the target design is actually manufacturable within specified design tolerances. In addition, the method of the present invention can provide for automatic correction of the design so as to produce a design which is manufacturable with specified design tolerances.

[48] Another advantage of the present invention is that the full-chip manufacturing reliability checking and correction method is suitable for use with processes utilizing multiple masks and/or multiple exposures (e.g., DDL vertical and horizontal masks), and multiple data layers in the same mask (e.g., CPL masks including chrome and phase features).

[49] Yet another advantage of the present invention is that the method provides feedback to the designer early in the design process regarding whether the target design contains any “trouble spots” or “weak spots” that would prevent the target design from satisfying the

design requirements and/or result in an unsatisfactory yield when subjected to the manufacturing process. As a result, the present invention minimizes the time and costs associated with a redesign process, as well as eliminates the costs associated with tape-out and development of a prototype of a flawed design. In other words, the present invention allows the designer to determine whether or not a design is fundamentally flawed (and therefore non-manufacturable) before the tape-out process and development (i.e., processing) of a test wafer.

[50] In addition, the method of the present invention can provide for automatically modifying the design and/or process so as to address “trouble spots” or “weak spots” in the design in an effort to eliminate/correct features outside of the error tolerance limits.

[51] As mentioned above, the process of the present invention can be performed automatically utilizing a computer or dedicated processor. Furthermore, rules governing the corrections to be performed, including when local corrections are to be made, can be predetermined, and then applied based on the results of the histograms developed by the foregoing method. Indeed, substantially the entire process can be automated if the designer desires to do so. Of course, if the designer desires to be actively involved in the process (e.g., determining the type of corrections to apply), this is also possible.

[52] Fig. 10 schematically depicts a lithographic projection apparatus suitable for use with a mask designed with the aid of the current invention. The apparatus comprises:

- a radiation system Ex, IL, for supplying a projection beam PB of radiation. In this particular case, the radiation system also comprises a radiation source LA;

- a first object table (mask table) MT provided with a mask holder for holding a mask MA (*e.g.*, a reticle), and connected to first positioning means for accurately positioning the mask with respect to item PL;

- a second object table (substrate table) WT provided with a substrate holder for holding a substrate W (*e.g.*, a resist-coated silicon wafer), and connected to second positioning means for accurately positioning the substrate with respect to item PL;

- a projection system ("lens") PL (*e.g.*, a refractive, catoptric or catadioptric optical system) for imaging an irradiated portion of the mask MA onto a target portion C (*e.g.*, comprising one or more dies) of the substrate W.

[53] As depicted herein, the apparatus is of a transmissive type (*i.e.*, has a transmissive mask). However, in general, it may also be of a reflective type, for example (with a reflective mask). Alternatively, the apparatus may employ another kind of patterning means as an alternative to the use of a mask; examples include a programmable mirror array or LCD matrix.

[54] The source LA (*e.g.*, a mercury lamp or excimer laser) produces a beam of radiation. This beam is fed into an illumination system (illuminator) IL, either directly or after having traversed conditioning means, such as a beam expander Ex, for example. The illuminator IL may comprise adjusting means AM for setting the outer and/or inner radial extent (commonly referred to as  $\sigma$ -outer and  $\sigma$ -inner, respectively) of the intensity distribution in the beam. In addition, it will generally comprise various other components, such as an integrator IN and a condenser CO. In this way, the beam PB impinging on the mask MA has a desired uniformity and intensity distribution in its cross-section.

[55] It should be noted with regard to Fig. 10 that the source LA may be within the housing of the lithographic projection apparatus (as is often the case when the source LA is a mercury lamp, for example), but that it may also be remote from the lithographic projection apparatus, the radiation beam that it produces being led into the apparatus (e.g., with the aid of suitable directing mirrors); this latter scenario is often the case when the source LA is an excimer laser (e.g., based on KrF, ArF or F<sub>2</sub> lasing). The current invention encompasses both of these scenarios.

[56] The beam PB subsequently intercepts the mask MA, which is held on a mask table MT. Having traversed the mask MA, the beam PB passes through the lens PL, which focuses the beam PB onto a target portion C of the substrate W. With the aid of the second positioning means (and interferometric measuring means IF), the substrate table WT can be moved accurately, *e.g.*, so as to position different target portions C in the path of the beam PB. Similarly, the first positioning means can be used to accurately position the mask MA with respect to the path of the beam PB, *e.g.*, after mechanical retrieval of the mask MA from a mask library, or during a scan. In general, movement of the object tables MT, WT will be realized with the aid of a long-stroke module (coarse positioning) and a short-stroke module (fine positioning), which are not explicitly depicted in Fig. 10. However, in the case of a wafer stepper (as opposed to a step-and-scan tool) the mask table MT may just be connected to a short-stroke actuator, or may be fixed.

[57] The depicted tool can be used in two different modes:

- In step mode, the mask table MT is kept essentially stationary, and an entire mask image is projected in one go (*i.e.*, a single “flash”) onto a target portion C. The substrate table

WT is then shifted in the x and/or y directions so that a different target portion C can be irradiated by the beam PB;

- In scan mode, essentially the same scenario applies, except that a given target portion C is not exposed in a single "flash". Instead, the mask table MT is movable in a given direction (the so-called "scan direction", *e.g.*, the y direction) with a speed  $v$ , so that the projection beam PB is caused to scan over a mask image; concurrently, the substrate table WT is simultaneously moved in the same or opposite direction at a speed  $V = Mv$ , in which  $M$  is the magnification of the lens PL (typically,  $M = 1/4$  or  $1/5$ ). In this manner, a relatively large target portion C can be exposed, without having to compromise on resolution.

[58] Additionally, software may implement or aid in performing the disclosed concepts. Software functionalities of a computer system involve programming, including executable code, may be used to implement the above described imaging model. The software code is executable by the general-purpose computer. In operation, the code, and possibly the associated data records, are stored within a general-purpose computer platform. At other times, however, the software may be stored at other locations and/or transported for loading into the appropriate general-purpose computer systems. Hence, the embodiments discussed above involve one or more software products in the form of one or more modules of code carried by at least one machine-readable medium. Execution of such code by a processor of the computer system enables the platform to implement the catalog and/or software downloading functions in essentially the manner performed in the embodiments discussed and illustrated herein.

[59] As used herein, terms such as computer or machine “readable medium” refer to any medium that participates in providing instructions to a processor for execution. Such a medium may take many forms, including but not limited to, non-volatile media, volatile media, and transmission media. Non-volatile media include, for example, optical or magnetic disks, such as any of the storage devices in any computer(s) operating as one of the server platforms discussed above. Volatile media include dynamic memory, such as main memory of such a computer platform. Physical transmission media include coaxial cables, copper wire and fiber optics, including the wires that comprise a bus within a computer system. Carrier-wave transmission media can take the form of electric or electromagnetic signals, or acoustic or light waves such as those generated during radio frequency (RF) and infrared (IR) data communications. Common forms of computer-readable media therefore include, for example: a floppy disk, a flexible disk, hard disk, magnetic tape, any other magnetic medium, a CD-ROM, DVD, any other optical medium, less commonly used media such as punch cards, paper tape, any other physical medium with patterns of holes, a RAM, a PROM, and EPROM, a FLASH-EPROM, any other memory chip or cartridge, a carrier wave transporting data or instructions, cables or links transporting such a carrier wave, or any other medium from which a computer can read programming code and/or data. Many of these forms of computer readable media may be involved in carrying one or more sequences of one or more instructions to a processor for execution.

[60] Although the present invention has been described and illustrated in detail, it is to be clearly understood that the same is by way of illustration and example only and is not to be

25

taken by way of limitation, the scope of the present invention being limited only by the terms of the appended claims.

What is Claimed Is:

1. A method of generating a mask for use in an imaging process pattern, said method comprising the steps of:

(a) obtaining a desired target pattern having a plurality of features to be imaged on a substrate;

(b) simulating a wafer image utilizing the target pattern and process parameters associated with a defined process;

(c) defining at least one feature category;

(d) identifying features in said target pattern having said plurality of features that correspond to said at least one feature category, and recording an error value for each feature identified as corresponding to said at least one feature category; and

(e) generating a statistical summary which indicates the error value for each feature identified as corresponding to said at least one feature category.

2. The method of claim 1, wherein said error value represents a difference between a location of a feature in said target pattern and the location of the same feature in said simulated wafer image.

3. The method of claim 2, further comprising the step of defining a plurality of feature categories; identifying which of said plurality of feature categories each of said plurality of features in said target pattern corresponds to; recording an error value for each feature in the respective feature category of the given feature; and generating a statistical summary for each of said feature categories which indicates the error value for each feature identified as corresponding to said the given feature category.

27

4. The method of claim 3, wherein each of the plurality of features in the target design are classified into at least one of said plurality of feature categories.

5. The method of claim 1, further comprising the steps of:

(f) identifying an error tolerance for features corresponding to said at least one feature category; and

(g) determining whether any feature identified as corresponding to said at least one feature category has an error value which exceeds said error tolerance.

6. The method of claim 5, further comprising the step of performing a corrective measure for any feature identified as having an error value which exceeds said error tolerance, said corrective measure operative to reduce the error value of the corresponding feature below said error tolerance.

7. A computer program product for controlling a computer comprising a recording medium readable by the computer, means recorded on the recording medium for directing the computer to generate files corresponding to a mask for use in a lithographic imaging process, the generation of the files comprising the steps of:

(a) obtaining a desired target pattern having a plurality of features to be imaged on a substrate;

(b) simulating a wafer image utilizing the target pattern and process parameters associated with a defined process;

(c) defining at least one feature category;

28

(d) identifying features in said target pattern having said plurality of features that correspond to said at least one feature category, and recording an error value for each feature identified as corresponding to said at least one feature category; and

(e) generating a statistical summary which indicates the error value for each feature identified as corresponding to said at least one feature category.

8. The computer program product of claim 7, wherein said error value represents a difference between a location of a feature in said target pattern and the location of the same feature in said simulated wafer image.

9. The computer program product of claim 8, further comprising the step of defining a plurality of feature categories; identifying which of said plurality of feature categories each of said plurality of features in said target pattern corresponds to; recording an error value for each feature in the respective feature category of the given feature; and generating a statistical summary for each of said feature categories which indicates the error value for each feature identified as corresponding to said the given feature category.

10. The computer program product of claim 9, wherein each of the plurality of features in the target design are classified into at least one of said plurality of feature categories.

11. The computer program product of claim 7, further comprising the steps of:

(f) identifying an error tolerance for features corresponding to said at least one feature category; and

(g) determining whether any feature identified as corresponding to said at least one feature category has an error value which exceeds said error tolerance.

(29)

12. The computer program product of claim 11, further comprising the step of performing a corrective measure for any feature identified as having an error value which exceeds said error tolerance, said corrective measure operative to reduce the error value of the corresponding feature below said error tolerance.

13. A device manufacturing method comprising the steps of:

- (a) providing a substrate that is at least partially covered by a layer of radiation-sensitive material;
- (b) providing a projection beam of radiation using an imaging system;
- (c) using a pattern on a mask to endow the projection beam with a pattern in its cross-section;
- (d) projecting the patterned beam of radiation onto a target portion of the layer of radiation-sensitive material,

wherein, in step (c), said mask is formed by a method comprising the steps of:

- obtaining a desired target pattern having a plurality of features to be imaged on a substrate;
- simulating a wafer image utilizing the target pattern and process parameters associated with a defined process;
- defining at least one feature category;
- identifying features in said target pattern having said plurality of features that correspond to said at least one feature category, and recording an error value for each feature identified as corresponding to said at least one feature category; and

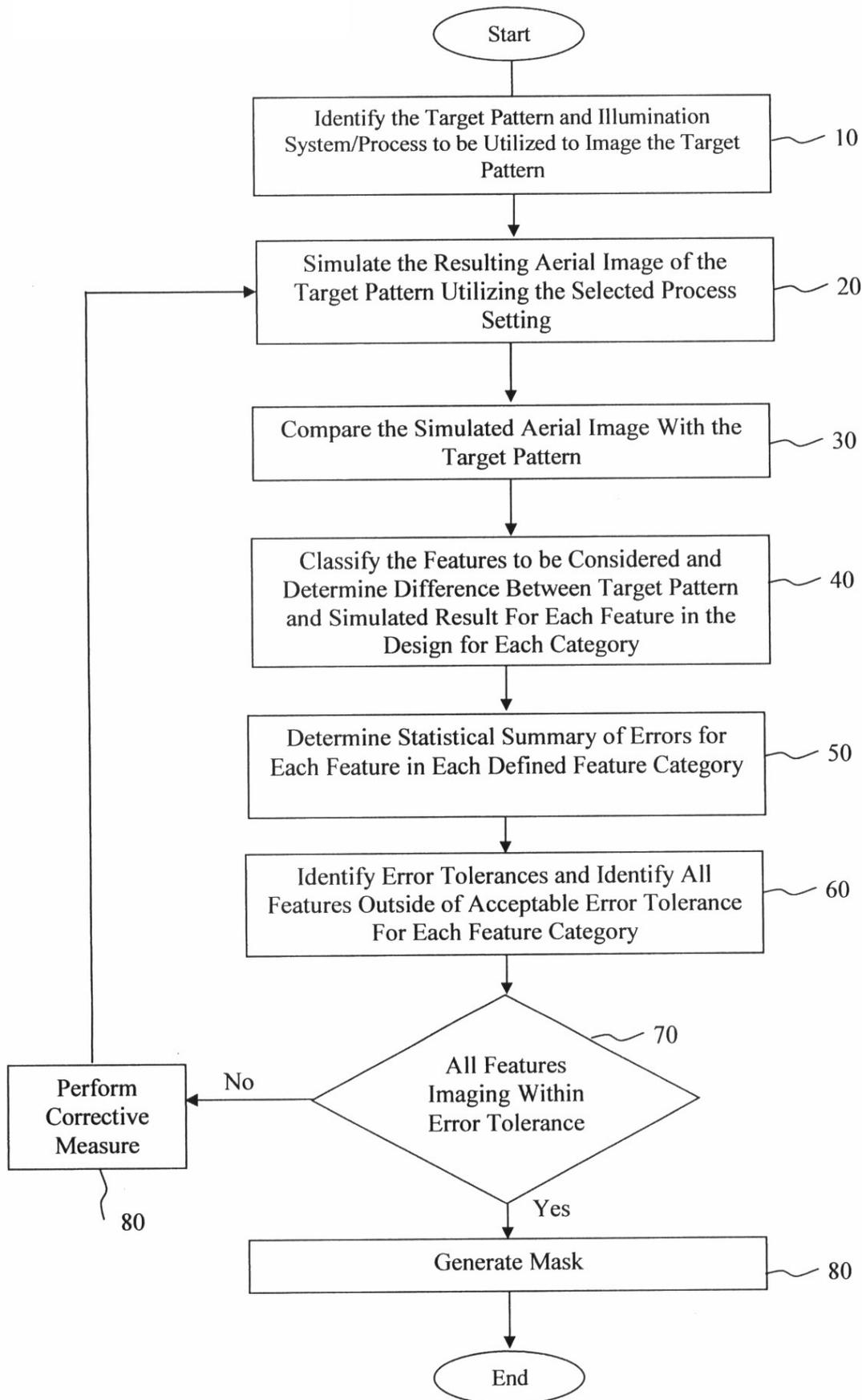
30

generating a statistical summary which indicates the error value for each feature identified as corresponding to said at least one feature category.

#### **ABSTRACT**

A method of generating a mask for use in an imaging process pattern. The method includes the steps of: (a) obtaining a desired target pattern having a plurality of features to be imaged on a substrate; (b) simulating a wafer image utilizing the target pattern and process parameters associated with a defined process; (c) defining at least one feature category; (d) identifying features in the target pattern that correspond to the at least one feature category, and recording an error value for each feature identified as corresponding to the at least one feature category; and (e) generating a statistical summary which indicates the error value for each feature identified as corresponding to the at least one feature category.

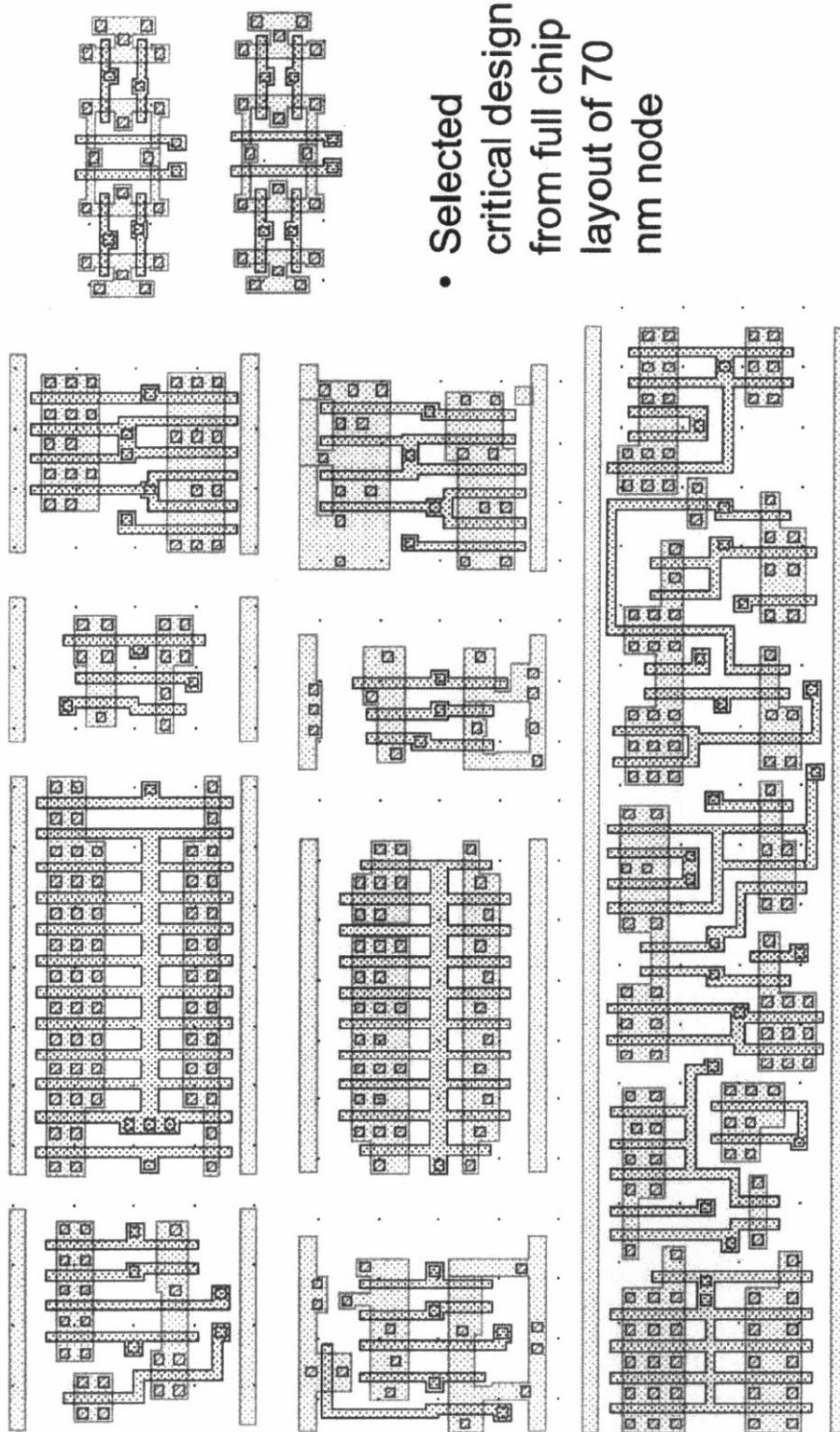
FIG. 1



図面代用写真(カラー)

# MRC<sup>2</sup> test pattern layout

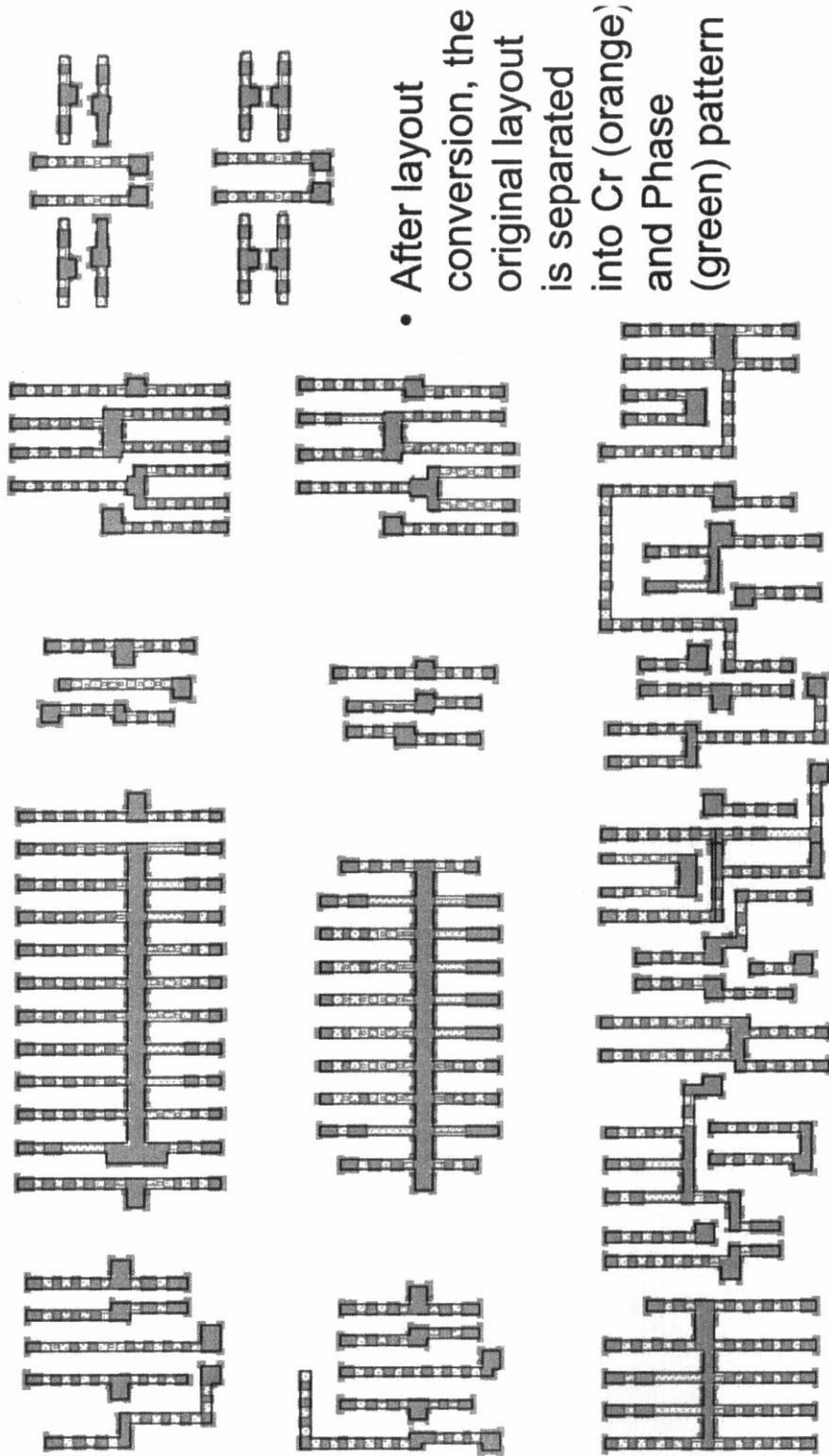
FIG. 2a



図面代用写真(カラー)

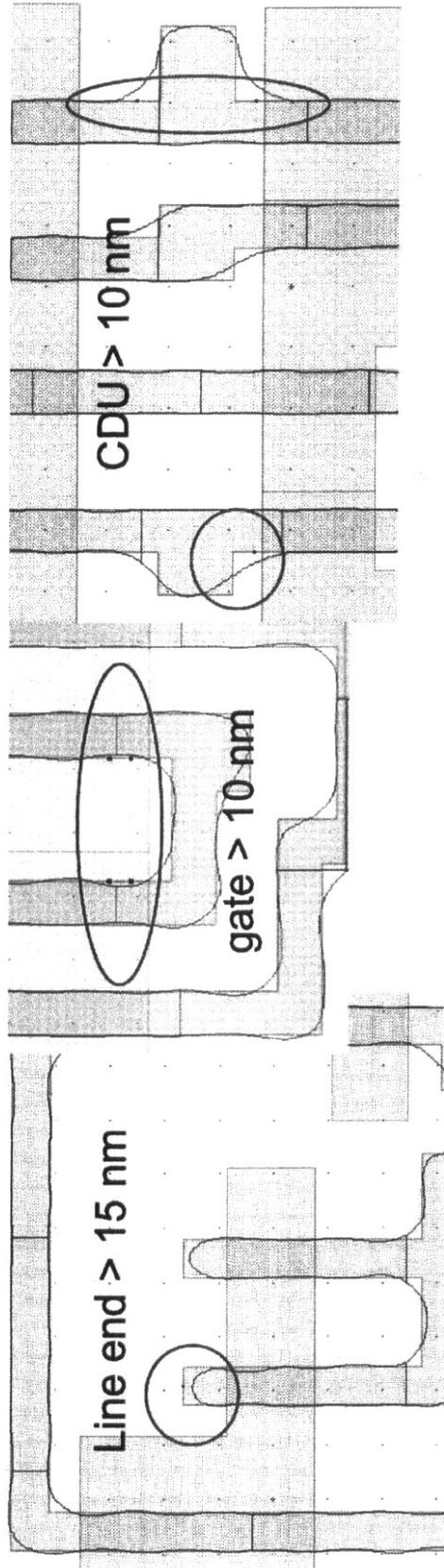
### MRC2 for Multi-Layers Mask (CPL\_baseline)

FIG. 2b



図面代用写真(カラー)

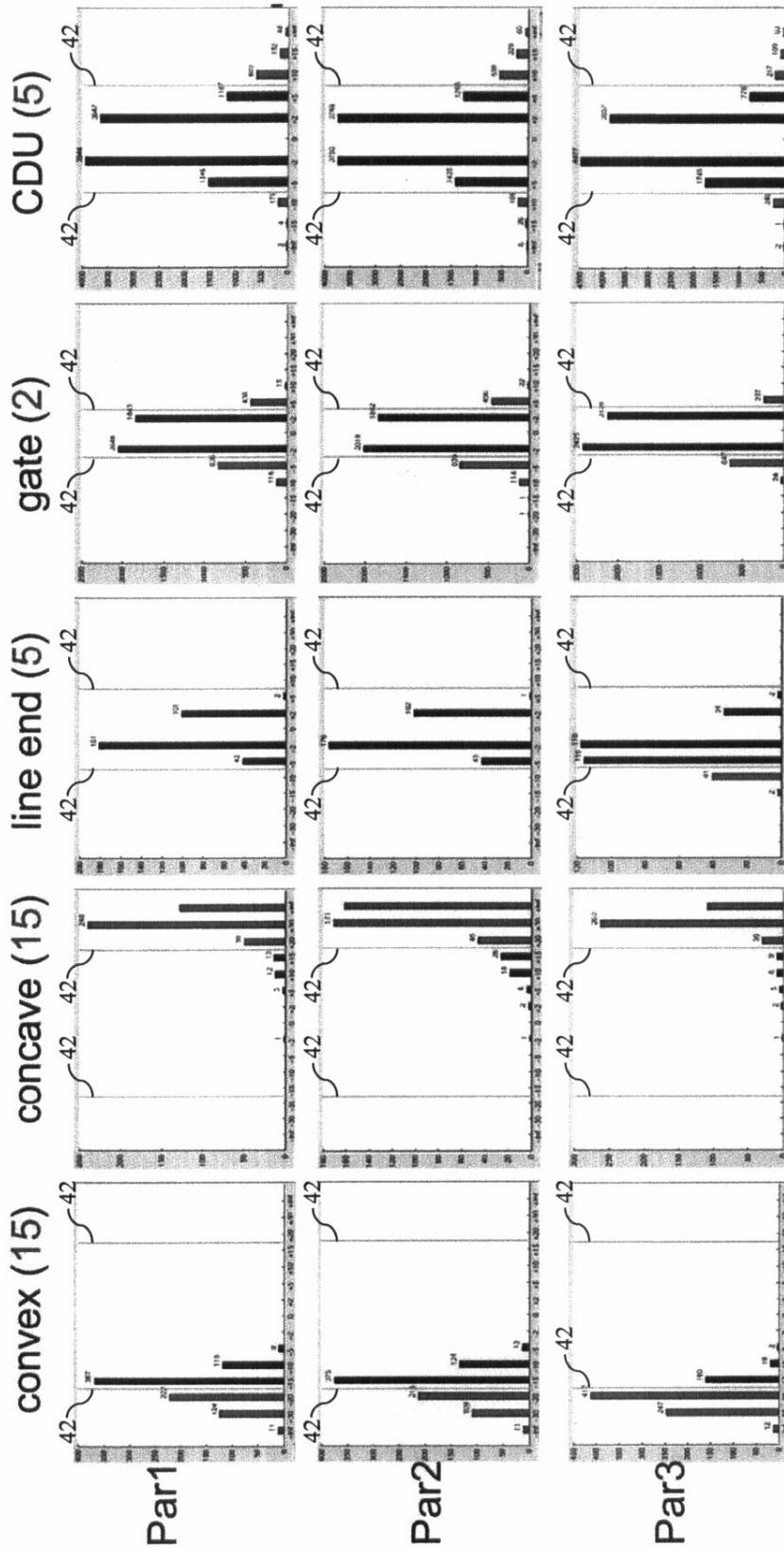
FIG. 3





図面代用写真(カラー)

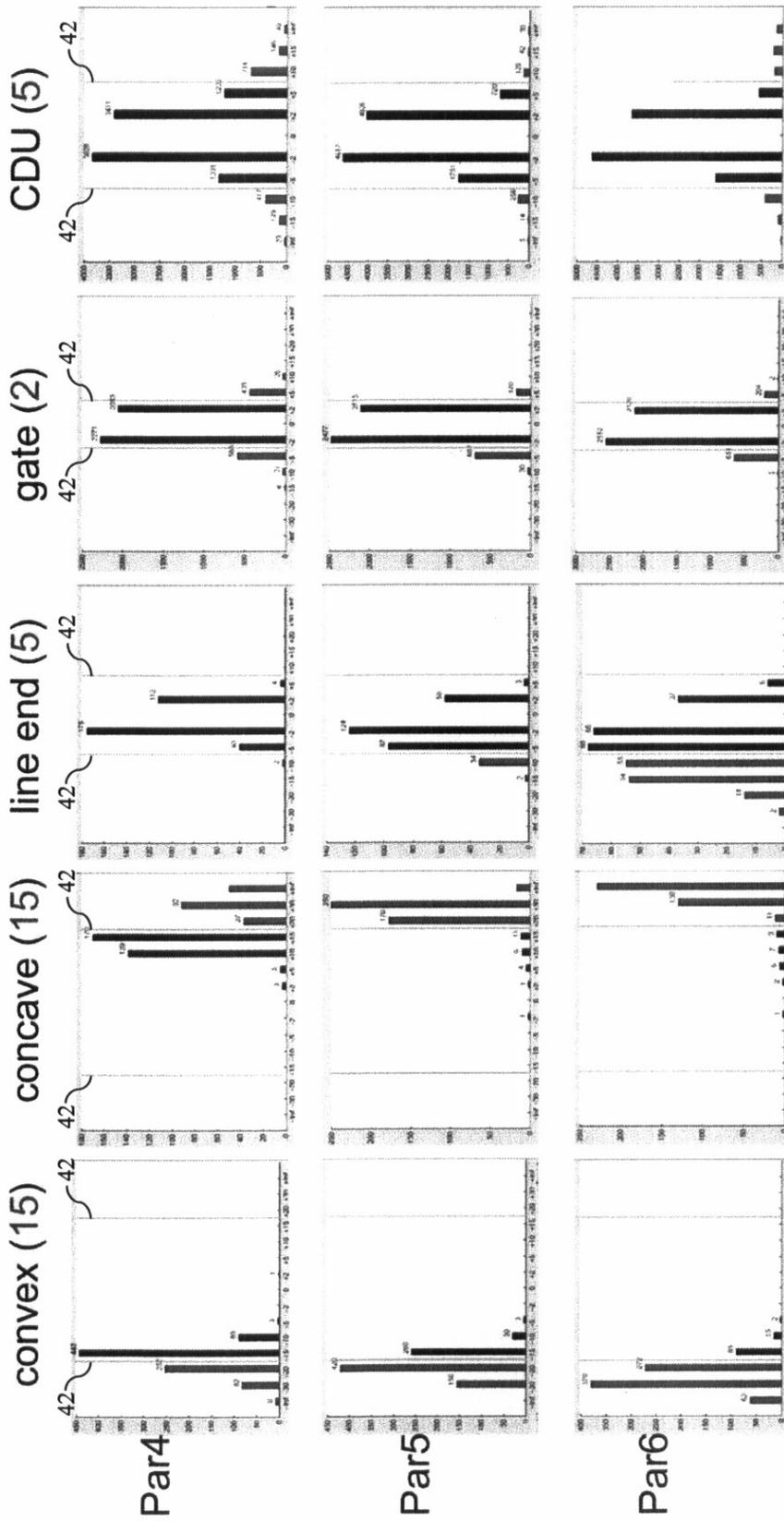
FIG. 5



- Special line end pull back adjustment on Par1 and Par2 setting
- Bias correction algorithm was applied on Par3

図面代用写真(カラー)

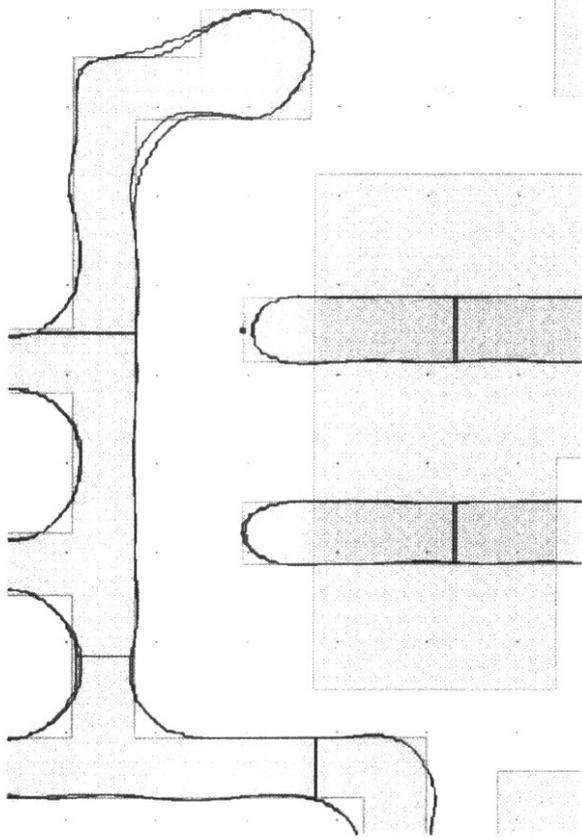
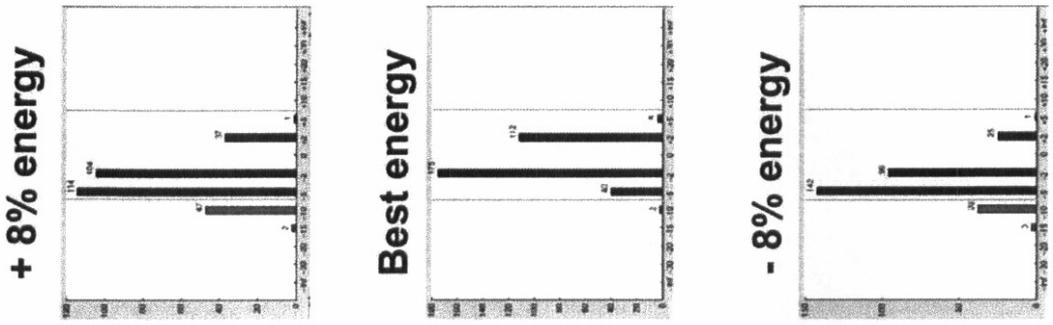
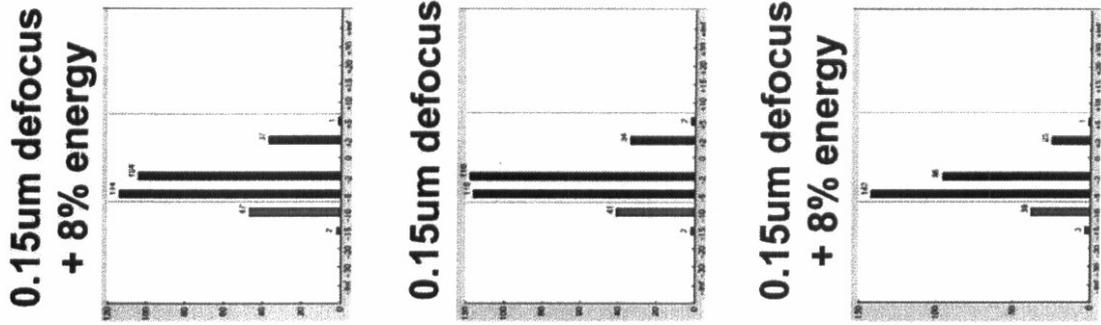
FIG. 6



- Special convex and concave corner adjustment on Par4 and Par5 setting
- Selected bias correction was applied on Par6

図面代用写真(カラー)

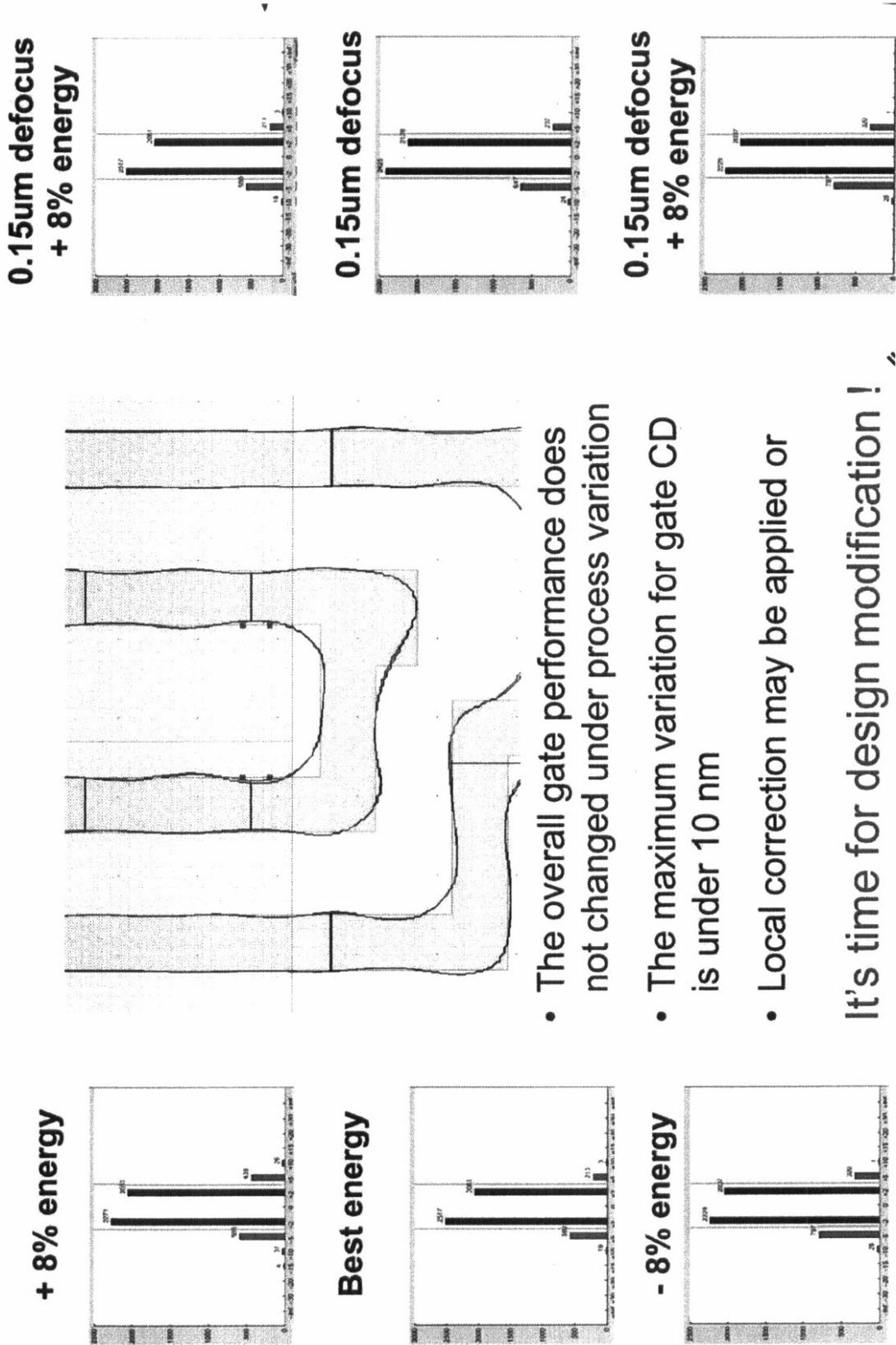
FIG. 7



- MRC<sup>2</sup> operation verify the printing performance under energy shift and defocus condition
- The overall line end performance does not changed under process variation
- The maximum variation for line end is under 10 nm

図面代用写真(カラー)

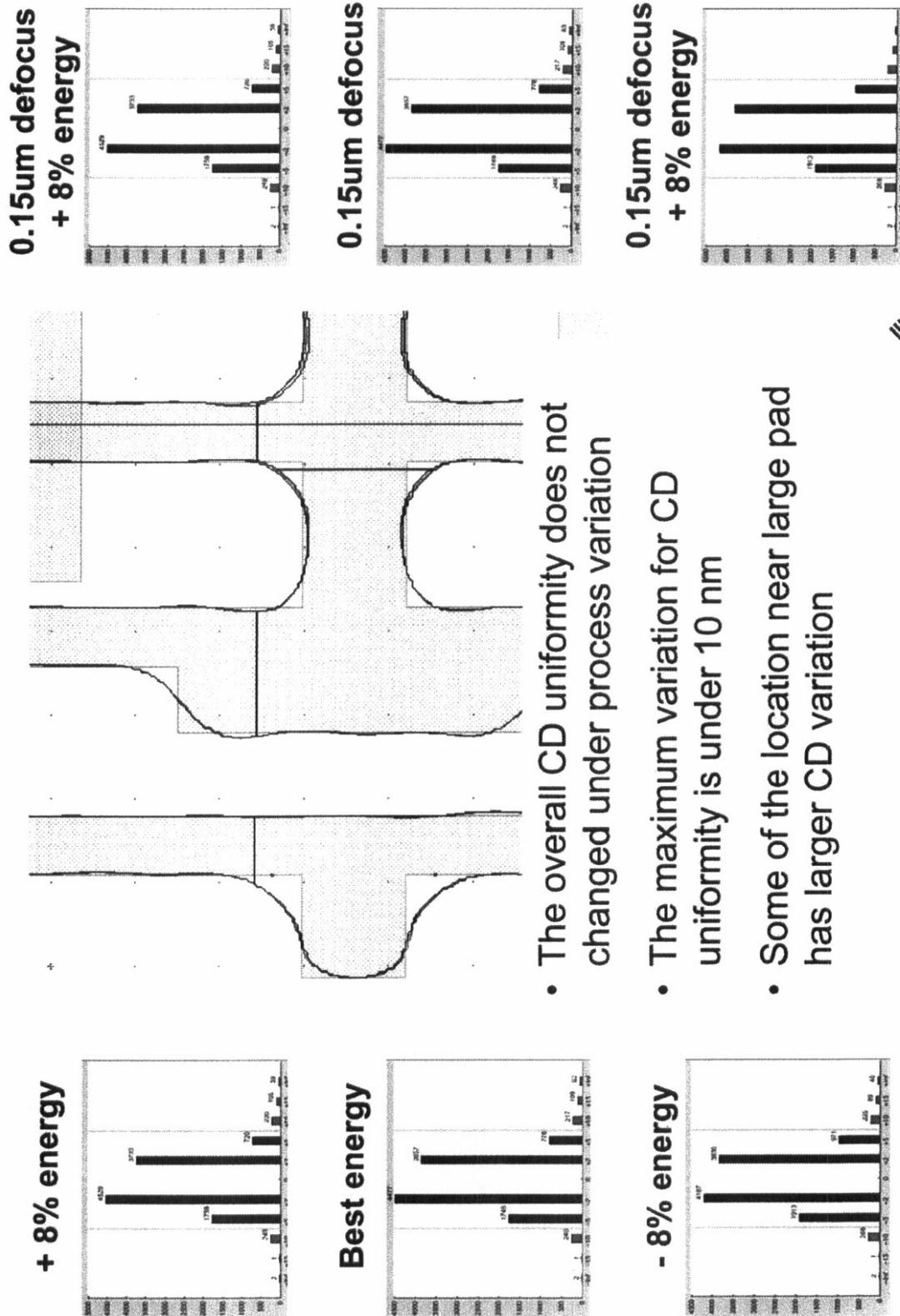
FIG. 8



- The overall gate performance does not change under process variation
  - The maximum variation for gate CD is under 10 nm
  - Local correction may be applied or
- It's time for design modification !

図面代用写真(カラー)

FIG. 9



- The overall CD uniformity does not changed under process variation
- The maximum variation for CD uniformity is under 10 nm
- Some of the location near large pad has larger CD variation

//

FIG. 10

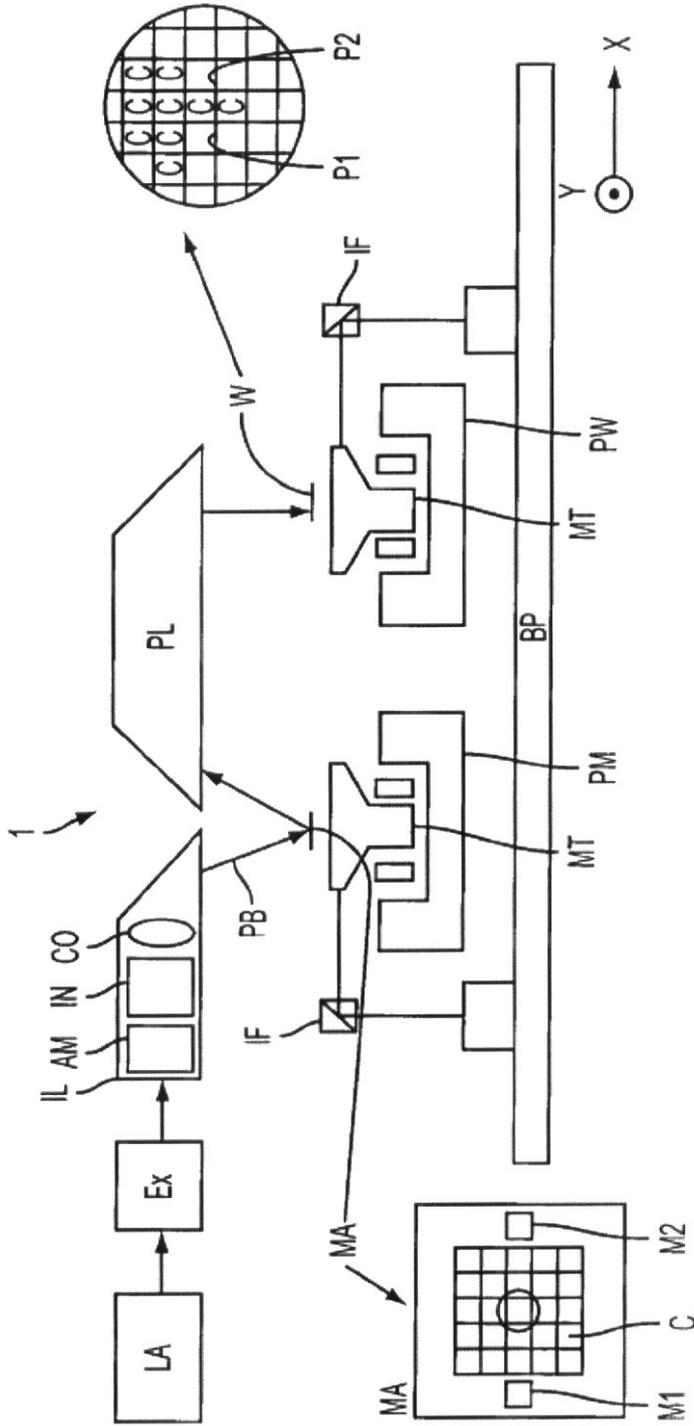
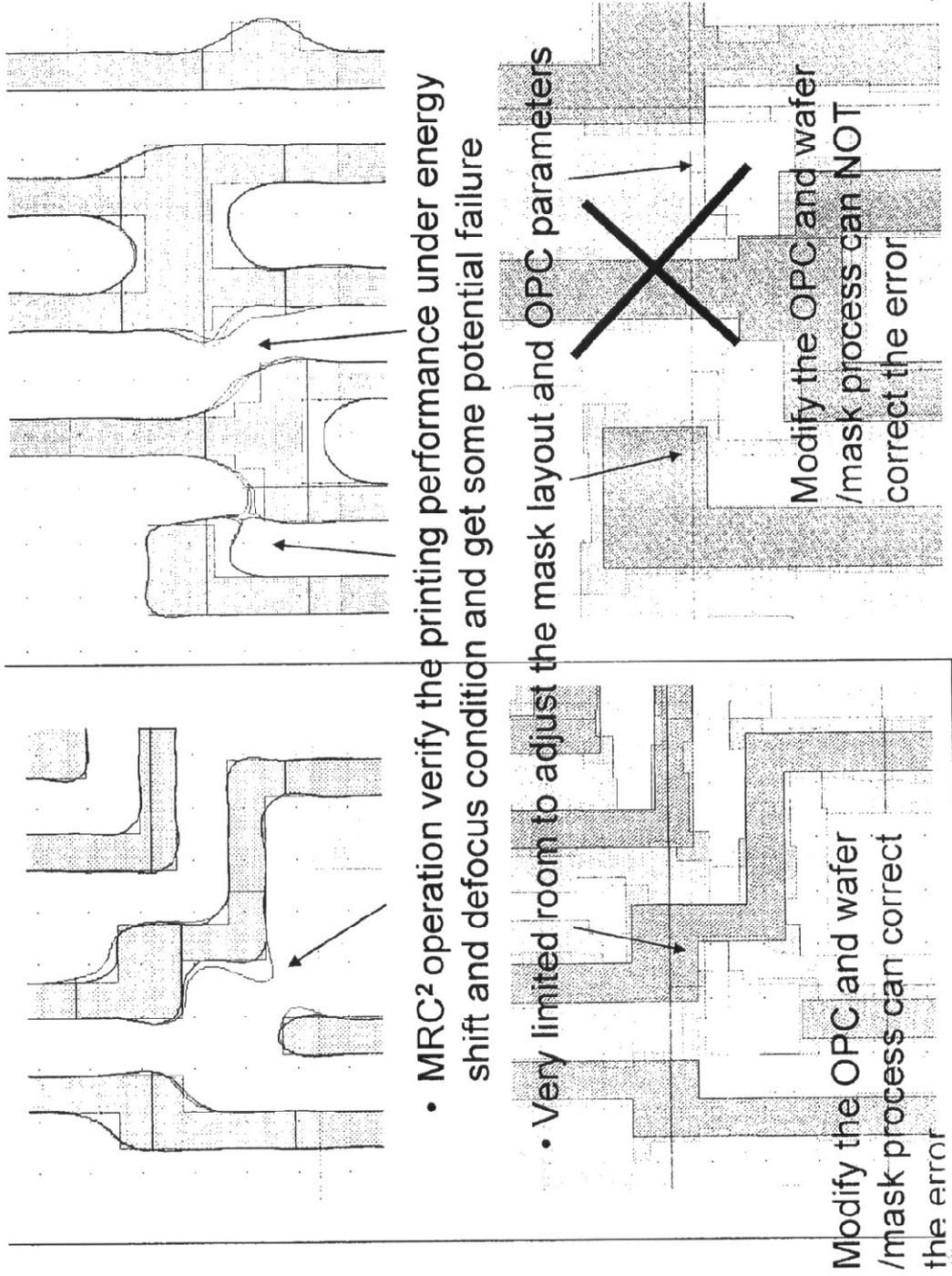


Fig. 11



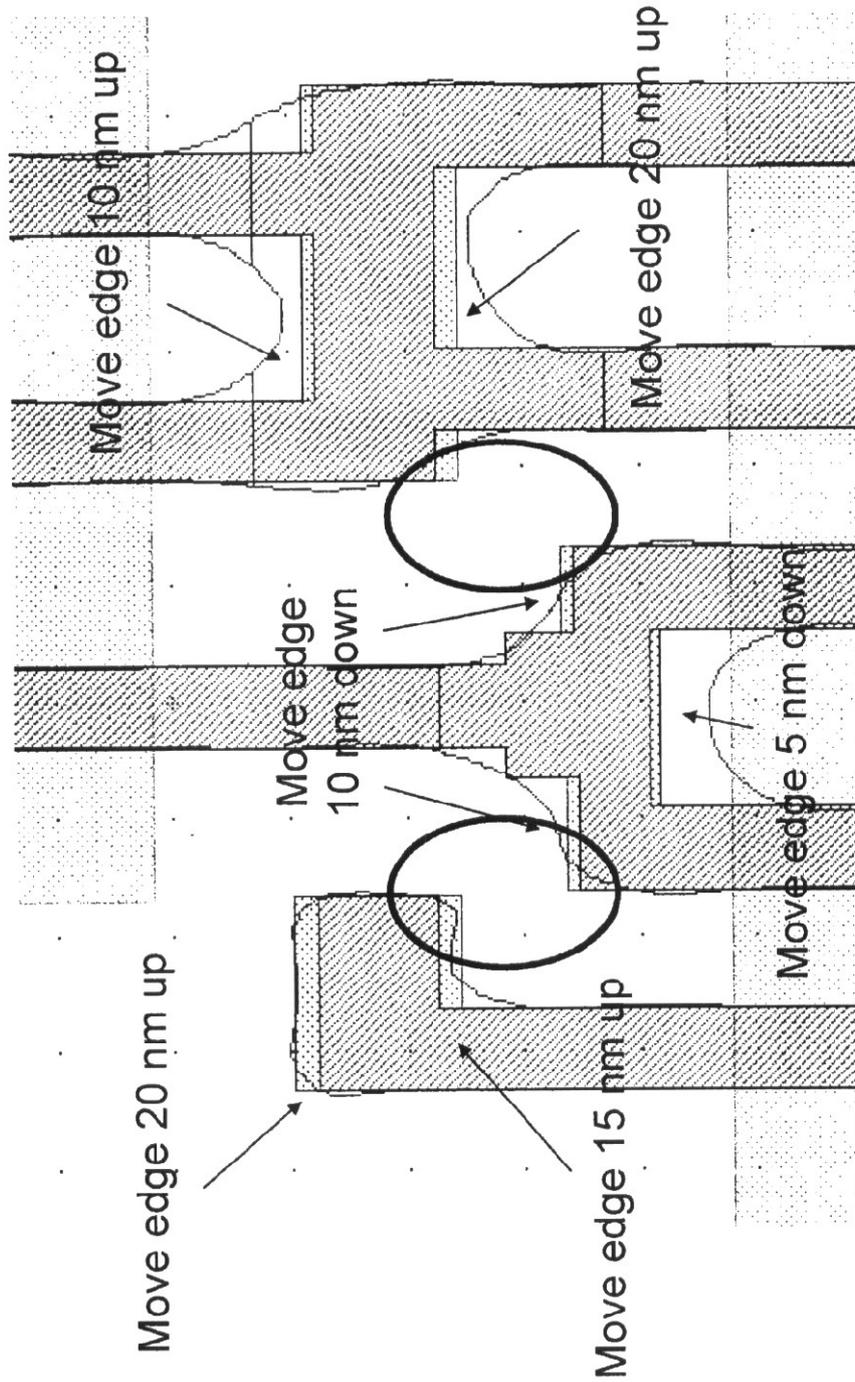
- MRC<sup>2</sup> operation verify the printing performance under energy shift and defocus condition and get some potential failure

- Very limited room to adjust the mask layout and OPC parameters

Modify the OPC and wafer /mask process can NOT correct the error

Modify the OPC and wafer /mask process can correct the error

F16.12



No bridging error under defocus and energy shift condition  
The design is robust for manufacturing environment