



(12) 发明专利

(10) 授权公告号 CN 111339001 B

(45) 授权公告日 2021.07.30

(21) 申请号 202010158154.9

G06F 1/3234 (2019.01)

(22) 申请日 2020.03.09

G06F 1/06 (2006.01)

G06F 1/24 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111339001 A

(56) 对比文件

(43) 申请公布日 2020.06.26

CN 103077142 A, 2013.05.01

CN 102129379 A, 2011.07.20

(73) 专利权人 厦门润积集成电路技术有限公司

CN 104657303 A, 2015.05.27

CN 101039155 A, 2007.09.19

地址 361021 福建省厦门市集美区兑英南

CN 101581961 A, 2009.11.18

路255号(4号楼)6楼609室

US 2005177633 A1, 2005.08.11

(72) 发明人 林灿昌 张永军

杨扬. 基于单总线的FPGA加密系统设计. 《中

(74) 专利代理机构 厦门智慧呈睿知识产权代理
事务所(普通合伙) 35222

国优秀硕士学位论文全文数据库 信息科技辑》
.2013, (第07期),

代理人 杨唯

审查员 唐丹颖

(51) Int. Cl.

G06F 13/28 (2006.01)

G06F 13/16 (2006.01)

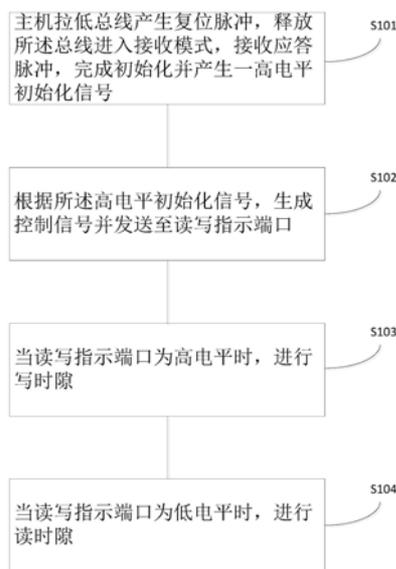
权利要求书2页 说明书6页 附图7页

(54) 发明名称

一种低功耗单总线通讯方法及系统

(57) 摘要

本发明提供了一种低功耗单总线协议通讯方法及系统,包括:主机拉低总线产生复位脉冲,释放所述总线进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号;根据所述高电平初始化信号,生成控制信号并发送至读写指示端口;当读写指示端口为高电平时,进行写时隙;当读写指示端口为低电平时,进行读时隙。基于本发明公开了解决时钟源一直处于工作状态,造成不必要的功耗。



1. 一种低功耗单总线通讯方法,其特征在于,包括:

主机拉低总线产生复位脉冲,释放所述总线进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号;

根据所述高电平初始化信号,生成控制信号并发送至读写指示端口;

当读写指示端口为高电平时,进行写时隙,具体为:

所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为高电平时,所述主机拉低总线,同时产生第一mono高电平脉冲,所述第一mono高电平脉冲经过时钟产生模块生成第一时钟信号,读取所述总线在所述第一mono高电平脉冲的下降沿下的时隙状态,并在第一时钟信号的上升沿将所述时隙状态写入所述主机的内部寄存器,其中,所述第一mono高电平脉冲的宽度为30us;

当读写指示端口为低电平时,进行读时隙。

2. 根据权利要求1所述的一种低功耗单总线通讯方法,其特征在于,所述主机拉低总线产生复位脉冲,释放所述总线进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号,具体为:

主机拉低所述总线产生超过第一单稳态单元设定的脉冲宽度的复位脉冲后,释放所述总线进入接收模式,同时产生一个低电平跳变到高电平的上升沿至从机,接收所述从机的应答脉冲,并产生一高电平初始化信号至数字化电路。

3. 根据权利要求2所述的一种低功耗单总线通讯方法,其特征在于,所述根据所述高电平初始化信号,生成控制信号并发送至读写指示端口具体为:

所述数字化电路接收到所述高电平初始化信号后,通过锁存器锁住所述高电平初始化信号,并生成所述控制信号发送至读写指示端口。

4. 根据权利要求3所述的一种低功耗单总线通讯方法,其特征在于,还包括:当所述读写指示端口接收8bits指令数据后,将所述控制信号拉低。

5. 根据权利要求1所述的一种低功耗单总线通讯方法,其特征在于,所述时隙状态包括1时隙和0时隙;

当读取到所述第一mono高电平脉冲的下降沿的数据位为低电平时,时隙的状态为1时隙,当读取到所述第一mono高电平脉冲的下降沿的数据位为高电平时,时隙的状态为0时隙。

6. 根据权利要求2所述的一种低功耗单总线通讯方法,其特征在于,所述当读写指示端口为低电平时,进行读时隙具体为:

所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为低电平时,所述主机拉低总线并保持1us,同时产生第二mono高电平脉冲,所述第二mono高电平脉冲经过时钟产生模块生成第二时钟信号,释放所述总线并开始读操作,数字化电路在所述第二时钟信号的上升沿准备下一个被读数据。

7. 一种低功耗单总线通讯方法,其特征在于,包括:

从机接收复位脉冲,并进行延时后,拉低总线产生应答脉冲,完成初始化,并获取读写指示端口的电平状态;

当所述读写指示端口为高电平时,等待总线拉低15us后,在采样窗口发送数据位的电平状态;

当所述读写指示端口为低电平时,等待总线拉低1us后,发送时隙状态。

8. 根据权利要求7所述的一种低功耗单总线通讯方法,其特征在于,所述从机接收复位脉冲,并进行延时后,拉低总线产生应答脉冲,完成初始化,并获取读写指示端口的电平状态具体为:

所述从机在接收到所述复位脉冲后,通过第二单稳态单元进行延时后,通过第三单稳态单元将所述总线拉低60~240us产生应答脉冲,完成初始化,并获取读写指示端口的电平状态。

9. 一种低功耗单总线通讯系统,其特征在于,包括:主机、从机、时钟产生电路、逻辑电路、总线及如权利要求1至8任意一项所述的一种低功耗单总线通讯方法;

其中,所述主机通过所述总线与所述从机电气连接,所述时钟产生电路与所述单总线电气连接,所述时钟产生电路的输出端与所述逻辑电路的输入端电气连接,所述逻辑电路的输出端与读写指示端口电气连接。

一种低功耗单总线通讯方法及系统

技术领域

[0001] 本发明涉及单总线通讯领域,特别涉及一种低功耗单总线通讯方法及系统。

背景技术

[0002] 单总线由美国Dallas公司推出的外围串行扩展总线技术。该总线只有三根线,一根数据线(DQ),系统中的数据交换、控制都由这根线完成;另外两根分别为外部供电电源(VDD)和地(GND)线。单总线器件内部设置有寄生供电电路(Parasite Power Circuit),即VDD无需外接电源,单总线依然可以正常工作。该寄生供电模式的特性使得单总线器件广泛应用于工业、农业、医疗器械以及消费电子等领域,而功耗是限制单总线器件在寄生供电模式下工作持久可靠的关键因素。为使产品更具有市场竞争力,低功耗设计具有至关重要的意义。

[0003] 在数字电路中,有很大一部分功耗来自时钟。时钟是唯一在所有时间都充放电的信号,而且很多情况下引起不必要的门的翻转,因此降低时钟的开关活动性将对降低整个系统的功耗产生很大的影响。

[0004] 一种常见的低功耗设计方法是使用门控时钟。门控时钟包括门控逻辑模块时钟和门控寄存器时钟。门控逻辑模块时钟对时钟网络进行划分,如果在当前的时钟周期内,系统没有用到某些模块,则暂时切断这些模块的时钟信号,从而明显地降低开关功耗。采用“与”门实现的时钟控制电路。门控寄存器时钟的原理是当寄存器保持数据时,关闭寄存器时钟,以降低功耗。然而,门控时钟会提升设计的复杂性并且容易容易引起毛刺,必须对信号的时序加以严格的限制,并对其进行仔细的时序检查。

[0005] 另一种常见的时钟技术就是可变频率时钟。它根据系统性能的要求,配置适当的时钟频率以避免不必要的功耗。门控时钟实际上是可变频率时钟的极限情况(即只有零和最高频率两种值),因此,可变频率时钟比门控时钟技术更加有效,但需要系统内嵌时钟产生模块PLL,增加了设计复杂度。

[0006] 对于高度集成的单总线器件来说,其内部电路往往是数模混合电路。因此,在系统与架构层面,时钟和时钟源(如,晶振)占有大部分的功耗。而以上两种低功耗设计方案,其本质是对时钟功耗的降低处理,时钟源仍然一直处于工作的状态。有鉴于此,本发明提供了一种低功耗单总线协议通讯方法及系统。

发明内容

[0007] 本发明公开了一种低功耗单总线协议通讯方法及系统,旨在解决时钟源一直处于工作状态,造成不必要的功耗。

[0008] 本发明提供了一种低功耗单总线协议通讯方法,包括:

[0009] 主机拉低总线产生复位脉冲,释放所述总线进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号;

[0010] 根据所述高电平初始化信号,生成控制信号并发送至读写指示端口;

- [0011] 当读写指示端口为高电平时,进行写时隙;
- [0012] 当读写指示端口为低电平时,进行读时隙。
- [0013] 优选地,所述主机拉低总线产生复位脉冲,释放所述总线进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号,具体为:
- [0014] 主机拉低所述总线产生超过第一单稳态单元设定的脉冲宽度的复位脉冲后,释放所述总线进入接收模式,同时产生一个低电平跳变到高电平的上升沿至从机,接收所述从机的应答脉冲,并产生一高电平初始化信号至数字化电路。
- [0015] 优选地,所述根据所述高电平初始化信号,生成控制信号并发送至读写指示端口具体为:
- [0016] 所述数字化电路接收到所述高电平初始化信号后,通过锁存器锁住所述高电平初始化信号,并生成所述控制信号发送至读写指示端口。
- [0017] 优选地,还包括:当所述读写指示端口接收8bits指令数据后,将所述控制信号拉低。
- [0018] 优选地,所述当读写指示端口为高电平时,进行写时隙具体为:
- [0019] 所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为高电平时,所述主机拉低总线,同时产生第一mono高电平脉冲,所述第一mono高电平脉冲经过时钟产生模块生成第一时钟信号,读取所述总线在所述第一mono高电平脉冲的下降沿下的时隙状态,并在第一时钟信号的上升沿将所述时隙状态写入所述主机的内部寄存器,其中,所述第一mono脉冲的宽度为30us。
- [0020] 优选地,所述时隙状态包括1时隙和0时隙;
- [0021] 当读取到mono高电平脉冲的下降沿的数据位为低电平时,时隙的状态为1时隙,当读取到mono高电平脉冲的下降沿的数据位为高电平时,时隙的状态为0时隙。
- [0022] 优选地,所述当读写指示端口为低电平时,进行读时隙具体为:
- [0023] 所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为低电平时,所述主机拉低总线并保持1us,同时产生第二mono高电平脉冲,所述第二mono高电平脉冲经过时钟产生模块生成第二时钟信号,释放所述总线并开始读操作,数字化电路在所述第二时钟信号的上升沿准备下一个被读数据。
- [0024] 本发明还提供一种低功耗单总线通讯方法,包括:
- [0025] 从机接收复位脉冲,并进行延时后,拉低总线产生应答脉冲,完成初始化,并获取读写指示端口的电平状态;
- [0026] 当所述读写指示端口为高电平时,等待总线拉低15us后,在采样窗口发送数据位的电平状态;
- [0027] 当所述读写指示端口为低电平时,等待总线拉低1us后,发送时隙状态。
- [0028] 优选地,所述从机接收复位脉冲,并进行延时后,拉低总线产生应答脉冲,完成初始化,并获取读写指示端口的电平状态具体为:
- [0029] 所述从机在接收到所述复位脉冲后,通过第二单稳态单元进行延时,通过第三单稳态单元将所述总线拉低60~240us产生应答脉冲,完成初始化,并获取读写指示端口的电平状态。
- [0030] 本发明还提供一种低功耗单总线通讯系统,包括:主机、从机、时钟产生电路、逻辑

电路、总线及上任意一项所述的一种低功耗单总线通讯方法；

[0031] 其中,所述主机通过所述总线与所述从机电气连接,所述时钟产生电路与所述单总线电气连接,所述时钟产生电路的输出端与所述逻辑电路的输入端电气连接,所述逻辑电路的输出端与读写指示端口电气连接。

[0032] 基于本发明提供一种低功耗单总线通讯方法及系统,通过主机拉低总线超过第一单稳态单元设定的脉冲宽度的复位脉冲,释放总线进入接收模式,同时产生一个低电平一个低电平跳变到高电平的上升沿至从机,接收所述从机的应答脉冲,并产生一高电平初始化信号至数字化电路,数字化电路接收到所述高电平初始化信号后,通过锁存器锁住所述高电平初始化信号,并生成所述控制信号发送至写指示端口,当读写指示端口的状态为高电平时,所述主机拉低总线,产生一时钟信号,并在时钟信号的上升沿将所述时隙状态写入所述主机的内部寄存器,当读写指示端口的状态为低电平时,所述主机拉低总线并保持1us后,释放所述总线并开始读操作。通过拉低总线一次,产生一个时钟信号,通过这种方式不会产生多余的时钟信号,从而实现静态不工作,动态工作功耗最低,可以有效避免在低功耗设计时产生的毛刺问题。

附图说明

[0033] 图1是本发明提供一种低功耗单总线协议通讯方法的主机工作流程图；

[0034] 图2是本发明提供的单总线时钟产生电路；

[0035] 图3是本发明提供的单总线时钟产生电路；

[0036] 图4是本发明提供的逻辑电路示意图；

[0037] 图5是本发明提供的初始化时隙图；

[0038] 图6是本发明提供的数字电路时隙图；

[0039] 图7是本发明提供一种低功耗单总线协议通讯方法的从机工作流程图；

具体实施方式

[0040] 为使本发明实施方式的目的、技术方案和优点更加清楚,下面将结合本发明实施方式中的附图,对本发明实施方式中的技术方案进行清楚、完整地描述,显然,所描述的实施方式是本发明一部分实施方式,而不是全部的实施方式。基于本发明中的实施方式,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式,都属于本发明保护的范围。因此,以下对在附图中提供的本发明的实施方式的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施方式。基于本发明中的实施方式,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式,都属于本发明保护的范围。

[0041] 本发明公开了一种低功耗单总线协议通讯方法及系统,旨在解决时钟源一直处于工作状态,造成不必要的功耗。

[0042] 以下结合附图对本发明的具体实施例做详细说明。

[0043] 请参阅图1,本发明提供了一种低功耗单总线协议通讯方法,包括:

[0044] S101,主机拉低总线DQ产生复位脉冲,释放所述总线DQ进入接收模式,接收应答脉冲,完成初始化并产生一高电平初始化信号initial;

[0045] 请参阅图2及图6,主机拉低所述总线DQ产生超过第一单稳态单元mult_480u设定的脉冲宽度的复位脉冲后,释放所述总线DQ进入接收模式,同时产生一个低电平跳变到高电平的上升沿至从机,接收所述从机的应答脉冲,并产生一高电平初始化信号initial至数字化电路。当然,在其他实施例中,还可以在释放总线DQ时,产生一个正弦信号发送至从机,可以根据实际情况对应设置,这里不做具体限定,但这些方案均在本发明的保护范围内。

[0046] 需要说明的是,所述主机拉低总线DQ480us~960us(即拉低总线DQ超过第一单稳态单元mult_480u设定的脉冲宽度TYPICAL 480us),产生复位脉冲,发送至从机,并释放总线DQ进入接收模式,当然,在其他实施例中,设定的脉冲宽度,还可以是TYPICAL 490us或TYPICAL 470us,这里不做具体限定,但这些方案均在本发明的保护范围内。

[0047] S102,根据所述高电平初始化信号initial,生成控制信号init_cmd并发送至读写指示端口;

[0048] 所述数字化电路接收到所述高电平初始化信号initial后,通过锁存器锁住所述高电平初始化信号initial,并生成所述控制信号init_cmd发送至读写指示端口。

[0049] 需要说明的是,所述控制信号init_cmd用于发送至读写指示端口,用于指示主机当前处于的读写状态,当然,在其他实施例中,还可以采用其他方式,还可以采用自锁电路锁住高电平初始化信号initial,这些方案可以根据实际情况对应选择,这里不做具体限定,但这些方案均在本发明的保护范围内。

[0050] S103,当读写指示端口为高电平时,进行写时隙;

[0051] 请继续参阅图3,所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为高电平时,所述主机拉低总线DQ,同时产生第一mono高电平脉冲,所述第一mono高电平脉冲经过时钟产生模块clk_gen生成第一时钟信号,读取所述总线在所述第一mono高电平脉冲的下降沿下的时隙状态,并在第一时钟信号的上升沿将所述时隙状态写入所述主机的内部寄存器,其中,所述第一mono脉冲的宽度为30us。其中,第一mono的脉冲宽度还可以是29或31us,这里不做具体限定,但这些方案均在本发明的保护范围内。

[0052] 在其他实施例中,还可以通过其他方式产生时钟脉冲,例如将第一mono信号通过一个反向器后进行相与非产生时钟脉冲,这些方案可以根据实际情况对应选择,这里不做具体限定,但这些方案均在本发明的保护范围内。

[0053] 需要说明的是,主机在将所述总线DQ拉低15us~60us的时间窗口内对数据位进行采样,在本实施例中,从所述mono高电平脉冲的下降沿开始采样,即对30us~60us内的数据位进行采样,但不仅限于此。

[0054] S104,当读写指示端口为低电平时,进行读时隙。

[0055] 请继续参阅图3,所述主机读取所述读写指示端口的状态,当所述读写指示端口的状态为低电平时,所述主机拉低总线并保持1us,同时产生第二mono高电平脉冲,所述第二mono高电平脉冲经过时钟产生模块clk_gen生成第二时钟信号,释放所述总线并开始读操作,数字化电路在所述第二时钟信号的上升沿准备下一个被读数据。

[0056] 需要说明的是,读时隙至少需要60us,在两次独立的读操作之间至少需要1us的恢复时间,所有的读时隙操作都是由主机拉低总线DQ并至少保持1us以后,再释放总线DQ开始读时隙。

[0057] 数字电路解析完指令,所述读写指示端口的电平拉低,表示接下来要进行读操作。

在读时隙时,由于数字电路在读之前已经解析到读指令,因此在读时隙来之前已经在TX_DQ端准备好第一位读数据,当总线DQ拉低时,根据TX_DQ的数据位电平对所述总线DQ进行释放拉高或者拉低,持续时间由mono高电平脉冲时间决定,主机在此持续区间对总线DQ进行采样操作。同时数字电路通过时钟上升沿准备下一个被读数据。

[0058] 优选地,还包括:当所述读写指示端口接收8bits指令数据后,将所述控制信号init_cmd拉低。

[0059] 需要说明的是,指示端口在接收8bits指令数据后,将所述控制信号init_cmd拉低,避免产生多余的脉冲,以产生不必要的功耗。

[0060] 优选地,所述时隙状态包括1时隙和0时隙;

[0061] 当读取到mono高电平脉冲的下降沿的数据位为低电平时,时隙的状态为1时隙,当读取到mono高电平脉冲的下降沿的数据位为高电平时,时隙的状态为0时隙。

[0062] 需要说明的是,当主机拉低总线DQ后,若从机发送的是1时隙,则总线DQ保持高电平,若从机发送的0时隙,则总线DQ保持低电平15us~60us,但部仅限于此。

[0063] 请参阅图7,本发明还提供一种低功耗单总线通讯方法,包括:

[0064] S201,从机接收复位脉冲,并进行延时后,拉低总线DQ产生应答脉冲,完成初始化,并获取读写指示端口的电平状态;

[0065] S202,当所述读写指示端口为高电平时,等待总线DQ拉低15us后,在采样窗口发送数据位的电平状态;

[0066] 需要说明的是,当采样窗口的数据位为高电平,主机的写1时隙,数据位为低电平,主机写0时隙,但不仅限于此。

[0067] S203,当所述读写指示端口为低电平时,等待总线DQ拉低1us后,发送时隙状态。若从机发送1时隙,则保持总线DQ为高电平,若从机发送0时隙,则总线DQ保持低电平15us~60us。

[0068] 优选地,所述从机接收复位脉冲,并进行延时后,拉低总线DQ产生应答脉冲,完成初始化,并获取读写指示端口的电平状态具体为:

[0069] 所述从机在接收到所述复位脉冲后,通过第二单稳态单元mult_30u进行延时后,通过第三单稳态单元mult_120u将所述总线DQ拉低60~240us产生应答脉冲,完成初始化,并获取读写指示端口的电平状态。

[0070] 需要说明的是,所述从机接收到复位脉冲后,通过所述第二单稳态单元mult_30u(设定的脉冲宽度TYPICAL 30us)进行延时15~60us后,通过第三单稳态单元mult_120u(设定的脉冲宽度TYPICAL 120us)拉低总线DQ,这里优选地输出一个高电平脉冲至一个NMOS管的栅极将总线DQ60us~240us,当然,可以是输出一个低电平脉冲至一个PMOS管的栅极进行拉低总线DQ,这里不做具体限定。

[0071] 本发明还提供一种低功耗单总线通讯系统,包括:主机、从机、时钟产生电路、逻辑电路、总线DQ及上任意一项所述的一种低功耗单总线DQ通讯方法;

[0072] 其中,所述主机通过所述总线DQ与所述从机电气连接,所述时钟产生电路与所述单总线DQ电气连接,所述时钟产生电路的输出端与所述逻辑电路的输入端电气连接,所述逻辑电路的输出端与读写指示端口电气连接。

[0073] 基于本发明提供的一种低功耗单总线通讯方法及系统,通过主机拉低总线超过第

一单稳态单元设定的脉冲宽度的复位脉冲,释放总线进入接收模式,同时产生一个低电平一个低电平跳变到高电平的上升沿至从机,接收所述从机的应答脉冲,并产生一高电平初始化信号至数字化电路,数字化电路接收到所述高电平初始化信号后,通过锁存器锁住所述高电平初始化信号,并生成所述控制信号发送至写指示端口,当读写指示端口的状态为高电平时,所述主机拉低总线,产生一时钟信号,并在时钟信号的上升沿将所述时隙状态写入所述主机的内部寄存器,当读写指示端口的状态为低电平时,所述主机拉低总线并保持1us后,释放所述总线并开始读操作。通过拉低总线一次,产生一个时钟信号,通过这种方式不会产生多余的时钟信号,从而实现静态不工作,动态工作功耗最低,可以有效避免在低功耗设计时产生的毛刺问题。

[0074] 以上仅是本发明的优选实施方式,本发明的保护范围并不仅局限于上述实施例,凡属于本发明思路下的技术方案均属于本发明的保护范围。

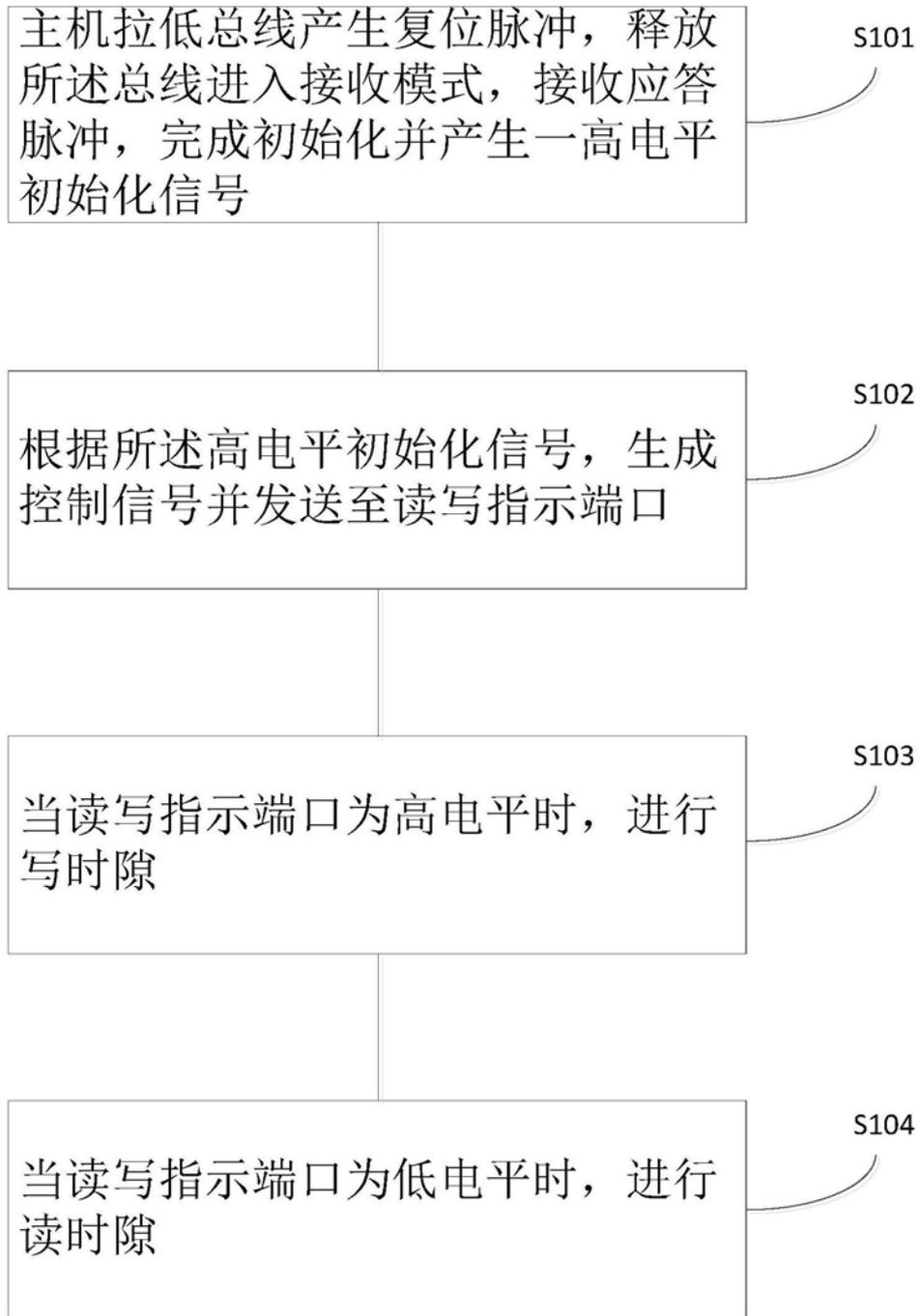


图1

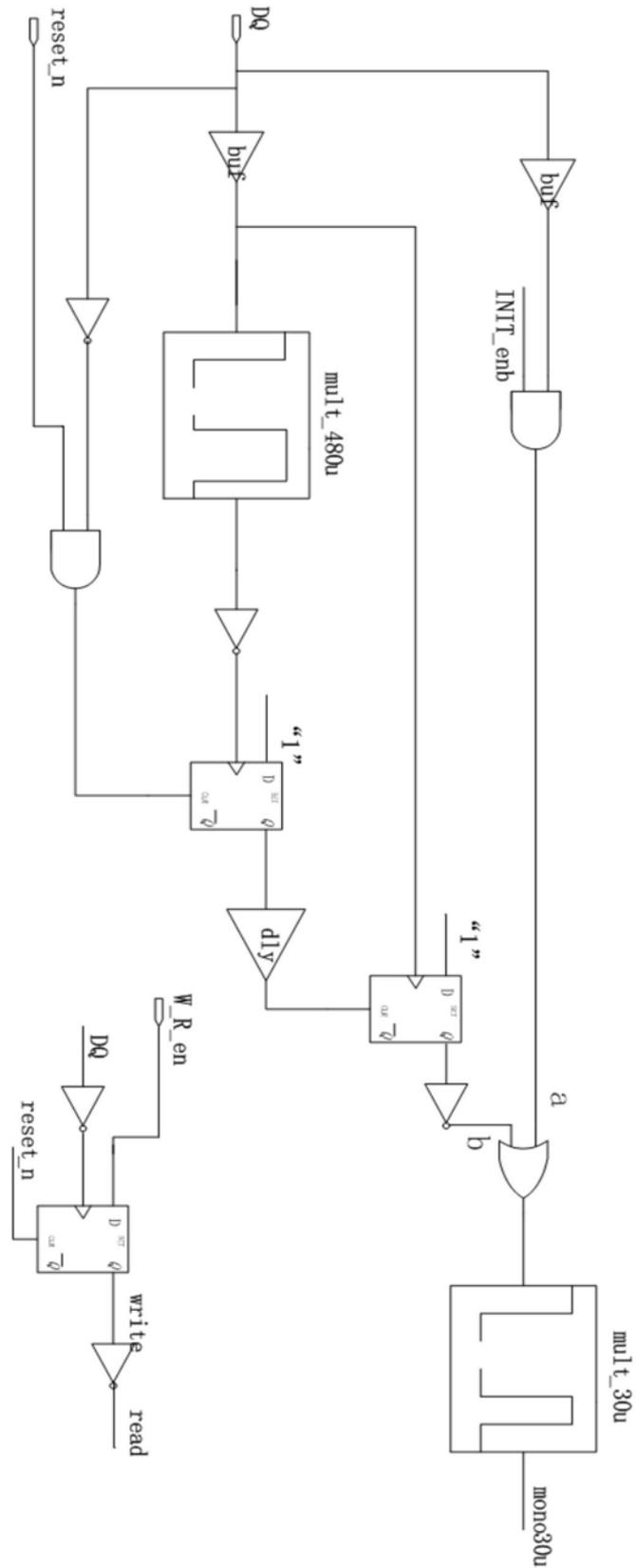


图2

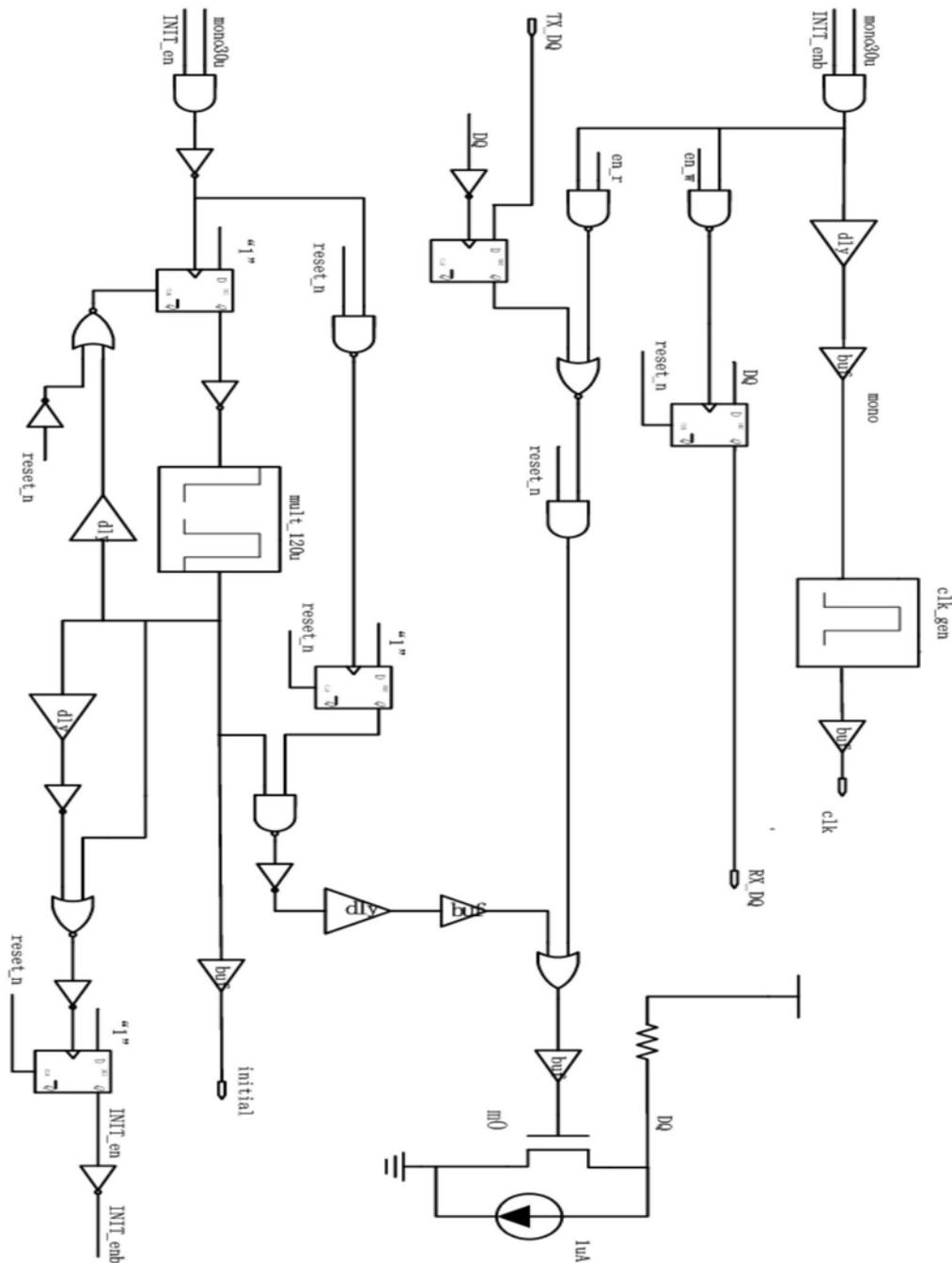


图3

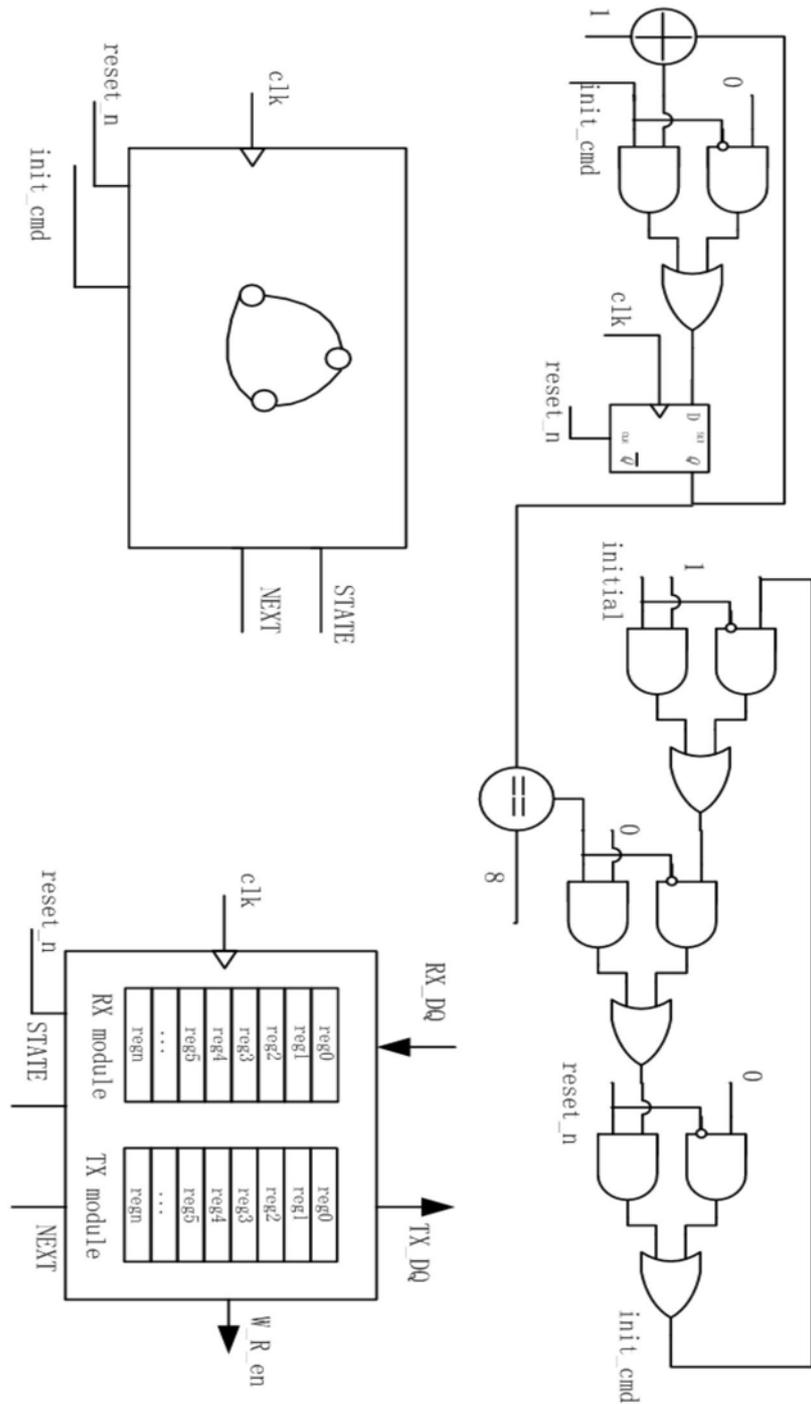


图4

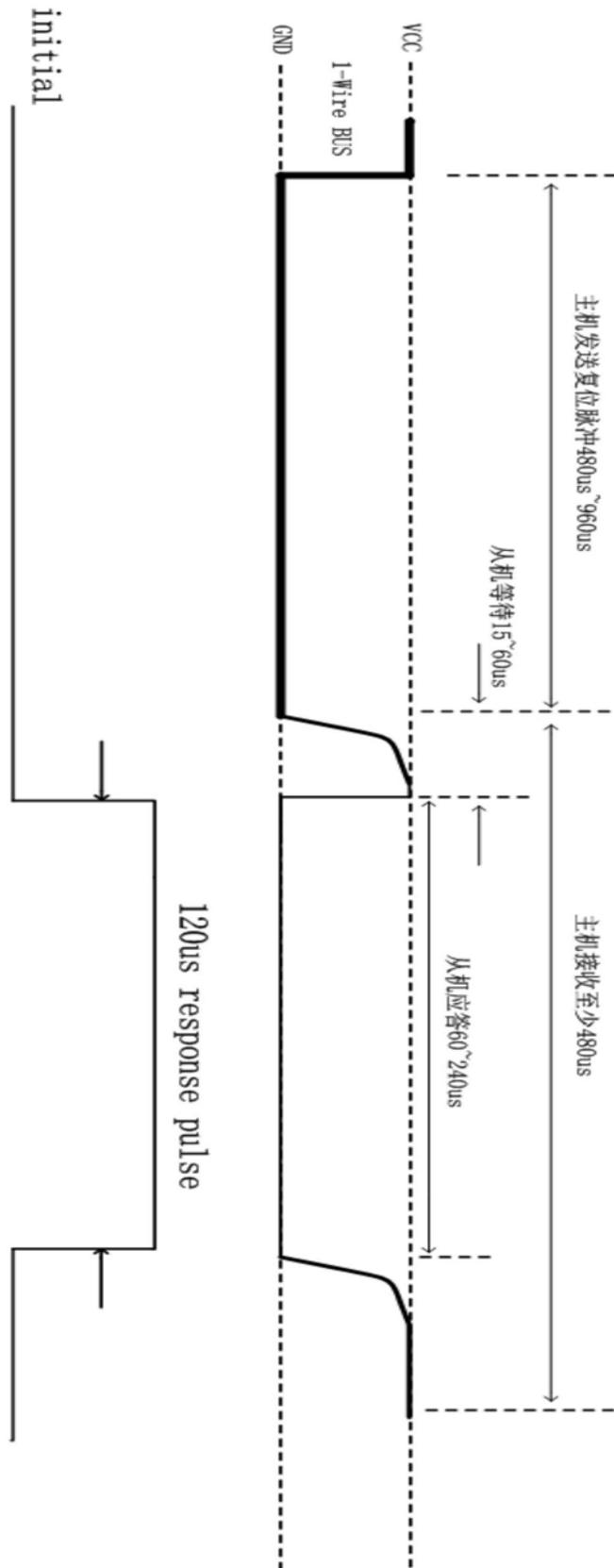


图5

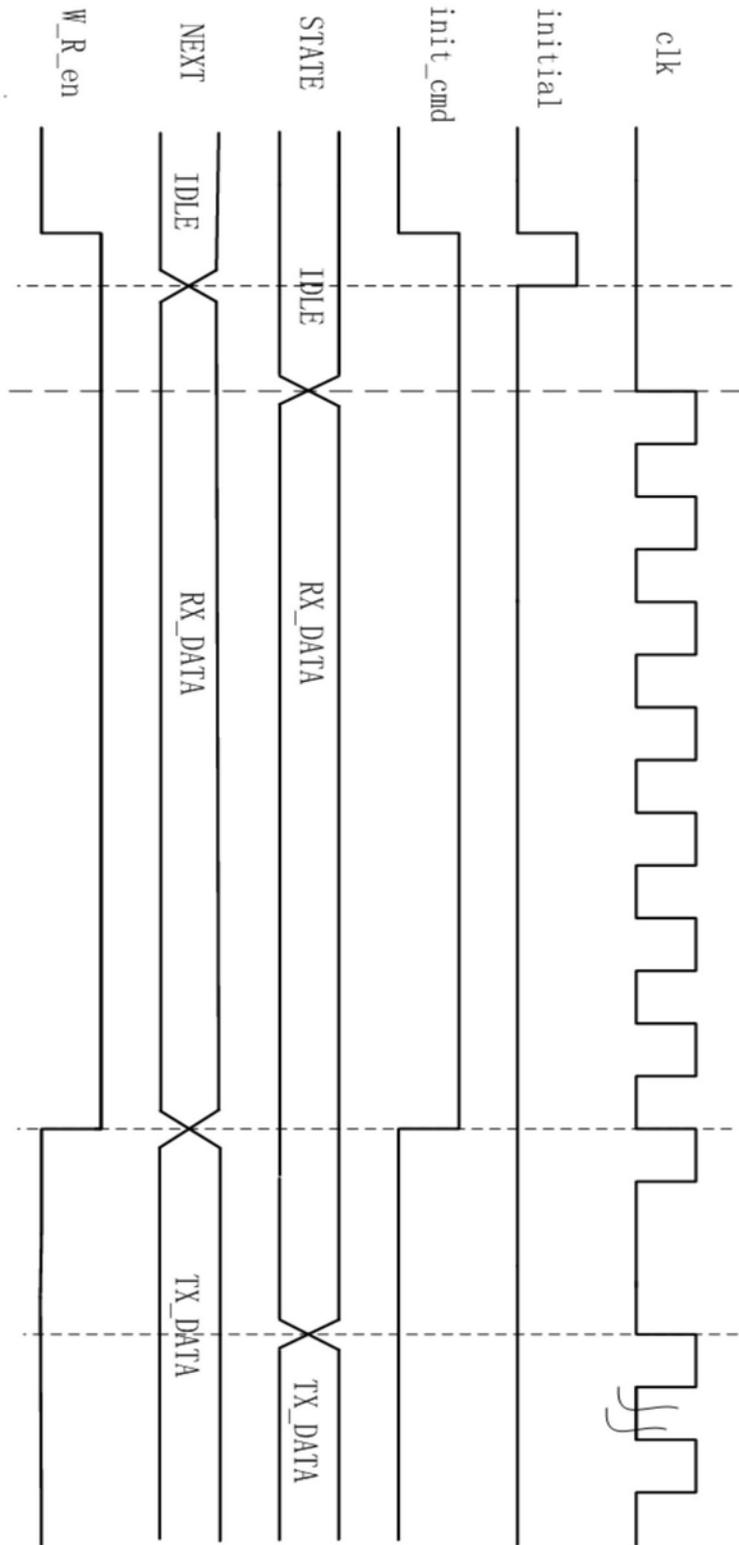


图6

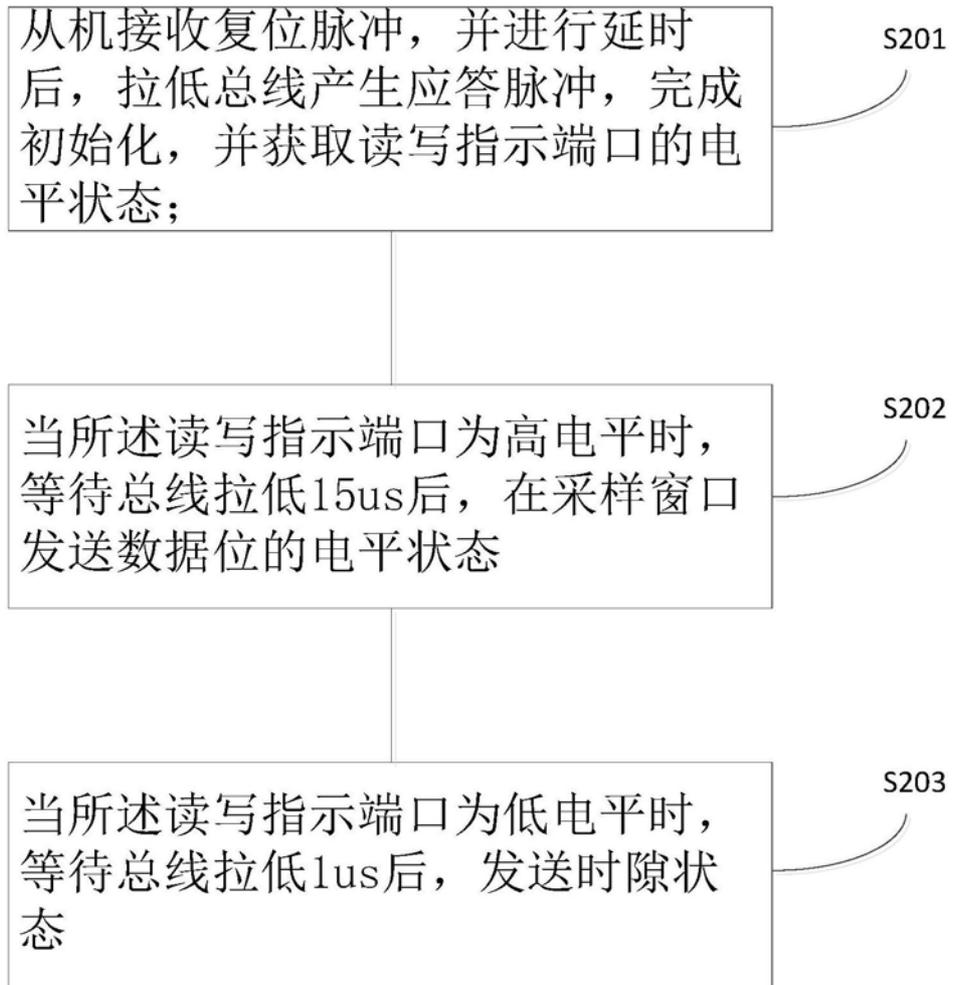


图7