



(12) 发明专利

(10) 授权公告号 CN 110783344 B

(45) 授权公告日 2023. 11. 07

(21) 申请号 201910671345.2

(22) 申请日 2019.07.24

(65) 同一申请的已公布的文献号
申请公布号 CN 110783344 A

(43) 申请公布日 2020.02.11

(30) 优先权数据
62/703,453 2018.07.26 US

(73) 专利权人 夏普株式会社
地址 日本大阪府

(72) 发明人 原健吾 大东彻 今井元
菊池哲郎 铃木正彦 西宫节治
上田辉幸 山中昌光

(74) 专利代理机构 北京市隆安律师事务所
11323

专利代理师 权鲜枝 刘宁军

(51) Int.Cl.

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

G02F 1/1362 (2006.01)

(56) 对比文件

WO 2017159413 A1, 2017.09.21

CN 104170069 A, 2014.11.26

US 6429909 B1, 2002.08.06

CN 102004360 A, 2011.04.06

JP 2011091279 A, 2011.05.06

审查员 黄丽娜

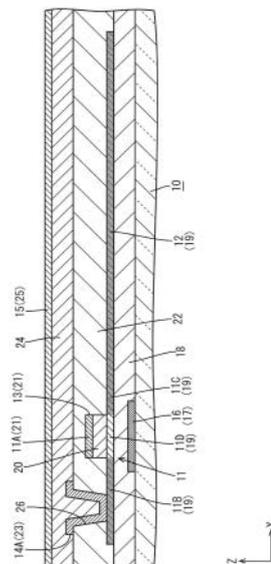
权利要求书2页 说明书14页 附图18页

(54) 发明名称

薄膜晶体管基板和薄膜晶体管基板的制造方法

(57) 摘要

一种薄膜晶体管基板和薄膜晶体管基板的制造方法,抑制由第2金属膜的蚀刻引起的缺陷的发生。阵列基板具备:半导体膜;第1绝缘膜,其配置于半导体膜的上层侧;第1金属膜,其配置于第1绝缘膜的上层侧;第2绝缘膜,其配置于第1金属膜的上层侧;第2金属膜,其配置于第2绝缘膜的上层侧;源极配线,其包括第2金属膜;栅极电极,其包括第1金属膜;沟道区域,其包括半导体膜的一部分,以与栅极电极重叠的方式配置;源极区域,其是将半导体膜的一部分低电阻化而成的,通过至少在第2绝缘膜开口形成的接触孔连接到源极配线;漏极区域,其是将半导体膜的一部分低电阻化而成的;及像素电极,其是将半导体膜的一部分低电阻化而成的,与漏极区域相连。



1. 一种薄膜晶体管基板,其特征在于,具备:
半导体膜;
第1绝缘膜,其配置于上述半导体膜的上层侧;
第1金属膜,其配置于上述第1绝缘膜的上层侧;
第2绝缘膜,其配置于上述第1金属膜的上层侧;
第2金属膜,其配置于上述第2绝缘膜的上层侧;
源极配线,其包括上述第2金属膜;
栅极电极,其构成薄膜晶体管,包括上述第1金属膜;
沟道区域,其构成上述薄膜晶体管,包括上述半导体膜的一部分,以与上述栅极电极重叠的方式配置;

源极区域,其构成上述薄膜晶体管,是将上述半导体膜的一部分低电阻化而成的,与上述沟道区域相连,并且通过至少在上述第2绝缘膜开口形成的接触孔连接到上述源极配线;

漏极区域,其构成上述薄膜晶体管,是将上述半导体膜的一部分低电阻化而成的,从与上述源极区域侧相反的一侧与上述沟道区域相连;以及

像素电极,其是将上述半导体膜的一部分低电阻化而成的,与上述漏极区域相连,

上述第2绝缘膜至少包含硅氧化物,形成为虽然至少与上述源极区域和上述漏极区域中的与上述沟道区域相邻的部分分别重叠,但是与上述漏极区域中的与上述像素电极相邻的部分及上述像素电极不重叠。

2. 根据权利要求1所述的薄膜晶体管基板,具备:

下层侧绝缘膜,其配置于上述半导体膜的下层侧;

下层侧金属膜,其配置于上述下层侧绝缘膜的下层侧;以及

遮光部,其由上述下层侧金属膜构成,以至少与上述沟道区域重叠的方式配置。

3. 根据权利要求2所述的薄膜晶体管基板,

上述遮光部被设为下层侧栅极电极。

4. 根据权利要求3所述的薄膜晶体管基板,具备:

电极间连接部,其包括上述第2金属膜,通过在上述第2绝缘膜开口形成的第1电极间接触孔和至少在上述下层侧绝缘膜及上述第2绝缘膜开口形成的第2电极间接触孔分别连接到上述栅极电极和上述下层侧栅极电极;以及

栅极配线,其包括上述下层侧金属膜,与上述下层侧栅极电极相连。

5. 根据权利要求1至权利要求3中的任意一项所述的薄膜晶体管基板,

具备栅极配线,上述栅极配线包括上述第1金属膜,与上述栅极电极相连。

6. 根据权利要求1至权利要求4中的任意一项所述的薄膜晶体管基板,

具备辅助源极配线,上述辅助源极配线是将上述半导体膜的一部分低电阻化而成的,与上述源极区域相连,并且以至少一部分与上述源极配线重叠的方式配置。

7. 根据权利要求6所述的薄膜晶体管基板,

上述源极配线与上述辅助源极配线相比宽度较窄。

8. 根据权利要求1至权利要求4中的任意一项所述的薄膜晶体管基板,

上述第1绝缘膜选择性地配置于与上述第1金属膜重叠的范围。

9. 根据权利要求1至权利要求4中的任意一项所述的薄膜晶体管基板,

上述半导体膜包括氧化物半导体。

10. 一种薄膜晶体管基板的制造方法,其特征在于,具备:

半导体膜成膜工序,形成半导体膜;

第1绝缘膜成膜工序,在上述半导体膜的上层侧形成第1绝缘膜;

第1金属膜成膜工序,在上述第1绝缘膜的上层侧形成第1金属膜;

第1金属膜蚀刻工序,通过将上述第1金属膜与上述第1绝缘膜一起蚀刻,从而形成栅极电极,上述栅极电极构成薄膜晶体管,包括上述第1金属膜;

半导体膜蚀刻工序,蚀刻上述半导体膜;

低电阻化工序,通过将上述半导体膜中的、与上述栅极电极重叠的沟道区域以外的部分低电阻化,从而形成:构成上述薄膜晶体管并与上述沟道区域相连的源极区域、构成上述薄膜晶体管并从与上述源极区域侧相反的一侧与上述沟道区域相连的漏极区域、以及与上述漏极区域相连的像素电极;

第2绝缘膜成膜工序,在上述第1金属膜的上层侧形成第2绝缘膜;

第2绝缘膜蚀刻工序,通过蚀刻上述第2绝缘膜,从而在与上述源极区域的一部分重叠的部分开口形成接触孔;

第2金属膜成膜工序,在上述第2绝缘膜的上层侧形成第2金属膜;以及

第2金属膜蚀刻工序,通过蚀刻上述第2金属膜,从而形成通过上述接触孔连接到上述源极区域的源极配线。

11. 根据权利要求10所述的薄膜晶体管基板的制造方法,

上述第1金属膜蚀刻工序是在上述半导体膜蚀刻工序之前进行的。

薄膜晶体管基板和薄膜晶体管基板的制造方法

技术领域

[0001] 本发明涉及薄膜晶体管基板和薄膜晶体管基板的制造方法。

背景技术

[0002] 以往,作为液晶显示装置所具备的薄膜晶体管基板的一例,已知下述专利文献1所记载的薄膜晶体管基板。该专利文献1所记载的薄膜晶体管基板在基板上的像素区域中依次层叠透明氧化物层、绝缘膜、导电层,上述导电层具有与栅极信号线连接的薄膜晶体管的栅极电极,上述透明氧化物层的至少除了上述栅极电极的正下方的沟道区域部以外的其它区域被导电体化,由该导电体化的部分构成了源极信号线、连接到该源极信号线的上述薄膜晶体管的源极区域部、像素电极、连接到该像素电极的上述薄膜晶体管的漏极区域部。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:特开2008-175842号公报

发明内容

[0006] 发明要解决的问题

[0007] 在上述专利文献1所记载的薄膜晶体管基板中,记载了通过对在透明氧化物层上直接形成的金属膜进行蚀刻从而形成源极信号线的构成。但是,在该构成中,若在对透明氧化物层上的金属膜进行蚀刻时产生膜残留,则有可能由于残留有金属膜的部分而产生例如像素电极与源极信号线发生短路等不良。另外,在对透明氧化物层上的金属膜进行蚀刻时,透明氧化物层也有可能被过蚀刻。

[0008] 本发明是基于上述这种情况而完成的,其目的在于抑制由第2金属膜的蚀刻引起的缺陷的发生。

[0009] 用于解决问题的方案

[0010] (1)本发明的薄膜晶体管基板的一实施方式具备:半导体膜;第1绝缘膜,其配置于上述半导体膜的上层侧;第1金属膜,其配置于上述第1绝缘膜的上层侧;第2绝缘膜,其配置于上述第1金属膜的上层侧;第2金属膜,其配置于上述第2绝缘膜的上层侧;源极配线,其包括上述第2金属膜;栅极电极,其构成薄膜晶体管,包括上述第1金属膜;沟道区域,其构成上述薄膜晶体管,包括上述半导体膜的一部分,以与上述栅极电极重叠的方式配置;源极区域,其构成上述薄膜晶体管,是将上述半导体膜的一部分低电阻化而成的,与上述沟道区域相连,并且通过至少在上述第2绝缘膜开口形成的接触孔连接到上述源极配线;漏极区域,其构成上述薄膜晶体管,是将上述半导体膜的一部分低电阻化而成的,从与上述源极区域相反的一侧与上述沟道区域相连;以及像素电极,其是将上述半导体膜的一部分低电阻化而成的,与上述漏极区域相连。

[0011] (2)另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)的构成以外,具备:下层侧绝缘膜,其配置于上述半导体膜的下层侧;下层侧金属膜,其配置于上述下层侧绝缘

膜的下层侧;以及遮光部,其包括上述下层侧金属膜,以至少与上述沟道区域重叠的方式配置。

[0012] (3) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(2)的构成以外,上述遮光部被设为下层侧栅极电极。

[0013] (4) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(3)的构成以外,具备:电极间连接部,其包括上述第2金属膜,通过上述第2绝缘膜开口形成的第1电极间接触孔和至少在上述下层侧绝缘膜及上述第2绝缘膜开口形成的第2电极间接触孔分别连接到上述栅极电极和上述下层侧栅极电极;以及栅极配线,其包括上述下层侧金属膜,与上述下层侧栅极电极相连。

[0014] (5) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)或者上述(3)的构成以外,具备栅极配线,上述栅极配线包括上述第1金属膜,与上述栅极电极相连。

[0015] (6) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)、上述(3)、上述(4)或者上述(5)的构成以外,具备辅助源极配线,上述辅助源极配线是将上述半导体膜的一部分低电阻化而成的,与上述源极区域相连,并且以至少一部分与上述源极配线重叠的方式配置。

[0016] (7) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(6)的构成以外,上述源极配线与上述辅助源极配线相比宽度较窄。

[0017] (8) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)、上述(3)、上述(4)、上述(5)、上述(6)或者上述(7)的构成以外,上述第2绝缘膜以至少覆盖上述漏极区域和上述像素电极的方式配置。

[0018] (9) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)、上述(3)、上述(4)、上述(5)、上述(6)或者上述(7)的构成以外,上述第2绝缘膜至少包含硅氧化物,形成为虽然至少与上述源极区域和上述漏极区域中的与上述沟道区域相邻的部分分别重叠,但是与上述漏极区域中的与上述像素电极相邻的部分及上述像素电极不重叠。

[0019] (10) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)、上述(3)、上述(4)、上述(5)、上述(6)、上述(7)、上述(8)或者上述(9)的构成以外,上述第1绝缘膜选择性地配置于与上述第1金属膜重叠的范围。

[0020] (11) 另外,本发明的薄膜晶体管基板的某实施方式除了上述(1)、上述(2)、上述(3)、上述(4)、上述(5)、上述(6)、上述(7)、上述(8)、上述(9)或者上述(10)的构成以外,上述半导体膜包括氧化物半导体。

[0021] (12) 本发明的薄膜晶体管基板的制造方法的一实施方式具备:半导体膜成膜工序,形成半导体膜;第1绝缘膜成膜工序,在上述半导体膜的上层侧形成第1绝缘膜;第1金属膜成膜工序,在上述第1绝缘膜的上层侧形成第1金属膜;第1金属膜蚀刻工序,通过将上述第1金属膜与上述第1绝缘膜一起蚀刻,从而形成栅极电极,上述栅极电极构成薄膜晶体管,包括上述第1金属膜;半导体膜蚀刻工序,蚀刻上述半导体膜;低电阻化工序,通过将上述半导体膜中的、与上述栅极电极重叠的沟道区域以外的部分低电阻化,从而形成:构成上述薄膜晶体管并与上述沟道区域相连的源极区域、构成上述薄膜晶体管并从与上述源极区域侧相反的一侧与上述沟道区域相连的漏极区域、以及与上述漏极区域相连的像素电极;第2绝缘膜成膜工序,在上述第1金属膜的上层侧形成第2绝缘膜;第2绝缘膜蚀刻工序,通过蚀刻

上述第2绝缘膜,从而在与上述源极区域的一部分重叠的部分开口形成接触孔;第2金属膜成膜工序,在上述第2绝缘膜的上层侧形成第2金属膜;以及第2金属膜蚀刻工序,通过蚀刻上述第2金属膜,从而形成通过上述接触孔连接到上述源极区域的源极配线。

[0022] 这样,经过半导体膜成膜工序、第1绝缘膜成膜工序以及第1金属膜成膜工序形成半导体膜、第1绝缘膜以及第1金属膜。在第1金属膜蚀刻工序中,第1金属膜与第1绝缘膜一起被蚀刻,在半导体膜蚀刻工序中,半导体膜被蚀刻。并且,在低电阻化工序中,半导体膜中的除沟道区域以外的部分被低电阻化,由此形成源极区域、漏极区域以及像素电极。这样,若与假设像素电极包括透明电极膜的情况相比,则不需要进行透明电极膜的成膜或蚀刻并且可以不追加用于使透明电极膜与其它导电膜绝缘的绝缘膜,因此,在实现制造成本的下降等方面是优选的。经过第2绝缘膜成膜工序形成的第2绝缘膜在第2绝缘膜蚀刻工序中被蚀刻,由此在与源极区域的一部分重叠的部分开口形成接触孔。经过第2金属膜成膜工序而在第2绝缘膜的上层侧形成的第2金属膜在第2金属膜蚀刻工序中被蚀刻,由此形成通过接触孔连接到源极区域的源极配线。在该第2金属膜蚀刻工序中,半导体膜为至少一部分被第2绝缘膜覆盖的状态。因而,假设即使由于第2金属膜的蚀刻不充分而发生膜残留,也能避免发生由于该膜残留部分例如源极配线与半导体膜中的实现低电阻化而成的部分发生短路等不良。而且,半导体膜的至少一部分被第2绝缘膜覆盖,由此能避免在第2金属膜蚀刻工序中半导体膜被过蚀刻的事态。

[0023] (13) 另外,本发明的薄膜晶体管基板的制造方法的某实施方式除了上述(12)以外,上述第1金属膜蚀刻工序是在上述半导体膜蚀刻工序之前进行的。

[0024] 发明效果

[0025] 根据本发明,能抑制由第2金属膜的蚀刻引起的缺陷的发生。

附图说明

[0026] 图1是概略性地表示本发明的实施方式1的构成液晶面板的阵列基板的显示区域的平面构成的俯视图。

[0027] 图2是阵列基板的图1的A-A线截面图。

[0028] 图3是表示进行了阵列基板的制造方法中的下层侧金属膜成膜工序和下层侧金属膜蚀刻工序的状态的图1的A-A线截面图。

[0029] 图4是表示进行了阵列基板的制造方法中的下层侧绝缘膜成膜工序、半导体膜成膜工序、第1绝缘膜成膜工序、第1金属膜成膜工序、第1金属膜蚀刻工序的状态的图1的A-A线截面图。

[0030] 图5是表示进行了阵列基板的制造方法中的半导体膜蚀刻工序的状态的图1的A-A线截面图。

[0031] 图6是表示进行了阵列基板的制造方法中的低电阻化工序的状态的图1的A-A线截面图。

[0032] 图7是表示进行了阵列基板的制造方法中的第2绝缘膜成膜工序和第2绝缘膜蚀刻工序的状态的图1的A-A线截面图。

[0033] 图8是表示进行了阵列基板的制造方法中的第2金属膜成膜工序和第2金属膜蚀刻工序的状态的图1的A-A线截面图。

[0034] 图9是概略性地表示本发明的实施方式2的构成液晶面板的阵列基板的显示区域的平面构成的俯视图。

[0035] 图10是阵列基板的图9的B-B线截面图。

[0036] 图11是阵列基板的图9的C-C线截面图。

[0037] 图12是本发明的实施方式3的阵列基板的TFT的截面图。

[0038] 图13是表示进行了阵列基板的制造方法中的低电阻化工序的状态的TFT的截面图。

[0039] 图14是表示进行了阵列基板的制造方法中的第2绝缘膜成膜工序和第2绝缘膜蚀刻工序的状态的TFT的截面图。

[0040] 图15是概略性地表示本发明的实施方式4的构成液晶面板的阵列基板的显示区域的平面构成的俯视图。

[0041] 图16是阵列基板的图15的D-D线截面图。

[0042] 图17是概略性地表示本发明的实施方式5的构成液晶面板的阵列基板的显示区域的平面构成的俯视图。

[0043] 图18是阵列基板的图17的E-E线截面图。

[0044] 附图标记说明

[0045] 10、110、210…阵列基板(薄膜晶体管基板);11、211、311…TFT(薄膜晶体管);11A、311A、411A…栅极电极;11B、111B、211B、311B…源极区域;11C、211C、311C…漏极区域;11D、211D、311D…沟道区域;12、212…像素电极;13、313、413…栅极配线;14、114、414…源极配线;16、316…遮光部;17、317、417…下层侧金属膜;18、318、418…下层侧绝缘膜;19、119、219、319…半导体膜;20…第1绝缘膜;21、321、421…第1金属膜;22、122、222、322、422…第2绝缘膜;23、123、323、423…第2金属膜;26、126、226…接触孔;27…辅助源极配线;28、428…下层侧栅极电极;29、429…电极间连接部;30、430…第1电极间接触孔;31、431…第2电极间接触孔。

具体实施方式

[0046] <实施方式1>

[0047] 通过图1至图8说明本发明的实施方式1。在本实施方式中,例示构成液晶面板(显示面板)的阵列基板(薄膜晶体管基板)10。此外,在各附图的一部分示出X轴、Y轴以及Z轴,各轴方向被描绘为在各附图中所示的方向。另外,以图2至图8的上侧为表侧,以下侧为里侧。

[0048] 液晶面板设为阵列基板10与未图示的CF基板(相对基板)在之间夹着未图示的液晶层的状态下被贴合的构成,在阵列基板10和CF基板的外表面侧分别贴附有未图示的偏振板。液晶面板的显示面被划分为能显示图像的显示区域和包围显示区域的非显示区域。图1是阵列基板10的显示区域的俯视图。如图1所示,在阵列基板10的显示区域中,作为开关元件的TFT(薄膜晶体管)11和像素电极12按矩阵状(行列状)排列设置有多个。在TFT11和像素电极12的周围,以包围它们的方式配设有呈格子状的栅极配线(扫描线)13和源极配线(数据线、信号线)14。栅极配线13和源极配线14分别连接到TFT11的栅极电极11A和源极区域11B,像素电极12连接到TFT11的漏极区域11C。并且,TFT11基于分别供应到栅极配线13和源

极配线14的各种信号而被驱动,随着其驱动,电位向像素电极12的供应得到控制。像素电极12配置于被栅极配线13和源极配线14包围的纵长的方形区域。在像素电极12形成有沿着自身的长边方向(Y轴方向)延伸的多个(在图1中为3个)狭缝12A。在阵列基板10的显示区域中,以与像素电极12重叠的形式形成有大致满面状的共用电极15。当在相互重叠的像素电极12与共用电极15之间产生了电位差时,不仅包含沿着阵列基板10的板面的成分而且包含相对于阵列基板10的板面的法线方向的成分的边缘电场(倾斜电场)会施加到液晶层中的狭缝12A附近的部分。即,具备本实施方式的阵列基板10的液晶面板的动作模式为FFS(Fringe Field Switching:边缘场开关)模式。此外,在本实施方式中,在各附图中,栅极配线13的延伸方向与X轴方向一致,源极配线14的延伸方向与Y轴分别一致。

[0049] 更详细地,如图1所示,TFT11配置为相对于被设为连接对象的像素电极12在Y轴方向上相邻位于与图1所示的下侧。TFT11具有包括栅极配线13的一部分的栅极电极11A。TFT11具有连接到从源极配线14分支而成的源极分支部14A的源极区域11B。源极分支部14A相对于源极配线14中的、与栅极配线13交叉的部分在Y轴方向上配置于与成为连接对象的像素电极12侧相反的一侧。源极分支部14A沿着X轴方向延伸,其前端部连接到源极区域11B。传送到源极配线14的图像信号经由源极分支部14A供应到源极区域11B。源极区域11B沿着Y轴方向延伸。TFT11具有相对于源极区域11B在Y轴方向上空开间隔配置的漏极区域11C。漏极区域11C沿着Y轴方向延伸,漏极区域11C的与源极区域11B(沟道区域11D)侧相反的一侧的端部与像素电极12是相连的。TFT11具有与栅极电极11A重叠并且与源极区域11B及漏极区域11C相连的沟道区域11D。沟道区域11D沿着Y轴方向延伸,其一端侧与源极区域11B是相连的,另一端侧与漏极区域11C是相连的。并且,当TFT11基于供应到栅极电极11A的扫描信号而被驱动时,供应到源极配线14的图像信号(电荷)会从源极分支部14A和源极区域11B经由沟道区域11D向漏极区域11C供应。其结果是,像素电极12被充电到基于图像信号的电位。另外,在阵列基板10的显示区域中,至少在与上述的沟道区域11D重叠的位置设置有遮光部16。遮光部16能遮挡对沟道区域11D从下层侧照射的光。这种光例如是从背光源装置对液晶面板照射的用于显示的光。由于去往沟道区域11D的上述光被遮光部16遮挡,从而能抑制在光照射到沟道区域11D时可能产生的TFT11的特性变动。

[0050] 另一方面,在CF基板的显示区域中,在与阵列基板10侧的各像素电极12呈相对状的位置按矩阵状排列设置有多个彩色滤光片(未图示)。彩色滤光片是按照规定的顺序反复排列配置R(红色)、G(绿色)、B(蓝色)的三色而成的。另外,虽然省略图示,但是在各彩色滤光片之间形成有用于防止混色的遮光膜(黑矩阵)。

[0051] 图2是阵列基板10的图1的A-A线截面图。如图2所示,阵列基板10是在玻璃基板(基板)的内面侧层叠形成各种膜而成的。具体地,如图2所示,在阵列基板10中从下层侧(玻璃基板侧、离液晶层远的一侧)按顺序层叠形成有下层侧金属膜17、下层侧绝缘膜18、半导体膜19、第1绝缘膜20、第1金属膜(栅极金属膜)21、第2绝缘膜22、第2金属膜(源极金属膜)23、第3绝缘膜24、透明电极膜25、取向膜(未图示)。

[0052] 下层侧金属膜17、第1金属膜21以及第2金属膜23均被设为包括一种金属材料的单层膜或包括不同种类的金属材料的层叠膜或合金,从而具有导电性和遮光性。如图2所示,下层侧金属膜17构成遮光部16等。第1金属膜21构成栅极配线13、TFT11的栅极电极11A等。第2金属膜23构成源极配线14(包括源极分支部14A)等。下层侧绝缘膜18和第3绝缘膜24均

包括作为一种无机绝缘材料(无机树脂材料)的 SiN_x (氮化硅)等。第1绝缘膜20和第2绝缘膜22均包括作为一种无机绝缘材料的 SiO_2 (氮化硅、硅氧化物)等。下层侧绝缘膜18介于下层侧金属膜17与半导体膜19之间而将它们绝缘。第1绝缘膜20介于半导体膜19与第1金属膜21之间而将它们绝缘。特别是,通过第1绝缘膜20中的、与栅极电极11A重叠的部分将栅极电极11A与沟道区域11D之间的间隔保持为固定。第2绝缘膜22介于第1金属膜21与第2金属膜23之间而将它们绝缘。第3绝缘膜24介于第2金属膜23与透明电极膜25之间而将它们绝缘。半导体膜19的材料例如被设为使用了氧化物半导体的氧化物半导体膜。半导体膜19不仅构成了构成TFT11的源极区域11B、漏极区域11C以及沟道区域11D,而且构成像素电极12等。作为半导体膜19的具体材料,例如可举出In-Ga-Zn-O系的半导体(例如铟镓锌氧化物)。其中,In-Ga-Zn-O系的半导体是In(铟)、Ga(镓)、Zn(锌)的三元系氧化物,并且In、Ga以及Zn的比例(组成比)没有特别限定,例如包含In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等,但未必一定限于此。In-Ga-Zn-O系的半导体既可以是非晶,也可以是结晶质,在结晶质的情况下,优选c轴与层面大致垂直地取向的结晶质In-Ga-Zn-O系的半导体。透明电极膜25例如包括ITO(Indium Tin Oxide:铟锡氧化物)或IZO(Indium Zinc Oxide:铟锌氧化物)等透明电极材料,构成共用电极15。取向膜用于实现液晶层所包含的液晶分子的初始取向。这样,在本实施方式的TFT11中,包括第1金属膜21的栅极电极11A相对于包括半导体膜19的沟道区域11D隔着第1绝缘膜20重叠配置于上层侧,TFT11被设为所谓的顶栅型。

[0053] 此外,如图2所示,本实施方式的阵列基板10所具备的源极区域11B、漏极区域11C以及像素电极12是在制造过程中将半导体膜19的各一部分低电阻化而成的。源极区域11B、漏极区域11C以及像素电极12(半导体膜19的低电阻化区域)与半导体膜19的非低电阻化区域(沟道区域11D)相比,电阻率极低,例如是 $1/10000000000 \sim 1/100$ 程度,作为导电体发挥功能。包括低电阻化区域的半导体膜19是大致透明的透光性材料,充分地保证了像素电极12的透明性/透光性。在半导体膜19中的非低电阻化区域,仅在特定的条件下(对栅极电极11A供应了扫描信号时)能使电荷移动,而在半导体膜19中的低电阻化区域,能始终使电荷移动,作为导电体发挥功能。这样,在本实施方式中,源极区域11B、漏极区域11C以及像素电极12均是将半导体膜19的一部分低电阻化而成的,因此若与假设像素电极包括透明电极膜的情况相比,则不需要进行透明电极膜的成膜或蚀刻并且不必追加用于将透明电极膜与其它导电膜绝缘的绝缘膜,因此,在实现制造成本的下降等方面是优选的。此外,在图1和图2中,将半导体膜19的低电阻化区域相对地设为网点状而图示出。

[0054] 并且,如图2所示,本实施方式的构成TFT11并包括半导体膜19的源极区域11B与包括第2金属膜23的源极配线14的源极分支部14A通过在介于两者之间的第2绝缘膜22开口形成的接触孔26而相互连接。根据这种构成,在制造过程中,在对形成于第2绝缘膜22的上层侧的第2金属膜23进行蚀刻来形成源极配线14(包括源极分支部14A)时,半导体膜19被设为至少一部分被第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与半导体膜19中的被低电阻化而成的部分短路等不良。而且,由于半导体膜19的至少一部分被第2绝缘膜22覆盖,从而能避免在蚀刻第2金属膜23时半导体膜19被过蚀刻的事态。

[0055] 而且,如图2所示,构成TFT11的栅极电极11A和栅极配线13均包括第1金属膜21,因此,由栅极配线13传送的信号直接供应到栅极电极11A。与假设在栅极配线包括比第1金属

膜21靠下层侧配置的下层侧金属膜17的情况下需要在下层侧绝缘膜18开口形成接触孔相比,相对于包括第1金属膜21的栅极电极11A的、栅极配线13的连接结构变得简单。而且,由于第1绝缘膜20选择性地配置于与包括第1金属膜21的栅极电极11A及栅极配线13重叠的范围,所以在制造过程中,能在连续形成第1绝缘膜20和第1金属膜21后蚀刻第1金属膜21时将第1绝缘膜20一并进行蚀刻。由此,不需要用于对第1绝缘膜20进行图案化的光掩模,因此,能够实现制造成本的下降。

[0056] 另外,如图2所示,第2绝缘膜22以至少覆盖漏极区域11C和像素电极12的方式配置,因此在制造过程中,在对形成于第2绝缘膜22的上层侧的第2金属膜23进行蚀刻来形成源极配线14时,至少漏极区域11C和像素电极12被设为由第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与漏极区域11C及像素电极12中的至少一方短路等不良。而且,由于至少漏极区域11C和像素电极12被第2绝缘膜22覆盖,从而能避免在蚀刻第2金属膜23时至少漏极区域11C和像素电极12被过蚀刻的事态。另外,第2绝缘膜22除了漏极区域11C和像素电极12以外,还覆盖源极区域11B中的与接触孔26不重叠的部分(包括与沟道区域11D相邻的部分)。

[0057] 本实施方式的阵列基板10是以上那样的结构,接下来说明其制造方法。本实施方式的阵列基板10的制造方法至少具备:下层侧金属膜成膜工序,形成下层侧金属膜17;下层侧金属膜蚀刻工序,蚀刻下层侧金属膜17;下层侧绝缘膜成膜工序,形成下层侧绝缘膜18;半导体膜成膜工序,形成半导体膜19;第1绝缘膜成膜工序,形成第1绝缘膜20;第1金属膜成膜工序,形成第1金属膜21;第1金属膜蚀刻工序,将第1金属膜21与第1绝缘膜20一起蚀刻;半导体膜蚀刻工序,蚀刻半导体膜19;低电阻化工序,将半导体膜19的一部分低电阻化;第2绝缘膜成膜工序,形成第2绝缘膜22;第2绝缘膜蚀刻工序,蚀刻第2绝缘膜22;第2金属膜成膜工序,形成第2金属膜23;第2金属膜蚀刻工序,蚀刻第2金属膜23;第3绝缘膜成膜工序,蚀刻第3绝缘膜24;透明电极膜成膜工序,形成透明电极膜25;以及取向膜成膜工序,形成取向膜。以下,使用图3至图8适当地详细说明各工序。

[0058] 如图3所示,在下层侧金属膜蚀刻工序中,在经过下层侧金属膜成膜工序所形成的下层侧金属膜17上层叠光致抗蚀剂,使该光致抗蚀剂曝光、显影。然后,使用被图案化后的光致抗蚀剂对下层侧金属膜17进行干式蚀刻或湿式蚀刻。这样,下层侧金属膜17中的与光致抗蚀剂不重叠的部分通过蚀刻被除去,而与光致抗蚀剂重叠的部分残存。由此,形成包括下层侧金属膜17的遮光部16。

[0059] 如图4所示,半导体膜成膜工序、第1绝缘膜成膜工序以及第1金属膜成膜工序被连续地进行。由此,连续地层叠形成半导体膜19、第1绝缘膜20以及第1金属膜21。之后,在第1金属膜蚀刻工序中,与上述的下层侧金属膜蚀刻工序同样地,使用在第1金属膜21上层叠并被图案化后的光致抗蚀剂来蚀刻第1金属膜21从而将其图案化。此时,第1绝缘膜20也与第1金属膜21一起被蚀刻,因此,第1绝缘膜20成为与第1金属膜21相同的图案。由此,形成包括第1金属膜21的栅极电极11A和栅极配线13等。该第1金属膜蚀刻工序是在半导体膜蚀刻工序之前进行的,因此,在第1金属膜蚀刻工序中将第1金属膜21与第1绝缘膜20一起蚀刻时,半导体膜19未被图案化,作为半导体膜19的基底的下层侧绝缘膜18成为被半导体膜19覆盖的状态。因而,能避免下层侧绝缘膜18随着第1金属膜21的蚀刻而被过蚀刻的事态。接下来,在半导体膜蚀刻工序中,与上述的下层侧金属膜蚀刻工序同样地,使用在半导体膜19上层

叠并被图案化后的光致抗蚀剂来蚀刻半导体膜19从而将其图案化。由此,形成沟道区域11D和被低电阻化之前的状态的源极区域11B、漏极区域11C及像素电极12。

[0060] 在低电阻化工序中,对在半导体膜蚀刻工序中被图案化后的半导体膜19进行低电阻化处理。作为该低电阻化处理,优选使用了规定的气体的等离子体处理。如图6所示,半导体膜19的除了被包括第1金属膜21的栅极电极11A覆盖的部分(沟道区域11D)以外的部分是露出的,该露出部分被选择性地低电阻化处理而成为低电阻化区域。由此,形成包括半导体膜19的各一部分的源极区域11B、漏极区域11C以及像素电极12。

[0061] 在第2绝缘膜蚀刻工序中,与上述的下层侧金属膜蚀刻工序同样地,如图7所示,使用在经过第2绝缘膜成膜工序所形成的第2绝缘膜22上层叠并被图案化后的光致抗蚀剂来蚀刻第2绝缘膜22从而将其图案化。由此,在第2绝缘膜22中的、与源极区域11B的一部分重叠的位置开口形成接触孔26。源极区域11B的与接触孔26重叠的部分会露出。在第2金属膜成膜工序中,如图8所示,形成第2金属膜23。所形成的第2金属膜23虽然大部分层叠于第2绝缘膜22上,但是与接触孔26重叠的部分层叠于半导体膜19上。在其后的第2金属膜蚀刻工序中,与上述的下层侧金属膜蚀刻工序同样地,使用在第2金属膜23上层叠并被图案化后的光致抗蚀剂来蚀刻第2金属膜23从而将其图案化。由此,形成源极配线14和源极分支部14A,其中的源极分支部14A通过接触孔26连接到源极区域11B。此外,在该第2金属膜蚀刻工序中,半导体膜19的与接触孔26不重叠的大部分(源极区域11B的一部分、漏极区域11C、沟道区域11D及像素电极12)被设为由第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与半导体膜19中的作为被低电阻化而成的部分的漏极区域11C或像素电极12等短路等不良。而且,由于半导体膜19的大部分被第2绝缘膜22覆盖,从而能避免在第2金属膜蚀刻工序中半导体膜19被过蚀刻的事态。

[0062] 之后,如图2所示,经过第3绝缘膜成膜工序形成第3绝缘膜24,经过透明电极膜成膜工序形成透明电极膜25,经过取向膜成膜工序形成取向膜。

[0063] 如以上说明的,本实施方式的阵列基板(薄膜晶体管基板)10具备:半导体膜19;第1绝缘膜20,其配置于半导体膜19的上层侧;第1金属膜21,其配置于第1绝缘膜20的上层侧;第2绝缘膜22,其配置于第1金属膜21的上层侧;第2金属膜23,其配置于第2绝缘膜22的上层侧;源极配线14,其包括第2金属膜23;栅极电极11A,其构成TFT(薄膜晶体管)11,包括第1金属膜21;沟道区域11D,其构成TFT11,包括半导体膜19的一部分,以与栅极电极11A重叠的方式配置;源极区域11B,其构成TFT11,是将半导体膜19的一部分低电阻化而成的,与沟道区域11D相连并且通过至少在第2绝缘膜22开口形成的接触孔26连接到源极配线14;漏极区域11C,其构成TFT11,是将半导体膜19的一部分低电阻化而成的,从与源极区域11B侧相反的一侧与沟道区域11D相连;以及像素电极12,其是将半导体膜19的一部分低电阻化而成的,与漏极区域11C相连。

[0064] 这样,当TFT11随着栅极电极11A被通电而被驱动时,电荷会经由沟道区域11D在连接到源极配线14的源极区域11B与漏极区域11C之间移动,像素电极12被充电。由于源极区域11B、漏极区域11C以及像素电极12均是将半导体膜19的一部分低电阻化而成的,因此,与假设像素电极包括透明电极膜的情况相比,无需透明电极膜的成膜或蚀刻并且不必追加用于使透明电极膜与其它导电膜绝缘的绝缘膜,因此,在实现制造成本的下降等方面是优选

的。并且,源极配线14包括相对于半导体膜19至少隔着第2绝缘膜22配置于上层侧的第2金属膜23,通过第2绝缘膜22开口形成的接触孔26连接到将半导体膜19的一部分低电阻化而成的源极区域11B。根据这种构成,在制造过程中,在对形成于第2绝缘膜22的上层侧的第2金属膜23进行蚀刻来形成源极配线14时,半导体膜19的至少一部分被设为由第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与半导体膜19中的被低电阻化而成的部分短路等不良。而且,由于半导体膜19的至少一部分被第2绝缘膜22覆盖,从而能避免在蚀刻第2金属膜23时半导体膜19被过蚀刻的事态。

[0065] 另外,具备:下层侧绝缘膜18,其配置于半导体膜19的下层侧;下层侧金属膜17,其配置于下层侧绝缘膜18的下层侧;以及遮光部16,其包括下层侧金属膜17,以至少与沟道区域11D重叠的方式配置。即使在对半导体膜19从下层侧照射光的情况下,由于包括相对于半导体膜19隔着下层侧绝缘膜18配置于下层侧的下层侧金属膜17的遮光部16以至少与沟道区域11D重叠的方式配置,从而,朝向沟道区域11D的光也会被遮光部16遮挡。由此,能抑制在光照射到沟道区域11D的情况下可能发生的TFT11的特性变动。

[0066] 另外,具备包括第1金属膜21并与栅极电极11A相连的栅极配线13。这样,由栅极配线13传送的信号供应到栅极电极11A。若与假设栅极配线包括比第1金属膜21靠下层侧配置的金属膜的情况相比,相对于包括第1金属膜21的栅极电极11A的、栅极配线13的连接结构变得简单。

[0067] 另外,第2绝缘膜22以至少覆盖漏极区域11C和像素电极12的方式配置。这样,在制造过程中,在对形成于第2绝缘膜22的上层侧的第2金属膜23进行蚀刻来形成源极配线14时,至少漏极区域11C和像素电极12被设为由第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与漏极区域11C和像素电极12中的至少一方短路等不良。而且,由于至少漏极区域11C和像素电极12被第2绝缘膜22覆盖,从而能避免在蚀刻第2金属膜23时至少漏极区域11C和像素电极12被过蚀刻的事态。

[0068] 另外,第1绝缘膜20选择性地配置于与第1金属膜21重叠的范围。这样,在制造过程中,能在连续形成第1绝缘膜20和第1金属膜21后蚀刻第1金属膜21时将第1绝缘膜20一并蚀刻。由此,不需要用于蚀刻第1绝缘膜20的光掩模,因此,能实现制造成本的下降。能通过与包括第1金属膜21的栅极电极11A重叠的第1绝缘膜20将栅极电极11A与沟道区域11D之间的间隔保持为固定。

[0069] 另外,半导体膜19包括氧化物半导体。这样,与非晶硅相比,带隙一般变大。因而,通过将半导体膜19设为氧化物半导体膜19,能实现该TFT11的耐压的提高。

[0070] 本实施方式的阵列基板10的制造方法具备:半导体膜成膜工序,形成半导体膜19;第1绝缘膜成膜工序,在半导体膜19的上层侧形成第1绝缘膜20;第1金属膜成膜工序,在第1绝缘膜20的上层侧形成第1金属膜21;第1金属膜蚀刻工序,将第1金属膜21与第1绝缘膜20一起蚀刻,从而形成栅极电极11A,栅极电极11A构成TFT11,包括第1金属膜21;半导体膜蚀刻工序,蚀刻半导体膜19;低电阻化工序,通过将半导体膜19中的、与栅极电极11A重叠的沟道区域11D以外的部分低电阻化,从而形成:构成TFT11并与沟道区域11D相连的源极区域11B、构成TFT11并从与源极区域11B侧相反的一侧与沟道区域11D相连的漏极区域11C、以及

与漏极区域11C相连的像素电极12;第2绝缘膜成膜工序,在第1金属膜21的上层侧形成第2绝缘膜22;第2绝缘膜蚀刻工序,通过蚀刻第2绝缘膜22,从而在与源极区域11B的一部分重叠的部分开口形成接触孔26;第2金属膜成膜工序,在第2绝缘膜22的上层侧形成第2金属膜23;以及第2金属膜蚀刻工序,通过蚀刻第2金属膜23,从而形成通过接触孔26连接到源极区域11B的源极配线14。

[0071] 这样,经过半导体膜成膜工序、第1绝缘膜成膜工序以及第1金属膜成膜工序形成半导体膜19、第1绝缘膜20以及第1金属膜21。在第1金属膜蚀刻工序中,第1金属膜21与第1绝缘膜20一起被蚀刻,在半导体膜蚀刻工序中,半导体膜19被蚀刻。然后,在低电阻化工序中,半导体膜19中的除了沟道区域11D以外的部分被低电阻化,由此形成源极区域11B、漏极区域11C以及像素电极12。这样,与假设像素电极包括透明电极膜的情况相比,不需要透明电极膜的成膜或蚀刻并且不必追加用于使透明电极膜与其它导电膜绝缘的绝缘膜,因此,在实现制造成本的下降等方面是优选的。经过第2绝缘膜成膜工序所形成的第2绝缘膜22在第2绝缘膜蚀刻工序中被蚀刻,从而在与源极区域11B的一部分重叠的部分开口形成接触孔26。经过第2金属膜成膜工序形成于第2绝缘膜22的上层侧的第2金属膜23在第2金属膜蚀刻工序中被蚀刻,从而形成通过接触孔26连接到源极区域11B的源极配线14。在该第2金属膜蚀刻工序中,半导体膜19的至少一部分被设为由第2绝缘膜22覆盖的状态。因而,即使假设第2金属膜23的蚀刻不充分而发生了膜残留,也能避免由于该膜残留部分而发生例如源极配线14与半导体膜19中的被低电阻化而成的部分短路等不良。而且,由于半导体膜19的至少一部分被第2绝缘膜22覆盖,从而能避免在第2金属膜蚀刻工序中半导体膜19被过蚀刻的事态。

[0072] 另外,第1金属膜蚀刻工序是在半导体膜蚀刻工序之前进行的。这样,在第1金属膜蚀刻工序中将第1金属膜21与第1绝缘膜20一起蚀刻时,半导体膜19未被图案化,半导体膜19的基底成为被半导体膜19覆盖的状态。因而,能避免半导体膜19的基底随着第1金属膜21的蚀刻而被过蚀刻的事态。

[0073] <实施方式2>

[0074] 通过图9至图11说明本发明的实施方式2。在该实施方式2中,示出追加了将半导体膜119的一部分低电阻化而成的辅助源极配线27的实施方式。此外,关于与上述的实施方式1同样的结构、作用以及效果,省略重复的说明。

[0075] 如图9和图10所示,本实施方式的阵列基板110具备将半导体膜119的一部分低电阻化而成的辅助源极配线27。辅助源极配线27以与源极配线114和源极分支部114A并行的形式延伸并且配置成宽度方向的一部分在整个长度上与源极配线114和源极分支部114A重叠。辅助源极配线27的宽度大于源极配线114和源极分支部114A的宽度,宽度方向的两端部与源极配线114和源极分支部114A不重叠。换句话说,源极配线114和源极分支部114A的宽度小于辅助源极配线27的宽度。如图11所示,辅助源极配线27的端部与源极区域111B是相连的。源极区域111B通过第2绝缘膜122的接触孔126连接着源极分支部114A,因此,辅助源极配线27电连接到源极配线114,能对传送到源极配线114的信号进行传送。即,能实现源极配线114的复线化。由此,即使在假设源极配线114发生了断线的情况下,也能通过辅助源极配线27进行信号的传送,另外,还能利用辅助源极配线27进行发生了断线的源极配线114的修理。另外,能实现源极配线114的配线电阻的下降。

[0076] 如以上说明的那样,根据本实施方式,具备辅助源极配线27,辅助源极配线27是将半导体膜119的一部分低电阻化而成的,与源极区域111B相连并且至少一部分以与源极配线114重叠的方式配置。这样,源极配线114经由源极区域111B连接到辅助源极配线27,因此,能实现冗长性的提高或配线电阻的下降。

[0077] 另外,源极配线114与辅助源极配线27相比宽度较窄。源极配线114通过辅助源极配线27而实现了配线电阻的下降,因此,即使与辅助源极配线27相比宽度变窄,也能将配线电阻确保为足够低。此外,包括第2金属膜123的源极配线114与将半导体膜119的一部分低电阻化而成的辅助源极配线27相比,一般有片电阻变低的倾向。因而,有如下倾向:与在辅助源极配线27与其它配线之间产生的寄生电容相比,在源极配线114与其它配线之间产生的寄生电容会更强烈地影响源极配线114的负荷。基于以上内容,通过使源极配线114与辅助源极配线27相比宽度较窄,从而能适当地减小在源极配线114与其它配线之间产生的寄生电容,因此在实现源极配线114的负荷的减轻上是优选的。

[0078] <实施方式3>

[0079] 通过图12至图14说明本发明的实施方式3。在该实施方式3中,示出从上述的实施方式1变更了第2绝缘膜222的材料和结构的实施方式。此外,关于与上述的实施方式1同样的结构、作用以及效果,省略重复的说明。

[0080] 在本实施方式的阵列基板210中,如图12所示,第2绝缘膜222包括作为一种硅氧化物的 SiO_2 。因此,第2绝缘膜222含有氧。并且,第2绝缘膜222形成为至少与沟道相邻部211B1、211C1分别重叠,沟道相邻部211B1、211C1是包括半导体膜219的源极区域211B及漏极区域211C中的与沟道区域211D相邻的部分。另外,第2绝缘膜222还与源极区域211B中的相对于接触孔226位于与沟道相邻部211B1侧相反的一侧的部分重叠。而另一方面,第2绝缘膜222形成为与像素相邻部211C2和包括半导体膜219的像素电极212不重叠,像素相邻部211C2是包括半导体膜219的漏极区域211C中的与像素电极212相邻的部分。半导体膜219中的、与第2绝缘膜222重叠的部分由于随时间的经过而被导入第2绝缘膜222所含有的氧,所以电阻值变高。因而,与第2绝缘膜222重叠的沟道相邻部分211B1、211C1成为高电阻区域。另一方面,半导体膜219中的、与第2绝缘膜222不重叠的部分避免了被导入第2绝缘膜222所含有的氧。因而,与第2绝缘膜222不重叠的像素相邻部211C2和像素电极212成为与上述的高电阻区域相比电阻较低的低电阻区域。这些高电阻区域和低电阻区域均是实现了低电阻化的低电阻化区域。此外,在图12中,将半导体膜219的低电阻区域设为相对浓的网点状而出,另外,将半导体膜219的高电阻区域设为相对淡的网点状而图示出。

[0081] 以下说明阵列基板210的制造方法。与上述的实施方式1同样地,当进行了下层侧金属膜成膜工序、下层侧金属膜蚀刻工序、下层侧绝缘膜成膜工序、半导体膜成膜工序、第1绝缘膜成膜工序、第1金属膜成膜工序、第1金属膜蚀刻工序、半导体膜蚀刻工序以及低电阻化工序时,如图13所示,半导体膜219中的除了沟道区域211D以外的源极区域211B、漏极区域211C以及像素电极212分别被低电阻化。在该阶段,源极区域211B、漏极区域211C以及像素电极212的电阻相等。之后,如图14所示,经过第2绝缘膜成膜工序所形成的第2绝缘膜222在第2绝缘膜蚀刻工序中被蚀刻。此时,在第2绝缘膜222的与源极区域211B的一部分重叠的位置开口形成接触孔226,并且第2绝缘膜222的与漏极区域211C中的与像素电极212相邻的像素相邻部211C2和像素电极212重叠的部分被除去。因而,半导体膜219中的、与源极区域

211B内的接触孔26重叠的部分、漏极区域211C内的像素相邻部211C2、以及像素电极212分别未被第2绝缘膜222覆盖而露出,成为低电阻区域。另一方面,半导体膜219中的、源极区域211B内的沟道相邻部211B1及其相反侧的部分、以及漏极区域211C内的沟道相邻部211C1分别被第2绝缘膜222覆盖,因此,随时间的经过而被导入第2绝缘膜222所包含的氧,成为高电阻区域。

[0082] 如以上说明的那样,根据本实施方式,第2绝缘膜222至少包含硅氧化物,形成为虽然至少与源极区域211B和漏极区域211C中的与沟道区域211D相邻的部分分别重叠,但是与漏极区域211C中的与像素电极212相邻的部分及像素电极212不重叠。首先,第2绝缘膜222至少包含硅氧化物,因此含有氧。至少源极区域211B和漏极区域211C中的与沟道区域211D相邻的部分是分别与第2绝缘膜222重叠的,因此,随时间的经过而被导入第2绝缘膜222所含有的氧,伴随于此,电阻值变高。而另一方面,源极区域211B中的与接触孔26重叠的部分、漏极区域211C中的与像素电极212相邻的部分、以及像素电极212由于与第2绝缘膜222不重叠,所以避免了被导入第2绝缘膜222所含有的氧。这样,源极区域211B和漏极区域211C虽然在与沟道区域211D侧相反的一侧成为低电阻,但是沟道侧成为高电阻,因此,能实现在源极区域211B与漏极区域211C之间产生的电场的缓和。由此,不易在漏极区域211C附近发生电场集中(所谓的热载流子现象),能实现可能在TFT211发生的漏电流的下降等。

[0083] <实施方式4>

[0084] 通过图15或图16说明本发明的实施方式4。在该实施方式4中,示出从上述的实施方式1变更了TFT311的构成的实施方式。此外,关于与上述的实施方式1同样的结构、作用以及效果,省略重复的说明。

[0085] 如图15和图16所示,本实施方式的TFT311具备下层侧栅极电极28,被设为所谓的双栅结构。下层侧栅极电极28由包括下层侧金属膜317的遮光部316构成,配置成与栅极电极311A和沟道区域311D双方重叠。下层侧栅极电极28(遮光部316)经由电极间连接部29连接到包括第1金属膜321的栅极电极311A。电极间连接部29包括第2金属膜323,配置成虽然与下层侧栅极电极28和栅极电极311A双方重叠,但是与包括半导体膜319的源极区域311B、漏极区域311C以及沟道区域311D不重叠。在第2绝缘膜322中的、与电极间连接部29及栅极电极311A重叠的部位开口形成有第1电极间接触孔30。在第2绝缘膜322和下层侧绝缘膜318中的、与电极间连接部29及下层侧栅极电极28重叠的部位开口形成有第2电极间接触孔31。电极间连接部29通过这些第1电极间接触孔30和第2电极间接触孔31电连接到栅极电极311A和下层侧栅极电极28。由此,传送到包括第1金属膜321的栅极配线313的信号也以相同的定时供应到栅极电极311A和下层侧栅极电极28,因此,与栅极电极311A及下层侧栅极电极28重叠的沟道区域311D中的电荷的流通量增加。

[0086] 如以上说明的那样,根据本实施方式,遮光部316被设为下层侧栅极电极28。这样,不仅对栅极电极311A而且对下层侧栅极电极28供应信号,从而能使与下层侧栅极电极28重叠的沟道区域311D中的电荷的流通量增加。

[0087] <实施方式5>

[0088] 通过图17或图18说明本发明的实施方式5。在该实施方式5中,示出从上述的实施方式4变更了栅极配线413的构成的实施方式。此外,关于与上述的实施方式4同样的结构、作用以及效果,省略重复的说明。

[0089] 如图17和图18所示,本实施方式的栅极配线413包括下层侧金属膜417,与下层侧栅极电极428是相连的。伴随于此,包括第1金属膜421的栅极电极411A经由电极间连接部429连接到下层侧栅极电极428,由此,实现了传送到栅极配线413的信号供应。电极间连接部429相对于栅极电极411A和下层侧栅极电极428的连接结构与上述的实施方式4同样,是通过在第2绝缘膜422和下层侧绝缘膜418分别开口形成的第1电极间接触孔430和第2电极间接触孔431来连接。在本实施方式中,由于栅极配线413包括下层侧金属膜417,因此,如图18所示,下层侧绝缘膜418和第2绝缘膜422介于栅极配线413与源极配线414的交叉部位之间。因而,与在如上述的实施方式4那样栅极配线包括第1金属膜421的情况下仅第2绝缘膜422介于栅极配线与源极配线414的交叉部位之间的构成相比,栅极配线413与源极配线414的交叉部位之间的距离变大,因此能减轻源极配线414的负荷,不易在对源极配线414传送的信号中产生钝化。由此,在实现高清晰化等方面是优选的。

[0090] 如以上说明的那样,根据本实施方式,具备:电极间连接部429,其包括第2金属膜423,通过在第2绝缘膜422开口形成的第1电极间接触孔430和至少在下层侧绝缘膜418及第2绝缘膜422开口形成的第2电极间接触孔431分别连接到栅极电极411A和下层侧栅极电极428;以及栅极配线413,其包括下层侧金属膜417,与下层侧栅极电极428相连。这样,由栅极配线413传送的信号供应到与栅极配线413相连的下层侧栅极电极428,并且还从下层侧栅极电极428经由电极间连接部429供应到栅极电极411A。由此,能对下层侧栅极电极428和栅极电极411A按相同的定时供应信号。栅极配线413包括下层侧金属膜417,因此,至少下层侧绝缘膜418和第2绝缘膜422会介于栅极配线413与源极配线414的交叉部位之间。因而,与在假设栅极配线包括第1金属膜421的情况下仅第2绝缘膜422介于栅极配线与源极配线414的交叉部位之间的构成相比,栅极配线413与源极配线414的交叉部位之间的距离变大,因此,能减轻源极配线414的负荷,不易在对源极配线414传送的信号中产生钝化。由此,在实现高清晰化等方面是优选的。

[0091] <其它实施方式>

[0092] 本发明不限于通过上述描述和附图所说明的实施方式,例如下面的实施方式也包含在本发明的技术范围内。

[0093] (1) 在上述的各实施方式中,示出了在低电阻化工序中进行等离子体处理作为低电阻化处理的情况,但也可以例如进行真空退火处理等作为低电阻化处理。

[0094] (2) 在上述的实施方式2中,示出了源极配线和源极分支部与辅助源极配线相比宽度较窄的情况,但源极配线和源极分支部也可以是与辅助源极配线相等的线宽。另外,源极配线和源极分支部也可以是与辅助源极配线相比宽度较宽。而且,也可以是源极配线与源极分支部的线宽不同,在该情况下,相对于辅助源极配线的、源极配线和源极分支部的线宽的大小关系也可以不同。

[0095] (3) 在上述的实施方式3中,示出了将 SiO_2 作为硅氧化物用于第2绝缘膜的情况,但除此以外也能将 SiN (氮化硅)等作为硅氧化物用于第2绝缘膜。

[0096] (4) 在上述的实施方式4、5中,示出了针对双栅结构的TFT仅连接1根栅极配线的构成,但也可以是针对双栅结构的TFT连接2根栅极配线的构成。即,也可以是电独立的2根栅极配线中的1根连接到栅极电极、另1根连接到下层侧栅极电极的构成。在该情况下,还能对栅极电极和下层侧栅极电极按不同的定时供应信号。

[0097] (5) 在上述的各实施方式中,示出了栅极配线的一部分成为栅极电极或下层侧栅极电极,而从源极配线分支而成的源极分支部连接到源极区域的构成,但也可以省略源极分支部,设为源极配线的一部分连接到源极区域,而从栅极配线分支而成的栅极分支部成为栅极电极的构成。

[0098] (6) 除了上述的各实施方式以外,还能适当地变更形成于像素电极的狭缝的个数或形状。另外,关于像素电极的外形也能适当地变更为简单的方形以外的形状等。

[0099] (7) 在上述的各实施方式中,示出了具备包括下层侧金属膜的遮光部(下层侧栅极电极)的构成,但也能省略遮光部。在该情况下,能分别省略下层侧金属膜和下层侧绝缘膜。

[0100] (8) 在上述的各实施方式中,例示了具备氧化物半导体膜作为半导体膜的阵列基板,但除此以外,例如还能将作为一种多晶硅(多结晶化的硅(多晶硅)的CG硅(Continuous Grain Silicon:连续晶粒硅))或非晶硅用作半导体膜的材料。

[0101] (9) 除了上述的各实施方式以外,还能适当地变更各金属膜、各绝缘膜等所使用的具体的材料。

[0102] (10) 在上述的各实施方式中,例示了构成动作模式被设为FFS模式的液晶面板的阵列基板,但除此以外,本发明还能应用于构成被设为IPS(In-Plane Switching:面内开关)模式或VA(Vertical Alignment:垂直取向)模式等其它动作模式的液晶面板的阵列基板。

[0103] (11) 在上述的各实施方式中,例示了构成液晶面板的阵列基板,但本发明还能应用于在其它种类的显示面板(有机EL面板、PDP(等离子体显示面板)、EPD(微胶囊型电泳方式的显示面板)、MEMS(Micro Electro Mechanical Systems:微电子机械系统)显示面板等)设置的阵列基板。

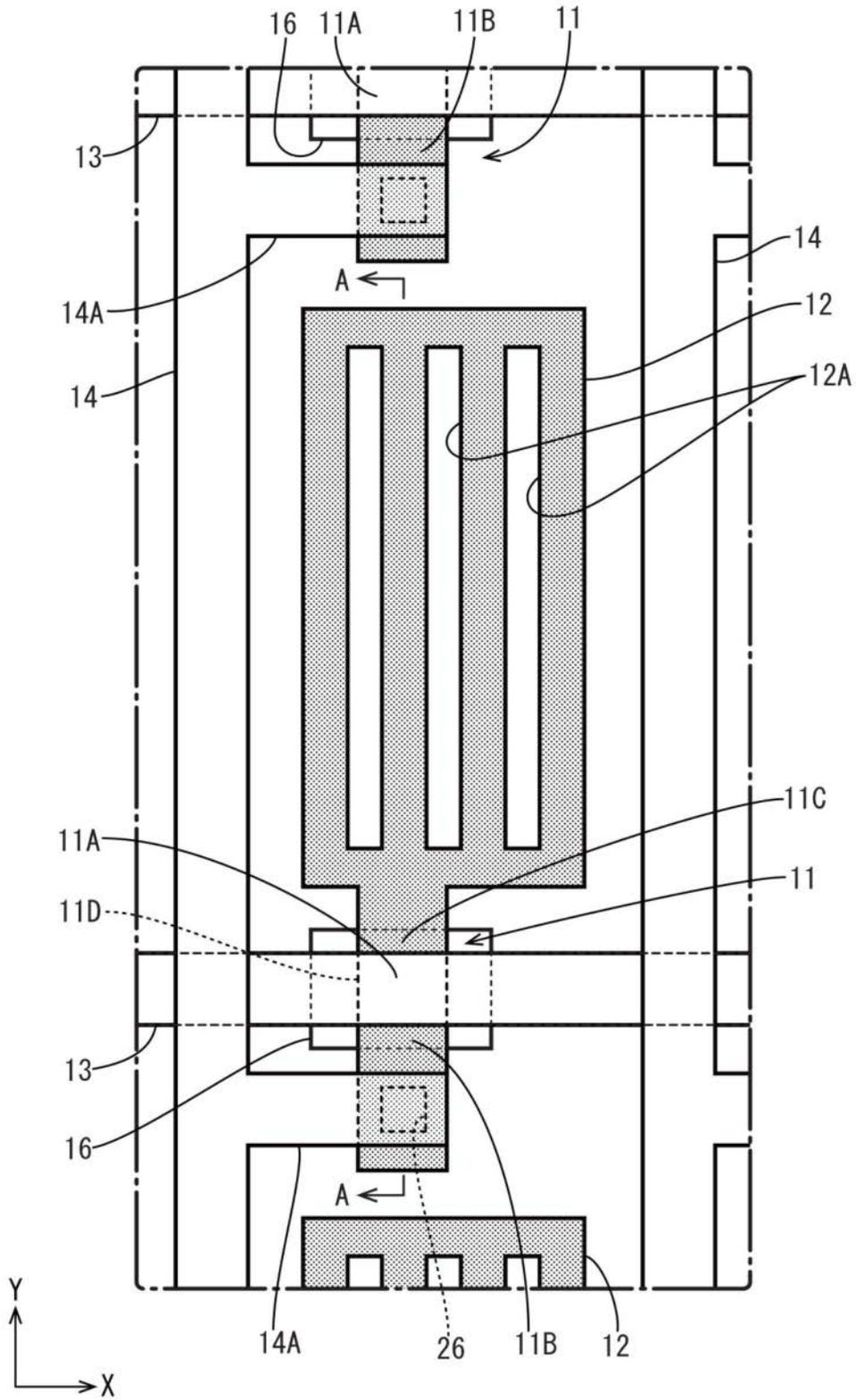


图1

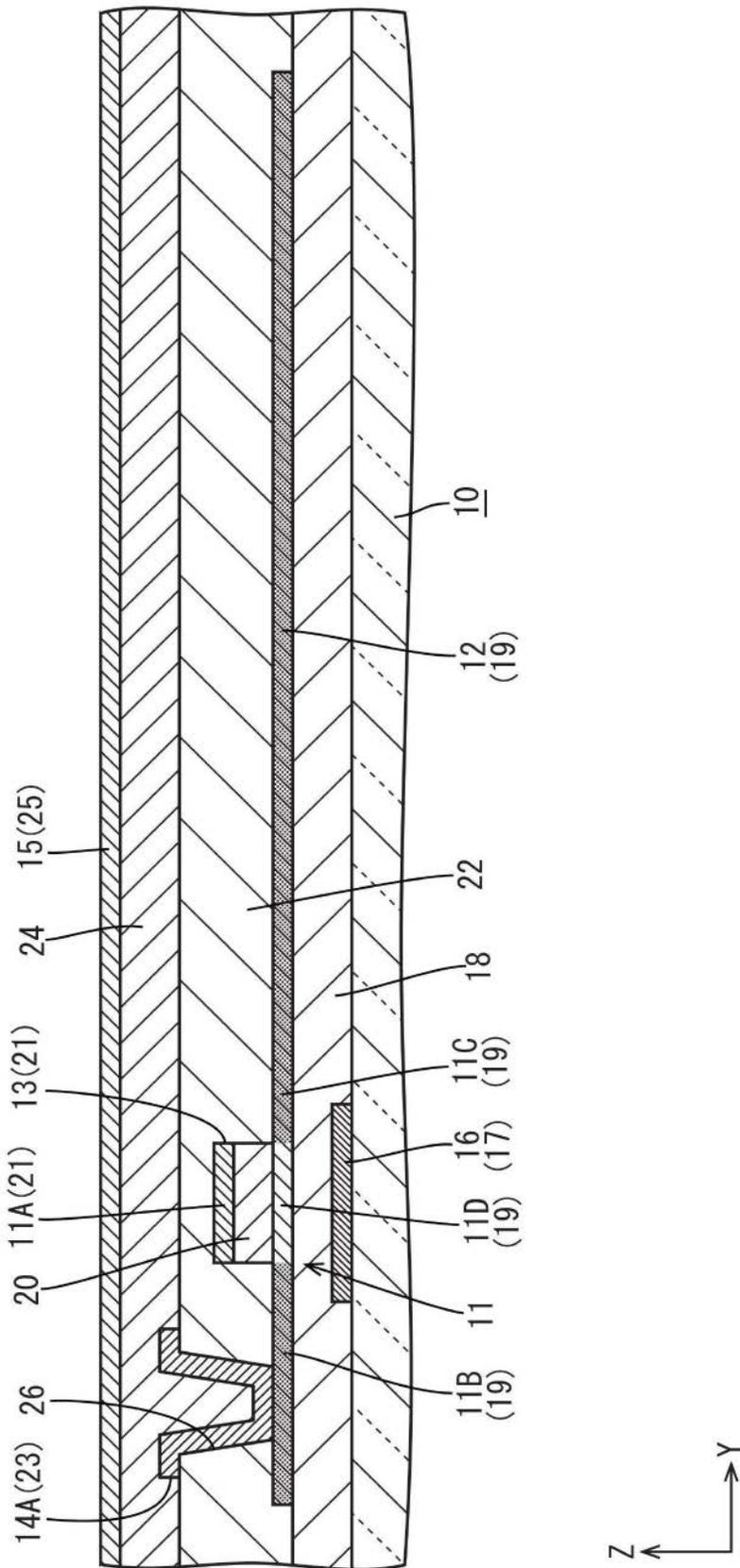


图2

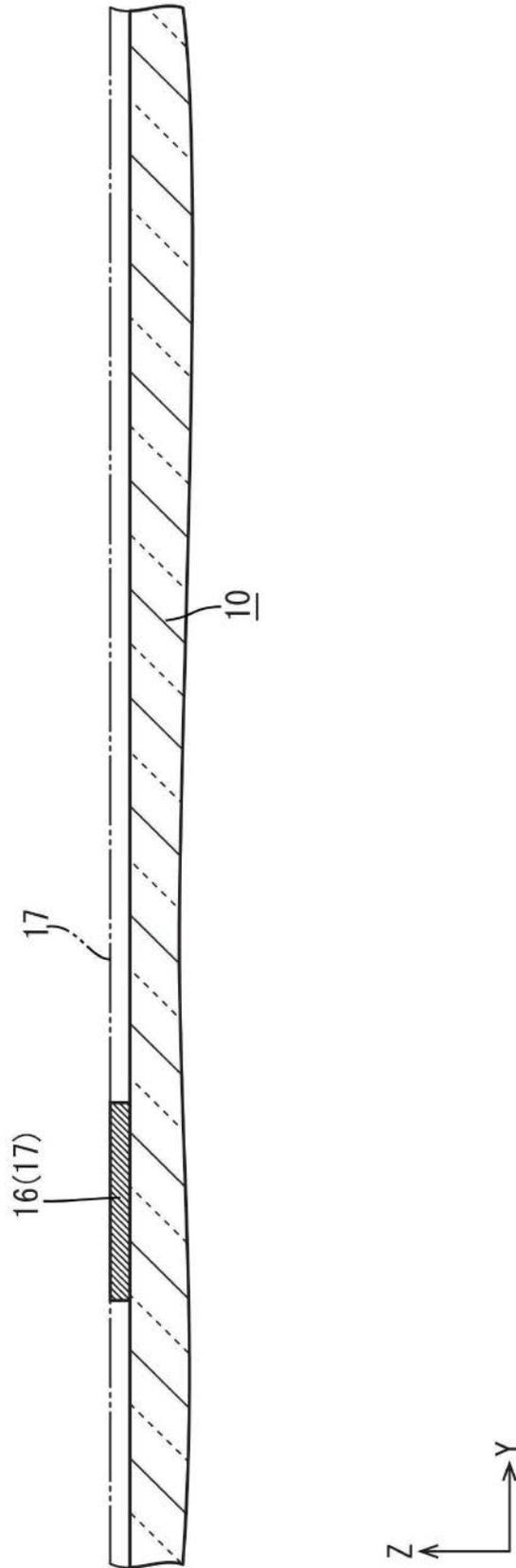


图3

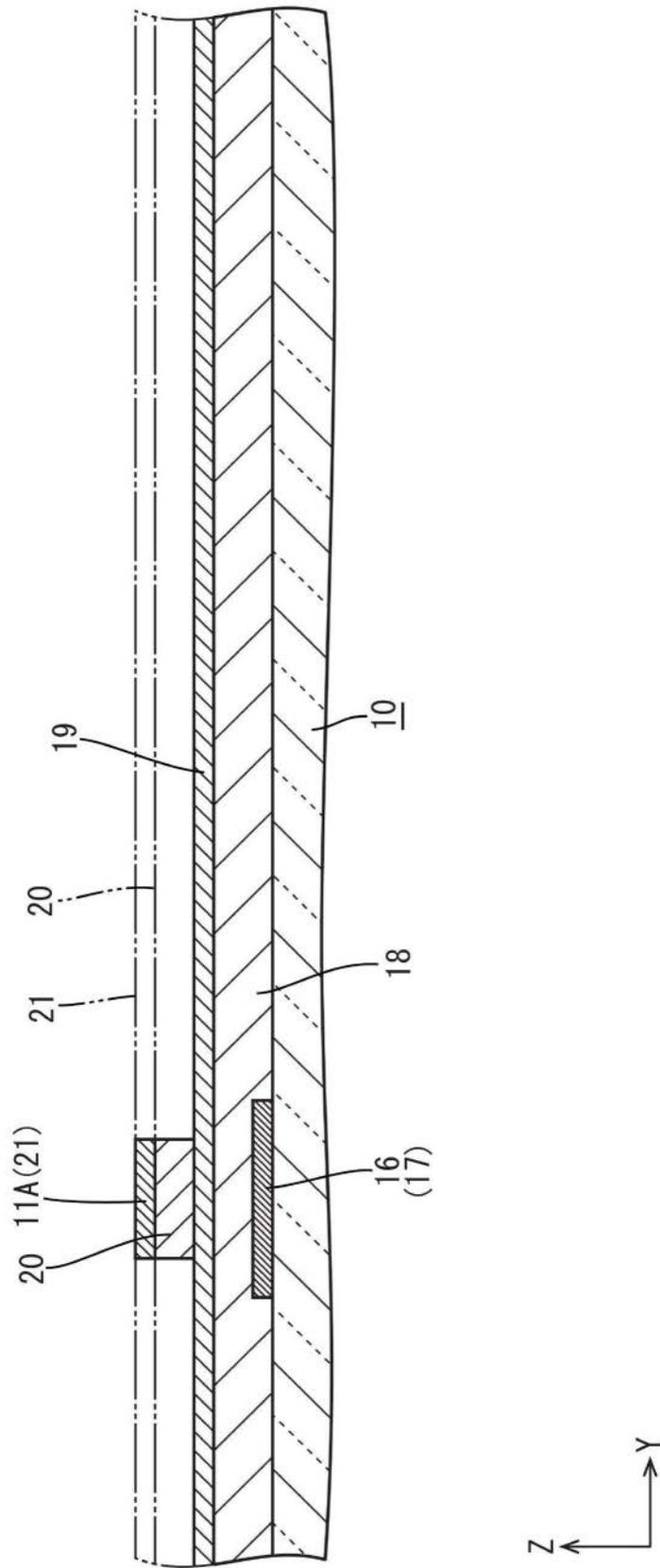


图4

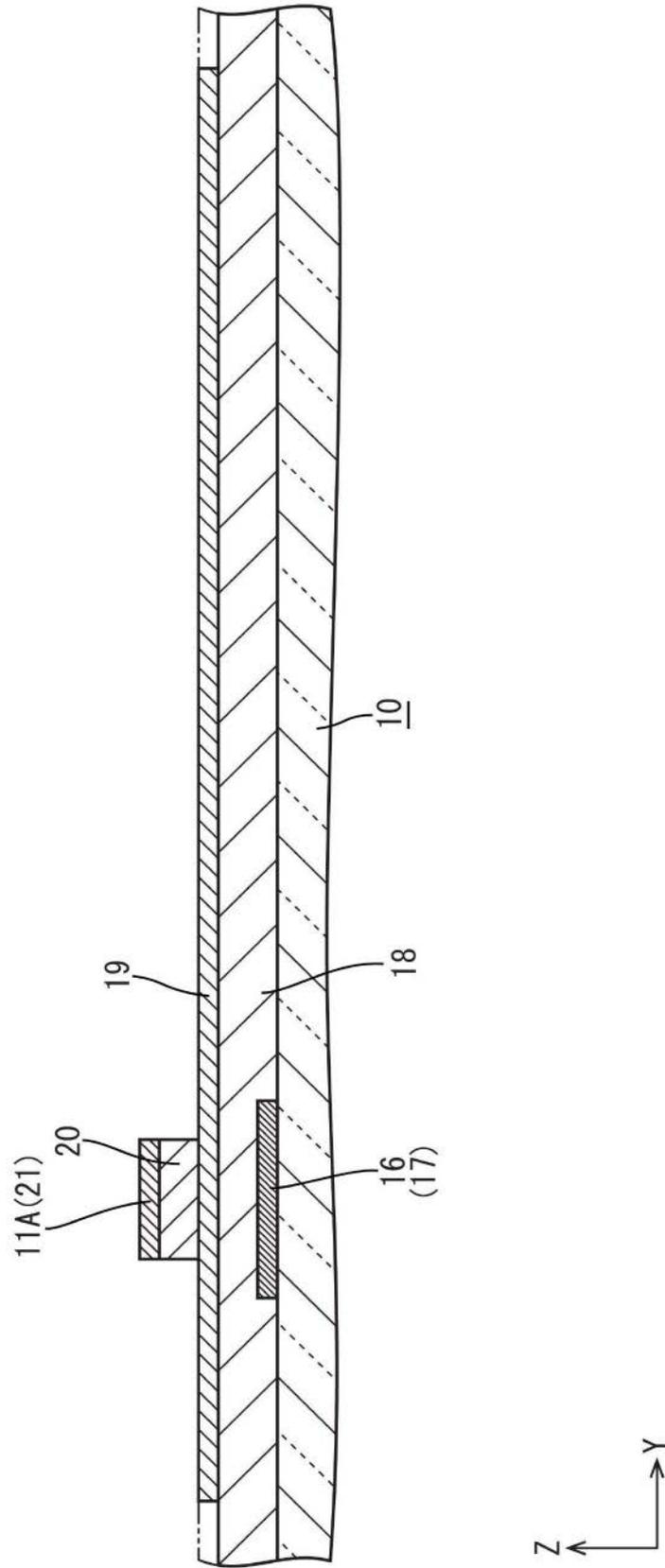


图5

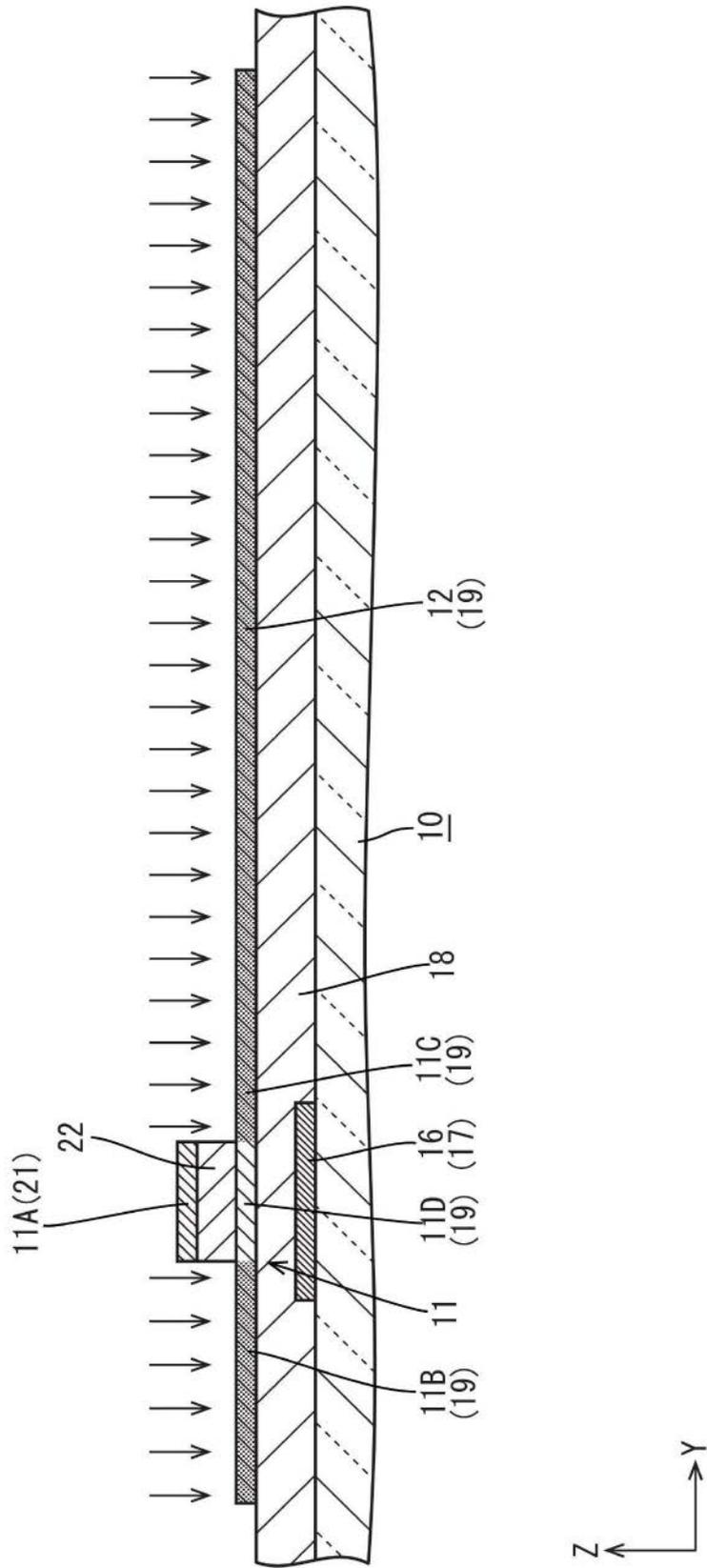


图6

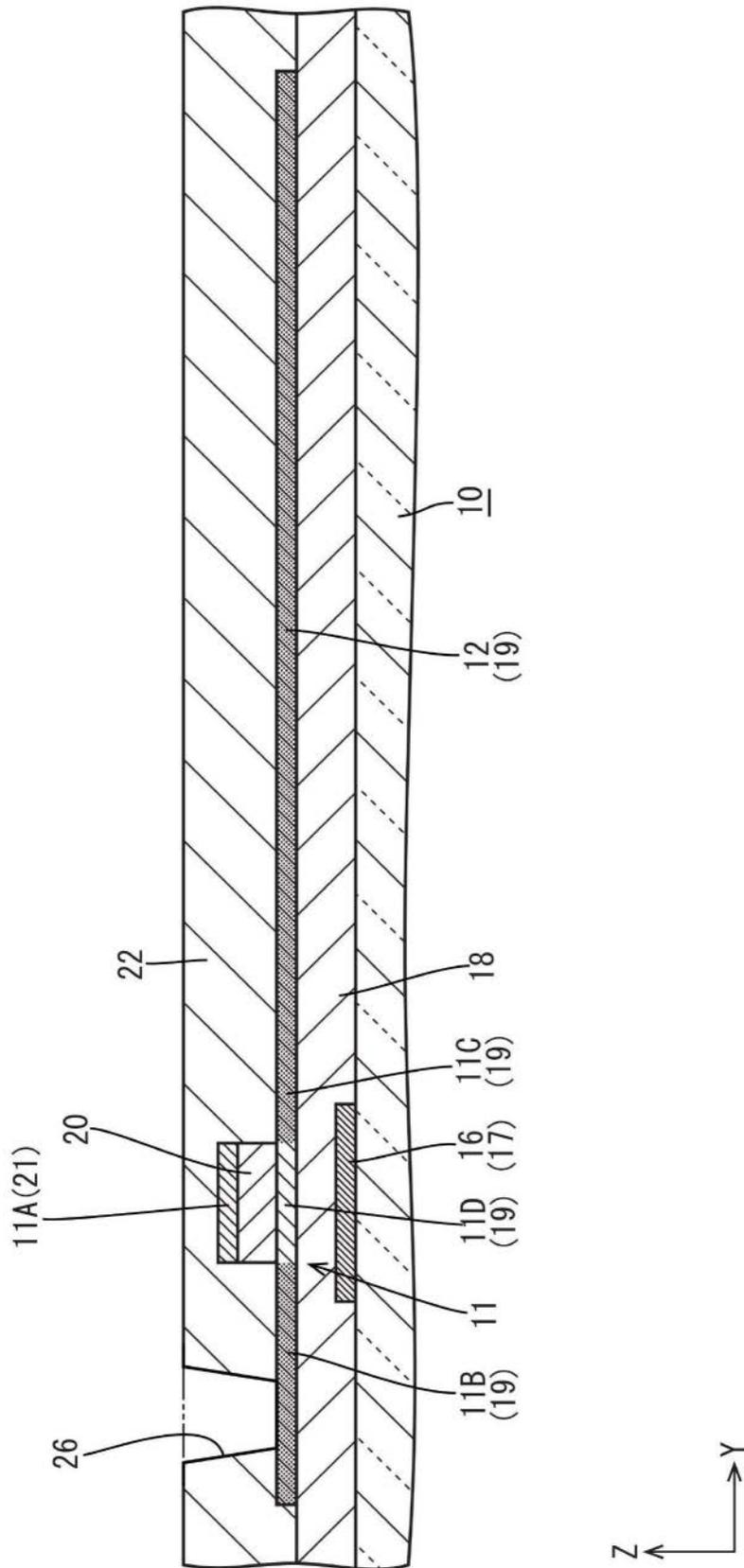


图7

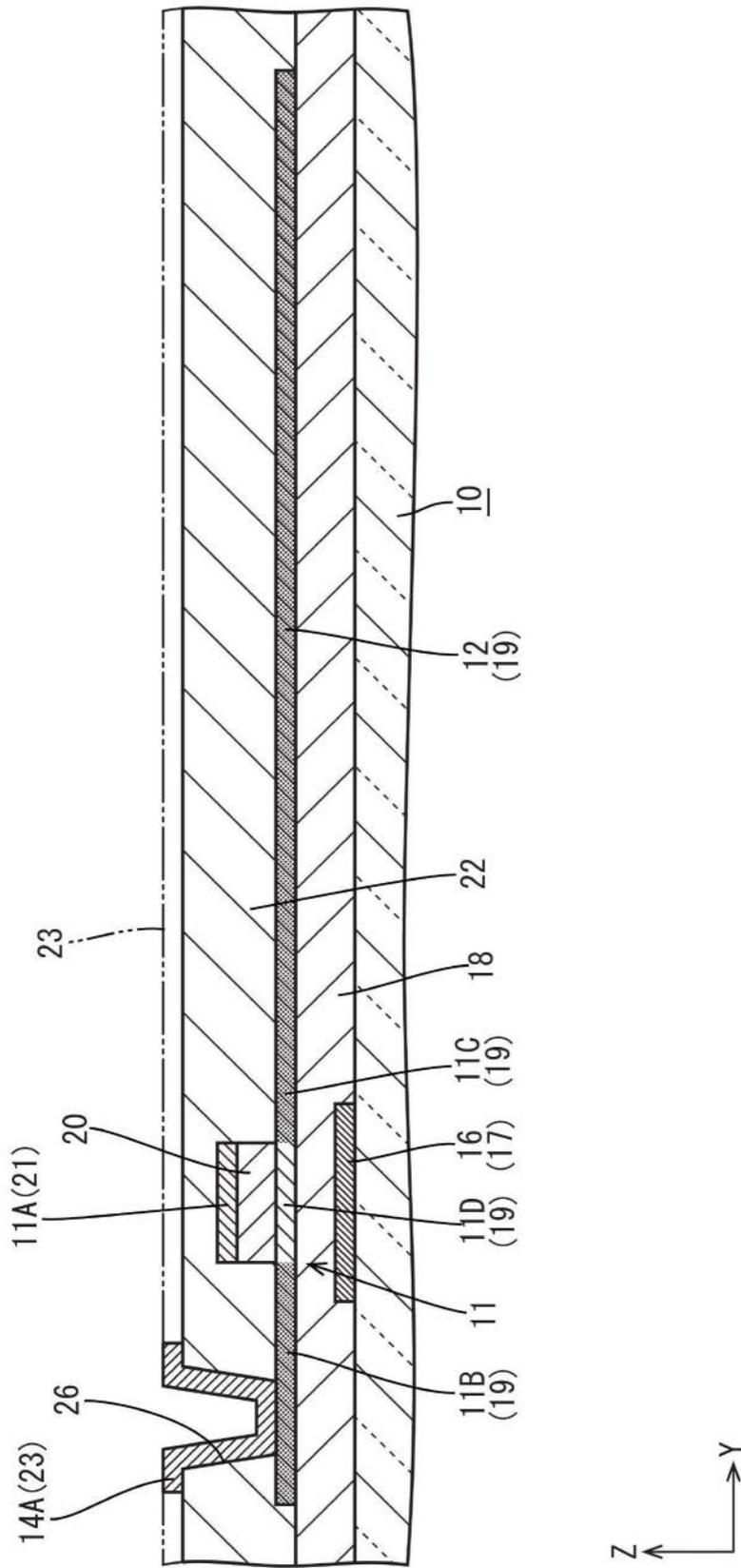


图8

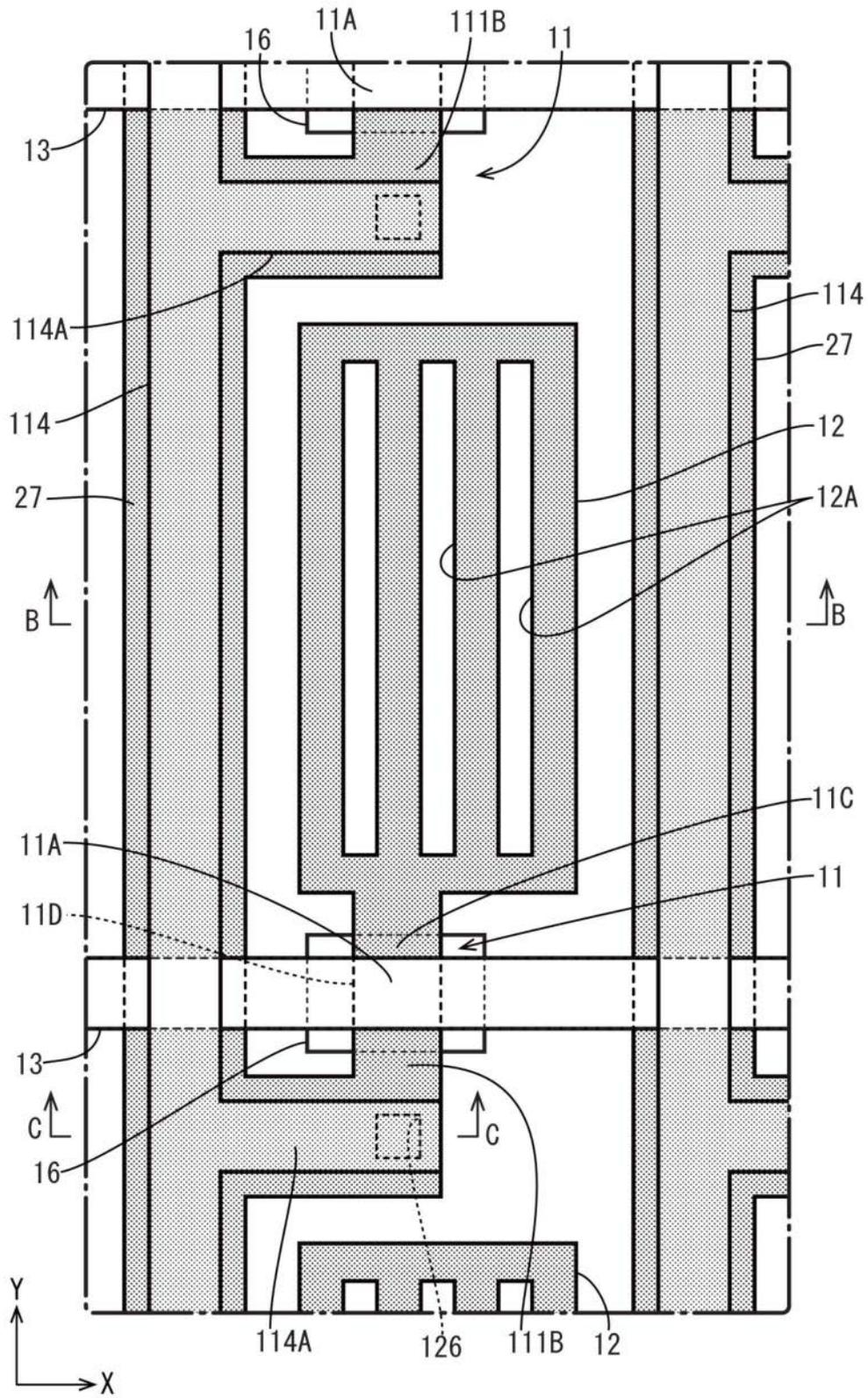


图9

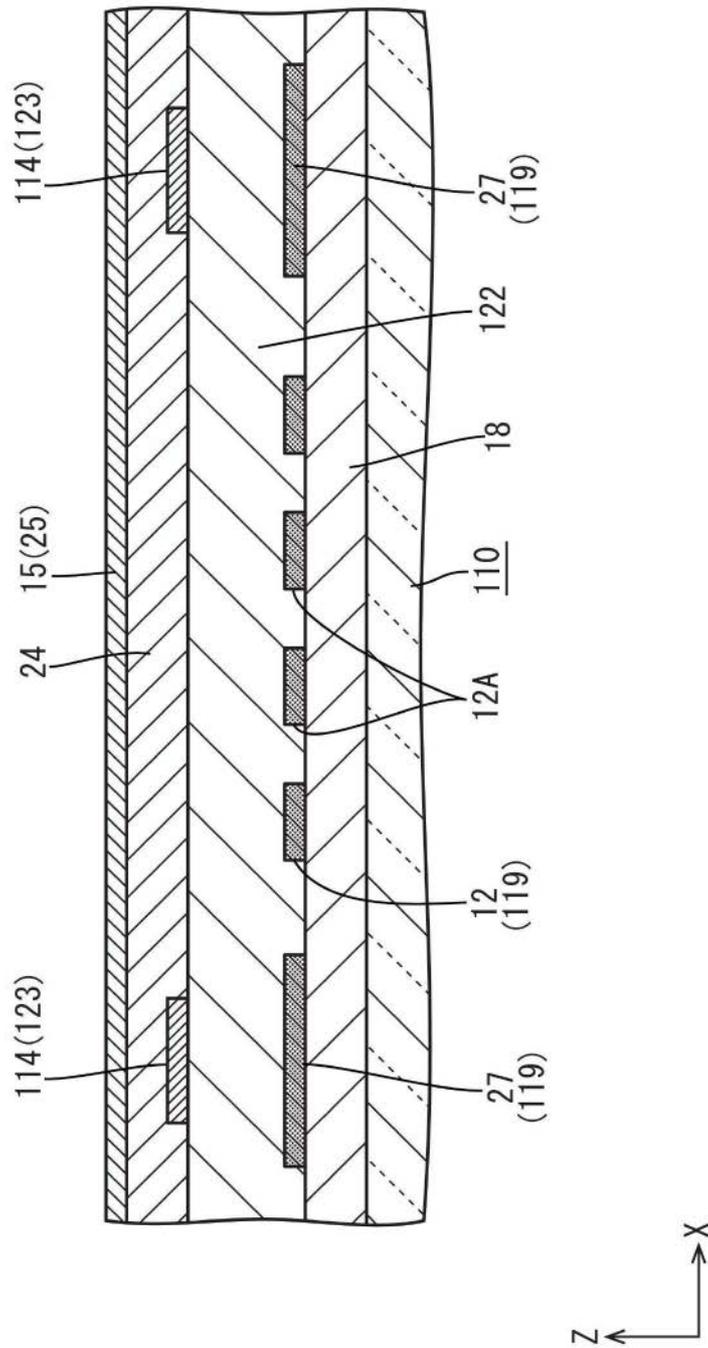


图10

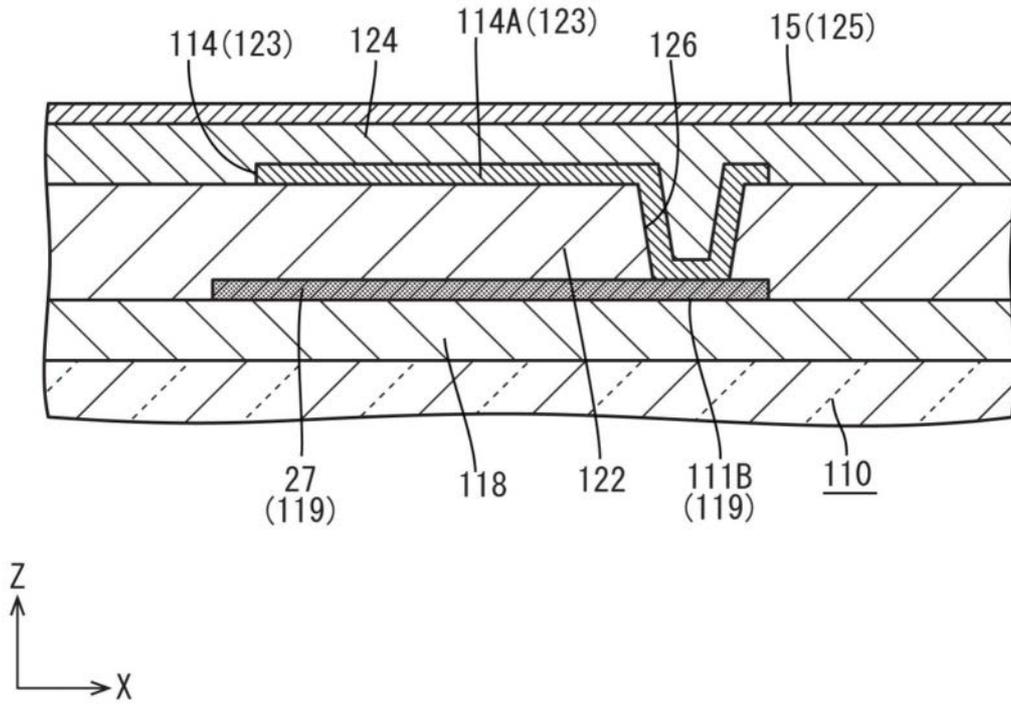


图11

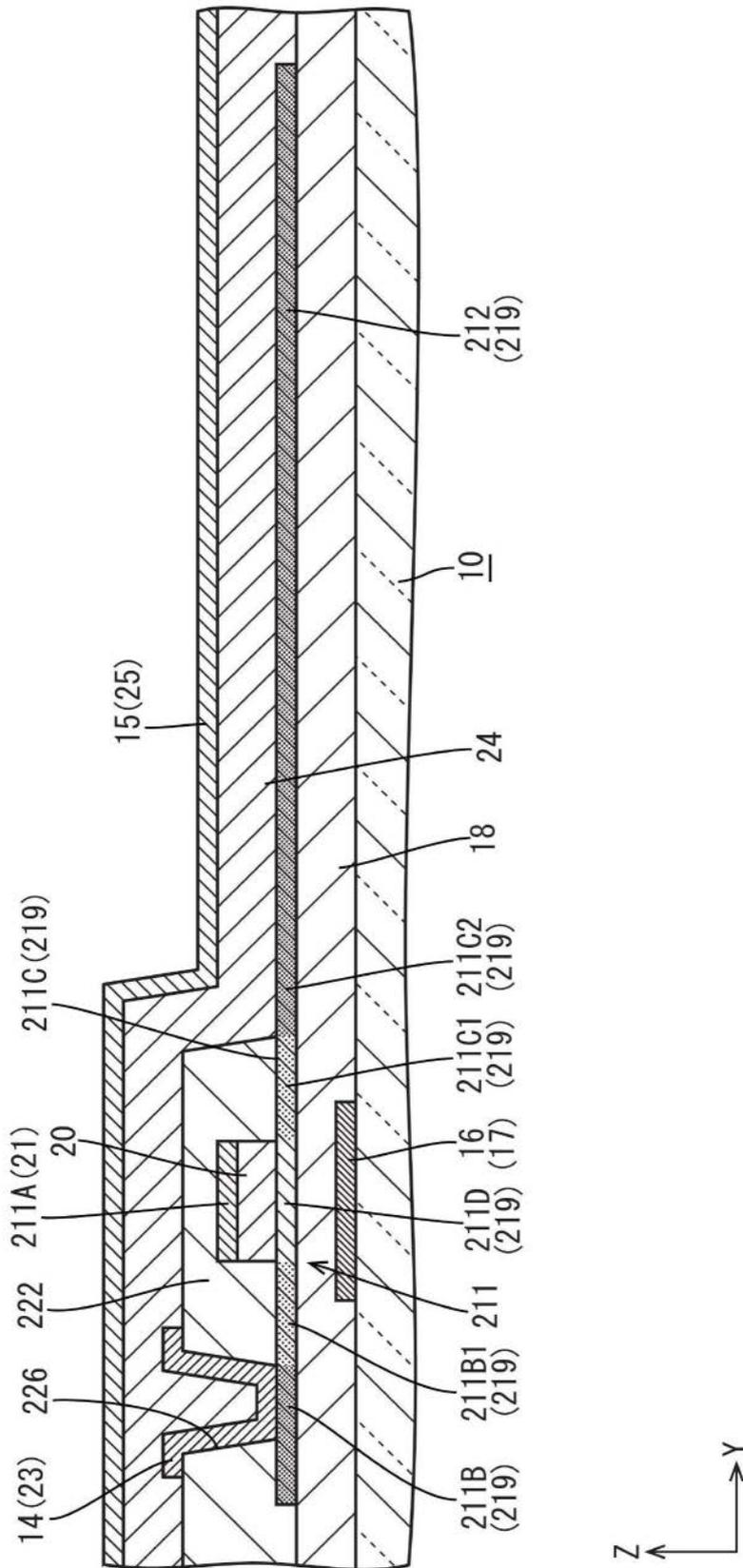


图12

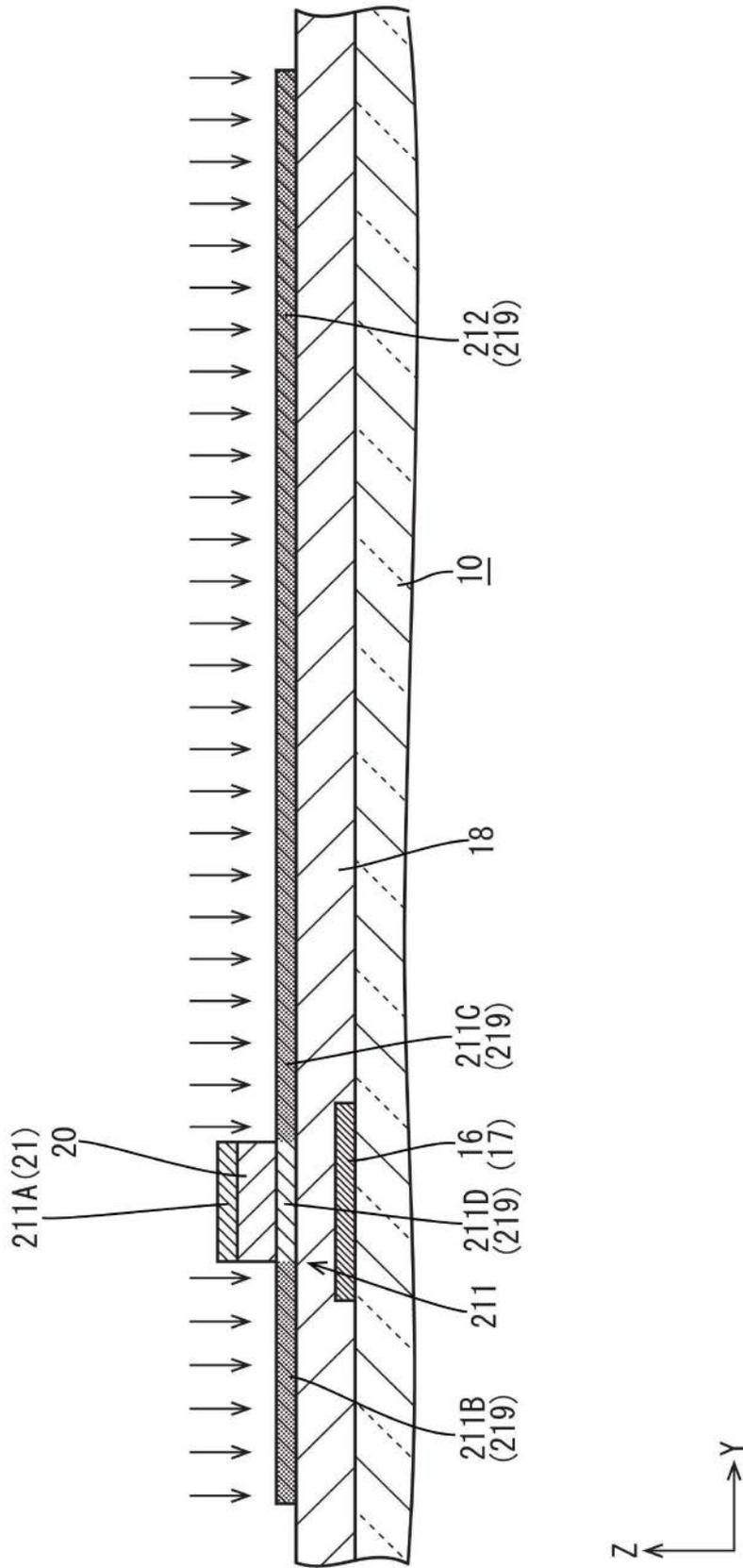


图13

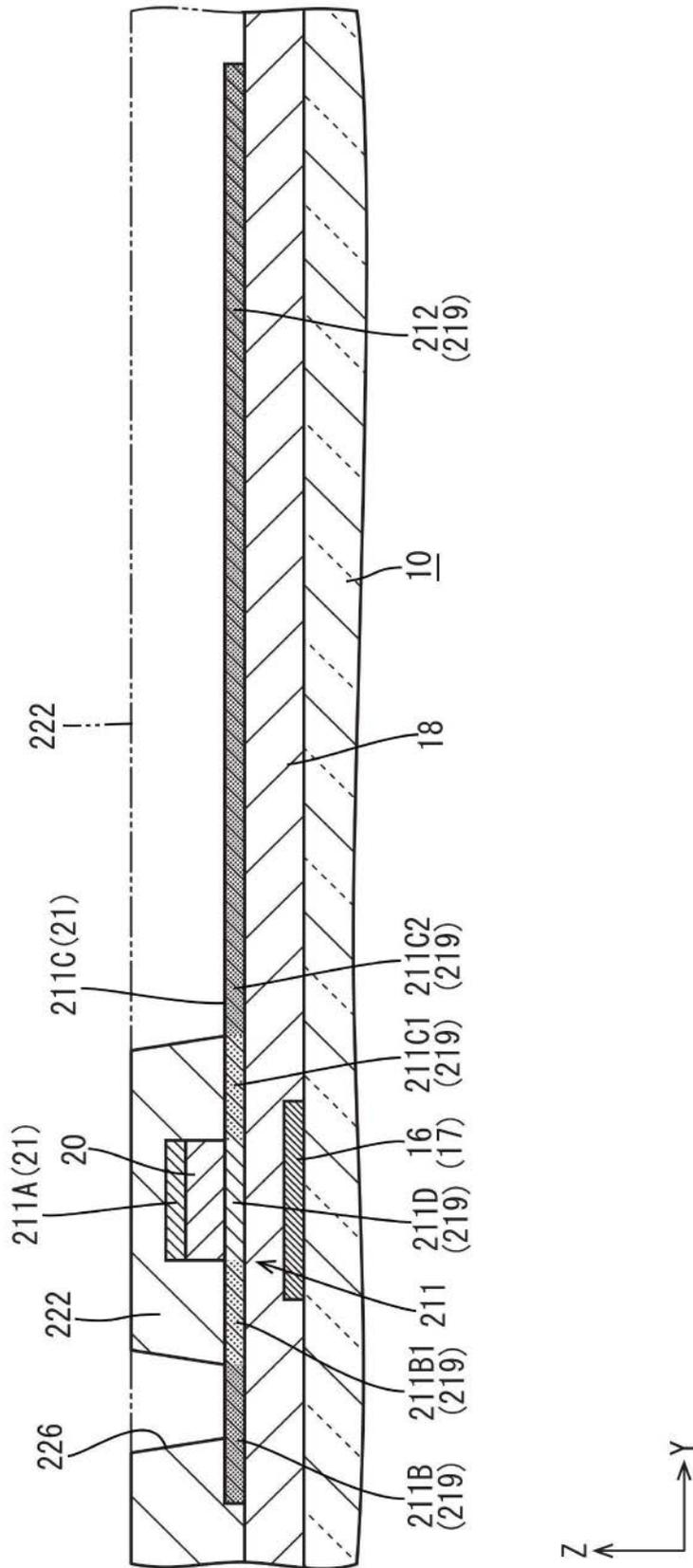


图14

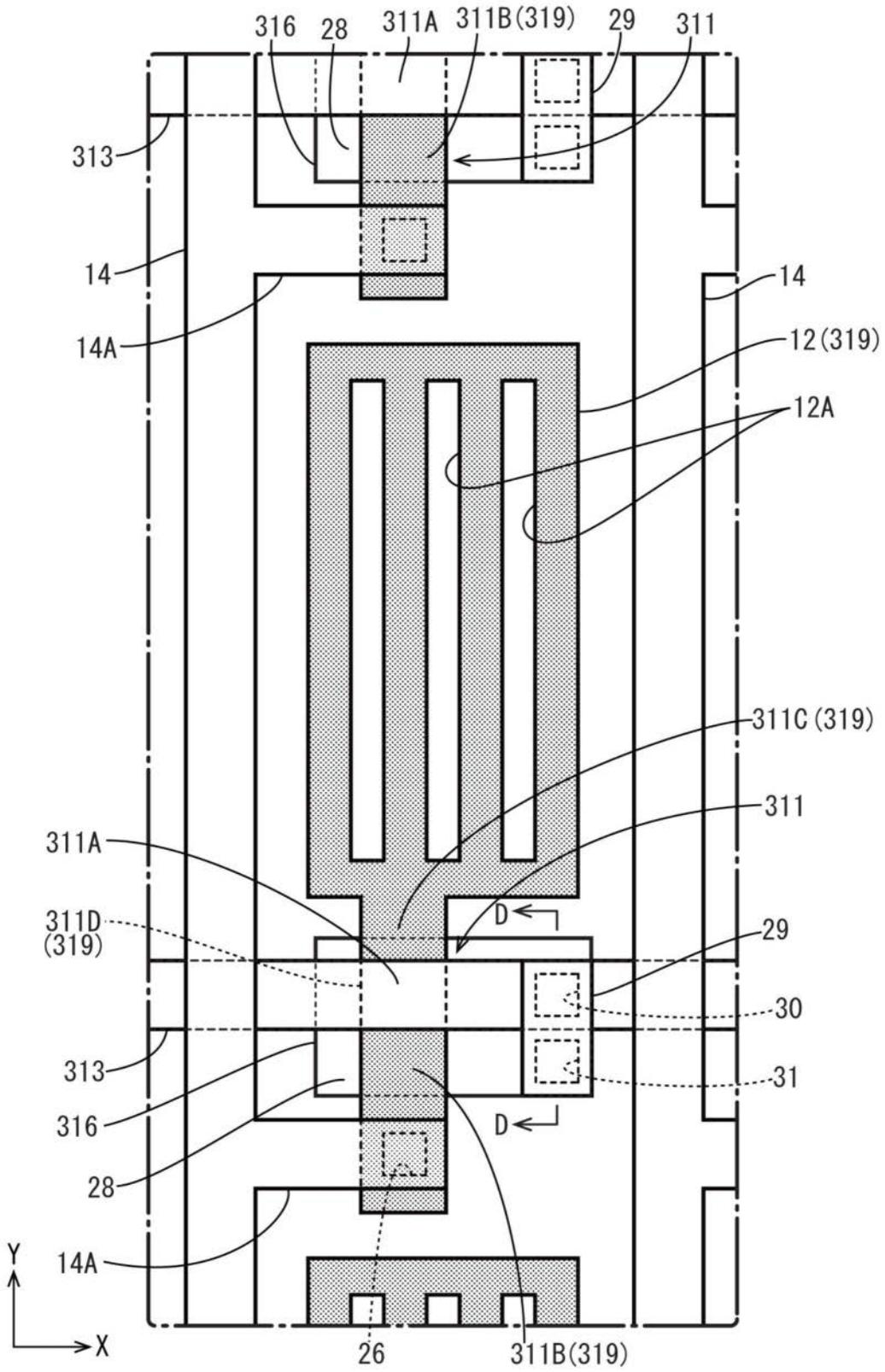


图15

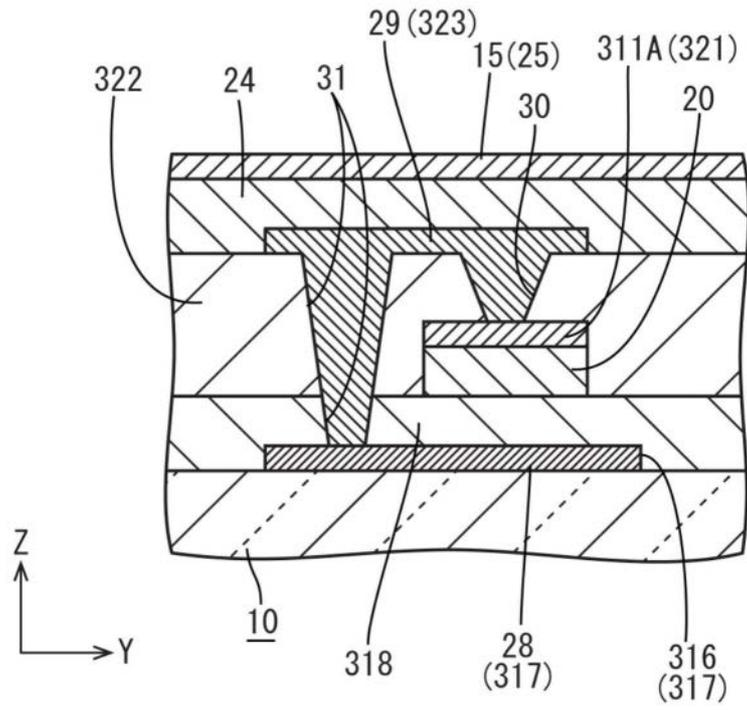


图16

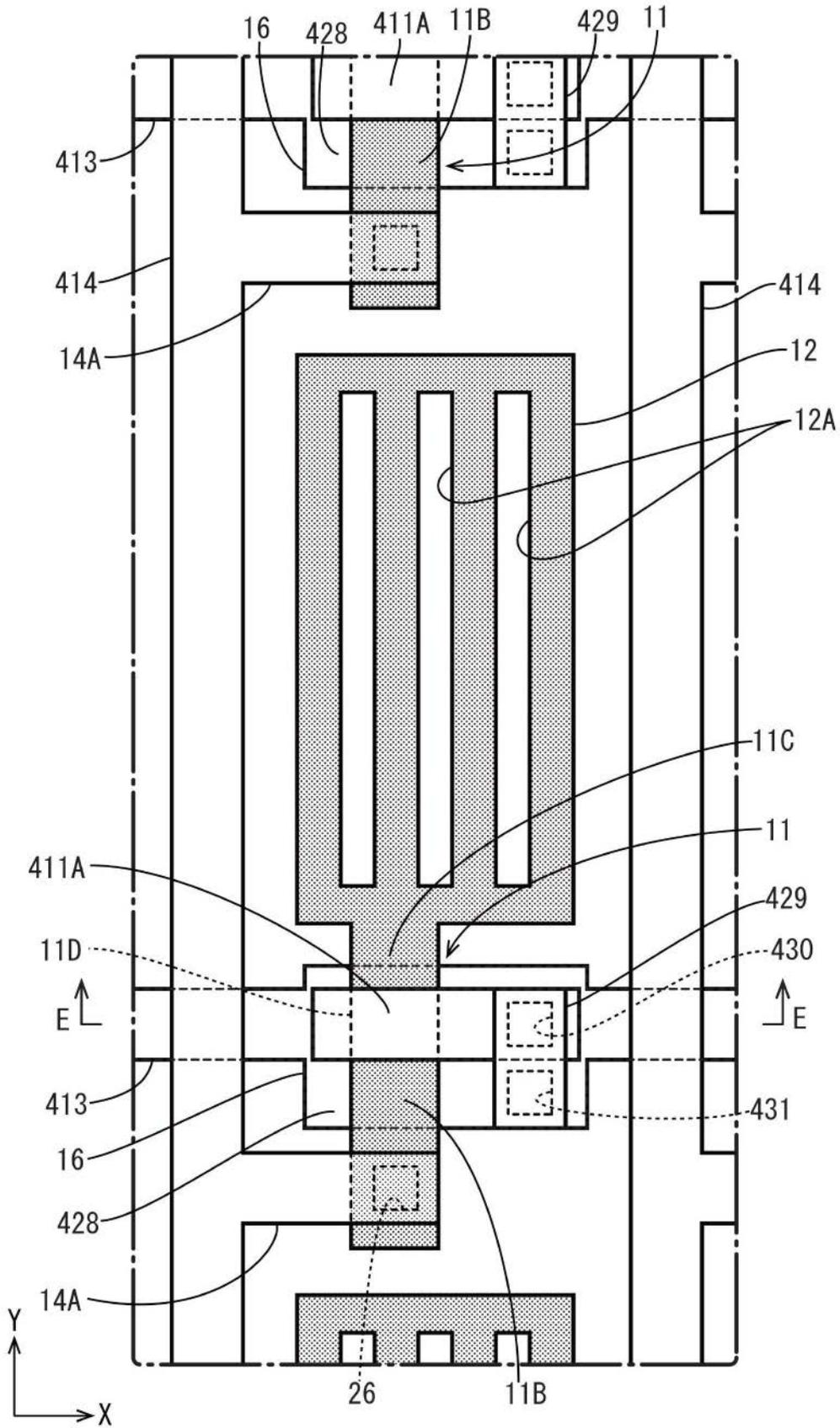


图17

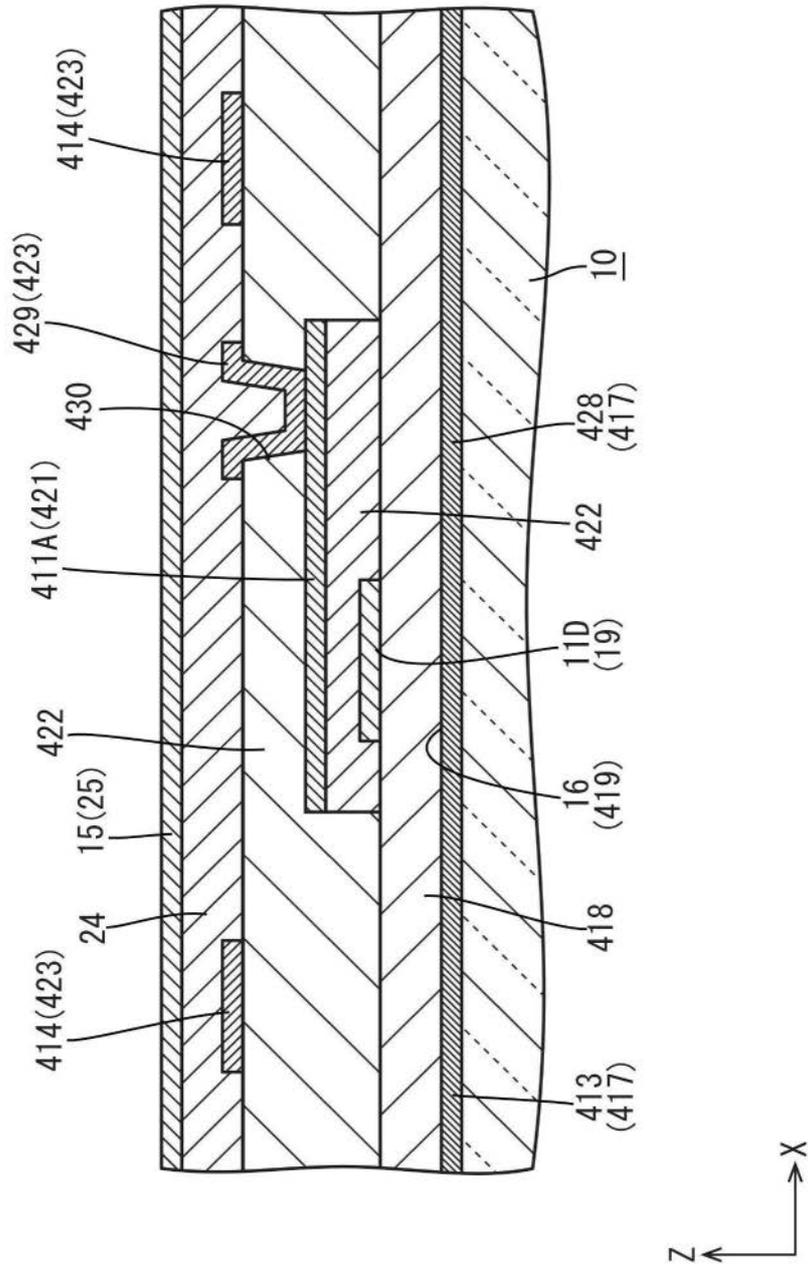


图18