



(10) **DE 10 2006 026 970 B4** 2013.01.31

(12)

## Patentschrift

(21) Aktenzeichen: **10 2006 026 970.5**  
 (22) Anmeldetag: **09.06.2006**  
 (43) Offenlegungstag: **13.12.2007**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **31.01.2013**

(51) Int Cl.: **G11C 11/4093 (2006.01)**  
**G11C 7/10 (2012.01)**  
**G11C 11/407 (2012.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Qimonda AG, 81739, München, DE**

(72) Erfinder:  
**Roewer, Falk, Dr., 85521, Ottobrunn, DE; Sichert, Christian, 81827, München, DE; Schnabel, Florian, Dr., 85635, Höhenkirchen-Siegertsbrunn, DE**

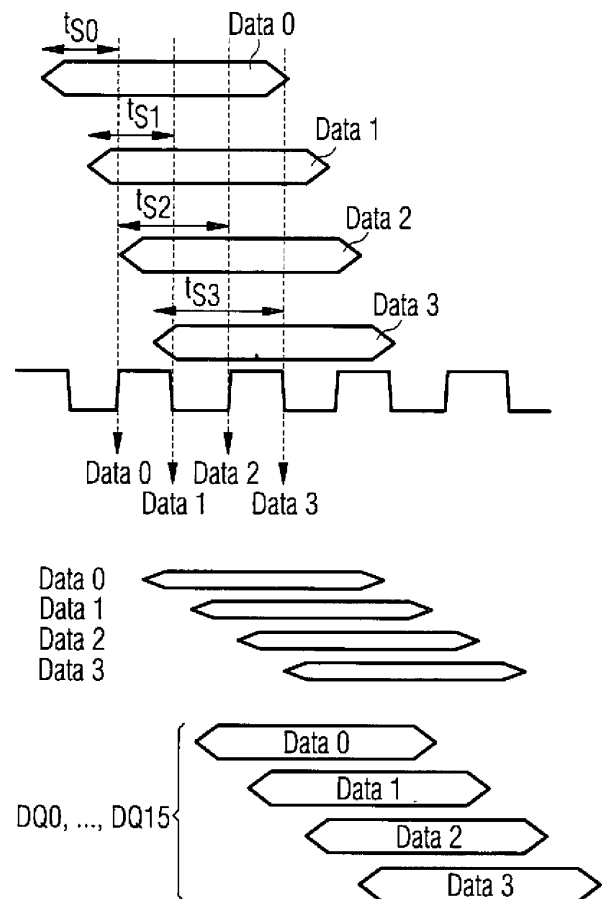
(74) Vertreter:  
**Epping Hermann Fischer,  
 Patentanwalts-gesellschaft mbH, 80339, München,  
 DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

<b>DE</b>	<b>102 23 726</b>	<b>A1</b>
<b>US</b>	<b>6 512 719</b>	<b>B2</b>

(54) Bezeichnung: **Integrierter Halbleiterspeicher mit taktgesteuertem Speicherzugriff und Verfahren zum Betreiben eines integrierten Halbleiterspeichers**

(57) Hauptanspruch: Integrierter Halbleiterspeicher mit taktgesteuertem Speicherzugriff  
 – mit mindestens einem Datenanschluss (DQ0) zur Ein-/Ausgabe eines Datums (D0),  
 – mit einem Speicherzellenfeld (100) mit Speicherzellen (0, ..., 15) zur Speicherung von Daten (D0, ..., D15),  
 – mit einer Takterzeugerschaltung (30) zur Erzeugung eines Taktsignals (CLK),  
 – mit einer Speicherschaltung (20) zur Speicherung eines Datums (D0, ..., D15),  
 – mit einer Steuerschaltung (40) zur Steuerung eines Speicherns von Daten (D0, ..., D15) in die Speicherschaltung (20) und zur Steuerung einer Ausgabe von Daten (D0, ..., D15) aus der Speicherschaltung (20),  
 – bei dem die Speicherschaltung (20) mit dem Speicherzellenfeld (100) und mit dem mindestens einen Datenanschluss (DQ0) verbunden ist,  
 – bei dem die Steuerschaltung (40) die Speicherschaltung (20) derart ansteuert, dass bei einem Schreibzugriff auf die Speicherzellen des Speicherzellenfeldes ein der Speicherschaltung (20) von dem mindestens einen Datenanschluss (DQ0) zugeführtes erstes Datum (D0) zu einer ersten...



## Beschreibung

**[0001]** Die Erfindung betrifft einen integrierten Halbleiterspeicher mit taktgesteuertem Speicherzugriff, bei dem Daten bei einem Schreib-/Lesezugriff in einer Speicherschaltung zwischengespeichert werden, bevor sie einem Speicherzellenfeld/Datenanschlüssen zugeführt werden. Des Weiteren betrifft die Erfindung ein Verfahren zum Betreiben eines integrierten Halbleiterspeichers mit taktgesteuertem Speicherzugriff, bei dem Daten bei einem Schreib-/Lesezugriff in einer Speicherschaltung zwischengespeichert werden, bevor sie einem Speicherzellenfeld/Datenanschlüssen zugeführt werden.

**[0002]** Ein integrierter Halbleiterspeicher, beispielsweise ein DRAM (Dynamit Random Access Memory)-Halbleiterspeicher umfasst im Allgemeinen mehrere Speicherzellenfelder beziehungsweise Speicherbänke, in denen Speicherzellen matrixartig entlang von Wort- und Bitleitungen angeordnet sind. Bei einem Zugriff auf eine Speicherzelle wird zunächst eine Adresse, die der Speicherzelle zugeordnet ist, an den integrierten Halbleiterspeicher angelegt. Anschließend wird mittels eines Wortleitungstreibers eine Steuerspannung auf die Wortleitung, an die die adressierte Speicherzelle angeschlossen ist, eingespeist. Dadurch wird bei einem DRAM-Speicher ein Auswahltransistor der adressierten Speicherzelle leitend gesteuert, so dass ein Speicherkondensator der Speicherzelle leitend mit der an die Speicherzelle angeschlossenen Bitleitung verbunden ist. Über die Bitleitung können in Abhängigkeit von einem Schreib- oder Lesezugriff Daten in der adressierten Speicherzelle abgespeichert beziehungsweise aus der adressierten Speicherzelle ausgelesen werden.

**[0003]** [Fig. 1](#) zeigt eine Speicherbank **100**, die in vier Bereiche Q1, Q2, Q3 und Q4 eingeteilt ist. In jedem der Bereiche befinden sich Speicherzellen, die entlang von Wort- und Bitleitungen angeordnet sind. Aus Gründen der besseren Übersicht sind die Wort- und Bitleitungen in [Fig. 1](#) nicht dargestellt.

**[0004]** Der in [Fig. 1](#) dargestellte Halbleiterspeicher weist zur Datenein- und -ausgabe 16 Datenanschlüsse DQ0, ..., DQ15 auf, die über einen Bus IB mit einer Speicherschaltung **20** verbunden sind. Bei einem Schreibzugriff werden die Daten, die an die Datenanschlüsse DQ0, ..., DQ15 angelegt worden sind, zunächst an die Speicherschaltung **20** weitergeleitet und in der Speicherschaltung **20** zwischengespeichert, bevor sie zur Speicherung in den Speicherzellen dem Speicherzellenfeld **100** zugeführt werden. Die Speicherschaltung **20** ist dazu über einen Bus IB mit den Datenanschlüssen und über einen Datenbus DB mit dem Speicherzellenfeld verbunden. Der Bus IB ist bei einem DDR (Double Data Rate) II DRAM beispielsweise als ein 16 Bit breiter paralleler Bus ausgebildet, wohingegen der Datenbus DB als ein

64 Bit breiter paralleler Bus ausgebildet ist. Ausgehend von einem in [Fig. 1](#) vertikal verlaufenden Hauptbuszweig des Datenbusses DB verzweigen sich die Leitungen des Datenbusses und führen zu Speicherzellen in den einzelnen Bereichen der Speicherbank **100**.

**[0005]** Bei einem Schreibzugriff werden beispielsweise Daten, die an den Datenanschlüssen DQ0, DQ1, DQ2 und DQ3 anliegen in Speicherzellen **0**, **1**, **2** und **3** abgespeichert, die in dem Bereich Q1 der Speicherbank **100** angeordnet sind. Daten, die an den Datenanschlüssen DQ4, DQ5, DQ6 und DQ7 anliegen, werden über den Datenbus DB in Speicherzellen **4**, **5**, **6** und **7**, die in dem Bereich Q2 angeordnet sind, gespeichert. Daten, die an den Datenanschlüssen DQ8, DQ9, DQ10 und DQ11 beziehungsweise an den Datenanschlüssen DQ12, DQ13, DQ14 und DQ15 anliegen, werden über den Datenbus in Speicherzellen **8**, **9**, **10** und **11** in dem Bereich Q3 beziehungsweise in Speicherzellen **12**, **13**, **14** und **15** in dem Bereich Q4 des Speicherzellenfeldes **100** gespeichert.

**[0006]** Bei einem Lesezugriff werden entsprechend dem Schreibzugriff Daten aus den Speicherzellen **0**, **1**, **2**, **3** im Bereich Q1 über den Datenbus DB, die Speicherschaltung **20** und den Bus IB den Datenanschlüssen DQ1, DQ2 und DQ3 zugeführt. Daten aus den Speicherzellen **4**, **5**, **6** und **7** aus dem Bereich Q2 werden den Datenanschlüssen DQ4, DQ5, DQ6 und DQ7, Daten aus den Speicherzellen **8**, **9**, **10** und **11** aus dem Bereich Q3 werden den Datenanschlüssen DQ8, DQ9, DQ10 und DQ11 und Daten, die in Speicherzellen **12**, **13**, **14** und **15** im Bereich Q4 abgespeichert worden sind, werden den Datenanschlüssen DQ12, DQ13, DQ14 und DQ15 zugeführt.

**[0007]** [Fig. 2](#) zeigt ein Zeitdiagramm von Datenströmen Data0, Data1, Data2 und Data3, die in Speicherzellen in den vier Bereichen der Speicherbank **100** abgespeichert werden. Der Datenstrom Data0 umfassen dabei Datenpakete Data0a und Data0b. Der Datenstrom Data1 umfasst die Datenpakete Data1a und Data1b. Der Datenstrom Data2 enthält die Datenpakete Data2a und Data2b und der Datenstrom Data3 umfasst die Datenpakete Data3a und Data3b. Die Datenpakete Data0a, Data1a, Data2a und Data3a umfassen jeweils Daten D0, ..., D7, die an den Datenanschlüssen DQ0, ... DQ7 anliegen. Die Datenpakete Data0b, Data1b, Data2b und Data3b umfassen Daten, die an den Datenanschlüssen DQ8, DQ15 anliegen.

**[0008]** Beim Beschreiben des Speicherzellenfeldes werden zunächst Daten D0, ..., D15 an die Datenanschlüssen DQ0, ..., DQ15 angelegt. Diese werden von an den Datenanschlüssen angeschlossenen Empfängerschaltungen R0, ..., R15 empfangen und zu einer steigenden Flanke F1 eines Taktsignals CLK auf den Bus IB eingespeist. Der Bus IB ist, wie oben er-

läutert, ein schmaler Bus mit beispielsweise 16 Leitungen, über die die Daten D0, ..., D15 als Datenpakete Data0a und Data0b zu der Speicherschaltung **20** geleitet werden.

**[0009]** Nach dem Anlegen der Datenpakete Data0a und Data0b werden nachfolgend das Datenpaket Data1a aus Daten D0, ..., D7 an die Datenanschlüsse DQ0, ..., DQ7 angelegt und das Datenpaket Data1b, das die Daten D7, ..., D15 umfasst, an die Datenanschlüsse DQ7, ..., DQ15 angelegt. Zu einer nächsten fallenden Flanke F2 des Taktsignals CLK werden diese Datenpakete über die Leitungen des Busses IB der Speicherschaltung **20** zugeführt. Ebenso werden nachfolgend die Datenpakete Data2a, Data2b und Data3a, Data3b an die Datenanschlüsse des integrierten Halbleiterspeichers angelegt und zu den Flanken F3 und F4 des Taktsignals CLK als Datenstrom Data2 und Data3 über den Bus IB der Speicherschaltung **20** zugeführt.

**[0010]** Die Datenströme Data0, Data1, Data2 und Data3, die zu unterschiedlichen Flanken über den Bus IB übertragen worden sind und somit zu unterschiedlichen Zeiten an der Speicherschaltung **20** angekommen sind, werden in der Speicherschaltung **20** zwischengespeichert und zu einer gemeinsamen Flanke des Taktsignals CLK, im Beispiel der [Fig. 2](#) der Flanke F7, auf die 64 Leitungen des Datenbusses DB ausgegeben. Das Datenpaket Data0a, das die Daten D0, ..., D7 umfasst und zur Flanke F1 des Taktsignals CLK über den Bus IB übertragen worden ist, wird in den Speicherzellen **0**, **1**, **2** und **3** im Bereich Q1 beziehungsweise in den Speicherzellen **4**, **5**, **6** und **7** im Bereich Q2 gespeichert. Die Daten D8, ..., D11 des Datenpaketes Data0b, das ebenfalls zu der Flanke F1 des Taktsignals CLK über den Bus IB übertragen worden ist, werden in den Speicherzellen **8**, **9**, **10** und **11** im Bereich Q3 und die Daten D12, ..., D15 des Datenpaketes Data0b werden in den Speicherzellen **12**, **13**, **14** und **15** im Bereich Q4 gespeichert. Entsprechend werden die übrigen Datenpakete Data1a und Data1b, die zur Flanke F2 des Taktsignals CLK aber den Bus IB zur Speicherschaltung **20** übertragen worden sind, die Datenpakete Data2a und Data2b, die zur Flanke F3 des Taktsignals CLK über den Bus IB der Speicherschaltung **20** zugeführt worden sind, und die Datenpakete Data3a und Data3b, die zur Flanke F4 des Taktsignals CLK der Speicherschaltung **20** zugeführt worden sind, in den in [Fig. 1](#) gezeigt Bereichen der Speicherbank **100** gespeichert.

**[0011]** Die Speicherschaltung **20** speist somit sämtliche Datenpakete Data0a, Data0b, ..., Data3a, Data3b zu einer gemeinsamen Flanke des Taktsignals CLK auf den Datenbus DB ein, von dem aus sie in den entsprechenden Bereichen des Speicherzellenfeldes **100** gespeichert werden. Die Übertragung der Datenpakete über den Datenbus DB erfolgt asynchron.

**[0012]** Bei einem Schreibvorgang auf das Speicherzellenfeld **100** werden die Speicherzellen, die in der Nähe des zugehörigen Wortleitungstreibers WT angeordnet sind, am Ende eines Schreibvorgangs als erste gesperrt, da die Änderung der Steuerspannung auf der Wortleitung in der Nähe des jeweiligen Wortleitungstreibers zuerst wirksam wird. Da die Datenpakete Data0a, Data0b, ..., Data3a, Data3b gemeinsam auf den Datenbus DB eingespeist werden, tritt das Problem auf, dass Speicherzellen, die in der Nähe des jeweiligen Wortleitungstreibers liegen, sich bei einem Schreibvorgang zeitkritisch verhalten, wenn die ihnen zugeführten Daten noch nicht vollständig gespeichert sind und die Auswahltransistoren dieser Speicherzellen durch die wirksam werdende Änderung der Steuerspannung auf der Wortleitung wieder gesperrt werden.

**[0013]** [Fig. 3](#) zeigt einen Lesezugriff auf die Speicherzellen des Speicherzellenfeldes **100**. Bei einem Lesezugriff werden an den Datenanschlüssen DQ0, ..., DQ15 Daten ausgegeben, die aus Speicherzellen **0**, ..., **3** des Bereiches Q1, Speicherzellen **4**, ..., **7** des Bereiches Q2, Speicherzellen **8**, **11** des Bereiches Q3 und Speicherzellen **12**, ..., **15** des Bereiches Q4 ausgelesen worden sind. Nach dem Aktivieren einer gemeinsamen Wortleitung in den Bereichen Q1 und Q3 und einer gemeinsamen Wortleitung in den Bereichen Q2 und Q4 liegen als erstes die Daten des Datenpaketes Data0a aus den Speicherzellen **0**, ..., **3** des Bereiches Q1 und aus den Speicherzellen **4**, ..., **7** des Bereiches Q2 sowie das Datenpaket Data1a mit Daten, die in den Speicherzellen **0**, ..., **3** des Bereiches Q1 und in den Speicherzellen **4**, ..., **7** des Bereiches Q2 gespeichert worden sind, an der Speicherschaltung **20** an. Nachfolgend liegen die Datenpakete Data2a und Data3a, die ebenfalls in den Speicherbereichen Q1 und Q2 gespeichert worden sind, an der Speicherschaltung **20** an. Zuletzt treffen die Datenpakete Data0b, Data1b und Data2b, Data3b, die in Speicherbereichen abgespeichert sind, die von der Speicherschaltung **20** weiter entfernt liegen, an der Speicherschaltung **20** ein.

**[0014]** Die anliegenden Daten, im Beispiel der [Fig. 1](#) und [Fig. 3](#) insgesamt 64 Daten auf dem 64 Bit breiten Datenbus DB, werden zu einer gemeinsamen Flanke F3 des Taktsignals CLK in der Speicherschaltung **20** gespeichert. Die Daten werden anschließend nacheinander sequentiell auf den 16 Bit breiten Bus IB als Datenströme Data0, ..., Data3 ausgegeben und erscheinen zeitlich versetzt zu den Flanken F4, F5, F6 und F7 an den Datenanschlüssen DQ0, ..., DQ15.

**[0015]** Wie aus [Fig. 3](#) ersichtlich ist, liegen die Datenpakete, die aus dem Speicherzellenfeld ausgelesen werden, unterschiedlich lange an der Speicherschaltung **20** an, bevor sie in der Speicherschaltung **20** zwischengespeichert werden. Die Datenpakete Data0a, Data1a, die am frühesten an der Speicher-

schaltung **20** eintreffen, liegen am längsten mit einer Setup-Zeit  $t_{s0}$  an der Speicherschaltung **20** an. Die Datenpakete Data2a, Data3a liegen mit einer Setup-Zeit  $t_{s1}$ , die Datenpakete Data0b, Data1b liegen mit einer Setup-Zeit  $t_{s2}$  und die aufgrund des langen Datenpfades an der Speicherschaltung **20** zuletzt eintreffenden Daten Data2b, Data3b liegen mit einer relativ kurzen Setup-Zeit  $t_{s3}$  an der Speicherschaltung **20** an, bevor sie in der Speicherschaltung **20** zwischengespeichert werden.

**[0016]** Ein Auslesevorgang, wie in [Fig. 3](#) gezeigt, hat den Nachteil, dass Daten, die bereits frühzeitig an der Speicherschaltung **20** anliegen, erst zwischengespeichert werden, wenn die Daten aus den übrigen Bereichen des Speicherzellenfeldes und somit auch Datenpakete, die wesentlich später an der Speicherschaltung **20** eintreffen, anliegen. Dies bedingt für einen Auslesevorgang eine große Latenzzeit.

**[0017]** Die Druckschrift DE 10223726 A1 betrifft einen integrierten Speicher in Prefetch-Architektur, bei dem Daten mit unterschiedlicher Signallaufzeit aus einem Speicherzellenfeld ausgelesen werden und einem Anschlussfeld zur Ausgabe der Daten zugeführt werden.

**[0018]** Die Druckschrift US 6,512,719 B2 betrifft einen Halbleiterspeicher, bei dem Daten aus einem Speicherzellenfeld ausgelesen und vor der Ausgabe in einer Verstärkerschaltung verstärkt und mit unterschiedlichen Verzögerungszeiten ausgegeben werden.

**[0019]** Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Halbleiterspeicher mit taktgesteuertem Speicherzugriff anzugeben, bei dem ein Schreibzugriff möglichst zuverlässig durchführbar ist. Eine weitere Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zum Betreiben eines integrierten Halbleiterspeichers mit taktgesteuertem Speicherzugriff anzugeben, bei dem das Einschreiben von Daten in Speicherzellen möglichst zuverlässig durchführbar ist.

**[0020]** Die Aufgabe in Bezug auf den integrierten Halbleiterspeicher wird gelöst durch einen integrierten Halbleiterspeicher mit taktgesteuertem Speicherzugriff mit mindestens einem Datenanschluss zur Ein-/Ausgabe eines Datums, mit einem Speicherzellenfeld mit Speicherzellen zur Speicherung von Daten, mit einer Takterzeugerschaltung zur Erzeugung eines Taktsignals, mit einer Speicherschaltung zur Speicherung eines Datums und mit einer Steuerschaltung zur Steuerung eines Speicherns von Daten in die Speicherschaltung und zur Steuerung einer Ausgabe von Daten aus der Speicherschaltung. Die Speicherschaltung ist dabei mit dem Speicherzellenfeld und mit dem mindestens einen Datenanschluss verbunden. Die Steuerschaltung steuert die Spei-

cherschaltung derart an, dass bei einem Schreibzugriff auf die Speicherzellen des Speicherzellenfeldes ein der Speicherschaltung von dem mindestens einen Datenanschluss zugeführtes erstes Datum zu einer ersten Flanke des Taktsignals und ein der Speicherschaltung von dem mindestens einen Datenanschluss nachfolgend zugeführtes zweites Datum zu einer der ersten Flanke nachfolgenden zweiten Flanke des Taktsignals in der Speicherschaltung zwischengespeichert wird. Des Weiteren steuert die Steuerschaltung die Speicherschaltung derart an, dass bei dem Schreibzugriff das zwischengespeicherte erste Datum zu einer der ersten Flanke nachfolgenden dritten Flanke des Taktsignals aus der Speicherschaltung ausgegeben und dem Speicherzellenfeld zugeführt wird und das zwischengespeicherte zweite Datum zu einer vierten Flanke des Taktsignals aus der Speicherschaltung ausgegeben und dem Speicherzellenfeld zugeführt wird, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist.

**[0021]** Bei einer Weiterbildung des integrierten Halbleiterspeichers steuert die Steuerschaltung die Speicherschaltung derart an, dass bei einem Lesezugriff auf die Speicherzellen des Speicherzellenfeldes das der Speicherschaltung von dem Speicherzellenfeld zugeführte erste Datum zu einer ersten Flanke des Taktsignals und das der Speicherschaltung nachfolgend zugeführte zweite Datum zu einer der ersten Flanke nachfolgenden zweiten Flanke des Taktsignals in der Speicherschaltung zwischengespeichert wird.

**[0022]** Des Weiteren steuert die Steuerschaltung die Speicherschaltung derart an, dass bei dem Lesezugriff das zwischengespeicherte erste Datum zu einer der ersten Flanke nachfolgenden dritten Flanke des Taktsignals aus der Speicherschaltung ausgegeben und dem mindestens einen Datenanschluss zugeführt wird und das zwischengespeicherte zweite Datum zu einer vierten Flanke des Taktsignals aus der Speicherschaltung ausgegeben und dem mindestens einen Datenanschluss zugeführt wird, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist.

**[0023]** Bei einer anderen Ausführungsform des integrierten Halbleiterspeichers umfasst das Speicherzellenfeld eine erste der Speicherzellen und eine zweite der Speicherzellen, wobei die erste der Speicherzellen in einem ersten Bereich des Speicherzellenfeldes angeordnet ist und die zweite der Speicherzellen in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung liegt als der zweite Bereich.

**[0024]** Bei einer anderen Ausgestaltungsform des integrierten Halbleiterspeichers wird bei dem Schreibzugriff das erste Datum in der ersten der

Speicherzellen und das zweite Datum in der zweiten der Speicherzellen gespeichert. Es ist auch möglich, dass bei dem Speicherzugriff das erste Datum in der zweiten der Speicherzellen und das zweite Datum in der ersten der Speicherzellen gespeichert wird. In einer bevorzugten Ausführungsform wird bei dem Lesezugriff das erste Datum aus der ersten der Speicherzellen und das zweite Datum aus der zweiten der Speicherzellen ausgelesen.

**[0025]** Im Folgenden wird ein Verfahren zum Betreiben des integrierten Halbleiterspeichers beschrieben. Das Verfahren sieht das Bereitstellen eines integrierten Halbleiterspeichers mit mindestens einem Datenanschluss zur Ein-/Ausgabe eines Datums, mit einem Speicherzellenfeld mit Speicherzellen zur Speicherung von Daten und mit einer Speicherschaltung zur Speicherung eines Datums vor. Ein erstes Datum wird an den Datenanschluss zum Einschreiben in eine der Speicherzellen des Speicherzellenfeldes angelegt. Nachfolgend wird ein zweites Datum an den Datenanschluss zum Einschreiben in eine der Speicherzellen des Speicherzellenfeldes angelegt. Das erste und das zweite Datum werden der Speicherschaltung zugeführt, wobei das erste Datum der Speicherschaltung vor dem zweiten Datum zugeführt wird. Das erste Datum wird in der Speicherschaltung zu einer ersten Flanke eines Taktsignals gespeichert. Das zweite Datum wird in der Speicherschaltung zu einer der ersten Flanke nachfolgenden zweiten Flanke des Taktsignals gespeichert. Das erste Datum wird aus der Speicherschaltung zu einer der ersten Flanke des Taktsignals nachfolgenden dritten Flanke ausgegeben. Das erste Datum wird dem Speicherzellenfeld zum Einschreiben in eine der Speicherzellen zugeführt. Das zweite Datum wird aus der Speicherschaltung zu einer vierten Flanke des Taktsignals ausgegeben, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist. Das zweite Datum wird dem Speicherzellenfeld zum Einschreiben in eine der Speicherzellen des Speicherzellenfeldes zugeführt.

**[0026]** Bei einer anderen Ausführungsform des Verfahrens wird das erste Datum aus einer der Speicherzellen ausgelesen und der Speicherschaltung zugeführt. Nachfolgend wird das zweite Datum aus einer der Speicherzellen des Speicherzellenfeldes ausgelesen und der Speicherschaltung zugeführt. Das erste Datum wird in der Speicherschaltung zu der ersten Flanke des Taktsignals gespeichert. Das zweite Datum wird in der Speicherschaltung zu der ersten Flanke nachfolgend zweiten Flanke des Taktsignals gespeichert. Das erste Datum wird aus der Speicherschaltung zu einer der ersten Flanke des Taktsignals nachfolgenden dritten Flanke ausgegeben. Das erste Datum wird dem mindestens einem Datenanschluss zur Ausgabe des ersten Datums zugeführt. Das zweite Datum wird aus der Speicherschaltung zu der vierten Flanke des Taktsignals ausgegeben, wobei die

vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist. Das zweite Datum wird dem mindestens einen Datenanschluss zur Ausgabe des zweiten Datums zugeführt.

**[0027]** Bei einer anderen Ausführungsform des Verfahrens wird bei dem Einschreiben des ersten und zweiten Datums das erste Datum in eine erste der Speicherzellen und das zweite Datum in eine zweite der Speicherzellen eingeschrieben, wobei die erste der Speicherzellen in einem ersten Bereich des Speicherzellenfeldes und die zweite der Speicherzellen in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung liegt als der zweite Bereich.

**[0028]** Eine andere Ausführungsform des Verfahrens sieht vor, dass bei dem Einschreiben des ersten und zweiten Datums das erste Datum in eine zweite der Speicherzellen und das zweite Datum in eine erste der Speicherzellen eingeschrieben wird, wobei die erste der Speicherzellen in einem ersten Bereich des Speicherzellenfeldes und die zweite der Speicherzellen in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung liegt als der zweite Bereich.

**[0029]** Weitere Ausführungsformen in Bezug auf den integrierten Halbleiterspeicher sowie auf das Verfahren zum Betreiben des integrierten Halbleiterspeichers sind den Unteransprüchen zu entnehmen.

**[0030]** Die Erfindung wird im Folgenden anhand von Figuren, die Ausführungsbeispiele der vorliegenden Erfindung zeigen, näher erläutert. Es zeigen:

**[0031]** [Fig. 1](#) einen Schreib- und Lesezugriff auf ein Speicherzellenfeld eines integrierten Halbleiterspeichers, das über einen Bus mit einer Speicherschaltung zum Einschreiben und Auslesen von Daten verbunden ist,

**[0032]** [Fig. 2](#) ein Zeitdiagramm beim Einschreiben von Datenpaketen in ein Speicherzellenfeld,

**[0033]** [Fig. 3](#) ein Zeitdiagramm beim Auslesen von Datenpaketen aus einem Speicherzellenfeld,

**[0034]** [Fig. 4](#) eine Ausführungsform eines integrierten Halbleiterspeichers mit mehreren Speicherbänken,

**[0035]** [Fig. 5](#) ein Zeitdiagramm beim Einschreiben von Daten in Speicherzellen eines Speicherzellenfeldes,

**[0036]** [Fig. 6](#) einen Schreibzugriff auf ein Speicherzellenfeld eines integrierten Halbleiterspeichers, das über einen Bus mit einer Speicherschaltung zum Einschreiben und Auslesen von Daten verbunden ist,

[0037] **Fig. 7** ein Zeitdiagramm beim Auslesen von Daten aus einem Speicherzellenfeld,

[0038] **Fig. 8** einen Lesezugriff auf ein Speicherzellenfeld eines integrierten Halbleiterspeichers, das über einen Bus mit einer Speicherschaltung zum Einschreiben und Auslesen von Daten verbunden ist,

[0039] **Fig. 9** einen Schreibzugriff auf ein Speicherzellenfeld eines integrierten Halbleiterspeichers, das über einen Bus mit einer Speicherschaltung zum Einschreiben und Auslesen von Daten verbunden ist,

[0040] **Fig. 10** ein Zeitdiagramm beim Auslesen von Daten aus einem Speicherzellenfeld,

[0041] **Fig. 11** einen Lesezugriff auf ein Speicherzellenfeld eines integrierten Halbleiterspeichers, das über einen Bus mit einer Speicherschaltung zum Einschreiben und Auslesen von Daten verbunden ist,

[0042] **Fig. 12** einen Datenbus mit mehreren Leitungen.

[0043] **Fig. 4** zeigt einen integrierten Halbleiterspeicher mit vier Speicherbänken **100**, **200**, **300** und **400**. Zum Anlegen von Daten, die in Speicherzellen einer Speicherbank eingeschrieben werden sollen, beziehungsweise zur Ausgabe von Daten, die aus Speicherzellen einer Speicherbank ausgelesen werden, weist der Halbleiterspeicher mehrere Datenanschlüsse DQ0, ..., DQ15 auf. Jeder der Datenanschlüsse ist mit einer Empfängerschaltung R0, ..., R15 zum Empfang beziehungsweise zur Ausgabe der Daten verbunden. Die Empfängerschaltungen sind über einen Bus IB, der im Beispiel der **Fig. 4** als ein 16 Bit breiter Bus mit 16 Leitungen ausgebildet ist, mit einer Speicherschaltung **20**, beispielsweise einem Latch, verbunden.

[0044] Die Speicherschaltung **20** ist über einen breiten parallelen Datenbus DB mit den einzelnen Speicherbänken verbunden. Aus Gründen der besseren Übersicht ist in **Fig. 4** nur eine Verbindung der Speicherschaltung **20** über den Datenbus DB mit der Speicherbank **100** dargestellt. Der Datenbus DB ist als ein 64 Bit breiter Bus, der insgesamt 64 Leitungen umfasst, ausgebildet. Das Speichern von Daten in der Speicherschaltung **20** sowie das Ausgeben der gespeicherten Daten auf den Datenbus DB und den Bus IB wird von einer Steuerschaltung **40** gesteuert.

[0045] Des Weiteren sind die Empfängerschaltungen R0, ..., R15 und die Speicherschaltung **20** mit einer Takterzeugerschaltung **30** zur Erzeugung eines Taktsignals CLK verbunden. Die Empfängerschaltungen speisen taktgesteuert von dem Taktsignal CLK die von den Datenanschlüssen empfangenen Daten auf den Bus IB ein beziehungsweise führen die von dem Bus IB empfangenen Daten den Datenanschlüssen

DQ0, ..., DQ15 synchron zu dem Taktsignal CLK zu. Das Speichern von Daten in der Speicherschaltung **20** beziehungsweise das Ausgeben von Daten aus der Speicherschaltung **20** erfolgt ebenfalls synchron zu dem Taktsignal CLK.

[0046] Im Folgenden wird ein Schreibzugriff auf die Speicherzellen des Speicherzellenfeldes **100** anhand der **Fig. 5** und **Fig. 6** beschrieben. **Fig. 6** zeigt die Speicherbank **100** mit den Bereichen Q1, Q2, Q3 und Q4, in denen Speicherzellen angeordnet sind, die zum Einschreiben von Daten beziehungsweise zum Auslesen von Daten mit dem Datenbus DB verbunden sind. Der Datenbus DB ist mit einer Speicherschaltung **20** verbunden, die wiederum mit dem Bus IB verbunden ist. **Fig. 5** zeigt ein Zeitdiagramm beim Einschreiben von Datenpaketen in die Speicherzellen des Speicherzellenfeldes **100**.

[0047] Zunächst werden die Datenpakete Data0a mit den Daten D0, ..., D7 und Data0b mit den Daten D8, ..., D15 an die Datenanschlüsse DQ0, ..., DQ15 angelegt, wobei die Daten D0, ..., D7 des Datenpaketes Data0a an die Datenanschlüsse DQ0, ..., DQ7 und die Daten D8, ..., D15 des Datenpaketes Data0b an die Datenanschlüsse DQ8, ..., DQ15 angelegt werden. Die von den Empfängerschaltungen R0, ..., R15 empfangenen Datenpakete Data0a, Data0b werden als Datenstrom Data0 zu einer Flanke F0 des Taktsignals CLK von den Empfängerschaltungen auf den Bus IB als Datenstrom Data0 eingespeist. Nachfolgend werden die weiteren Datenpakete Data1a, Data1b, Data2a, Data2b und Data3a, Data3b an die Datenanschlüsse angelegt. Dabei werden die Datenpakete Data1a, Data1b als Datenstrom Data1 zu der Flanke F2 des Taktsignals CLK auf den Bus IB eingespeist. Entsprechend werden die Datenpakete Data2a, Data2b und Data3a, Data3b als Datenstrom Data2 und Datenstrom Data3 zu der Flanke F3 beziehungsweise zu der Flanke F4 des Taktsignals CLK auf den Bus IB eingespeist. Die Datenströme werden somit auf dem 16 Bit breiten Bus IB sequentiell zu der Speicherschaltung **20** übertragen.

[0048] Der Datenstrom Data0 erreicht die Speicherschaltung **20** als erstes. Nachfolgend treffen die zu den späteren Flanken des Taktsignals CLK auf den Bus IB eingespeisten Datenströme Data1, Data2 und Data3 an der Speicherschaltung **20** ein. Im Gegensatz zu der in **Fig. 2** gezeigten Ausführungsform des integrierten Halbleiterspeichers werden die Datenströme entsprechend ihrer Ankunftszeit an der Speicherschaltung **20** zu unterschiedlichen Flanken des Taktsignals CLK auf den Datenbus DB eingespeist. So werden die zuerst an der Speicherschaltung **20** ankommenden Daten Data0a, Data0b des Datenstromes Data0 zur Flanke F2 des Taktsignals CLK auf den Datenbus eingespeist. Die nachfolgend ankommenden Datenströme Data1, Data2 und Data3 werden zu den nächst folgenden Flanken des

Taktsignals CLK auf den Datenbus eingespeist. Dadurch wird vermieden, dass frühzeitig an der Speicherschaltung **20** einreffende Datenpakete eine lange Wartezeit erfahren, bevor sie gemeinsam mit später an der Speicherschaltung eintreffenden Datenpaketen an das Speicherzellenfeld **100** weitergeleitet werden.

**[0049]** [Fig. 6](#) zeigt die Zuordnung der einzelnen Datenströme zu Bereichen innerhalb der Speicherbank **100** bei einer ersten Variante eines Schreibzugriffs. Entsprechend [Fig. 6](#) wird der Datenstrom Data0, der zu der Flanke F2 des Taktsignals CLK auf den Datenbus DB eingespeist worden ist, in den Speicherzellen **0'''**, ..., **15'''** im Bereich Q3 und Q4 des Speicherzellenfeldes **100** abgespeichert. Der zur Flanke F3 von der Speicherschaltung **20** ausgegebene Datenstrom Data1 wird in den Speicherzellen **0''**, ..., **15''** in den Speicherbereichen Q3 und Q4 gespeichert. Der zur Flanke F4 auf den Datenbus DB eingespeiste Datenstrom Data2 wird in den Speicherzellen **0'**, ..., **15'** im Speicherbereich Q1 und Q2 des Speicherzellenfeldes **100** gespeichert. Schließlich wird der zuletzt zur Flanke F5 auf den Datenbus DB von der Speicherschaltung **20** ausgegebene Datenstrom Data3 in den Speicherzellen **0**, ..., **15** in den Speicherbereichen Q1 und Q2 gespeichert.

**[0050]** Durch ein derartiges Einschreiben von Datenströmen in Speicherzellen einer Speicherbank werden diejenigen Daten, die als erstes an der Speicherschaltung **20** zur Verfügung stehen, in denjenigen Speicherbereichen der Speicherbank abgespeichert, die am weitesten von der Speicherschaltung **20** beziehungsweise von den Wortleitungstreibern entfernt sind. Die Daten haben von der Speicherschaltung ausgehend bis in die weit von der Speicherschaltung **20** entfernt liegenden Bereiche des Speicherzellenfeldes eine lange Laufzeit. Da jedoch diejenigen Daten, die am frühesten an der Speicherschaltung eintreffen, in die von den Wortleitungstreibern am weitesten entfernten Bereiche eingeschrieben werden, wird sichergestellt, dass die Daten bereits zuverlässig gespeichert sind, bevor die Speicherzellen durch ein entsprechendes Steuerpotential auf der Wortleitung gesperrt werden.

**[0051]** Ein Lesezugriff wird anhand der [Fig. 7](#) und [Fig. 8](#) beschrieben. [Fig. 7](#) zeigt ein Zeitdiagramm von Datenströmen Data0, ..., Data3 beim Auslesen von Speicherzellen des Speicherzellenfeldes **100**. [Fig. 8](#) zeigt das Speicherzellenfeld **100** mit den zu den Flanken des Taktsignals CLK der [Fig. 7](#) ausgelesenen Datenströmen Data0, ..., Data3. Durch ein entsprechendes Steuerpotential auf der Wortleitung, die mit dem Wortleitungstreiber WT1 beziehungsweise mit dem Wortleitungstreiber WT2 verbunden ist, werden die mit der Wortleitung verbundenen Speicherzellen für einen Auslesevorgang aktiviert und sind somit lei-

tend mit der an sie jeweilig angeschlossenen Wortleitung verbunden.

**[0052]** Aufgrund des kurzen Datenpfades liegt der Datenstrom Data3 als erster an der Speicherschaltung **20** an. Nachfolgend treffen die Datenströme Data2, Data1 und Data0 an der Speicherschaltung **20** ein. Gemäß der Erfindung wird der zuerst eingetroffene Datenstrom Data3 nach einer kurzen Setup-Zeit  $t_{s0}$  bereits zu der Flanke F1 des Taktsignals CLK in der Speicherschaltung **20** gespeichert. Der Datenstrom Data3 wird auch als erstes von der Speicherschaltung **20** zur Flanke F2 des Taktsignals auf den Bus IB ausgegeben und den Empfängerschaltungen R0, ..., R15 zugeführt. Zur Flanke F2 wird der als nächstes an der Speicherschaltung **20** eintreffende Datenstrom Data2 in der Speicherschaltung **20** zwischengespeichert und zur nächstfolgenden Flanke F3 auf den Bus IB ausgegeben und den Empfängerschaltungen zugeführt. Der Datenstrom Data1 wird nach einer Setup-Zeit  $t_{s2}$  zur Flanke F3 in der Speicherschaltung **20** zwischengespeichert und zur Flanke F4 auf den Bus IB ausgegeben. Der Datenstrom Data0, der der Speicherschaltung **20** aus dem am weitest entfernten Bereich des Speicherzellenfeldes zugeführt wird, wird nach einer Setup-Zeit  $t_{s3}$  zur Flanke F4 des Taktsignals CLK in der Speicherschaltung **20** zwischengespeichert und zur Flanke F5 auf den Bus IB ausgegeben.

**[0053]** Bei einem Lesezugriff auf Speicherzellen des Speicherzellenfeldes **104**, wie in [Fig. 8](#) dargestellt, wird der zuerst an der Speicherschaltung **20** anliegende Datensatz in der Speicherschaltung **20** gespeichert und auch als erstes wieder ausgegeben und den Datenanschlüssen zugeführt. Es ist somit nicht mehr erforderlich, dass der Datensatz, der als erster an der Speicherschaltung **20** anliegt, erst dann in die Speicherschaltung eingelesen wird bzw. auf den Datenbus IB ausgegeben wird, wenn alle Daten des Speicherzellenfeldes an der Speicherschaltung **20** eingetroffen sind. Somit wird das Auslesen von Daten aus dem Speicherzellenfeld beschleunigt und die Latenzzeit beim Auslesen verringert.

**[0054]** [Fig. 9](#) zeigt eine weitere Variante bei Einschreiben von Daten in Speicherzellen des Speicherzellenfeldes **100**. Gemäß [Fig. 9](#) wird der Datenstrom Data0, der zur Flanke F2 des Taktsignals CLK auf den Datenbus DB eingespeist worden ist, in den Speicherzellen **0**, ..., **15** in den Speicherbereichen Q1 und Q2 des Speicherzellenfeldes abgespeichert. Die Daten des Datenstroms Data1, die zur Flanke F3 des Taktsignals CLK von der Speicherschaltung **20** auf den Datenbus DB ausgegeben werden, werden in den Speicherzellen **0'**, ..., **15'** in den Speicherbereichen Q1 und Q2 des Speicherzellenfeldes **100** abgespeichert. Der Datenstrom Data2, der zur Flanke F4 des Taktsignals CLK von der Speicherschaltung **20** auf den Datenbus DB ausgegeben worden ist, wird

in den Speicherzellen **0''**, ..., **15''**, die in den Bereichen Q3 und Q4 des Speicherzellenfeldes angeordnet sind, eingeschrieben. Die Daten des Datenstromes Data3, die als letzte Daten zur Flanke F5 des Taktsignals CLK auf den Datenbus DB ausgegeben worden sind, werden in den Speicherzellen **0'''**, ..., **15'''** in den Speicherbereichen Q3 und Q4 des Speicherzellenfeldes **100** gespeichert.

**[0055]** Bei der in **Fig. 9** gezeigte Ausführungsform werden beim Abspeichern von Daten in den Speicherzellen des Speicherzellenfeldes **100** diejenigen Daten, die als erste auf den Datenbus DB ausgegeben worden sind, in denjenigen Speicherzellen gespeichert, die aufgrund ihrer Nähe zum Wortleitungstreiber als erste durch ein entsprechendes Steuerpotential auf der Wortleitung wieder deaktiviert werden, indem ihr Auswahltransistor gesperrt wird. Dadurch wird sichergestellt, dass auch in denjenigen Speicherzellen, die den Wortleitungstreibern WT am nächsten liegen, Daten sicher gespeichert werden.

**[0056]** Ein Lesezugriff auf ein Speicherzellenfeld, das wie in **Fig. 9** gezeigt im Daten beschrieben worden ist, ist anhand der **Fig. 10** und **Fig. 11** verdeutlicht. **Fig. 10** zeigt ein Zeitdiagramm der Datenströme Data0, ..., Data3 beim Auslesen von Speicherzellen des Speicherzellenfeldes **100**. Durch ein entsprechendes Steuerpotential auf den Wortleitungen, die mit den Wortleitungstreibern WT1 beziehungsweise WT2 verbunden sind, werden die mit diesen Wortleitungen verbunden Speicherzellen für einen Auslesevorgang aktiviert und sind somit leitend mit den an sie angeschlossenen Bitleitungen verbunden.

**[0057]** Aufgrund des kurzen Datenpfades trifft der Datenstrom Data0 als erster an der Speicherschaltung **20** ein. Nachfolgend treffen die Datenströme Data1, Data2 und Data3 an der Speicherschaltung **20** ein. Der zuerst eingetroffene Datenstrom Data0 wird nach einer kurzen Setup-Zeit  $t_{s0}$  bereits zur Flanke F1 des Taktsignals CLK in der Speicherschaltung **20** gespeichert. Der Datenstrom Data0 wird auch als erstes von der Speicherschaltung **20** zur Flanke F2 des Taktsignals auf den Bus IB ausgegeben und den Empfängerschaltungen R0, ..., R15 zugeführt. Zur Flanke F2 wird der als nächstes an der Speicherschaltung **20** eintreffende Datenstrom Data1 in der Speicherschaltung **20** zwischengespeichert und zur nächstfolgenden Flanke F3 auf den Bus IB ausgegeben und den Empfängerschaltungen zugeführt. Der Datenstrom Data2 wird nach einer Setup-Zeit  $t_{s2}$  zur Flanke F3 in der Speicherschaltung **20** zwischengespeichert und zur Flanke F4 auf den Bus IB ausgegeben. Der Datenstrom Data3, der der Speicherschaltung **20** aus dem am weitesten entfernten Bereich des Speicherzellenfeldes zugeführt wird, wird nach einer Setup-Zeit  $t_{s3}$  zur Flanke F4 des Taktsignals CLK in der Speicherschaltung **20** zwischenge-

speichert und zur Flanke F5 auf den Bus IB ausgegeben.

**[0058]** Auch bei der in den **Fig. 10** und **Fig. 11** gezeigten Ausführungsform des Lesezugriffs wird der zuerst an der Speicherschaltung **20** anliegende Datensatz in der Speicherschaltung **20** zuerst gespeichert und auch als erstes wieder ausgegeben und den Datenanschlüssen zugeführt. Es ist somit nicht mehr erforderlich, dass der Datensatz, der als erster an der Speicherschaltung **20** anliegt, erst dann in die Speicherschaltung eingelesen wird beziehungsweise auf den Datenbus IB ausgegeben wird, wenn alle Daten des Speicherzellenfeldes an der Speicherschaltung **20** eingetroffen sind. Somit kann auch hier das Auslesen von Daten aus dem Speicherzellenfeld beschleunigt und die Latenzzeit beim Auslesen verringert.

**[0059]** **Fig. 12** zeigt eine Ausführungsform des Datenbusses DB. Bei dieser Ausführungsform sind Leitungen L0, auf denen Daten des Datenstromes Data0 übertragen werden, und Leitungen L2, auf denen Daten des Datenstromes Data2 übertragen werden, sowie Leitungen L1 und L3, auf denen Daten der Datenströme Data1 und Data3 übertragen werden, räumlich benachbart angeordnet. Da nebeneinander angeordnete Leitungen Datensignale von Daten führen, die zu verschiedenen Flanken des Taktsignals CLK von der Speicherschaltung **20** auf den Bus DB ausgegeben worden sind, wird eine Störung von Signalen auf den Busleitungen weitestgehend vermieden.

#### Bezugszeichenliste

<b>10</b>	integrierter Halbleiterspeicher
<b>20</b>	Speicherschaltung
<b>30</b>	Takterzeugerschaltung
<b>40</b>	Steuerschaltung
<b>R</b>	Empfängerschaltung
<b>DQ</b>	Datenanschluss
<b>D</b>	Datum
<b>IB</b>	Bus
<b>DB</b>	Datenbus
<b>100</b>	Speicherbank
<b>200</b>	Speicherbank
<b>300</b>	Speicherbank
<b>400</b>	Speicherbank
<b>0, ..., 15</b>	Speicherzelle
<b>Data</b>	Datenstrom
<b>Data a, Data b</b>	Datenpaket
<b>F</b>	Flanke eines Taktsignals
<b>CLK</b>	Taktsignal
<b>t<sub>s</sub></b>	Setup-Zeit

#### Patentansprüche

1. Integrierter Halbleiterspeicher mit taktgesteuertem Speicherzugriff



- mit mindestens einem Datenanschluss (DQ0) zur Ein-/Ausgabe eines Datums (D0),
- mit einem Speicherzellenfeld (**100**) mit Speicherzellen (**0**, ..., **15**) zur Speicherung von Daten (D0, ..., D15),
- mit einer Takterzeugerschaltung (**30**) zur Erzeugung eines Taktsignals (CLK),
- mit einer Speicherschaltung (**20**) zur Speicherung eines Datums (D0, ..., D15),
- mit einer Steuerschaltung (**40**) zur Steuerung eines Speicherns von Daten (D0, ..., D15) in die Speicherschaltung (**20**) und zur Steuerung einer Ausgabe von Daten (D0, ..., D15) aus der Speicherschaltung (**20**),
- bei dem die Speicherschaltung (**20**) mit dem Speicherzellenfeld (**100**) und mit dem mindestens einen Datenanschluss (DQ0) verbunden ist,
- bei dem die Steuerschaltung (**40**) die Speicherschaltung (**20**) derart ansteuert, dass bei einem Schreibzugriff auf die Speicherzellen des Speicherzellenfeldes ein der Speicherschaltung (**20**) von dem mindestens einen Datenanschluss (DQ0) zugeführtes erstes Datum (D0) zu einer ersten Flanke (F1) des Taktsignals (CLK) und ein der Speicherschaltung von dem mindestens einen Datenanschluss (DQ0) nachfolgend zugeführtes zweites Datum (D0') zu einer der ersten Flanke nachfolgenden zweiten Flanke (F2) des Taktsignals (CLK) in der Speicherschaltung (**20**) zwischengespeichert wird,
- bei dem die Steuerschaltung (**40**) die Speicherschaltung (**20**) derart ansteuert, dass bei einem Schreibzugriff das zwischengespeicherte erste Datum (D0) zu einer der ersten Flanke nachfolgenden dritten Flanke des Taktsignals aus der Speicherschaltung (**20**) ausgegeben und dem Speicherzellenfeld (**100**) zugeführt wird und das zwischengespeicherte zweite Datum (D0') zu einer vierten Flanke des Taktsignals aus der Speicherschaltung (**20**) ausgegeben und dem Speicherzellenfeld (**100**) zugeführt wird, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist.

2. Integrierter Halbleiterspeicher nach Anspruch 1,

- bei dem die Steuerschaltung (**40**) die Speicherschaltung (**20**) derart ansteuert, dass bei einem Lesezugriff auf die Speicherzellen des Speicherzellenfeldes das der Speicherschaltung (**20**) von dem Speicherzellenfeld (**100**) zugeführte erste Datum (D0) zu einer ersten Flanke (F1) des Taktsignals (CLK) und das der Speicherschaltung nachfolgend zugeführte zweite Datum (D0') zu einer der ersten Flanke nachfolgenden zweiten Flanke (F2) des Taktsignals (CLK) in der Speicherschaltung (**20**) zwischengespeichert wird,
- bei dem die Steuerschaltung (**40**) die Speicherschaltung (**20**) derart ansteuert, dass bei dem Lesezugriff das zwischengespeicherte erste Datum (D0) zu einer der ersten Flanke (F1) nachfolgenden dritten Flanke des Taktsignals aus der Speicherschaltung (**20**) ausgegeben und dem mindestens einen Datenanschluss (DQ0) zugeführt wird und das zwischenge-

speicherte zweite Datum (D0') zu einer vierten Flanke des Taktsignals aus der Speicherschaltung (**20**) ausgegeben und dem mindestens einen Datenanschluss (DQ0) zugeführt wird, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist.

3. Integrierter Halbleiterspeicher nach einem der Ansprüche 1 oder 2, bei dem das Speicherzellenfeld (**100**) eine erste der Speicherzellen (**0**) und eine zweite der Speicherzellen (**0'**) umfasst, wobei die erste der Speicherzellen (**0**) in einem ersten Bereich des Speicherzellenfeldes angeordnet ist und die zweite der Speicherzellen (**0'**) in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung (**20**) liegt als der zweite Bereich.

4. Integrierter Halbleiterspeicher nach einem der Ansprüche 1 bis 3, wobei bei dem Schreibzugriff das erste Datum (D0) in einer ersten der Speicherzellen (**0**) und das zweite Datum (D0') in einer zweiten der Speicherzellen (**0'**) gespeichert wird.

5. Integrierter Halbleiterspeicher nach einem der Ansprüche 1 bis 3, wobei bei dem Schreibzugriff das erste Datum (D0) in einer zweiten der Speicherzellen (**0'**) und das zweite Datum (D0') in einer ersten der Speicherzellen (**0**) gespeichert wird.

6. Integrierter Halbleiterspeicher nach einem der Ansprüche 2 bis 5, wobei bei einem Lesezugriff das erste Datum (D0) aus einer ersten der Speicherzellen (**0**) und das zweite Datum (D0') aus einer zweiten der Speicherzellen (**0'**) ausgelesen wird.

7. Integrierter Halbleiterspeicher nach einem der Ansprüche 1 bis 6,

- bei dem die Speicherschaltung (**20**) über einen ersten Bus (DB), der mehrere Leitungen (L0, L2) umfasst, mit dem Speicherzellenfeld (**100**) verbunden ist,
- bei dem die Speicherschaltung (**20**) über einen zweiten Bus (IB), der mehrere Leitungen umfasst, mit den Datenanschlüssen (DQ0, ..., DQ15) des integrierten Halbleiterspeichers verbunden ist,
- bei dem der erste Bus (DB) eine größere Anzahl von Leitungen als der zweite Bus (IB) umfasst.

8. Integrierter Halbleiterspeicher nach Anspruch 7, bei dem die mehreren Leitungen des ersten Buses (DB) derart angeordnet sind, dass nebeneinander angeordnete Leitungen (L0, L2) Datensignale von Daten (D0, D0") führen, die zu verschiedenen Flanken des Taktsignals (CLK) von der Speicherschaltung (**20**) auf den ersten Bus (DB) ausgegeben worden sind.

9. Integrierter Halbleiterspeicher nach einem der Ansprüche 7 oder 8,

- bei dem die Datenanschlüsse (DQ0, ..., DQ15) jeweils mit einer Empfängerschaltung (R0, ..., R15) verbunden sind,
- bei dem die Speicherschaltung (**20**) über den zweiten Bus (IB) mit jeder der Empfängerschaltungen (R0, ..., R15) verbunden ist.

10. Integrierter Halbleiterspeicher nach einem der Ansprüche 1 bis 9, bei dem die Speicherzellen des Speicherzellenfeldes als dynamische Speicherzellen vom wahlfreien Zugriffstyp ausgebildet sind.

11. Integrierter Halbleiterspeicher nach einem der Ansprüche 7 bis 10, sofern Anspruch 10 auf einen der Ansprüche 7 bis 9 rückbezogen ist, bei dem der erste Bus (DB) als ein 64 Bit breiter Bus ausgebildet ist.

12. Integrierter Halbleiterspeicher nach Anspruch 11, bei dem der zweite Bus (IB) als ein 4, 8 oder 16 Bit breiter Bus ausgebildet ist.

13. Verfahren zum Betreiben eines integrierten Halbleiterspeichers, umfassend die folgenden Schritte:

- Bereitstellen eines integrierten Halbleiterspeichers mit mindestens einem Datenanschluss (DQ0) zur Ein-/Ausgabe eines Datums, mit einem Speicherzellenfeld (**100**) mit Speicherzellen (**0**, ..., **15**) zur Speicherung von Daten (D0, ..., D15), mit einer Speicherschaltung (**20**) zur Speicherung eines Datums (D0, ..., D15),
- Anlegen eines ersten Datums (D0) an den Datenanschluss (DQ0) zum Einschreiben in eine der Speicherzellen (**0**) des Speicherzellenfeldes,
- nachfolgend Anlegen eines zweiten Datums (D0') an den Datenanschluss (DQ0) zum Einschreiben in eine der Speicherzellen (**0'**) des Speicherzellenfeldes,
- Zuführen des ersten und des zweiten Datums (D0, D0') zu der Speicherschaltung (**20**), wobei das erste Datum (D0) der Speicherschaltung vor dem zweiten Datum (D0') zugeführt wird,
- Speichern des ersten Datums (D0) in der Speicherschaltung (**20**) zu einer ersten Flanke (F1) eines Taktsignals (CLK),
- Speichern des zweiten Datums (D0') in der Speicherschaltung (**20**) zu einer der ersten Flanke nachfolgenden zweiten Flanke (F2) des Taktsignals,
- Ausgeben des ersten Datums (D0) aus der Speicherschaltung (**20**) zu einer der ersten Flanke (F1) des Taktsignals nachfolgenden dritten Flanke,
- Zuführen des ersten Datums zu dem Speicherzellenfeld (**100**) zum Einschreiben in eine der Speicherzellen (**0**),
- Ausgeben des zweiten Datums (D0') aus der Speicherschaltung (**20**) zu einer vierten Flanke des Taktsignals, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist,

- Zuführen des zweiten Datums (D0') zu dem Speicherzellenfeld (**100**) zum Einschreiben in eine der Speicherzellen (**0'**) des Speicherzellenfeldes.

14. Verfahren nach Anspruch 13, umfassend die folgenden Schritte:

- Auslesen des ersten Datums (D0) aus einer der Speicherzellen (**0**) des Speicherzellenfeldes (**100**) und Zuführen des ersten Datums zu der Speicherschaltung (**20**),
- nachfolgend Auslesen des zweiten Datums (D0') aus einer der Speicherzellen (**0'**) des Speicherzellenfeldes und Zuführen des zweiten Datums zu der Speicherschaltung (**20**),
- Speichern des ersten Datums (D0) in der Speicherschaltung (**20**) zu der ersten Flanke (F1) des Taktsignals (CLK),
- Speichern des zweiten Datums (D0') in der Speicherschaltung (**20**) zu der der ersten Flanke nachfolgenden zweiten Flanke (F2) des Taktsignals,
- Ausgeben des ersten Datums (D0) aus der Speicherschaltung (**20**) zu einer der ersten Flanke (F1) des Taktsignals nachfolgenden dritten Flanke,
- Zuführen des ersten Datums (D0) zu dem mindestens einen Datenanschluss (DQ0) zur Ausgabe des ersten Datums,
- Ausgeben des zweiten Datums (D0') aus der Speicherschaltung (**20**) zu der vierten Flanke des Taktsignals, wobei die vierte Flanke eine zu der dritten Flanke nachfolgende Flanke ist,
- Zuführen des zweiten Datums (D0') zu dem mindestens einen Datenanschluss (DQ0) zur Ausgabe des zweiten Datums.

15. Verfahren nach einem der Ansprüche 13 oder 14, wobei bei dem Einschreiben des ersten und zweiten Datums (D0, D0') das erste Datum (D0) in eine erste der Speicherzellen (**0**) und das zweite Datum in eine zweite der Speicherzellen (**0'**) eingeschrieben wird, wobei die erste der Speicherzellen in einem ersten Bereich des Speicherzellenfeldes und die zweite der Speicherzellen in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung (**20**) liegt als der zweite Bereich.

16. Verfahren nach einem der Ansprüche 13 oder 14, wobei bei dem Einschreiben des ersten und zweiten Datums (D0, D0') das erste Datum (D0) in eine zweite der Speicherzellen (**0'**) und das zweite Datum (D0') in eine erste der Speicherzellen (**0**) eingeschrieben wird, wobei die erste der Speicherzellen in einem ersten Bereich des Speicherzellenfeldes und die zweite der Speicherzellen in einem zweiten Bereich des Speicherzellenfeldes angeordnet ist, wobei der erste Bereich näher an der Speicherschaltung (**20**) liegt als der zweite Bereich.

17. Verfahren nach Anspruch 15, wobei bei dem Auslesen des ersten und zweiten Datums (D0, D0')

das erste Datum (D0) aus der ersten der Speicherzellen (**0**) und das zweite Datum (D0') aus der zweiten der Speicherzellen (**0'**) ausgelesen wird.

Es folgen 12 Blatt Zeichnungen

Anhängende Zeichnungen

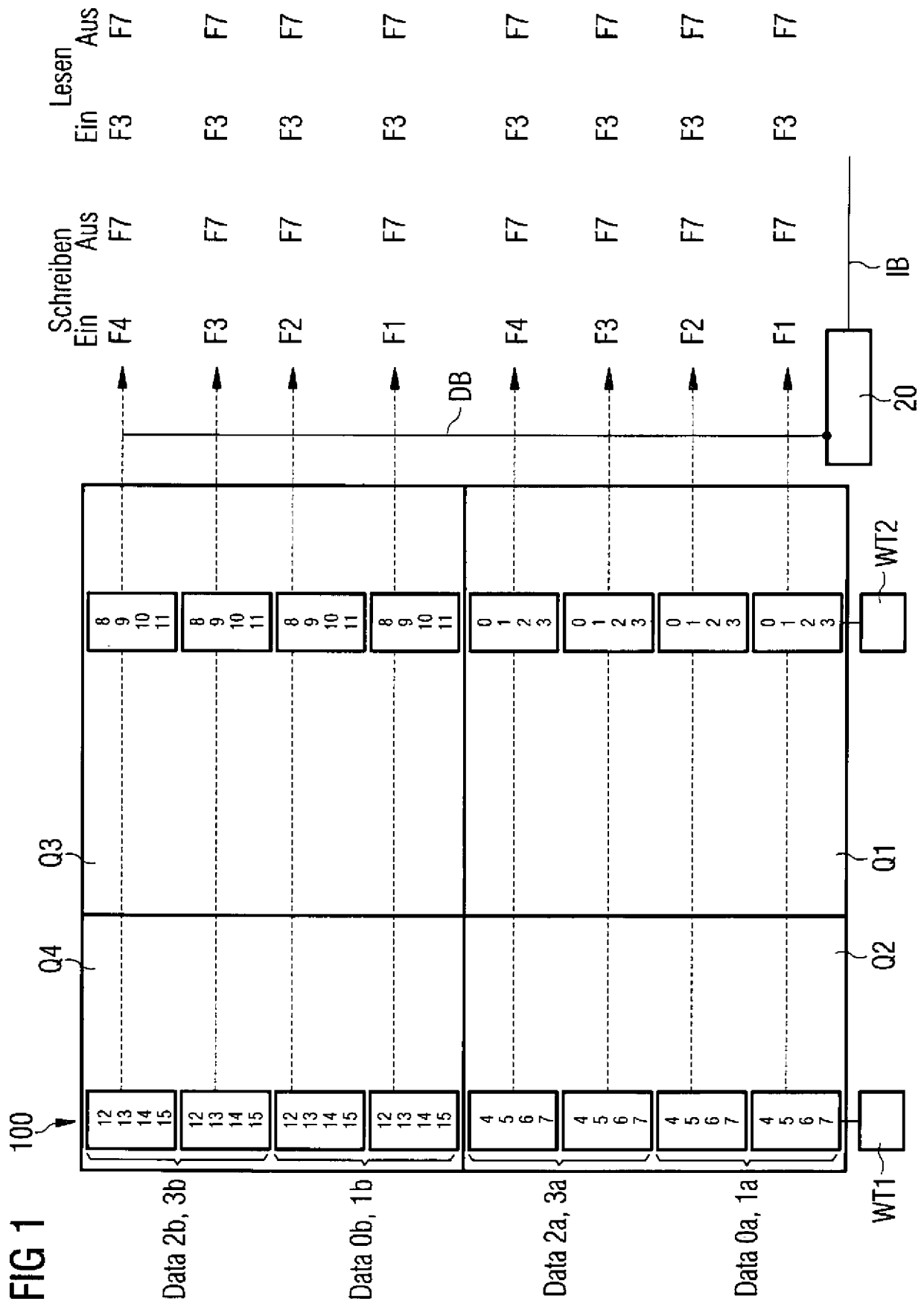


FIG 2

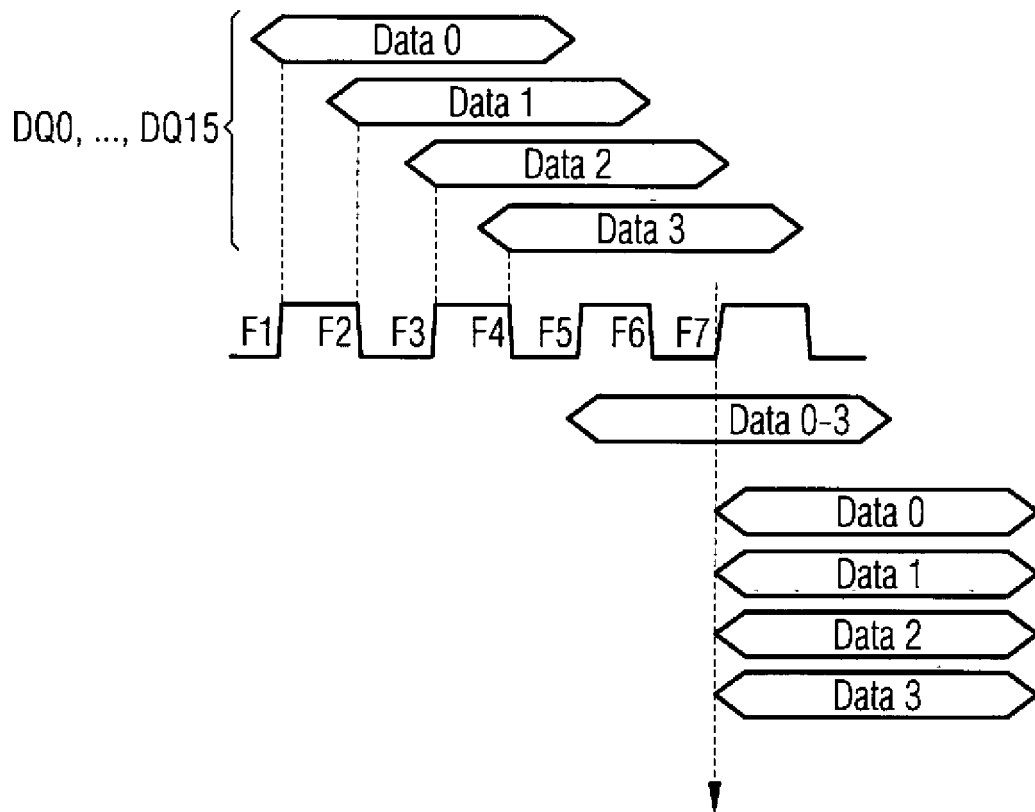


FIG 3

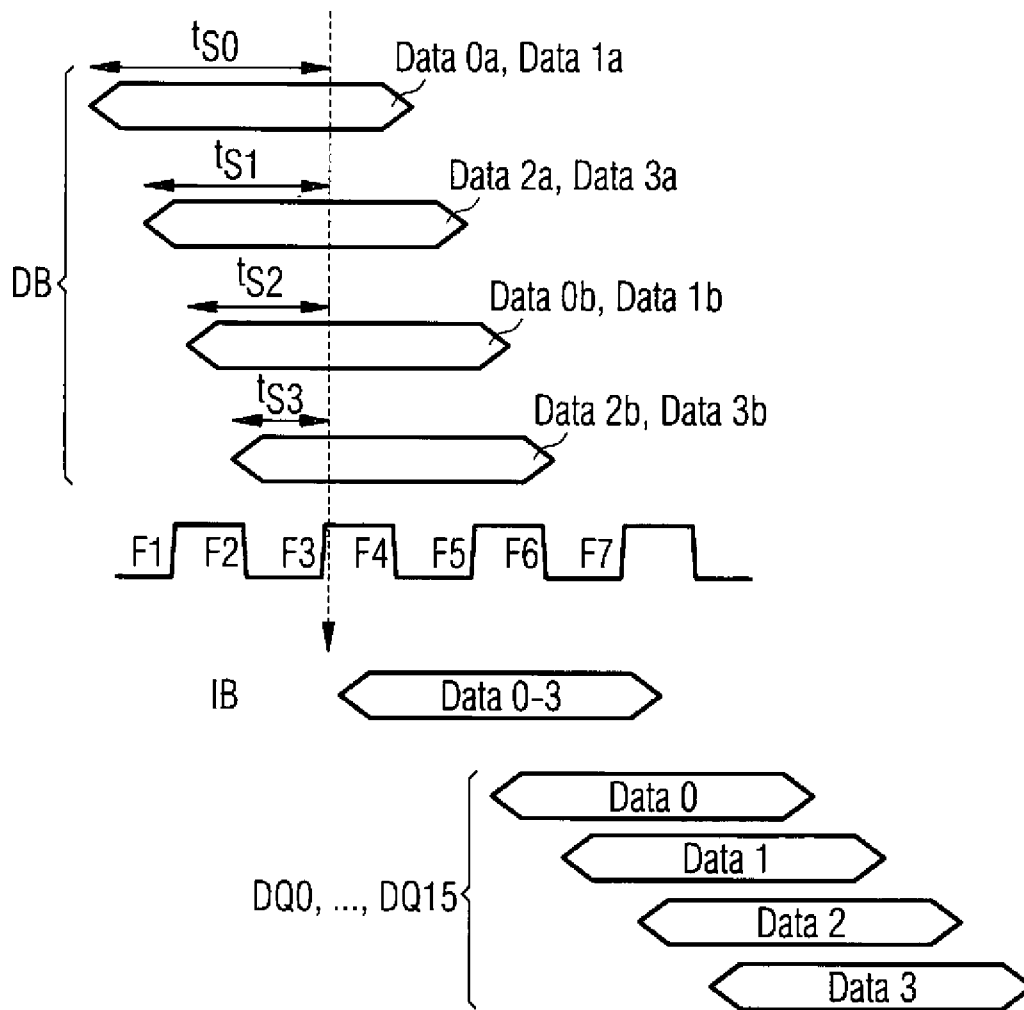


FIG 4

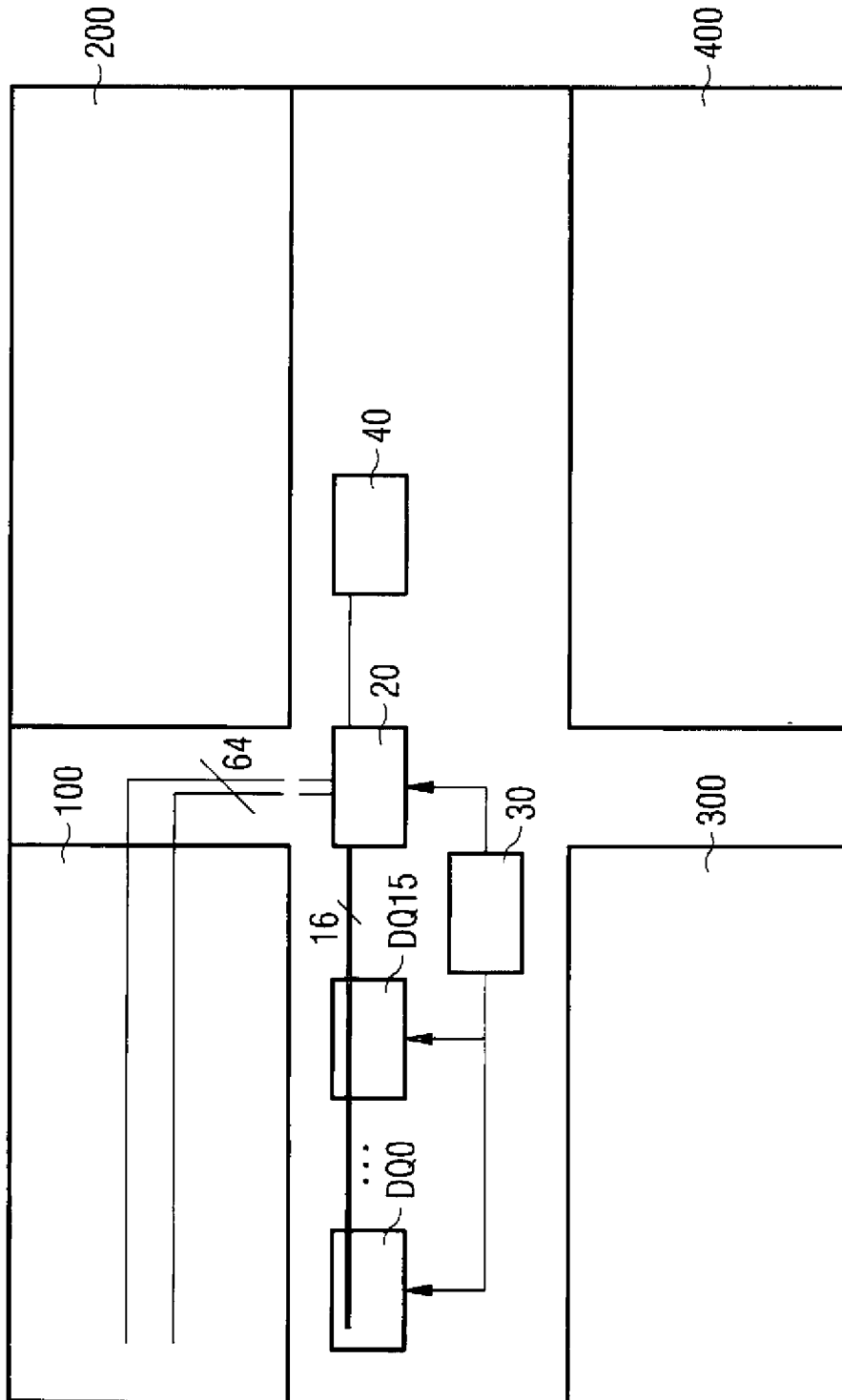
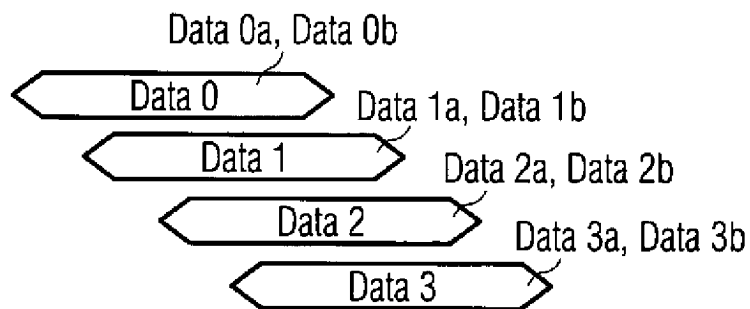
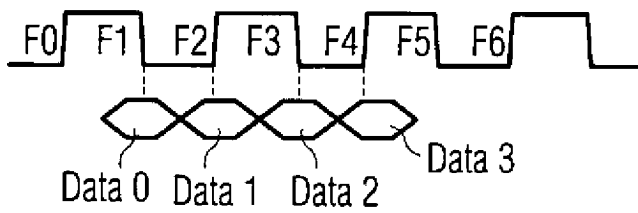
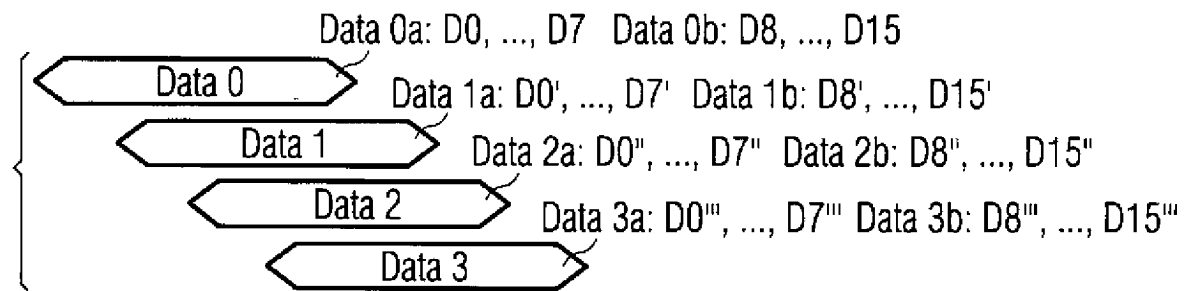


FIG 5





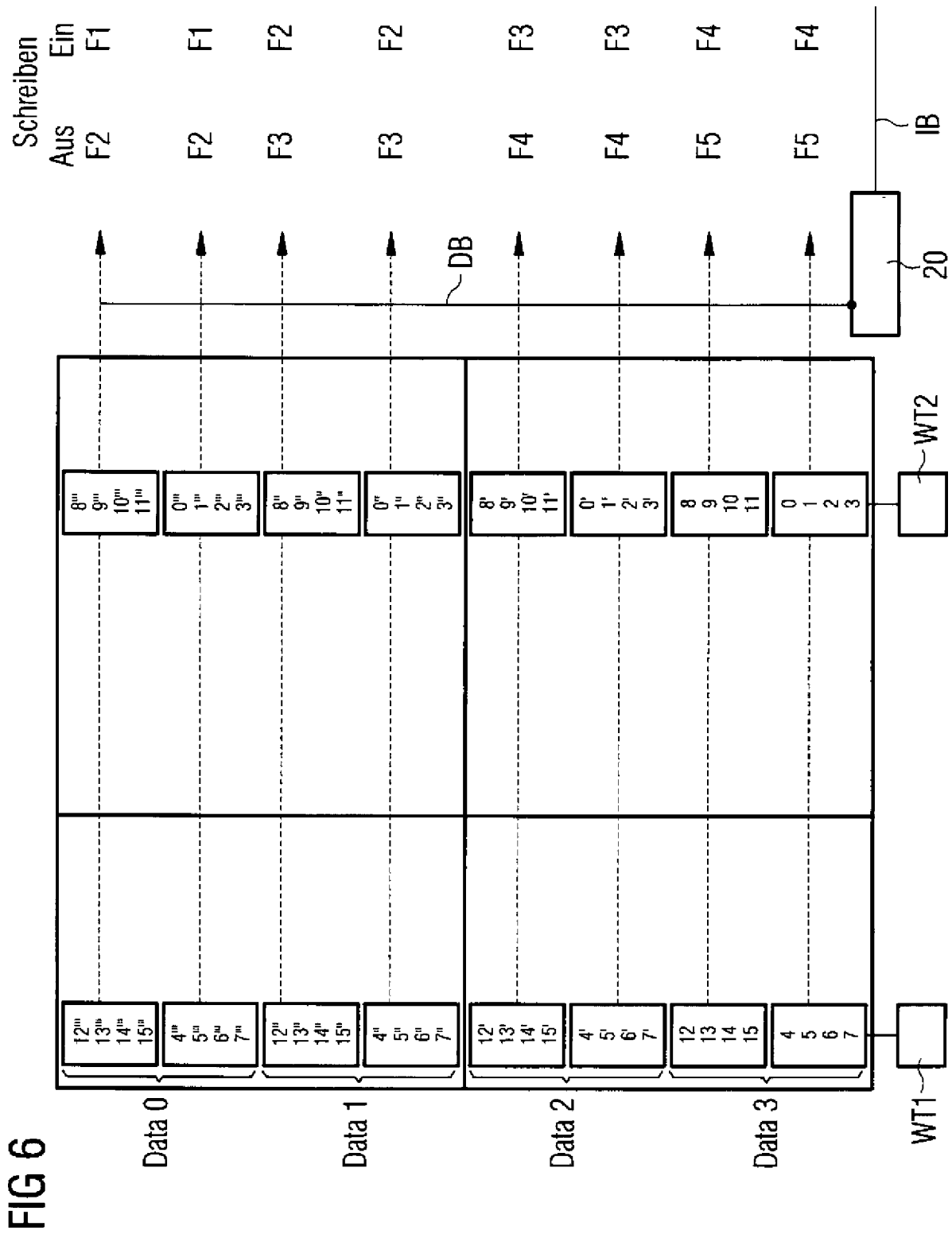
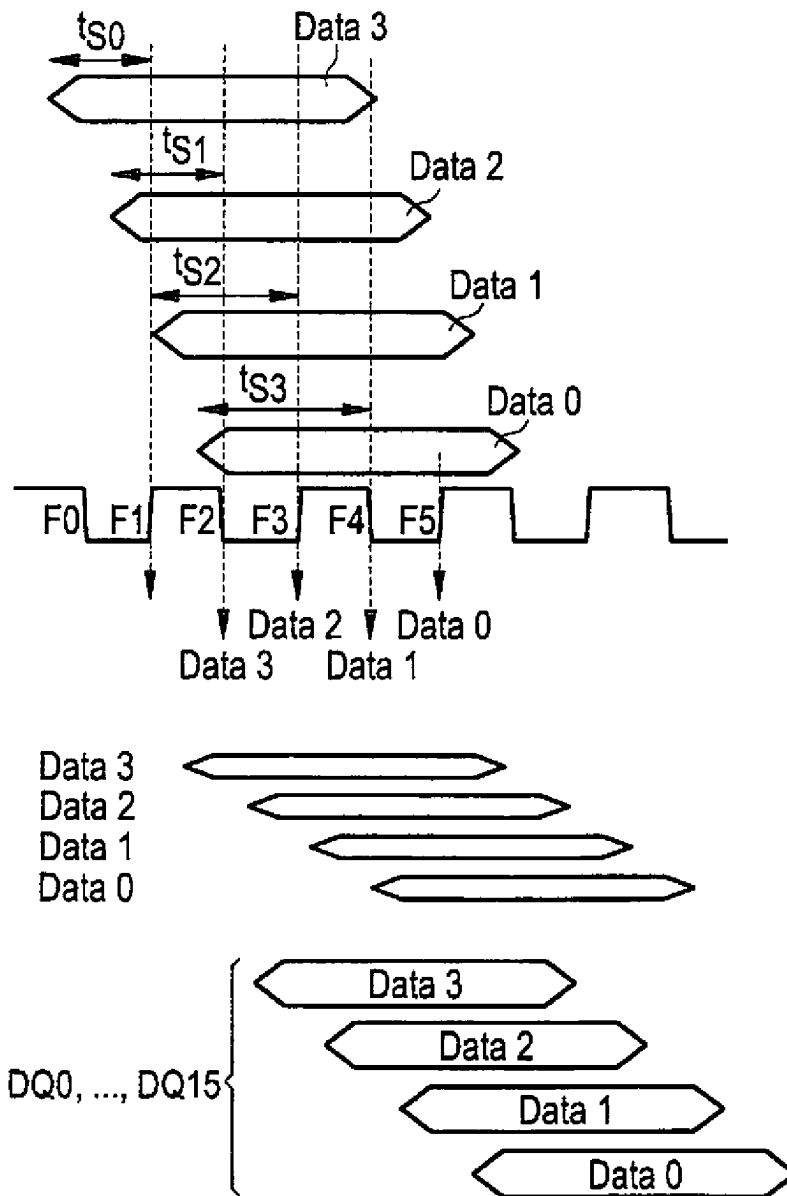


FIG 7



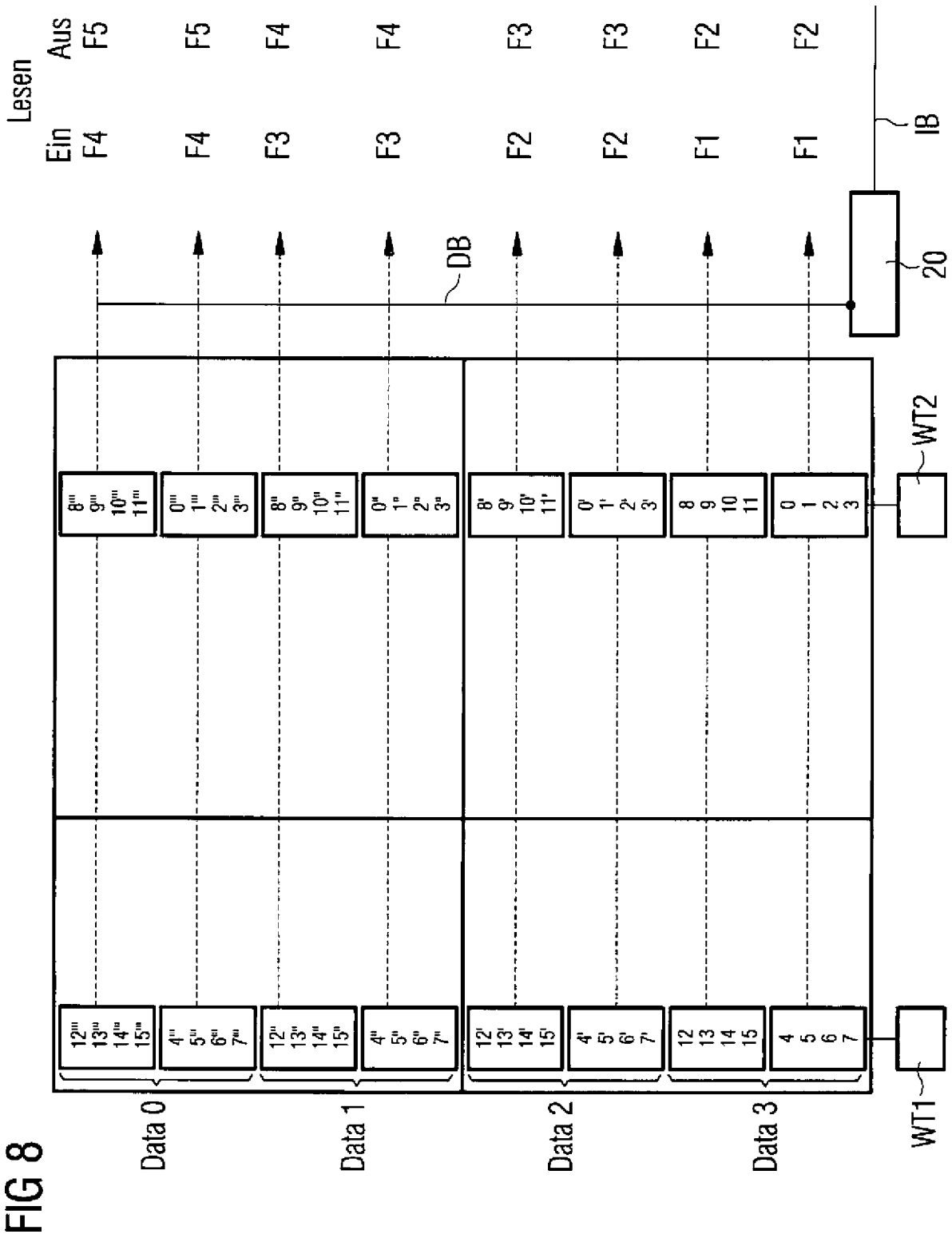


FIG 8

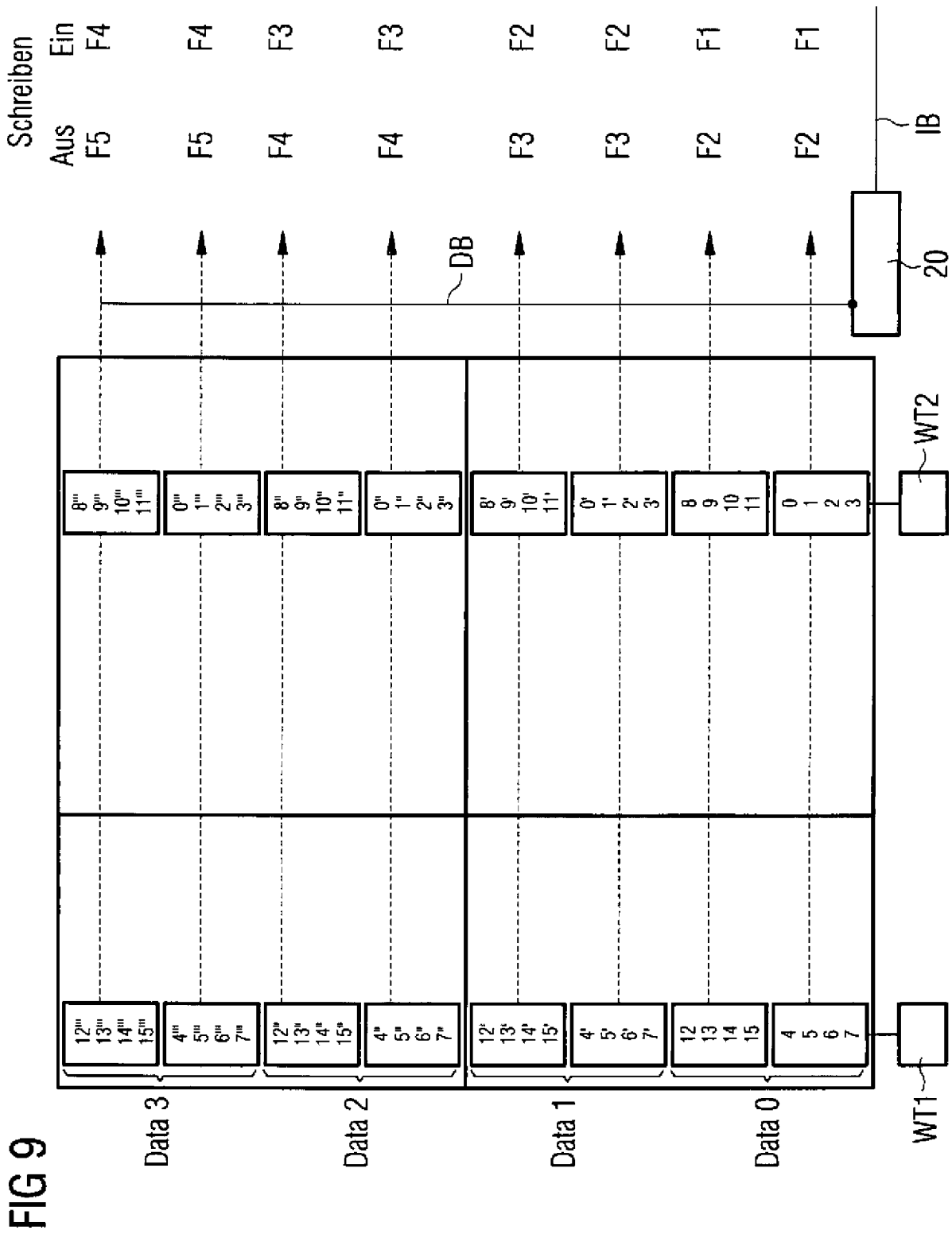
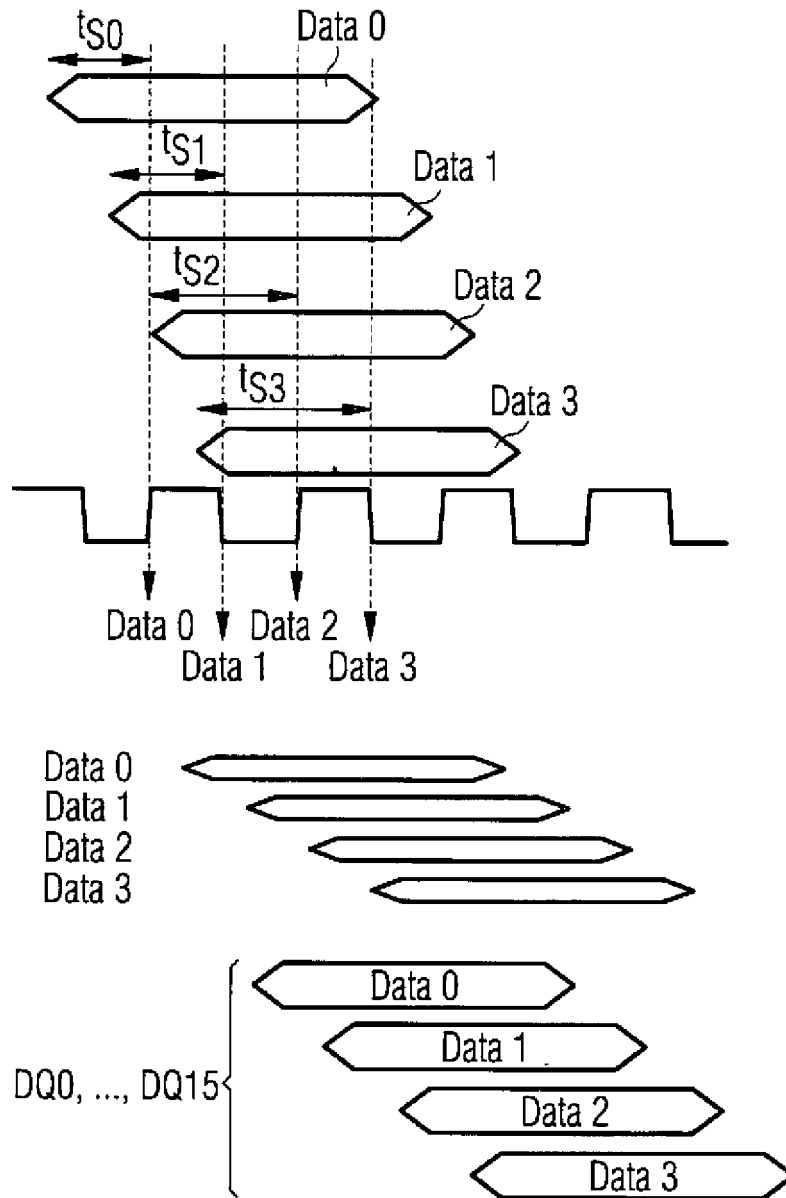
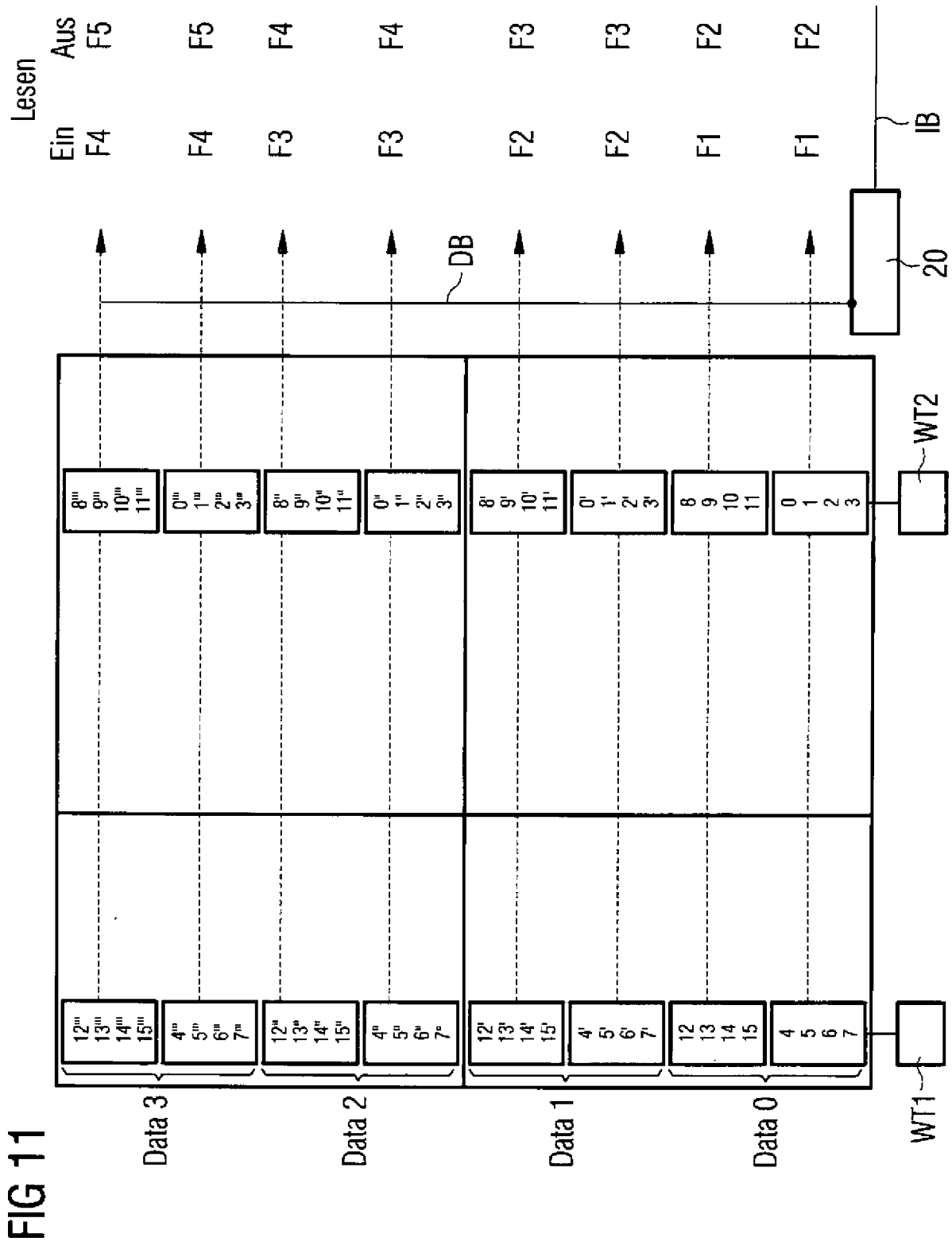


FIG 10





## FIG 12

Data 0 <0>
Data 2 <0>
Data 0 <1>
Data 2 <1>
Data 0 <2>
Data 2 <2>
Data 0 <3>
Data 2 <3>
⋮
Data 0 <15>
Data 2 <15>

Data 1 <0>
Data 3 <0>
Data 1 <1>
Data 3 <1>
Data 1 <2>
Data 3 <2>
Data 1 <3>
Data 3 <3>
⋮
Data 1 <15>
Data 3 <15>