

특허청구의 범위

청구항 1

기관으로부터 돌출된 채널을 따라 적층된 복수의 메모리 셀을 포함하는 수직채널형 비휘발성 메모리 소자에 있어서,

기관으로부터 돌출된 채널;

상기 채널을 둘러싼 터널절연막;

상기 채널을 따라 교대로 적층된 복수의 플로팅 게이트 전극 및 콘트롤 게이트 전극; 및

상기 교대로 적층된 복수의 플로팅 게이트 전극 및 콘트롤 게이트 전극들 사이에 개재된 전하차단막을 포함하는 수직채널형 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 전하차단막은,

상기 플로팅 게이트 전극의 전면을 둘러싸는

수직채널형 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 메모리 셀은,

하나의 플로팅 게이트 전극과 상기 하나의 플로팅 게이트 전극에 인접한 두개의 콘트롤 게이트 전극을 포함하는

수직채널형 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

프로그램 동작시,

프로그램 동작을 수행하고자하는 메모리 셀의 플로팅 게이트 전극에 상 또는 하로 인접한 콘트롤 게이트 전극에 프로그램 전압(Vpgm)을 인가하는

수직채널형 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서,

소거 동작시,

소거 동작을 수행하고자하는 메모리 셀의 플로팅 게이트 전극에 상 또는 하로 인접한 콘트롤 게이트 전극에 소거 전압(Verase)을 인가하는

수직채널형 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

리드 동작시,

리드하고자하는 메모리 셀의 플로팅 게이트 전극에 상 또는 하로 인접한 콘트롤 게이트 전극에 리드 전압 (Vread)을 인가하는

수직채널형 비휘발성 메모리 소자.

청구항 7

기관상에 복수의 층간절연막 및 희생막을 교대로 형성하는 단계;

상기 복수의 층간절연막 및 희생막을 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 내벽에 노출된 상기 층간절연막을 소정 두께 리세스하는 단계;

상기 층간절연막의 리세스된 영역 내에 도전막을 매립하여 플로팅 게이트 전극을 형성하는 단계;

상기 트렌치 내에 채널용 막을 매립하여 채널을 형성하는 단계;

상기 희생막을 제거하는 단계;

상기 희생막 제거에 의해 노출된 플로팅 게이트 전극을 둘러싸는 전하차단막을 형성하는 단계; 및

상기 전하차단막 간의 오픈된 영역 내에 도전막을 매립하여, 상기 플로팅 게이트 전극에 상,하로 인접한 콘트롤 게이트 전극을 형성하는 단계

를 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 8

제 7 항에 있어서,

상기 채널 형성 단계 이전에,

상기 트렌치의 내벽에 터널절연막을 형성하는 단계

를 더 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 9

제 8 항에 있어서,

상기 터널절연막 형성 단계는,

상기 트렌치의 전면을 따라 터널절연막용 물질막을 형성하는 단계;

상기 터널절연막용 물질막 상에 보호막을 형성하는 단계; 및

상기 트렌치 저면의 기관이 노출되도록, 상기 보호막 및 터널절연막용 물질막을 에치백하는 단계

를 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 10

제 9 항에 있어서,

상기 보호막은,

산화막, 질화막, 카본막 또는 폴리실리콘막을 포함하는

수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 11

제 9 항에 있어서,
상기 채널 형성 단계 이전에,
상기 보호막을 제거하는 단계
를 더 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 12

기관상에 복수의 층간절연막 및 콘트롤 게이트 전극용 도전막을 교대로 형성하는 단계;
상기 복수의 층간절연막 및 콘트롤 게이트 전극용 도전막을 식각하여 상기 기관의 표면을 노출시키는 트렌치를 형성하는 단계;
상기 트렌치의 내벽에 노출된 상기 층간절연막을 소정 두께 리세스하는 단계;
상기 리세스된 결과물의 전면을 따라 전하차단막을 형성하는 단계;
상기 전하차단막이 형성된 리세스된 영역 내에 도전막을 매립하여, 콘트롤 게이트 전극에 상,하로 인접한 플로팅 게이트 전극을 형성하는 단계; 및
상기 트렌치 내에 채널용 막을 매립하여 채널을 형성하는 단계
를 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 13

제 12 항에 있어서,
상기 채널 형성 단계 이전에,
상기 트렌치 내벽에 터널절연막을 형성하는 단계
를 더 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 14

제 13 항에 있어서,
상기 터널절연막 형성 단계는,
상기 트렌치의 전면을 따라 터널절연막용 물질막을 형성하는 단계;
상기 터널절연막용 물질막 상에 보호막을 형성하는 단계; 및
상기 트렌치 저면의 기관이 노출되도록, 상기 보호막 및 터널절연막용 물질막을 에치백하는 단계
를 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 15

제 14 항에 있어서,
상기 보호막은,

산화막, 질화막, 카본막 또는 폴리실리콘막을 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

청구항 16

제 14 항에 있어서,
 상기 채널 형성 단계 이전에,
 상기 보호막을 제거하는 단계
 를 더 포함하는 수직채널형 비휘발성 메모리 소자 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세히는 수직채널형 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 비휘발성 메모리 소자는 전원공급이 차단되더라도 저장된 데이터가 그대로 유지되는 메모리 소자이다. 최근 실리콘 기판상에 단층으로 메모리 소자를 제조하는 2차원 구조의 메모리 소자의 집적도 향상이 한계에 도달함에 따라, 실리콘 기판으로부터 수직으로 메모리 셀을 적층하는 3차원 구조의 비휘발성 메모리 소자가 제안되고 있다.

[0003] 이하, 도면을 참조하여 종래기술에 따른 3차원 구조의 비휘발성 메모리 소자의 구조 및 그에 따른 문제점을 상세히 살펴보도록 한다.

[0004] 도 1은 종래기술에 따른 수직채널형 비휘발성 메모리 소자의 구조 및 제조 방법을 설명하기 위한 단면도이다.

[0005] 도 1에 도시된 바와 같이, 소스 영역(S)이 형성된 기판(10)상에 복수의 층간절연막(11) 및 게이트 전극용 도전막(12)을 형성한 후, 이를 식각하여 기판(10)의 표면이 노출되는 트렌치를 형성한다.

[0006] 이어서, 트렌치 내벽에 전하차단막, 전하트랩막 및 터널절연막(13)을 차례로 형성한다. 여기서, 전하트랩막은 전하를 트랩/방출하여 데이터를 저장/소거하기 위한 일종의 데이터 저장소로서 사용되며, 일반적으로 질화막으로 이루어진다. 물론, 하부 선택 트랜지스터(LST) 및 상부 선택 트랜지스터(UST)는 전하차단막, 전하트랩막 및 터널절연막 대신에 게이트 절연막이 형성된다.

[0007] 이어서, 트렌치 내에 채널용 막을 매립하여 채널(CH)을 형성한다. 이로써, 기판(10)으로부터 돌출된 채널(CH)을 따라 적층된 복수의 메모리 셀(MC)이 형성된다.

[0008] 여기서, 복수의 메모리 셀(MC)들은 하부 선택 트랜지스터(LST) 및 상부 선택 트랜지스터(UST) 사이에 직렬로 연결되어 하나의 스트링(ST)을 구성하며, 각 채널(CH)은 비트라인(BL)과 연결된다.

[0009] 전술한 바와 같은 종래기술에 따르면, 각 메모리 셀(MC)은 전하를 트랩하기 위한 전하트랩막을 구비하는 3차원 구조의 전하트랩형 비휘발성 메모리 소자를 형성할 수 있다. 그러나, 전하트랩형 비휘발성 메모리 소자는 플로팅 게이트형 비휘발성 메모리 소자에 비해 특성이 나쁘다는 문제점이 있다.

[0010] 전하트랩형 비휘발성 메모리 소자는 플로팅 게이트형 비휘발성 메모리 소자에 비해 프로그램/소거 동작의 속도가 느리고, 데이터 보유 특성이 나쁘다. 특히, 3차원 구조의 비휘발성 메모리 소자의 구조적 특성상, 채널을 따

라 적층된 복수의 메모리 셀들의 전하트랩막이 상호 연결되어 있기 때문에, 데이터 보유 특성이 더욱 저하되는 문제점이 있다.

[0011] 따라서, 메모리 소자의 퍼포먼스를 향상시키고 신뢰성을 높이기 위하여, 3차원 구조를 갖는 플로팅 게이트형 비휘발성 메모리 소자 및 그 제조 방법이 요구된다.

발명의 내용

해결 하고자하는 과제

[0012] 본 발명은 상기 요구에 부응하기 위해 제안된 것으로서, 플로팅 게이트 전극 및 상기 플로팅 게이트 전극의 상,하부에 형성된 제1 및 제2콘트롤 게이트 전극을 포함하는 3차원 구조의 플로팅 게이트형 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0013] 상기 목적을 달성하기 위해 제안된 본 발명은 기관으로부터 돌출된 채널을 따라 적층된 복수의 메모리 셀을 포함하는 수직채널형 비휘발성 메모리 소자에 있어서, 기관으로부터 돌출된 채널; 상기 채널을 둘러싼 터널절연막; 상기 채널을 따라 교대로 적층된 복수의 플로팅 게이트 전극 및 콘트롤 게이트 전극; 및 상기 교대로 적층된 복수의 플로팅 게이트 전극 및 콘트롤 게이트 전극들 사이에 개재된 전하차단막을 포함하는 것을 일 특징으로 한다.

[0014] 또한, 본 발명은 수직채널형 비휘발성 메모리 소자 제조 방법에 있어서, 기관상에 복수의 층간절연막 및 희생막을 교대로 형성하는 단계; 상기 복수의 층간절연막 및 희생막을 식각하여 트렌치를 형성하는 단계; 상기 트렌치의 내벽에 노출된 상기 층간절연막을 소정 두께 리세스하는 단계; 상기 층간절연막의 리세스된 영역 내에 도전막을 매립하여 플로팅 게이트 전극을 형성하는 단계; 상기 트렌치 내에 채널용 막을 매립하여 채널을 형성하는 단계; 상기 희생막을 제거하는 단계; 상기 희생막 제거에 의해 노출된 플로팅 게이트 전극을 둘러싸는 전하차단막을 형성하는 단계; 및 상기 전하차단막 간의 오픈된 영역 내에 도전막을 매립하여, 상기 플로팅 게이트 전극에 상,하로 인접한 콘트롤 게이트 전극을 형성하는 단계를 포함하는 것을 다른 특징으로 한다.

[0015] 또한, 본 발명은 수직채널형 비휘발성 메모리 소자 제조 방법에 있어서, 기관상에 복수의 층간절연막 및 콘트롤 게이트 전극용 도전막을 교대로 형성하는 단계; 상기 복수의 층간절연막 및 콘트롤 게이트 전극용 도전막을 식각하여 상기 기관의 표면을 노출시키는 트렌치를 형성하는 단계; 상기 트렌치의 내벽에 노출된 상기 층간절연막을 소정 두께 리세스하는 단계; 상기 리세스된 결과물의 전면을 따라 전하차단막을 형성하는 단계; 상기 전하차단막이 형성된 리세스된 영역 내에 도전막을 매립하여, 콘트롤 게이트 전극에 상,하로 인접한 플로팅 게이트 전극을 형성하는 단계; 및 상기 트렌치 내에 채널용 막을 매립하여 채널을 형성하는 단계를 포함하는 것을 다른 특징으로 한다.

효과

[0016] 본 발명에 따르면, 3차원 구조를 갖는 플로팅 게이트형 비휘발성 메모리 소자를 제공할 수 있다. 특히, 플로팅 게이트 전극의 상,하부에 제1 및 제2콘트롤 게이트 전극을 형성하는데, 이와 같이 하나의 메모리 셀에 2개의 콘트롤 게이트 전극을 포함시킴으로써, 메모리 셀을 보다 용이하게 구동시킬 수 있다.

[0017] 또한, 전하차단막이 플로팅 게이트 전극의 전면을 둘러싸도록 형성함으로써, 종래에 비해 간섭 효과를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하에서는, 본 발명의 가장 바람직한 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 지지와 무관한 공지의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구

성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

- [0019] 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 수직채널형 비휘발성 메모리 소자의 구조를 설명하기 위한 도면이다. 단, 설명의 편의를 위해, 채널, 플로팅 게이트 전극 및 콘트롤 게이트 전극을 중심으로 도시하였으며, 그들 사이에 개재된 절연막은 생략하였다.
- [0020] 도 2a는 본 발명의 일 실시예에 따른 수직채널형 비휘발성 메모리 소자의 단면도를 나타낸다. 도시된 바와 같이, 본 발명의 일 실시예에 따른 수직채널형 비휘발성 메모리 소자는 소스 영역(S)이 형성된 기판으로부터 돌출된 채널(CH)을 따라 적층된 복수의 메모리 셀(MC₀~MC₃)들을 포함한다. 여기서, 복수의 메모리 셀(MC₀~MC₃)들은 하부 선택 트랜지스터(LST) 및 상부 선택 트랜지스터(UST) 사이에 직렬로 연결되어 하나의 스트링(ST)을 구성한다. 복수의 스트링(ST)들은 비트라인(BL)과 각각 연결된다.
- [0021] 메모리 셀(MC)의 구성을 보다 상세히 살펴보면 다음과 같다. 기판(10)으로부터 돌출된 채널(CH)을 둘러싸는 형태로 터널절연막(미도시됨)이 구비되며, 채널(CG)을 따라 복수의 플로팅 게이트 전극(FG) 및 콘트롤 게이트 전극(CG)이 교대로 적층된다. 또한, 복수의 플로팅 게이트 전극(FG) 및 콘트롤 게이트 전극(CG)들 사이에는 전하 차단막(미도시됨)이 개재되어 복수의 플로팅 게이트 전극(FG) 및 콘트롤 게이트 전극(CG)들을 상호 분리시킨다.
- [0022] 여기서, 복수의 메모리 셀(MC) 들 각각은 하나의 플로팅 게이트 전극(FG) 및 플로팅 게이트 전극(FG)의 상,하부에 형성된 콘트롤 게이트 전극(CG)을 포함한다. 예를 들어, 메모리 셀(MC₀)은 플로팅 게이트 전극(FG₀), 플로팅 게이트 전극(FG₀)의 상부에 형성된 제1콘트롤 게이트 전극(CG₁) 및 하부에 형성된 제2콘트롤 게이트 전극(CG₀)을 포함한다.
- [0023] 이때, 인접한 메모리 셀(MC)들은 제1콘트롤 게이트 전극(CG) 또는 제2콘트롤 게이트 전극(CG)을 공유하게 된다. 예를 들어, 메모리 셀(MC₁)은 메모리 셀(MC₀)과 제2콘트롤 게이트 전극(CG₁)을 공유하며, 메모리 셀(MC₂)과 제1콘트롤 게이트 전극(CG₂)을 공유한다.
- [0024] 이와 같은 구조에 따르면, 하나의 메모리 셀(MC)은 두개의 콘트롤 게이트 전극(CG)에 의해 구동된다. 즉, 구동하고자하는 메모리 셀의 플로팅 게이트 전극(FG)의 상,하로 인접한 콘트롤 게이트 전극(CG)에 입력 전압을 인가함으로써 소정 동작을 수행하게 된다.
- [0025] 예를 들어, 메모리 셀(MC₀)은 플로팅 게이트 전극(FG₀)에 상,하로 인접한 제1콘트롤 게이트 전극(CG₁) 및 제2콘트롤 게이트 전극(CG₀)에 입력 전압을 인가함으로써 구동되는데, 특히, 제1콘트롤 게이트 전극(CG₁) 및 제2콘트롤 게이트 전극(CG₀)에 의해 플로팅 게이트 전극(FG₀)이 구동된다. 이에 따른 메모리 소자의 구동을 살펴보면 다음과 같다.
- [0026] 첫째, 프로그램 동작을 수행하는 경우에 대해 살펴보자.
- [0027] 비휘발성 메모리 소자는 페이지(PAGE) 단위로 프로그램 동작을 수행하는데, 본 명세서에서는 설명의 편의를 위하여 하나의 메모리 셀(MC)에 대해 프로그램 동작을 수행하는 경우에 대해 살펴보도록 한다.
- [0028] 플로팅 게이트형 비휘발성 메모리 소자는 프로그램 동작시 F-N 터널링(Fowler-Nordheim tunneling)에 의해 채널(CH)의 전하를 플로팅 게이트 전극(FG)으로 주입한다. 즉, 플로팅 게이트 전극(FG)의 전도성 밴드(conduction band) 내에 전하를 저장시킴으로써 데이터를 저장한다.
- [0029] 본 발명에 따르면, 하나의 메모리 셀(MC)에 두개의 콘트롤 게이트 전극(CG) 즉, 제1콘트롤 게이트 전극 및 제2콘트롤 게이트 전극이 포함된다. 따라서, 프로그램 동작을 수행하고자하는 메모리 셀(MC₂)의 플로팅 게이트 전극(FG₂)에 상,하로 인접한 제1콘트롤 게이트 전극(CG₃) 또는 제2콘트롤 게이트 전극(CG₂), 즉, 프로그램하고자하는 메모리 셀(MC₂)이 포함된 페이지(PAGE)의 워드라인(WL₃) 또는 워드라인(WL₂)에 프로그램 전압(V_{pgm})을 인가한다.
- [0030] 이때, 제1콘트롤 게이트 전극(CG₃)과 제2콘트롤 게이트 전극(CG₂) 둘 중의 하나의 콘트롤 게이트 전극(CG₃ 또는 CG₂)에만 프로그램 전압(V_{pgm})을 인가하거나, 두개의 콘트롤 게이트 전극(CG₃ 및 CG₂)에 모두 프로그램 전압(V_{pgm})을 인가할 수 있다. 또한, 두개의 콘트롤 게이트 전극(CG₃ 및 CG₂)에 모두 프로그램 전압(V_{pgm})을 인가하는 경우, 동일한 레벨의 프로그램 전압(V_{pgm})을 인가하거나 상이한 레벨의 프로그램 전압(V_{pgm})을 인가하

는 것이 모두 가능하다. 여기서, 프로그램 전압(Vpgm)은 15 내지 25V인 것이 바람직하다.

- [0031] 또한, 프로그램 동작을 수행하지 않는 메모리 셀(MC_0,MC_1,MC_3)의 콘트롤 게이트 전극(CG) 즉, 프로그램 동작을 수행하지 않는 페이지(PAGE)의 워드라인(WL_0,WL_1,WL_4)에 패스 전압(Vpass)을 인가한다. 예를 들어, 패스 전압(Vpass)은 2V 또는 10V인 것이 바람직하다.
- [0032] 또한, 상부 선택 라인(USL)에는 약 4.5V의 전압을 인가하고, 하부 선택 라인(LSL)에는 접지 전압을 인가하고, 소스 영역(S)에는 Vcc전압을 인가하는 것이 바람직하다.
- [0033] 또한, 선택된 메모리 셀(MC_2)과 연결된 비트라인(BL)에는 접지 전압을 인가하고, 그 외의 비트라인(BL)에는 Vcc 전압을 인가하는 것이 바람직하다.
- [0034] 둘째, 소거 동작을 수행하는 경우에 대해 살펴보자.
- [0035] 비휘발성 메모리 소자는 블록(BLOCK) 단위로 소거 동작을 수행하는데, 본 명세서에서는 설명의 편의를 위하여 하나의 메모리 셀(MC)에 대해 프로그램 동작을 수행하는 경우에 대해 살펴보도록 한다.
- [0036] 플로팅 게이트형 비휘발성 메모리 소자는 플로팅 게이트 전극(FG)의 전도성 밴드 내에 저장된 전하를 F-N 터널링에 의해 채널(CH)로 방출시킴으로써 데이터를 소거한다.
- [0037] 본 발명에 따르면, 하나의 메모리 셀(MC)에 두개의 콘트롤 게이트 전극(CG) 즉, 제1콘트롤 게이트 전극 및 제2콘트롤 게이트 전극이 포함되므로, 소거 동작을 수행하고자하는 메모리 셀(MC_2)의 플로팅 게이트 전극(FG_2)에 상,하로 인접한 제1콘트롤 게이트 전극(CG_3) 또는 제2콘트롤 게이트 전극(CG_2), 즉, 소거 동작을 수행하고자하는 메모리 블록의 워드라인(WL_0~WL_4)에 소거 전압(Verase)을 인가한다.
- [0038] 이때, 제1콘트롤 게이트 전극(CG_3)과 제2콘트롤 게이트 전극(CG_2) 둘 중의 하나의 콘트롤 게이트 전극(CG_3 또는 CG_2)에만 소거 전압(Verase)을 인가하거나, 두개의 콘트롤 게이트 전극(CG_3 및 CG_2)에 모두 소거 전압(Verase)을 인가할 수 있다. 또한, 두개의 콘트롤 게이트 전극(CG_3 및 CG_2)에 모두 소거 전압(Verase)을 인가하는 경우, 동일한 레벨의 소거 전압(Verase)을 인가하거나 상이한 레벨의 소거 전압(Verase)을 인가하는 것이 모두 가능하다. 여기서, 소거 전압(Vpgm)은 -15 내지 -25V인 것이 바람직하다.
- [0039] 또한, 상부 선택 라인(USL) 및 하부 선택 라인(LSL)에는 약 4.5V의 전압을 인가하고, 소스 영역(S)에는 접지 전압을 인가하며, 비트라인(BL)에는 접지 전압을 인가하는 것이 바람직하다.
- [0040] 셋째, 리드 동작을 수행하는 경우에 대해 살펴보자.
- [0041] 비휘발성 메모리 소자는 페이지(PAGE) 단위로 리드 동작을 수행하는데, 본 명세서에서는 설명의 편의를 위하여 하나의 메모리 셀(MC)에 대해 프로그램 동작을 수행하는 경우에 대해 살펴보도록 한다.
- [0042] 플로팅 게이트형 비휘발성 메모리 소자는 데이터 "1"이 저장된(소거된) 메모리 셀(MC)과 데이터 "0"이 저장된(프로그램된) 메모리 셀(MC) 간의 문턱 전압 차이를 이용하여 메모리 셀(MC)에 저장된 데이터를 리드한다.
- [0043] 본 발명에 따르면, 하나의 메모리 셀(MC)에 두개의 콘트롤 게이트 전극(CG) 즉, 제1콘트롤 게이트 전극 및 제2콘트롤 게이트 전극이 포함된다. 따라서, 리드 동작을 수행하고자하는 메모리 셀(MC_2)의 플로팅 게이트 전극(FG_2)에 상,하로 인접한 제1콘트롤 게이트 전극(CG_3) 또는 제2콘트롤 게이트 전극(CG_2), 즉, 리드하고자하는 메모리 셀(MC_2)이 포함된 페이지(PAGE)의 워드라인(WL_3) 또는 워드라인(WL_2)에 리드 전압(Vread)을 인가한다.
- [0044] 이때, 제1콘트롤 게이트 전극(CG_3)과 제2콘트롤 게이트 전극(CG_2) 둘 중의 하나의 콘트롤 게이트 전극(CG_3 또는 CG_2)에만 리드 전압(Vread)을 인가하거나, 두개의 콘트롤 게이트 전극(CG_3 및 CG_2)에 모두 리드 전압(Vread)을 인가할 수 있다. 또한, 두개의 콘트롤 게이트 전극(CG_3 및 CG_2)에 모두 리드 전압(Vread)을 인가하는 경우, 동일한 레벨의 리드 전압(Vread)을 인가하거나 상이한 레벨의 리드 전압(Vread)을 인가하는 것이 모두 가능하다. 여기서, 리드 전압(Vread)은 -5 내지 5V인 것이 바람직하다.
- [0045] 또한, 리드 동작을 수행하지 않는 메모리 셀(MC_0,MC_1,MC_3)의 콘트롤 게이트 전극(CG) 즉, 리드 동작을 수행하지 않는 페이지(PAGE)의 워드라인(WL_0,WL_1,WL_4)에 턴온 전압을 인가한다. 여기서, 턴온 전압은 메모리 셀(MC)의 프로그램 여부에 관계없이 해당 메모리 셀(MC)을 턴온시키기 위한 것으로서, 약 5V인 것이 바람직하다.
- [0046] 또한, 상부 선택 라인(USL) 및 하부 선택 라인(LSL)에는 약 4.5V의 전압을 인가하고, 소스 영역(S)에는 접지 전

압을 인가하며, 비트라인(BL)에는 약 1V의 전압을 인가하는 것이 바람직하다.

[0047] 도 2b 및 도 2c는 본 발명의 일 실시예에 따른 수직채널형 비휘발성 메모리 소자의 메모리 셀 구조를 설명하기 위한 것으로서, 특히, 도 2b는 메모리 소자의 평면도를 나타내며, 도 2c는 메모리 셀의 구조를 나타내는 사시도이다.

[0048] 도시된 바와 같이, 비트라인(BL)과 워드라인(WL)이 교차하는 영역에 메모리 셀(MC)이 형성되는데, 메모리 셀(MC)은 채널(CH), 채널(CH)을 둘러싸는 터널절연막(T), 채널(CH)을 따라 적층된 복수의 플로팅 게이트 전극(FG) 및 콘트롤 게이트 전극(CG) 및 복수의 플로팅 게이트 전극(FG) 및 콘트롤 게이트 전극(CG) 사이에 개재된 전하 차단막(B)을 포함한다. 즉, 메모리 셀(MC)은 하나의 플로팅 게이트 전극(FG)이 상,하로 인접한 두개의 콘트롤 게이트 전극(CG)을 공유하게 된다.

[0049] 이와 같은 구조를 갖는 수직채널형 비휘발성 메모리 소자의 커플링 비는 다음의 수학식 1을 통해 산출될 수 있다. 이때, 본 발명의 일 실시예에 따른 수직채널형 비휘발성 메모리 소자는 하나의 플로팅 게이트 전극(FG)에 상,하로 인접한 두개의 콘트롤 게이트 전극(CG)을 구비하므로, 커플링비 계산시, 콘트롤 게이트 전극(CG)과 플로팅 게이트 전극(FG) 간의 캐패시턴스는 두배로 계산된다.

수학식 1

[0050]
$$\text{커플링비}(C.R) = \frac{2C_B}{2C_B + C_T}$$

[0051]
$$C_B = \frac{\epsilon S}{t_B} = \frac{\epsilon * \pi * (R * R - r * r)}{t_B}$$

[0052]
$$C_T = \frac{\epsilon S}{t_T} = \frac{\epsilon * 2r\pi * h}{t_T}$$

[0053] 여기서, t_T 는 터널절연막(T)의 두께를 나타내며, t_B 는 전하차단막(B)의 두께를 나타낸다. 또한, h 는 플로팅 게이트 전극(FG)의 높이를 나타내고, r 은 터널절연막의 반지름을 나타내고, R 은 플로팅 게이트 전극(FG)의 반지름을 나타내며, S 는 면적을 나타낸다.

[0054] 예를 들어, $t_T = 8\text{nm}$, $t_B = 12\text{nm}$, $h = 60\text{nm}$, $r = 20\text{nm}$, $R = 50\text{nm}$ 인 경우, 커플링 비는 0.538이 되므로, 종래의 전하 트랩막을 갖는 수직채널형 비휘발성 메모리 소자에 비해 커플링 비를 개선할 수 있다. 따라서, 메모리 소자의 퍼포먼스를 개선할 수 있다.

[0055] 도 3a 내지 도 3f는 본 발명의 제1 실시예에 따른 수직채널형 비휘발성 메모리 소자 제조 방법을 설명하기 위한 공정 단면도이다.

[0056] 도 3a에 도시된 바와 같이, 기판(30)상에 복수의 층간절연막(31) 및 희생막(32)을 교대로 형성한다.

[0057] 여기서, 층간절연막(31)은 후속 공정에 의해 플로팅 게이트 전극을 형성하기 위한 영역을 제공하며, 플로팅 게이트 전극의 상부 및 하부에 형성되는 콘트롤 게이트 전극을 상호 분리시키는 역할을 하게 된다. 또한, 희생막(32)은 후속 공정에서 전하차단막 및 콘트롤 게이트 전극을 형성하기 위한 공간을 확보하기 위한 것이다.

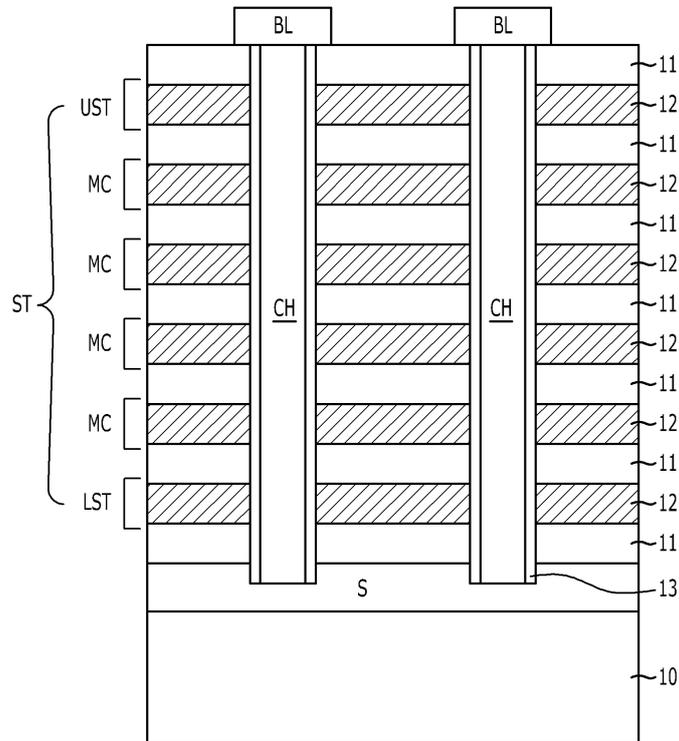
[0058] 층간절연막(31) 및 희생막(32)의 적층 수는 기판(30)상에 적층하고자하는 메모리 셀(MC)의 갯수를 고려하여 결정하는 것이 바람직하다. 또한, 본 도면에서는 복수의 층간절연막(31) 및 희생막(32)을 동일한 두께로 도시하였으나, 하부 선택 트랜지스터(LST) 및 상부 선택 트랜지스터(UST)를 형성하기 위한 층간절연막(31) 및 희생막(32)은 메모리 셀을 형성하기 위한 층간절연막(31) 및 희생막(32)보다 두껍게 형성되는 것이 바람직하다.

- [0059] 또한, 후속 공정에서 복수의 층간절연막(31)이 유지된 상태에서 희생막(32)만을 선택적으로 제거하여 전하차단막 및 콘트롤 게이트 전극을 형성하기 위한 공간을 확보하게 되므로, 희생막(32)은 층간절연막(31)과의 식각 선택비가 큰 물질로 이루어지는 것이 바람직하다. 특히, 층간절연막(31)은 산화막 예를 들어, SiO₂막으로 이루어지고, 희생막(32)은 탄소막 또는 질화막 예를 들어, SiN막으로 이루어지는 것이 더욱 바람직하다.
- [0060] 이어서, 복수의 층간절연막(31) 및 희생막(32)을 식각하여 트렌치(T1)를 형성한다. 여기서, 트렌치(T1)는 내벽에 복수의 층간절연막(31)을 모두 노출시킬 수 있을 정도의 깊이로 형성되는 것이 바람직하다.
- [0061] 도 3b에 도시된 바와 같이, 트렌치(T1)의 내벽에 의해 노출된 복수의 층간절연막(31)을 소정 두께 리세스한다. 여기서, 리세스되는 두께는 후속 공정에 의해 형성되는 플로팅 게이트 전극의 두께를 고려하여 결정되는 것이 바람직하다. 본 도면에서는 소정 두께 리세스된 층간절연막을 도면 부호 "31A"로 도시하였다.
- [0062] 여기서, 층간절연막(31A)의 리세스 단계는 습식 식각 공정 또는 등방성 식각에 의해 수행되는 것이 바람직하다.
- [0063] 이어서, 층간절연막(31A)의 리세스된 영역 내에 도전막을 매립하여 플로팅 게이트 전극(33)을 형성한다. 여기서, 플로팅 게이트 전극(33)은 리세스된 영역을 포함한 트렌치 내에 도전막을 매립한 후, 도전막에 대해 에치백 공정을 수행함으로써 형성되는 것이 바람직하다.
- [0064] 도 3c에 도시된 바와 같이, 채널(35)을 형성하기에 앞서, 트렌치의 내벽의 터널절연막(34)을 형성한다. 이어서, 터널절연막(34)이 형성된 트렌치 내에 채널용 막을 매립하여 채널(35)을 형성한다. 여기서, 채널용막은 폴리실리콘막인 것이 바람직하다.
- [0065] 이때, 플로팅 게이트 전극(33)이 형성된 결과물의 전면을 따라 터널절연막(34)을 형성한 후, 에치백 공정에 의해 트렌치 저면에 기관(30)의 표면을 노출시키는게 바람직하다.
- [0066] 또한, 본 도면에는 도시되지 않았으나, 에치백 공정에서 터널절연막(34)의 손상을 방지하기 위해 터널절연막(34) 상에 보호막으로서 산화막, 질화막, 카본막 또는 폴리실리콘막을 추가로 형성하는 것이 바람직하다. 예를 들어, 플로팅 게이트 전극(33)을 형성한 후, 트렌치의 전면을 따라 터널절연막용 물질막을 형성한다. 이어서, 터널절연막용 물질막 상에 보호막을 형성한 후, 트렌치 저면의 기관(30)이 노출되도록 보호막 및 터널절연막용 물질막을 에치백함으로써, 트렌치 내벽에 터널절연막을 형성할 수 있다.
- [0067] 이와 같이 보호막을 형성하는 경우, 채널용 막 매립에 앞서 보호막을 제거하는 것이 바람직한데, 채널용막과 동일한 물질로 이루어지는 보호막을 형성하는 경우, 보호막을 제거하지 않고 바로 채널용막을 매립하는 것이 가능하다.
- [0068] 도 3d에 도시된 바와 같이, 복수의 층간절연막(31A) 및 희생막(32)을 식각하여 트렌치(T2)를 형성한다. 본 도면에서는 트렌치(T2) 형성 과정에서 패터닝된 층간절연막은 도면부호 "31B"로 도시하였으며, 희생막은 도면부호 "32A"로 도시되었다.
- [0069] 이와 같은, 트렌치(T2) 형성 공정을 통해, 후속 공정에 의해 형성되는 콘트롤 게이트 전극 즉, 워드라인을 패터닝할 수 있다. 여기서, 트렌치(T2)는 내벽에 복수의 희생막(32)을 모두 노출시킬 수 있을 정도의 깊이로 형성되는 것이 바람직하다.
- [0070] 도 3e에 도시된 바와 같이, 트렌치(T2)의 내벽에 의해 노출된 희생막(32A)을 제거하여 복수의 플로팅 게이트 전극(33) 사이에 전하차단막 및 콘트롤 게이트 전극을 위한 영역을 오픈한다(도면 부호 "㉠" 참조).
- [0071] 도 3f에 도시된 바와 같이, 희생막(32A)이 제거된 결과물의 전면을 따라 전하차단막(36)을 형성한다. 여기서, 전하차단막(36)은 플로팅 게이트 전극(33)의 전면을 둘러싸는 형태로 형성되며, 이를 통해, 인접한 메모리 셀 간의 간섭 효과를 감소시킬 수 있다.
- [0072] 이로써, 희생막(32A) 제거에 의해 오픈된 영역(㉠) 중 일부에 전하차단막(36)이 형성된다.
- [0073] 이어서, 전하차단막(36)이 형성된 오픈된 영역(㉠) 내에 도전막을 매립하여 콘트롤 게이트 전극(37)을 형성한다. 즉, 전하차단막(36) 사이의 오픈된 영역 내에 도전막을 매립하여 콘트롤 게이트 전극(37)을 형성한다.
- [0074] 여기서, 콘트롤 게이트 전극(37)은 오픈된 영역(㉠)을 포함한 트렌치(T2) 내에 도전막을 매립한 후, 도전막에 대해 에치백 공정을 수행함으로써 형성되는 것이 바람직하다.
- [0075] 이어서, 콘트롤 게이트 전극(37)이 형성된 결과물의 트렌치 내에 절연막(38)을 매립한다.

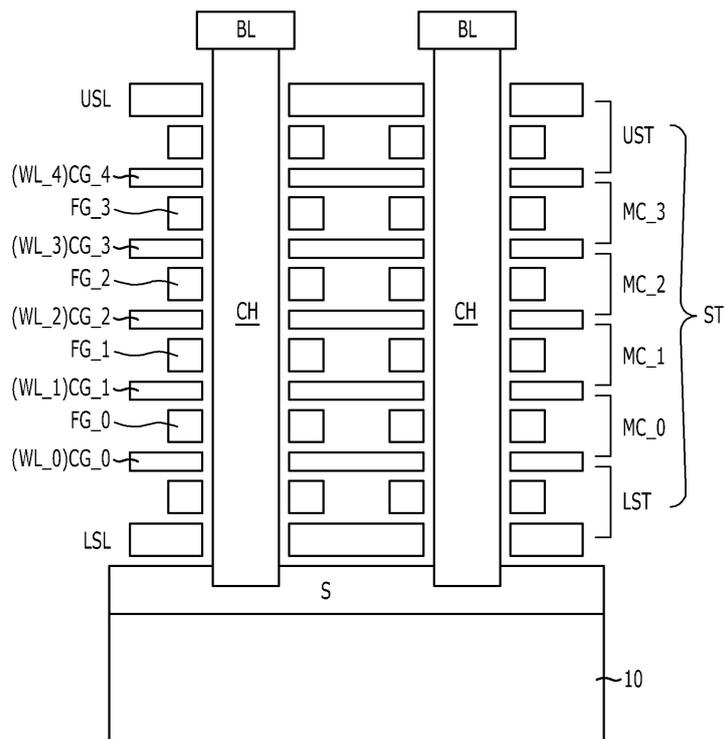
- [0076] 이어서, 본 도면에는 도시되지 않았으나, 각 채널(35)과 연결되는 비트라인을 형성하는 등의 후속 공정이 수행된다.
- [0077] 진술한 바와 같은 본 발명에 따르면, 3차원 구조를 갖는 플로팅 게이트형 비휘발성 메모리 소자를 용이하게 형성할 수 있다. 특히, 희생막이 제거된 영역 내에 도전막을 매립하여 플로팅 게이트 전극(33)의 상,하부에 제1 및 제2콘트롤 게이트 전극(37)을 형성함으로써, 두 개의 콘트롤 게이트 전극에 의해 구동되는 플로팅 게이트 전극을 포함하는 메모리 셀을 형성할 수 있다.
- [0078] 또한, 전하차단막(36)이 플로팅 게이트 전극(33)의 전면을 둘러싸는 형태로 형성되므로, 종래에 비해 메모리 셀 간의 간섭 효과를 감소시킬 수 있다.
- [0079] 도 4a 내지 도 4f는 본 발명의 제2 실시예에 따른 수직채널형 비휘발성 메모리 소자 제조 방법을 설명하기 위한 공정 단면도이다.
- [0080] 도 4a에 도시된 바와 같이, 기판(40)상에 복수의 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)을 교대로 형성한다.
- [0081] 여기서, 층간절연막(41)은 후속 공정에 의해 플로팅 게이트 전극을 형성하기 위한 영역을 제공하며, 플로팅 게이트 전극의 상부 및 하부에 형성되는 콘트롤 게이트 전극을 상호 분리시키는 역할을 한다.
- [0082] 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)의 적층 수는 기판(40)상에 적층하고자하는 메모리 셀(MC)의 갯수를 고려하여 결정하는 것이 바람직하다. 또한, 본 도면에서는 복수의 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)을 동일한 두께로 도시하였으나, 하부 선택 트랜지스터(LST) 및 상부 선택 트랜지스터(UST)를 형성하기 위한 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)이 메모리 셀을 형성하기 위한 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)보다 두껍게 형성되는 것이 바람직하다.
- [0083] 또한, 층간절연막(41)은 절연막으로 이루어지는 것이 바람직한데, 예를 들어, 산화막으로 이루어지는 것이 더욱 바람직하다. 단, 최상층의 층간절연막(41)은 하드마스크층으로서 역할을 하게 되므로 질화막으로 이루어지는 것이 더욱 바람직하다.
- [0084] 이어서, 복수의 층간절연막(41) 및 콘트롤 게이트 전극용 도전막(42)을 식각하여 트렌치(T3)를 형성한다. 여기서, 트렌치(T3)는 내벽에 복수의 층간절연막(41)을 모두 노출시킬 수 있을 정도의 깊이로 형성되는 것이 바람직하다.
- [0085] 도 4b에 도시된 바와 같이, 트렌치(T3)의 내벽에 의해 노출된 복수의 층간절연막(41)을 소정 두께 리세스한다. 여기서, 리세스 되는 두께는 후속 공정에 의해 형성되는 전하차단막 및 플로팅 게이트 전극의 두께를 고려하여 결정되는 것이 바람직하다.
- [0086] 이로써, 후속 공정에 의해 전하차단막 및 플로팅 게이트 전극을 형성할 영역이 오픈된다. 본 도면에서는 소정 두께 리세스된 층간절연막을 도면 부호 "41A"로 도시하였다.
- [0087] 여기서, 층간절연막(41A)의 리세스 단계는 습식 식각 공정 또는 등방성 식각에 의해 수행되는 것이 바람직하다. 단, 층간절연막(41A)의 리세스 단계에서, 질화막으로 이루어지는 최상층의 층간절연막(41)은 리세스되지 않는다.
- [0088] 이어서, 층간절연막(41A)이 소정 두께 리세스된 결과물의 전면을 따라 전하차단막(43)을 형성한다. 이로써, 층간절연막(41A)의 리세스에 의해 오픈된 영역 중 일부에 전하차단막(43)이 형성된다.
- [0089] 이어서, 전하차단막(43)이 형성된 오픈된 영역 내에 도전막을 매립하여 콘트롤 게이트 전극에 상,하로 인접한 플로팅 게이트 전극(44)을 형성한다. 여기서, 플로팅 게이트 전극(44)은 오픈된 영역을 포함한 트렌치(T3) 내에 도전막을 매립한 후, 도전막에 대해 에치백 공정을 수행함으로써 형성되는 것이 바람직하다.
- [0090] 이로써, 전하차단막(43)에 의해 전면이 둘러싸인 플로팅 게이트 전극(44)이 형성된다.
- [0091] 도 4c에 도시된 바와 같이, 채널(46)을 형성하기에 앞서, 트렌치의 내벽의 터널절연막(45)을 형성한다. 즉, 플로팅 게이트 전극(44)이 형성된 트렌치(T3)의 내벽에 터널절연막(45)을 형성한 후, 터널절연막(45)이 형성된 트

도면

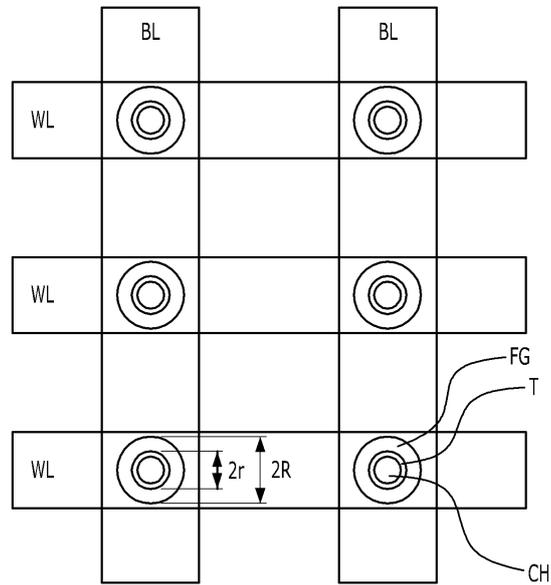
도면1



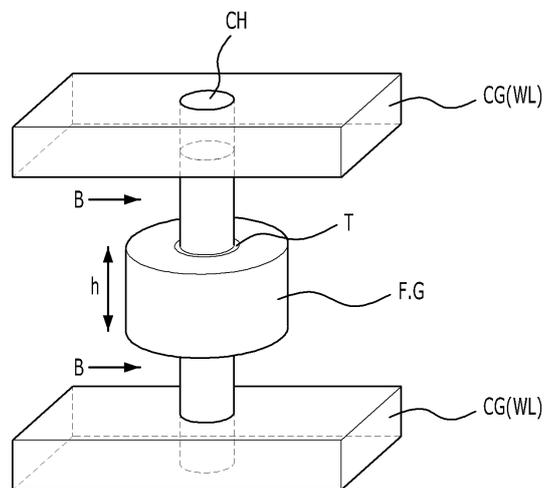
도면2a



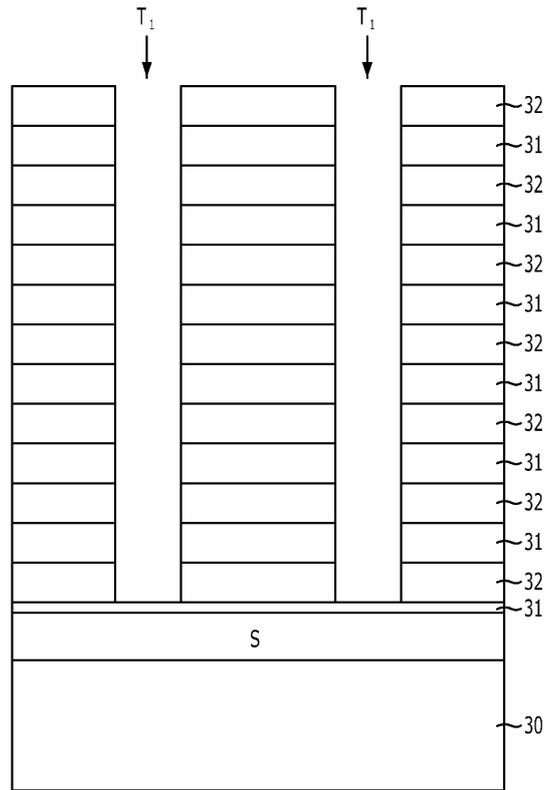
도면2b



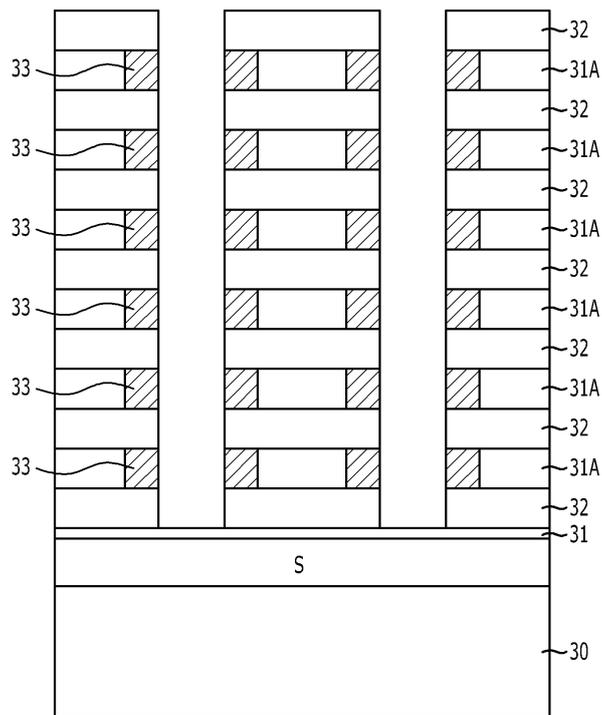
도면2c



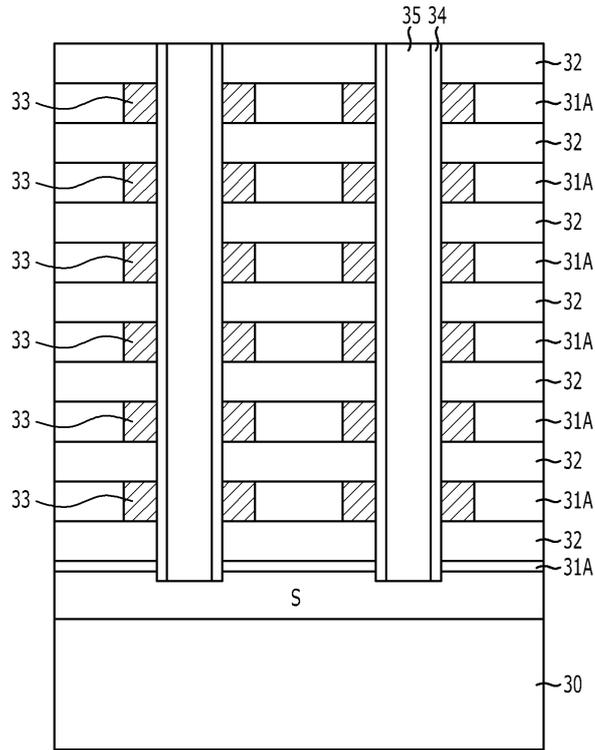
도면3a



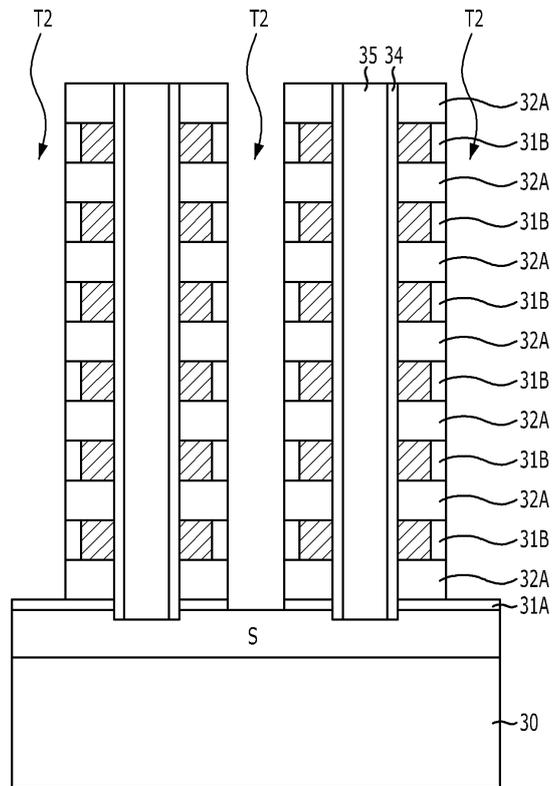
도면3b



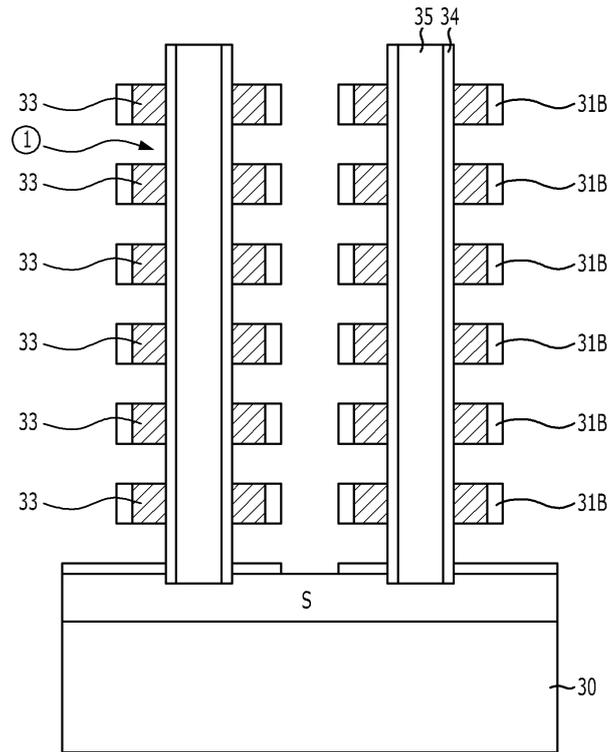
도면3c



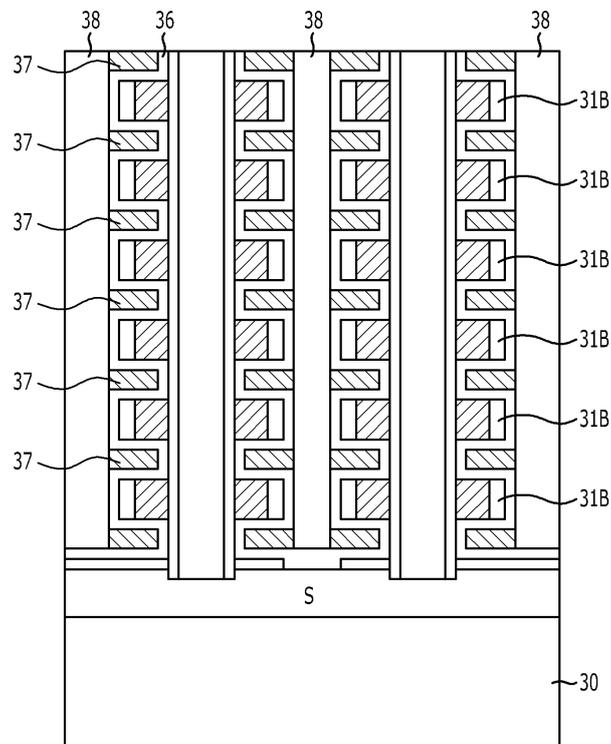
도면3d



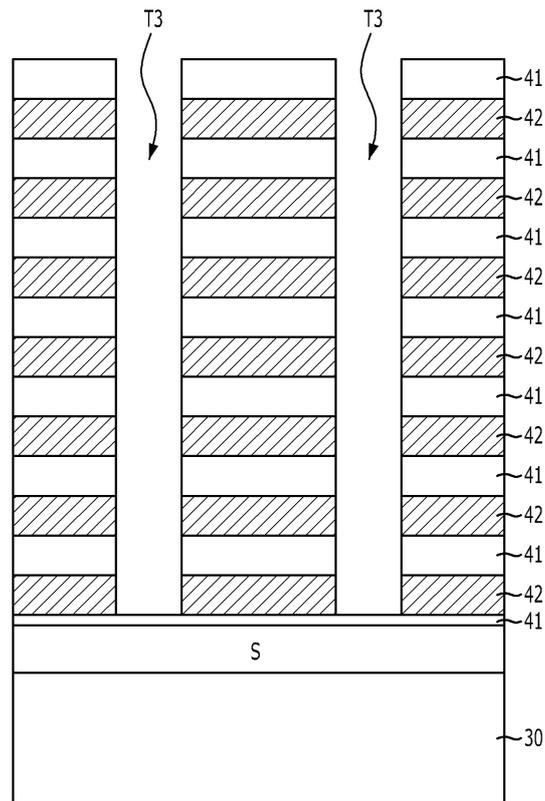
도면3e



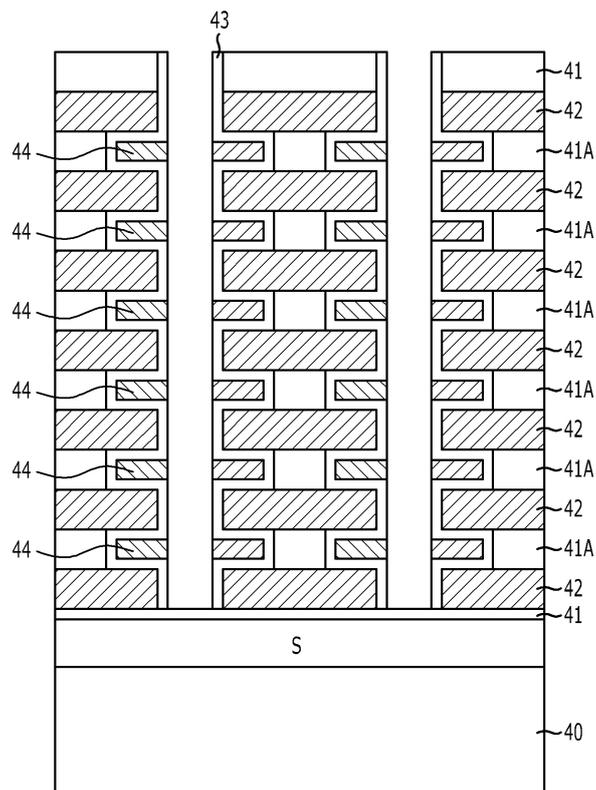
도면3f



도면4a



도면4b



도면4d

