

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-4612

(P2006-4612A)

(43) 公開日 平成18年1月5日(2006.1.5)

(51) Int. Cl.

G11C 11/406 (2006.01)

F I

G11C 11/34 363L

テーマコード(参考)

5MO24

審査請求 未請求 請求項の数 20 O L (全 12 頁)

(21) 出願番号 特願2005-175750 (P2005-175750)
 (22) 出願日 平成17年6月15日(2005.6.15)
 (31) 優先権主張番号 2004-044116
 (32) 優先日 平成16年6月15日(2004.6.15)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si
 Gyeonggi-do, Republic of Korea

(74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

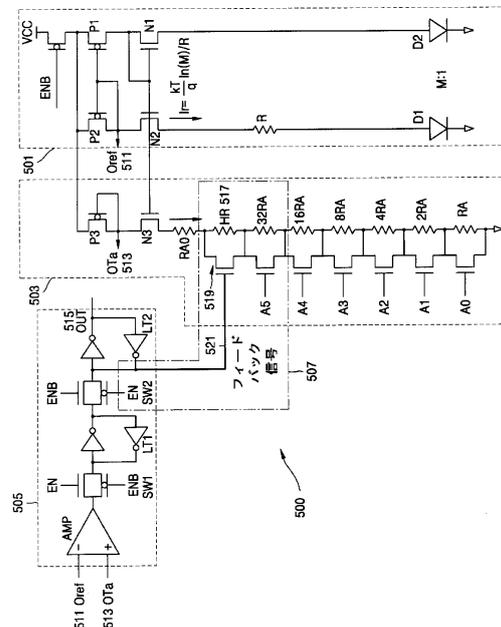
(54) 【発明の名称】 ヒステリシス特性を有する温度感知回路

(57) 【要約】

【課題】 ヒステリシス特性を有する温度感知回路を提供する。

【解決手段】 温度信号に応答して可変するリフレッシュ周期を有するDRAM、及びDRAMの温度が第1温度レベル以上である場合、第1の二進値を有する温度信号を生成し、DRAMの温度が第2温度レベル以下である場合、第2の二進値を有する温度信号を生成し、第2温度レベルは、第1温度レベルより低い温度感知回路を備える半導体装置である。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

温度信号に対応して可変するリフレッシュ周期を有する D R A M と、
前記 D R A M の温度が第 1 温度レベル以上である場合、第 1 の二進値を有する前記温度信号を生成し、前記 D R A M の温度が第 2 温度レベル以下である場合、第 2 の二進値を有する前記温度信号を生成する温度感知回路と、を備え、

前記第 2 温度レベルは、前記第 1 温度レベルより低いことを特徴とする半導体装置。

【請求項 2】

前記温度感知回路は、

前記 D R A M の温度により、第 1 傾度を有して変化する第 1 基準電圧を発生させる第 1 基準電圧発生部と、

前記 D R A M の温度により、第 2 傾度を有して変化する第 2 基準電圧を発生させる第 2 基準電圧発生部と、

前記第 1 基準電圧及び前記第 2 基準電圧を比較して、前記比較結果により、前記温度感知回路により出力される前記温度信号を生成する比較部と、

前記比較部から出力された前記温度信号により、前記第 2 基準電圧発生部により生成される前記第 2 基準電圧を可変するフィードバック部と、を備えることを特徴とする半導体装置。

【請求項 3】

前記第 1 基準電圧の前記第 1 傾度及び前記第 2 基準電圧の前記第 2 傾度は、相異なることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 基準電圧発生部は、非対称のダイオード構造を備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記第 2 基準電圧発生部は、複数の抵抗を備え、前記複数の抵抗は、一つ以上の外部制御信号により可変する結合された抵抗を生成し、前記第 2 基準電圧は、前記抵抗の前記結合抵抗により可変されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 基準電圧及び前記第 2 基準電圧は、特定温度で同一の電圧を有することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 2 基準電圧発生部は、前記複数の抵抗のうち、異なる抵抗とそれぞれ並列に連結された複数個のスイッチを備え、前記外部制御信号のうち関連した制御信号に応答して、前記抵抗のうち対応する抵抗を選択的に短絡させて、前記第 2 基準電圧発生部の前記抵抗を可変させ、

前記第 1 基準電圧及び前記第 2 基準電圧が同一である前記特定温度は、前記外部制御信号により所望の感知温度に設定されることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 基準電圧発生部は、P T A T 電圧発生部を備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 9】

前記第 2 基準電圧発生部は、前記 D R A M の感知された温度が上昇するとき、第 1 感知温度で前記第 1 基準電圧と同一の値を有する前記第 2 基準電圧を発生させ、前記 D R A M の感知された温度が下降するとき、第 2 感知温度で前記第 1 基準電圧と同一の値を有する前記第 2 基準電圧を発生させることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記比較部が前記第 1 の二進値を有する前記温度信号を出力すれば、前記第 2 基準電圧発生部の前記抵抗は、前記温度信号の前記第 1 の二進値に応答して増加し、

前記比較部が前記第 2 の二進値を有する前記温度信号を出力すれば、前記第 2 基準電圧

発生部の前記抵抗は、前記温度信号の前記第2の二進値に応答して減少することを特徴とする請求項7に記載の半導体装置。

【請求項11】

前記第2基準電圧発生部の前記抵抗が増加すれば、前記感知温度は低下し、前記第2基準電圧発生部の前記抵抗が減少すれば、前記感知温度は上昇することを特徴とする請求項10に記載の半導体装置。

【請求項12】

前記第2基準電圧の前記抵抗は、前記外部制御信号のうち選択される信号を可変して、前記スイッチのうち対応するスイッチを選択的にオン/オフさせ、前記抵抗のうち対応する抵抗を短絡させることによって可変されることを特徴とする請求項10に記載の半導体装置。

10

【請求項13】

温度感知回路を備える半導体装置において、前記温度感知回路は、
第1基準電圧を発生させる第1基準電圧発生部と、
第2基準電圧を発生させる第2基準電圧発生部と、を備え、
前記第1基準電圧は、前記第2基準電圧と異なる傾度を有して可変され、前記第2基準電圧は、前記半導体装置の感知温度が上昇する場合には、第1感知温度で前記第1基準電圧と同一の値を有し、また前記第2基準電圧は、前記半導体装置の感知温度が低下する場合には、第2感知温度で前記第1基準電圧と同一の値を有し、前記第1感知温度は、前記第2感知温度と異なる値を有することを特徴とする半導体装置。

20

【請求項14】

前記第1感知温度は、前記第2感知温度より高い値であることを特徴とする請求項13に記載の半導体装置。

【請求項15】

前記第1感知温度は、前記第2感知温度より低い値であることを特徴とする請求項13に記載の半導体装置。

【請求項16】

前記第2基準電圧発生部は、前記第2基準電圧と前記第1基準電圧との差により、前記第2基準電圧を可変させることを特徴とする請求項13に記載の半導体装置。

【請求項17】

前記半導体装置は、前記第1基準電圧及び前記第2基準電圧に応答して、リフレッシュ周期を可変するように構成されたDRAMをさらに備えることを特徴とする請求項13に記載の半導体装置。

30

【請求項18】

温度感知回路を備える半導体装置において、前記温度感知回路は、
前記半導体装置の温度に対応して、第1傾度を有して可変する第1基準電圧を生成し、
前記半導体装置の温度に対応して、前記第1傾度と異なる第2傾度を有して可変する第2基準電圧を生成するように構成される温度対応電圧発生部と、

前記第1基準電圧及び前記第2基準電圧を比較して、前記比較結果により温度信号を生成する比較部と、を備え、

40

前記温度対応電圧発生部は、前記比較部から出力される前記温度信号に応答して、前記第2基準電圧を可変させるように構成されることを特徴とする半導体装置。

【請求項19】

前記温度対応電圧発生部は、第1基準電圧を生成する非対称のダイオード構造を備えることを特徴とする請求項18に記載の半導体装置。

【請求項20】

前記温度対応電圧発生部は、一つ以上の外部制御信号により可変する結合抵抗を生成するように構成される複数の抵抗を備え、前記第2基準電圧は、前記抵抗の結合抵抗により可変されることを特徴とする請求項18に記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体メモリ装置に係り、特に可変のメモリリフレッシュ周期を有するDRAM (Dynamic Random Access Memory) 装置に関する。

【背景技術】

【0002】

DRAM装置は、一定した周期でメモリセルに保存されたデータをリフレッシュせねばならない。これはDRAM装置のメモリセルがキャパシタから構成されているので、時間が経れば漏れ電流によりデータが消滅されるためである。この際、リフレッシュ周期があまり短いと不要な電流の浪費が生じ、リフレッシュ周期があまり長いとデータが消滅される恐れがある。したがって、DRAMメモリセルは、リフレッシュする周期を適切に調節する必要がある。また、メモリセルのデータは、半導体メモリ装置の温度により、データの保存時間が異なる。したがって、DRAM装置などの半導体装置は、温度感知回路を装着し、感知された温度により、特定回路、例えばDRAMの場合は、リフレッシュの周期を調節する回路を制御する。

10

【0003】

図1は、DRAM装置の温度変化によるリフレッシュ周期の変化を示す図面である。

図1において、x座標は、半導体装置の温度を表し、y座標は、対数目盛り(log scale)で表示されたリフレッシュ周期を表す。DRAM装置の温度が5 程度であれば、リフレッシュ周期が1 s程度となるが、DRAM装置の温度が85 程度となれば、リフレッシュ周期が100 ms程度に落ちる。したがって、半導体装置の温度を感知して、低温度では、リフレッシュ周期を長く設定し、高温では、リフレッシュ周期を短く設定せねばならない。図1に示した例では、45 を基準として、図1のグラフにおいて45 以下では、周期が長く設定され、45 以上では、周期が短く設定されている。

20

【0004】

このように、半導体集積回路に温度感知回路を使用する主目的は、温度感知回路の出力を利用して、半導体集積回路の制御手段の動作を制御することによって、システムの電流消費を低減するところにある。しかし、温度感知回路の感知結果により、頻繁な制御回路の変動が生じて不要な誤動作を起し、消費電流が増加することがある。

【0005】

図2は、従来の温度感知回路の感知温度特性を示す図面である。

図2に示すように、半導体メモリ装置が所定の温度以上となる時、温度感知回路がロジックハイレベルの信号を出力し、半導体メモリ装置が所定の温度以下となる時、温度感知回路がロジックローレベルの信号を出力する。

例えば、図2に示すように、50 を感知できる温度感知回路が1 msごとに一回ずつ動作すると仮定すれば、この温度感知回路を内蔵した半導体チップが50 付近で動作する場合、温度感知回路の出力が1 msごとに一回ずつ50 以上/以下の逆になる結果データを出力することもある。この場合、温度感知回路の出力を利用してリフレッシュ周期などを調節する制御回路などで、これによる誤動作が発生する恐れがある。

30

【0006】

また、1 msごとに逆になる結果を出力することによって、頻繁な制御回路の動作変更により、半導体装置の動作速度が低下するという問題が発生する。例えば、SIP (System In Package) のように、DRAMとコントローラとが一つのパッケージに内蔵され、DRAMの温度感知回路の出力をコントローラが受けて、オートリフレッシュ等に利用する場合、DRAMからの頻繁な温度変化により、前記コントローラが温度感知回路の出力を1 msごとに受け続けるようになり、コントローラが中断される場合が発生する。

40

【発明の開示】

【発明が解決しようとする課題】

【0007】

50

本発明が解決しようとする課題は、温度感知回路が特定温度付近で動作するとき、頻繁な出力信号の変動を防止し、制御回路の誤動作を防止できる半導体装置の温度感知回路を提供するところにある。

本発明が解決しようとする他の課題は、D R A M装置で適切なリフレッシュ周期を提供でき、かつコントローラに生じる不要な中断を防止することによって、メモリ装置の動作速度を向上させるD R A Mの温度感知回路を提供するところにある。

【課題を解決するための手段】

【0008】

本発明の一実施形態において、半導体装置は、D R A M及び温度感知回路を備える。D R A Mは、温度信号に対応して可変するリフレッシュ周期を有する。温度感知回路は、前記D R A Mの温度が第1温度レベル以上である場合、第1の二進値を有する前記温度信号を生成し、前記D R A Mの温度が第2温度レベル以下である場合、第2の二進値を有する前記温度信号を生成する。前記第2温度レベルは、前記第1温度レベルより低い。

10

【0009】

本発明の他の実施形態において、前記温度感知回路は、前記D R A Mの温度により、第1傾度を有して変化する第1基準電圧を発生させる第1基準電圧発生部、前記D R A Mの温度により、第2傾度を有して変化する第2基準電圧を発生させる第2基準電圧発生部、前記第1基準電圧及び前記第2基準電圧を比較して、前記比較結果により、前記温度感知回路により出力される前記温度信号を生成する比較部、及び前記比較部から出力された前記温度信号により、前記第2基準電圧発生部により生成される前記第2基準電圧を可変するフィードバック部を備える。前記第1基準電圧の前記第1傾度及び前記第2基準電圧の前記第2傾度は、相異なる。

20

【0010】

本発明のさらに他の実施形態において、前記第1基準電圧発生部は、非対称のダイオード構造を備える。前記第2基準電圧発生部は、複数の抵抗を備え、前記複数の抵抗は、一つ以上の外部制御信号により可変する結合された抵抗を生成し、前記第2基準電圧は、前記抵抗の前記結合抵抗により可変される。

【0011】

本発明のさらに他の実施形態において、前記第1基準電圧及び前記第2基準電圧は、特定温度で同一の電圧を有する。前記第2基準電圧発生部は、前記複数の抵抗のうち、異なる抵抗とそれぞれ並列に連結された複数個のスイッチを備え、前記外部制御信号のうち関連した制御信号に応答して、前記抵抗のうち対応する抵抗を選択的に短絡させて、前記第2基準電圧発生部の前記抵抗を可変させ、前記第1基準電圧及び前記第2基準電圧が同一である前記特定温度は、前記外部制御信号により所望の感知温度に設定される。

30

【0012】

本発明のさらに他の実施形態において、前記第1基準電圧発生部は、P T A T (P r o p o r t i o n a l T o A b s o l u t e T e m p e r a t u r e) 電圧発生部を備える。前記第2基準電圧発生部は、前記D R A Mの感知された温度が上昇するとき、第1感知温度で前記第1基準電圧と同一の値を有する前記第2基準電圧を発生させ、前記D R A Mの感知された温度が下降するとき、第2感知温度で前記第1基準電圧と同一の値を有する前記第2基準電圧を発生させる。

40

【0013】

本発明のさらに他の実施形態において、前記比較部が前記第1の二進値を有する前記温度信号を出力すれば、前記第2基準電圧発生部の前記抵抗は、前記温度信号の前記第1の二進値に응答して増加し、前記比較部が前記第2の二進値を有する前記温度信号を出力すれば、前記第2基準電圧発生部の前記抵抗は、前記温度信号の前記第2の二進値に응答して減少する。前記第2基準電圧発生部の前記抵抗が増加すれば、前記感知温度は下降し、前記第2基準電圧発生部の前記抵抗が減少すれば、前記感知温度は上昇する。前記第2基準電圧の前記抵抗は、前記外部制御信号のうち選択される信号を可変して、前記スイッチのうち対応するスイッチを選択的にオン/オフさせ、前記抵抗のうち対応する抵抗を短絡

50

させることによって可変される。

【発明の効果】

【0014】

本発明による半導体メモリ装置の温度感知回路によれば、半導体装置の温度が上昇するとき及び下降するとき、相異なる感知温度特性を有する温度感知回路を提供して、半導体装置の制御手段の誤動作を防止して信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0015】

以下、添付された図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面に提示された同じ参照符号は同じ部材を示す。

10

本発明による幾つかの実施形態による半導体装置は、DRAM及び温度感知回路を備える。

図3は、本発明による温度感知回路の感知温度特性を示す図面である。

図3に示すように、本発明による温度感知回路は、半導体装置の温度が上昇するときの感知温度と、半導体装置の温度が下降するときの感知温度とが異なって設定されている。すなわち、半導体装置の温度が上昇するときは、50以上となる場合に温度感知回路がロジックハイの信号を出力し、半導体装置の温度が下降するときは、45以下となる場合に温度感知回路がロジックローの信号を出力する。

【0016】

したがって、半導体装置が50近辺で動作する場合にも、温度感知回路が一旦ロジックハイレベルの信号を出力すれば、半導体装置の温度が45以下に下降するまで、出力信号の変化がない。

20

また、半導体メモリ装置が45近辺で動作する場合にも、温度感知回路が一旦ロジックローレベルの信号を出力すれば、半導体装置の温度が50以上に上昇するまで、出力信号の変化がない。

したがって、頻繁な温度感知回路の出力信号変化を防止でき、消費電流の浪費を防止できる。一方、温度の変化により、半導体装置を制御する制御部にかかる中断が減少し、これによる速度の低下を防止できる。また、頻繁な出力信号の変化による制御回路の誤動作を防止できる。

【0017】

30

図3では、半導体装置の温度が上昇するときの感知温度(50)が、半導体装置の温度が下降するときの感知温度(45)より高い場合を、例として図示した。しかし、半導体装置の温度が上昇するときの感知温度が、半導体装置の温度が下降するときの感知温度より低く設定しても、同一の効果を得ることができる。

図3のように、ヒステリシス特性を有する温度感知回路は、温度感知回路の出力信号をラッチして、温度感知回路にフィードバックすることによってなされうる。

【0018】

図4は、本発明による感知温度特性を得るための温度感知回路のブロック図である。

図4に示すように、温度感知回路40が半導体装置の温度を感知して所定の出力信号41を出力すれば、このロジックハイまたはロジックロー形態の出力信号41は、フィードバック経路43を通じて、温度感知回路40の内部の基準電圧発生部42に入力される。この際、出力信号41は、基準電圧発生部42の内部でトランジスタのゲートを制御し、前記トランジスタのオン/オフ動作により、感知温度のヒステリシス特性を具現できる。

40

【0019】

すなわち、フィードバック経路43を通じて入力された出力信号41は、温度感知回路40の内部で温度に対応する基準電圧を発生させる基準電圧発生部42の特定素子をオン/オフさせる。そして、前記特定素子のオン/オフの如何により、基準電圧発生部42から出力される基準電圧の出力レベルが変化する。出力信号41がロジックハイであるとき及びロジックローであるときにより、前記特定素子のオン/オフの如何が変わり、これにより、基準電圧のレベルが変わるため、前記温度感知回路は、半導体装置の温度が上昇す

50

るときの感知温度と、半導体装置の温度が下降するときの感知温度とを異なって設定できる。したがって、温度感知回路は、ヒステリシス特性を有するように具現できる。

【0020】

図5は、本発明による温度感知回路の一例を示す回路図である。

図5に示すように、温度感知回路500は、第1基準電圧発生部501、第2基準電圧発生部503、比較部505及びフィードバック部507を備える。

第1基準電圧発生部501は、半導体装置の温度に対応して、所定の第1傾度を有する第1基準電圧(Or e f) 511を発生させる。ここで、傾度は、温度の変化に対する出力される基準電圧のレベルの比率を意味する。第2基準電圧発生部503は、半導体装置の温度に対応して、前記第1傾度と異なる所定の第2傾度を有する第2基準電圧(O T a) 513を発生させる。

10

【0021】

比較部505は、前記第1基準電圧発生部501から出力された第1基準電圧511と、前記第2基準電圧発生部503から出力された第2基準電圧513とが入力され、前記二つの基準電圧の大きさを比較して、これに対応する出力信号(O U T) 515を出力する。例えば、第2基準電圧が第1基準電圧のレベルより高ければ、ロジックハイの信号を出力し、第2基準電圧が第1基準電圧のレベルより低ければ、ロジックローの信号を出力できる。

【0022】

フィードバック部507は、比較部505から出力される出力信号515を、第2基準電圧発生部503のヒステリシス抵抗517のNMOSTランジスタ519に入力する。したがって、前記出力信号515の状態により、前記NMOSTランジスタ519をオン・オフさせることができ、これにより、第2基準電圧発生部503の抵抗値が変化可能である。すなわち、第2基準電圧発生部503の内部のブランチ抵抗が大きくなれば、第2基準電圧が増加して感知温度が下降し、逆に抵抗が小さくなれば、第2基準電圧が減少して感知温度が上昇する。

20

【0023】

図5を参照して第1基準電圧発生部501の具体的な回路構成を述べれば、第1基準電圧発生部501は、二つのPMOSTランジスタP1、P2、二つのNMOSTランジスタN1、N2、抵抗R、及びサイズが異なる二つのダイオードD1、D2を備える。PMOSTランジスタP1及びNMOSTランジスタN1は、PMOSTランジスタP2及びNMOSTランジスタN2に対して電流ミラーを形成する。そして、前記PMOSTランジスタP2のソースから第1基準電圧511が出力される。NMOSTランジスタN1のソースには、ダイオードD2が連結される。NMOSTランジスタN2のソースには、抵抗R及びダイオードD1が直列に連結される。ダイオードD1及びダイオードD2のサイズは、M:1の比率を有する。NMOSTランジスタN2に流れる電流I_rは、半導体装置の温度T、抵抗Rのサイズ、及び二つのダイオードD1、D2の比率Mに比例する。また、PMOSTランジスタP2のソースから出力される第1基準電圧511も、温度に比例して出力される。

30

【0024】

第2基準電圧発生部503の具体的な回路構成を見れば、第2基準電圧発生部は、PMOSTランジスタP3、NMOSTランジスタN3、直列に連結された複数の抵抗素子RA0、HR、32RA、16RA、8RA、4RA、2RA、RA、及び前記抵抗素子に並列に連結された複数のNMOSTランジスタを備える。

40

PMOSTランジスタP3及びNMOSTランジスタN3は、第1基準電圧発生部501のPMOSTランジスタP1及びNMOSTランジスタN1に対して電流ミラーを形成する。PMOSTランジスタP3のソースから第2基準電圧513が出力される。

NMOSTランジスタN3のソースは、複数の抵抗素子が連結される。前記複数の抵抗素子は、半導体装置の温度に比例して出力される第2基準電圧のレベルを調節する。すなわち、前記抵抗値が大きければ、第2基準電圧も増加し、抵抗値が小さければ、第2基準

50

電圧も減少する。また、ヒステリシス抵抗HR 517は、比較部505から出力される信号にตอบสนองして抵抗値がオン/オフになる。

【0025】

第2基準電圧発生部503の内部の複数のNMOSトランジスタは、それぞれ外部で設定された制御信号A0ないしA5にตอบสนองして、直列に連結された抵抗の全体抵抗値を制御する。温度感知回路500が所望の温度(例えば、50)を感知するように設計されたとしても、実際工程により、温度感知回路500の感知温度は、50と正確に設定されることが不能である。したがって、外部で第2基準電圧発生部503の抵抗値を調節して、感知温度を正確に50と調節する必要がある。このような目的として、それぞれサイズが異なる抵抗素子のそれぞれに並列に連結されたスイッチを適切にオン/オフして、第2基準電圧513のレベルを調節できる。したがって、第2基準電圧のレベル調節を通じて、感知温度を正確に所望の温度に設定できる。

10

【0026】

一方、ヒステリシス抵抗HR 517に連結されたNMOSトランジスタ519は、外部で設定される信号ではない比較部505の出力信号515により制御される。すなわち、NMOSトランジスタ519は、フィードバック信号521がロジックハイであれば、ターンオンされて全体抵抗値を減少させ、フィードバック信号521がロジックローであれば、ターンオフされて全体抵抗値を増加させる。

【0027】

比較部505の具体的な回路構成を見れば、比較部505は、増幅器AMP、二つのスイッチSW1、SW2及び二つのラッチ回路LT1、LT2を備える。増幅器AMPは、第1基準電圧発生部501から出力される第1基準電圧511と、第2基準電圧発生部503から出力される第2基準電圧513とが入力され、前記二つの基準電圧の相対的なサイズにより、ロジックハイまたはロジックローの信号電圧を出力する。スイッチSW1及びラッチLT1は、温度を感知する時間の間のデータを一時保存するためのものであり、スイッチSW2及びラッチLT2は、温度を十分に感知する時間が過ぎれば、比較部505の出力信号を外部に出力するための回路である。すなわち、温度感知回路のイネーブル信号ENがロジックハイに遷移すれば、スイッチSW1はターンオンされ、ラッチLT1は、感知された温度に対応する出力信号をラッチする。そして、イネーブル信号ENがロジックローに遷移すれば、スイッチSW2がターンオンされ、比較部505は、出力信号515を外部に出力する。

20

30

【0028】

一方、スイッチSW2の出力信号(フィードバック信号)521は、第2基準電圧発生部503のNMOSトランジスタ519のゲートに連結される。前記スイッチの出力信号(フィードバック信号)521は、比較部の出力信号515の反転信号となる。この際、NMOSトランジスタ519のゲートに入力される信号が比較部505の出力信号515の反転信号であれば、半導体装置の温度が上昇するときの感知温度が、下降するときの感知温度より高く設定される。一方、比較部505の出力信号515が直ちにNMOSトランジスタ519のゲートに入力されれば、半導体装置の温度が上昇するときの感知温度が、下降するときの感知温度より低く設定される。また、このような設定は、第2基準電圧発生部503のヒステリシス抵抗517をスイッチングする素子を、NMOSトランジスタではないPMOSトランジスタに設定することによって、同一に達成される。

40

【0029】

図6は、図5に示した温度感知回路を利用して生成される基準電圧を示すグラフである。

図5及び図6を参照して、本発明による温度感知回路の動作を述べる。第1基準電圧発生部501から出力される第1基準電圧511と、第2基準電圧発生部503から出力される第2基準電圧513とは、温度によって電圧の増加率が相異なるので、特定温度でレベルのサイズが交差するようになり、その地点の温度が感知温度となる。この際、半導体装置の製造工程上、感知温度は、所望の温度に正確に設定され難い。したがって、複数の

50

抵抗素子を適切な値にオン/オフさせることによって、第1基準電圧または第2基準電圧のレベルをシフトさせて、所望の感知温度を正確に設定できる。

【0030】

まず、半導体装置の温度が45以下である状態で、温度が上昇する場合を述べる。この場合、第1基準電圧511が第2基準電圧513より高いため、温度感知回路500内の比較部505は、ロジックローレベル(‘0’)の信号515を出力できる。第2基準電圧発生部503のNMOSトランジスタ519に入力されるフィードバック信号521は、出力信号515の反転信号であって、ロジックハイのレベルを有する。したがって、NMOSトランジスタ519は、ターンオンされ、第2基準電圧発生部503の全体抵抗値は小さくなり、これにより、第2基準電圧513のレベルは低くなる。したがって、図6に示すように、感知温度が50に設定される。したがって、半導体装置の温度が50以上となるまで、比較部505は、半導体装置の温度感知時、ロジックローレベルの信号のみを出力する。

10

したがって、半導体装置が50近辺で動作する場合にも、一回出力信号515がロジックハイに遷移されれば、感知温度が45に設定されるため、温度感知回路500が温度感知度に異なる出力信号を発生させるという問題を防止できる。

【0031】

そして、半導体装置の温度が50以上となれば、第2基準電圧513が第1基準電圧511より高くなるため、比較部505は、ロジックハイレベル(‘1’)の信号515を出力できる。第2基準電圧発生部503のNMOSトランジスタ519に入力されるフィードバック信号521は、出力信号515の反転信号であって、ロジックローレベル(‘0’)を有する。したがって、NMOSトランジスタ519は、ターンオフされ、第2基準電圧発生部503の全体抵抗値は大きくなり、これにより、第2基準電圧513のレベルは高くなる。したがって、図6に示すように、感知温度が45に設定される。したがって、半導体装置の温度が45以下となるまで、比較部505は、半導体装置の温度感知時、ロジックハイレベルの信号のみを出力する。

20

また、半導体装置が45近辺で動作する場合にも、一回出力信号515がロジックローに遷移されれば、感知温度が50に設定されるため、温度感知回路500が温度感知時ごとに異なる出力信号を発生させるという問題を防止できる。

【0032】

一方、図5に示した温度感知回路500でヒステリシス抵抗517のサイズを調節すれば、適当な温度間隔のヒステリシス特性を有する温度感知回路を設定できる。

30

したがって、本発明による温度感知回路を利用すれば、半導体装置内の制御回路などで頻繁な検出信号の変動による誤動作を防止できる。特に、DRAM装置では、温度の変化により適切なリフレッシュ周期を設定する必要があるが、温度を検出する時ごとに異なる検出信号を送信するという問題を解決して、動作の信頼性を向上させることができる。

また、頻繁な検出温度の変動による制御回路部の中断問題を解決して、DRAM装置などの半導体装置における動作速度を向上させることができる。

【0033】

本発明は、図面に示した一実施形態を参考として説明されたが、これは例示的なものに過ぎず、当業者であれば、これから多様な変形及び均等な他の実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的な保護範囲は、特許請求の範囲の技術的思想により決まらねばならない。

40

【産業上の利用可能性】

【0034】

本発明は、可変のメモリリフレッシュ周期を有するDRAM装置に関連した技術分野に適用可能である。

【図面の簡単な説明】

【0035】

【図1】DRAM装置の温度変化によるリフレッシュ周期の変化を示す図面である。

50

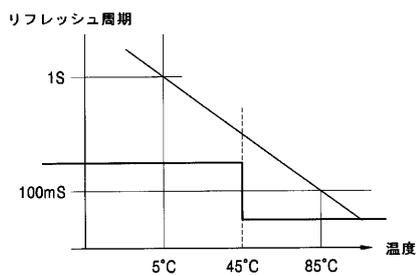
- 【図2】従来の温度感知回路の感知温度特性を示すグラフである。
- 【図3】本発明による温度感知回路の感知温度特性を示すグラフである。
- 【図4】本発明による感知温度特性を得るための温度感知回路のブロック図である。
- 【図5】本発明による温度感知回路の一例を示す回路図である。
- 【図6】図5に示した温度感知回路を利用して生成される基準電圧を示すグラフである。

【符号の説明】

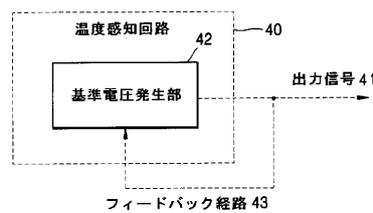
【0036】

- 500 温度感知回路
- 501 第1基準電圧発生部
- 503 第2基準電圧発生部
- 505 比較部
- 507 フィードバック部
- 511 第1基準電圧
- 513 第2基準電圧
- 515 出力信号
- 517 ヒステリシス抵抗
- 519 NMOSトランジスタ
- 521 フィードバック信号

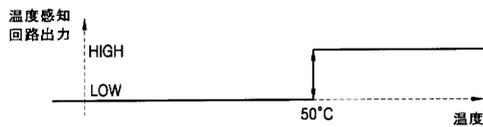
【図1】



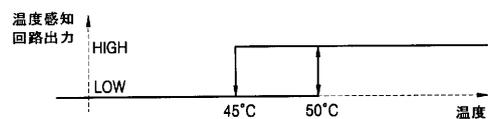
【図4】



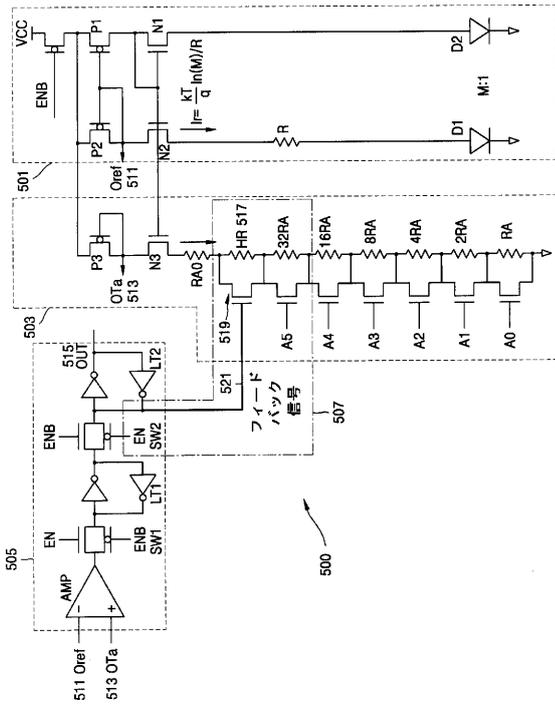
【図2】



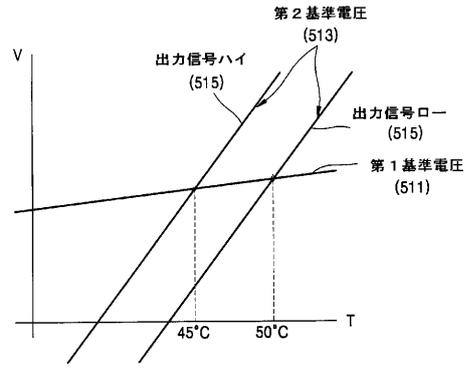
【図3】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 崔 鐘賢

大韓民国京畿道水原市靈通區望浦洞 6 8 6 番地 東水原エルジービル 1 0 2 棟 1 6 0 4 號

(72)発明者 趙 法來

大韓民国京畿道水原市靈通區靈通洞 1 0 2 8 - 9 番地 1 0 2 號

(72)発明者 徐 寧 フン

大韓民国京畿道華城市泰安邑陳鴈里 8 6 9 - 2 番地 2 0 2 號

F ターム(参考) 5M024 AA40 AA82 AA92 BB22 BB39 EE02 EE05 EE09 EE24 EE26

HH09 HH14 PP01 PP03 PP08