



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월23일
(11) 등록번호 10-2343234
(24) 등록일자 2021년12월21일

- (51) 국제특허분류(Int. Cl.)
H01L 29/423 (2006.01) H01L 29/417 (2006.01)
H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/42392 (2013.01)
H01L 29/41725 (2013.01)
- (21) 출원번호 10-2015-0151893
- (22) 출원일자 2015년10월30일
심사청구일자 2020년09월14일
- (65) 공개번호 10-2017-0009678
- (43) 공개일자 2017년01월25일
- (30) 우선권주장
14/801,332 2015년07월16일 미국(US)
- (56) 선행기술조사문헌
US20140197377 A1*
KR1020050112430 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
석성대
서울특별시 동작구 현충로 119, 105동 502호 (혹석동, 명수대현대아파트)
- (74) 대리인
특허법인가산

전체 청구항 수 : 총 19 항

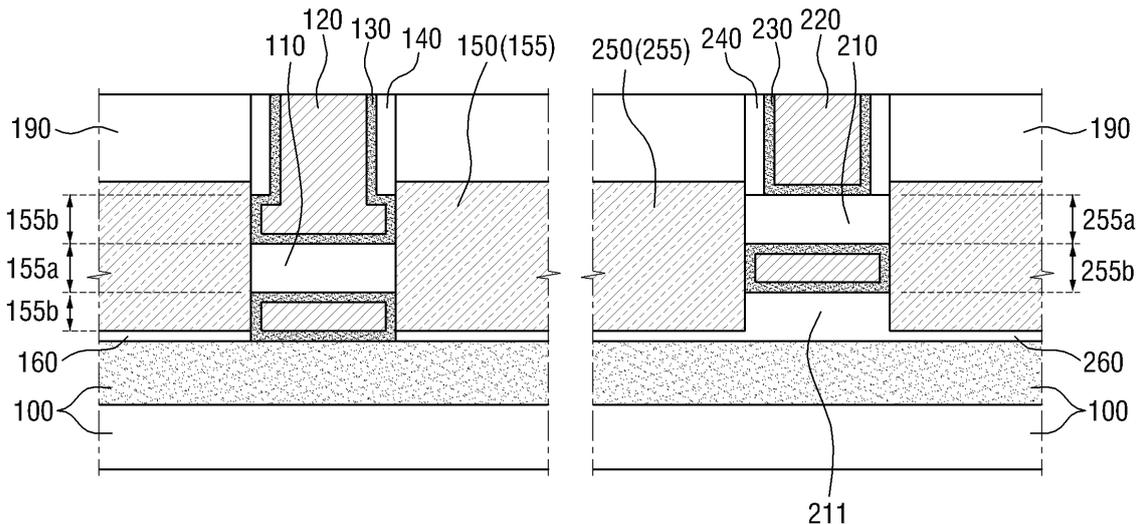
심사관 : 김중호

(54) 발명의 명칭 반도체 장치 및 이의 제조 방법

(57) 요약

게이트 올 어라운드 구조를 갖는 PFET 및 NFET의 나노 와이어가 서로 다른 물질을 갖고, 서로 다른 높이에 형성되는 반도체 장치를 제공하는 것이다. 상기 반도체 장치는 제1 영역 및 제2 영역을 포함하는 기판, 상기 제1 영역에서, 상기 기판 상에 형성되고, 제1 방향으로 연장되는 제1 와이어 패턴, 상기 제2 영역에서, 상기 기판 상에 (뒷면에 계속)

대표도 - 도2



형성되고, 제2 방향으로 연장되는 제2 와이어 패턴으로, 상기 기관의 상면을 기준으로 상기 제2 와이어 패턴이 형성되는 높이는 상기 제1 와이어 패턴이 형성되는 높이와 다른 제2 와이어 패턴, 상기 제1 방향과 다른 제3 방향으로 연장되고, 상기 제1 와이어 패턴을 감싸는 제1 게이트 전극, 상기 제2 방향과 다른 제4 방향으로 연장되고, 상기 제2 와이어 패턴을 감싸는 제2 게이트 전극, 상기 제1 와이어 패턴의 둘레 및 상기 제1 게이트 전극의 측벽을 따라서 형성되는 제1 게이트 절연막, 및 상기 제2 와이어 패턴의 둘레 및 상기 제2 게이트 전극의 측벽을 따라서 형성되는 제2 게이트 절연막을 포함한다.

(52) CPC특허분류

H01L 29/42312 (2013.01)

H01L 29/66477 (2013.01)

H01L 29/6656 (2013.01)

명세서

청구범위

청구항 1

제1 영역 및 제2 영역을 포함하는 기관;

상기 제1 영역의 기관으로부터 제1 높이에 형성되고, 제1 방향으로 연장되는 제1 와이어 패턴;

상기 제2 영역의 기관으로부터 상기 제1 높이와 다른 제2 높이에 형성되고, 제2 방향으로 연장되는 제2 와이어 패턴;

상기 제1 방향과 교차하는 제3 방향으로 연장되고, 상기 제1 와이어 패턴을 감싸는 제1 게이트 전극;

상기 제2 방향과 교차하는 제4 방향으로 연장되고, 상기 제2 와이어 패턴을 감싸는 제2 게이트 전극;

상기 제1 와이어 패턴의 둘레 및 상기 제1 게이트 전극의 측벽을 따라서 형성되는 제1 게이트 절연막; 및

상기 제2 와이어 패턴의 둘레 및 상기 제2 게이트 전극의 측벽을 따라서 형성되는 제2 게이트 절연막을 포함하는 반도체 장치.

청구항 2

제1 항에 있어서,

상기 제1 와이어 패턴과 접촉하는 제1 소오스/드레인과, 상기 제2 와이어 패턴과 접촉하는 제2 소오스/드레인을 더 포함하고,

상기 제1 소오스/드레인은 제1 에피층을 포함하고, 상기 제2 소오스/드레인은 제2 에피층을 포함하는 반도체 장치.

청구항 3

제2 항에 있어서,

상기 제1 에피층은 상기 제1 와이어 패턴 및 상기 제1 게이트 절연막과 접촉하고,

상기 제2 에피층은 상기 제2 와이어 패턴 및 상기 제2 게이트 절연막과 접촉하는 반도체 장치.

청구항 4

제2 항에 있어서,

각각의 상기 제1 에피층 및 상기 제2 에피층은 다이아몬드 형상, 원 형상, 직사각형 형상 중 적어도 하나를 포함하는 반도체 장치.

청구항 5

제1 항에 있어서,

상기 제1 게이트 전극의 측벽 상에 배치되는 제1 게이트 스페이서와, 상기 제2 게이트 전극의 측벽 상에 배치되는 제2 게이트 스페이서를 더 포함하고,

상기 제1 게이트 절연막은 상기 제1 게이트 스페이서의 측벽을 따라서 더 형성되고, 상기 제2 게이트 절연막은 상기 제2 게이트 스페이서의 측벽을 따라서 더 형성되는 반도체 장치.

청구항 6

제1 항에 있어서,

상기 제1 와이어 패턴 상에 배치되는 제1 소오스/드레인과, 상기 제2 와이어 패턴 상에 배치되는 제2 소오스/드

레이ンを 더 포함하고,

상기 제1 소오스/드레인은 서로 적층된 제1 반도체 패턴과 제2 반도체 패턴을 포함하고,

상기 제2 소오스/드레인은 서로 적층된 제3 반도체 패턴과 제4 반도체 패턴을 포함하는 반도체 장치.

청구항 7

제6 항에 있어서,

상기 제2 반도체 패턴은 상기 제1 와이어 패턴과 접촉하고,

상기 제3 반도체 패턴은 상기 제2 와이어 패턴과 접촉하는 반도체 장치.

청구항 8

제1 항에 있어서,

상기 제1 영역의 기관으로부터 제3 높이에 형성되고, 상기 제1 방향으로 연장되는 제3 와이어 패턴을 더 포함하고,

상기 제2 높이는 상기 제1 높이보다 크고, 상기 제3 높이는 상기 제2 높이보다 큰 반도체 장치.

청구항 9

제1 항에 있어서,

상기 제2 영역의 기관과 상기 제2 와이어 패턴 사이에 개재되고, 상기 제2 방향으로 연장되는 더미 와이어 패턴을 더 포함하고,

상기 더미 와이어 패턴은 상기 기관과 접촉하는 반도체 장치.

청구항 10

제1 항에 있어서,

상기 기관은 절연막을 포함하고,

상기 제1 와이어 패턴 및 상기 제2 와이어 패턴은 상기 절연막 상에 형성되는 반도체 장치.

청구항 11

제1 영역 및 제2 영역을 포함하는 기관;

상기 제1 영역의 상기 기관 상에 형성되는 제1 와이어 패턴 및 제3 와이어 패턴;

상기 제2 영역의 상기 기관 상에 형성되는 제2 와이어 패턴 및 제4 와이어 패턴;

제1 부분과 제2 부분을 포함하는 제1 게이트 전극;

제3 부분과 제4 부분을 포함하는 제2 게이트 전극;

상기 제1 게이트 전극의 제2 부분 상에 형성되는 제1 게이트 스페이서;

상기 제2 게이트 전극의 제4 부분 상에 형성되는 제2 게이트 스페이서;

상기 제1 와이어 패턴 및 상기 제3 와이어 패턴과 접촉하는 제1 소오스/드레인;

상기 제2 와이어 패턴 및 상기 제4 와이어 패턴과 접촉하는 제2 소오스/드레인;

상기 제1 와이어 패턴의 둘레, 상기 제3 와이어 패턴의 둘레, 및 상기 제1 게이트 전극의 제2 부분의 측벽을 따라 형성되는 제1 게이트 절연막; 및

상기 제2 와이어 패턴의 둘레, 상기 제4 와이어 패턴의 둘레 및 상기 제2 게이트 전극의 제4 부분의 측벽을 따라 형성되는 제2 게이트 절연막을 포함하되,

상기 제1 부분은 상기 제1 와이어 패턴과 상기 제3 와이어 패턴을 둘러싸고,

상기 제3 부분은 상기 제2 와이어 패턴과 상기 제4 와이어 패턴을 둘러싸고,
 상기 제1 게이트 절연막은 상기 제1 소오스/드레인 및 상기 제1 게이트 스페이서의 측벽과 접촉하고,
 상기 제2 게이트 절연막은 상기 제2 소오스/드레인 및 상기 제2 게이트 스페이서의 측벽과 접촉하고,
 상기 제1 내지 제4 와이어 패턴은 상기 기판의 상면으로부터 다른 높이에 배치되는 반도체 장치.

청구항 12

제11 항에 있어서,
 상기 제2 영역에서, 상기 기판과 상기 제2 와이어 패턴 사이에 형성되는 더미 와이어 패턴을 더 포함하고,
 상기 더미 와이어 패턴은 상기 기판과 접촉하는 반도체 장치.

청구항 13

제12 항에 있어서,
 상기 제1 와이어 패턴은 상기 기판과 비접촉하는 반도체 장치.

청구항 14

기판의 제1 영역 상에, 제1 핀형 구조체를 형성하고, 상기 제1 핀형 구조체는 제1 방향으로 연장되고, 서로 교대로 적층된 복수의 제1 반도체 패턴과 복수의 제2 반도체 패턴을 포함하고,

상기 기판의 제2 영역 상에, 제2 핀형 구조체를 형성하고, 상기 제2 핀형 구조체는 제2 방향으로 연장되고, 서로 교대로 적층된 복수의 제3 반도체 패턴과 복수의 제4 반도체 패턴을 포함하고,

상기 복수의 제3 반도체 패턴은 상기 복수의 제1 반도체 패턴과 동일 물질을 포함하고, 상기 복수의 제4 반도체 패턴은 상기 복수의 제2 반도체 패턴과 동일한 물질을 포함하고,

상기 제1 핀형 구조체와 상기 제2 핀형 구조체 상에 각각 제1 더미 게이트 전극과 제2 더미 게이트 전극을 형성하고, 상기 제1 더미 게이트 전극은 상기 제1 방향과 교차하는 제3 방향으로 연장되고, 상기 제2 더미 게이트 전극은 상기 제2 방향과 교차하는 제4 방향으로 연장되고,

상기 제1 더미 게이트 전극의 측벽 상에 제1 게이트 스페이서와, 상기 제2 더미 게이트 전극의 측벽 상에 제2 게이트 스페이서를 형성하고,

상기 제2 영역 상에, 제1 마스크 패턴을 형성하고, 상기 제1 마스크 패턴은 상기 제2 더미 게이트 전극과 상기 제2 게이트 스페이서를 덮고, 상기 제1 더미 게이트 전극과 상기 제1 게이트 스페이서를 노출시키고,

상기 제1 마스크 패턴을 이용하여, 상기 제1 더미 게이트 전극과 상기 복수의 제1 반도체 패턴을 제거하여, 상기 복수의 제2 반도체 패턴으로 이루어지는 제1 와이어 패턴 그룹을 형성하고,

상기 제1 영역 상에, 제2 마스크 패턴을 형성하고, 상기 제2 마스크 패턴은 상기 제1 와이어 패턴 그룹과 상기 제1 게이트 스페이서를 덮고,

상기 제2 마스크 패턴을 이용하여, 상기 제2 더미 게이트 전극과 상기 복수의 제4 반도체 패턴을 제거하여, 상기 복수의 제3 반도체 패턴으로 이루어지는 제2 와이어 패턴 그룹을 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 15

제14 항에 있어서,

상기 제1 핀형 구조체 및 상기 제2 핀형 구조체를 형성하는 것은,

상기 기판 상에, 서로 교대로 적층되는 복수의 제1 반도체층 및 복수의 제2 반도체층을 포함하는 적층 구조체를 형성하고,

상기 제1 영역 및 상기 제2 영역에서, 상기 적층 구조체 상에 제3 마스크 패턴 및 제4 마스크 패턴을 형성하고,

상기 제3 마스크 패턴과 상기 제4 마스크 패턴을 이용하여, 상기 적층 구조체를 식각하여, 상기 제1 핀형 구조

체 및 상기 제2 핀형 구조체를 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 16

제15 항에 있어서,

상기 적층 구조체의 최상층은 상기 제1 반도체층인 반도체 장치 제조 방법.

청구항 17

제15 항에 있어서,

상기 제1 게이트 스페이서를 식각 마스크로 사용하여, 상기 복수의 제1 반도체층 및 상기 복수의 제2 반도체층을 부분적으로 제거하고,

부분적으로 제거된 상기 제1 반도체층 및 상기 제2 반도체층 상에 제1 에피층을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 18

제14 항에 있어서,

상기 제1 마스크 패턴을 형성하는 것은,

상기 기판 상에, 상기 제1 더미 게이트 전극, 상기 제2 더미 게이트 전극, 상기 제1 게이트 스페이서 및 상기 제2 게이트 스페이서를 덮도록 층간 절연막을 형성하고,

상기 층간 절연막을 평탄화하여 상기 제1 더미 게이트 전극과 상기 제2 더미 게이트 전극을 노출하고,

평탄화된 상기 층간 절연막 상에, 상기 제1 영역의 기판과 상기 제2 영역의 기판을 덮도록 마스크막을 형성하고,

상기 제1 영역의 기판 상에 형성된 상기 마스크 막을 부분적으로 제거하여, 상기 제1 마스크 패턴을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 19

제14 항에 있어서,

상기 제1 와이어 패턴 그룹은 적어도 하나 이상의 제1 와이어 패턴을 포함하는 반도체 장치 제조 방법.

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 게이트 올 어라운드(gate all around) 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 나노와이어(nanowire) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디를 둘러싸도록 게이트를 형성하는 게이트 올 어라운드 구조가 제안되었다.

[0003] 이러한 게이트 올 어라운드 구조는 3차원의 채널을 이용하기 때문에, 스케일링이 용이하다. 또한, 게이트의 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하려는 과제는, 게이트 올 어라운드 구조를 갖는 PFET 및 NFET의 나노 와이어가 서로 다른 물질을 갖고, 서로 다른 높이에 형성되는 반도체 장치를 제공하는 것이다.
- [0005] 본 발명이 해결하려는 다른 과제는, 게이트 올 어라운드 구조를 갖는 PFET 및 NFET의 나노 와이어가 서로 다른 물질을 갖고, 서로 다른 높이에 형성되는 반도체 장치 제조 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 태양(aspect)은 제1 영역 및 제2 영역을 포함하는 기관, 상기 제1 영역에서, 상기 기관 상에 형성되고, 제1 방향으로 연장되는 제1 와이어 패턴, 상기 제2 영역에서, 상기 기관 상에 형성되고, 제2 방향으로 연장되는 제2 와이어 패턴으로, 상기 기관의 상면을 기준으로 상기 제2 와이어 패턴이 형성되는 높이는 상기 제1 와이어 패턴이 형성되는 높이와 다른 제2 와이어 패턴, 상기 제1 방향과 다른 제3 방향으로 연장되고, 상기 제1 와이어 패턴을 감싸는 제1 게이트 전극, 상기 제2 방향과 다른 제4 방향으로 연장되고, 상기 제2 와이어 패턴을 감싸는 제2 게이트 전극, 상기 제1 와이어 패턴의 둘레 및 상기 제1 게이트 전극의 측벽을 따라서 형성되는 제1 게이트 절연막, 및 상기 제2 와이어 패턴의 둘레 및 상기 제2 게이트 전극의 측벽을 따라서 형성되는 제2 게이트 절연막을 포함한다.
- [0008] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 전극의 양측에 배치되는 제1 소오스/드레인과, 상기 제2 게이트 전극의 양측에 배치되는 제2 소오스/드레인을 더 포함하고, 상기 제1 소오스/드레인은 제1 에피층을 포함하고, 상기 제2 소오스/드레인은 제2 에피층을 포함한다.
- [0009] 본 발명의 몇몇 실시예에서, 상기 제1 에피층은 제1 부분 및 제2 부분을 포함하고, 상기 제2 에피층은 제3 부분 및 제4 부분을 포함하고, 상기 제1 부분 및 상기 제3 부분은 각각 상기 제1 와이어 패턴 및 상기 제2 와이어 패턴과 직접 연결되고, 상기 제2 부분 및 상기 제4 부분은 각각 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막과 접촉한다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 제1 에피층 및 상기 제2 에피층은 각각 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나이다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 전극의 양 측벽 상에 형성되는 제1 게이트 스페이서와, 상기 제2 게이트 전극의 양 측벽 상에 형성되는 제2 게이트 스페이서를 더 포함하고, 상기 제1 게이트 절연막은 상기 제1 게이트 스페이서의 측벽을 따라서 형성되고, 상기 제2 게이트 절연막은 상기 제2 게이트 스페이서의 측벽을 따라서 형성된다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 전극의 양측에 배치되는 제1 소오스/드레인과, 상기 제2 게이트 전극의 양측에 배치되는 제2 소오스/드레인을 더 포함하고, 상기 제1 소오스/드레인은 순차적으로 적층된 제1 반도체 패턴과 제2 반도체 패턴을 포함하고, 상기 제2 소오스/드레인은 순차적으로 적층된 제3 반도체 패턴과 제4 반도체 패턴을 포함한다.
- [0013] 본 발명의 몇몇 실시예에서, 상기 제2 반도체 패턴은 상기 제1 와이어 패턴으로부터 연장된 부분이고, 상기 제3 반도체 패턴은 상기 제2 와이어 패턴으로부터 연장된 부분이다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 제1 영역에서, 상기 제1 와이어 패턴 상에 형성되고, 상기 제1 방향으로 연장되는 제3 와이어 패턴을 더 포함하고, 상기 기관의 상면으로부터 상기 제2 와이어 패턴까지의 높이는 상기 기관의 상면으로부터 상기 제1 와이어 패턴까지의 높이보다 높고, 상기 기관의 상면으로부터 상기 제3 와이어 패턴까지의 높이는 상기 기관의 상면으로부터 상기 제2 와이어 패턴까지의 높이보다 높다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴의 최상부는 상기 기관의 상면을 기준으로 제1 높이에 위치하고, 상기 제3 와이어 패턴의 최하부는 상기 기관의 상면으로부터 제2 높이에 위치하고, 상기 제2 와이어 패턴은 상기 제1 높이와 상기 제2 높이 사이에 위치한다.

- [0016] 본 발명의 몇몇 실시예에서, 상기 제2 와이어 패턴의 최하부는 상기 기관의 상면으로부터 제1 높이에 위치하고, 상기 제2 와이어 패턴의 최상부는 상기 기관의 상면으로부터 제2 높이에 위치한다.
- [0017] 본 발명의 몇몇 실시예에서, 상기 제2 영역에서, 상기 제2 와이어 패턴 상에 형성되고, 상기 제2 방향으로 연장되는 제4 와이어 패턴을 더 포함하고, 상기 기관의 상면으로부터 상기 제4 와이어 패턴까지의 높이는 상기 기관의 상면으로부터 상기 제3 와이어 패턴까지의 높이보다 높다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴 및 상기 제2 와이어 패턴은 서로 다른 물질을 포함한다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 제1 영역은 PFET 형성 영역이고, 상기 제2 영역은 NFET 형성 영역이고, 상기 제1 와이어 패턴은 SiGe 또는 Ge 중 하나를 포함하고, 상기 제2 와이어 패턴은 Si 또는 III-V 족 화합물 반도체 중 하나를 포함한다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 제2 영역에서, 상기 기관과 상기 제2 와이어 패턴 사이에 형성되고, 상기 제2 방향으로 연장되는 제3 와이어 패턴을 더 포함하고, 상기 제3 와이어 패턴은 상기 기관과 접한다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴은 상기 기관의 상면으로부터 제1 높이에 형성되고, 상기 제2 와이어 패턴은 상기 기관의 상면으로부터 제2 높이에 형성되고, 상기 제2 높이는 상기 제1 높이보다 높다.
- [0022] 본 발명의 몇몇 실시예에서, 상기 기관은 상기 기관의 일면에 형성되는 절연막을 포함하고, 상기 제1 와이어 패턴 및 상기 제2 와이어 패턴은 상기 절연막 상에 형성된다.
- [0023] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴이 형성된 높이는 제1 높이이고, 상기 제2 와이어 패턴이 형성된 높이는 제2 높이이고, 상기 제1 영역에서, 상기 기관의 상면으로부터 상기 제2 높이에 상기 제1 게이트 전극이 위치하고, 상기 제2 영역에서, 상기 기관의 상면으로부터 상기 제1 높이에 상기 제2 게이트 전극이 위치한다.
- [0024] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 다른 태양은 제1 영역 및 제2 영역을 포함하는 기관, 상기 제1 영역에서, 상기 기관의 상면을 기준으로 제1 높이에 형성되고, 제1 방향으로 연장되는 제1 와이어 패턴, 상기 제2 영역에서, 상기 기관의 상면을 기준으로 상기 제1 높이보다 높은 제2 높이에 형성되고, 제2 방향으로 연장되는 제2 와이어 패턴, 상기 제1 영역에서, 상기 기관의 상면을 기준으로 상기 제2 높이보다 높은 제3 높이에 형성되고, 상기 제1 방향으로 연장되는 제3 와이어 패턴, 상기 제2 영역에서, 상기 기관의 상면을 기준으로 상기 제3 높이보다 높은 제4 높이에 형성되고, 상기 제2 방향으로 연장되는 제4 와이어 패턴, 상기 제1 와이어 패턴 및 상기 제3 와이어 패턴의 양측에 마주보며 형성되고, 상기 제1 방향과 다른 제3 방향으로 연장되는 제1 게이트 스페이서, 상기 제2 와이어 패턴 및 상기 제4 와이어 패턴의 양측에 마주보며 형성되고, 상기 제2 방향과 다른 제4 방향으로 연장되는 제2 게이트 스페이서, 상기 제1 와이어 패턴의 돌레와, 상기 제3 와이어 패턴의 돌레와, 상기 제1 게이트 스페이서의 측벽을 따라서 형성되는 제1 게이트 절연막, 및 상기 제2 와이어 패턴의 돌레와, 상기 제4 와이어 패턴의 돌레와, 상기 제2 게이트 스페이서의 측벽을 따라서 형성되는 제2 게이트 절연막을 포함한다.
- [0025] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴 및 상기 제3 와이어 패턴의 양측에 형성되고 제1 에피층을 포함하는 제1 소오스/드레인과, 상기 제2 와이어 패턴 및 상기 제4 와이어 패턴의 양측에 형성되고 제2 에피층을 포함하는 제2 소오스/드레인을 더 포함한다.
- [0026] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 절연막의 일부는 상기 제1 에피층과 접촉하고, 상기 제2 게이트 절연막의 일부는 상기 제2 에피층과 접촉한다.
- [0027] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 절연막의 일부와 상기 제1 에피층 사이에 상기 제1 게이트 스페이서는 비개재되고, 상기 제2 게이트 절연막의 일부와 상기 제2 에피층 사이에 상기 제2 게이트 스페이서는 비개재된다.
- [0028] 본 발명의 몇몇 실시예에서, 상기 제1 에피층과 상기 기관 사이에 위치하는 제1 씨드층과, 상기 제2 에피층과 상기 기관 사이에 위치하는 제2 씨드층을 더 포함한다.
- [0029] 본 발명의 몇몇 실시예에서, 상기 제1 씨드층과 상기 제2 씨드층은 서로 동일한 물질을 포함한다.
- [0030] 본 발명의 몇몇 실시예에서, 상기 제2 영역에서, 상기 기관과 상기 제2 와이어 패턴 사이에 형성되고, 상기 제2 방향으로 연장되는 제5 와이어 패턴을 더 포함하고, 상기 제5 와이어 패턴은 상기 기관과 접한다.

- [0031] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴 및 상기 제3 와이어 패턴은 서로 동일한 물질을 포함하고, 상기 제2 와이어 패턴 및 상기 제4 와이어 패턴은 서로 동일한 물질을 포함하고, 상기 제1 와이어 패턴 및 상기 제2 와이어 패턴은 서로 다른 물질을 포함한다.
- [0032] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 또 다른 태양은 제1 영역 및 제2 영역을 포함하는 기판, 상기 제1 영역에서, 상기 기판 상에 형성되는 제1 와이어 패턴 및 제3 와이어 패턴, 상기 제2 영역에서, 상기 기판 상에 형성되는 제2 와이어 패턴 및 제4 와이어 패턴, 상기 제1 와이어 패턴 및 상기 제3 와이어 패턴을 감싸는 제1 게이트 전극, 상기 제2 와이어 패턴 및 상기 제4 와이어 패턴을 감싸는 제2 게이트 전극, 상기 제1 게이트 전극의 양 측벽 상에 형성되는 제1 게이트 스페이서, 상기 제2 게이트 전극의 양 측벽 상에 형성되는 제2 게이트 스페이서, 상기 제1 게이트 전극의 양측에 배치되는 제1 소오스/드레인, 상기 제2 게이트 전극의 양측에 배치되는 제2 소오스/드레인, 상기 제1 와이어 패턴의 둘레, 상기 제3 와이어 패턴의 둘레 및 상기 제1 게이트 전극의 측벽을 따라서 형성되는 제1 게이트 절연막으로, 상기 제1 소오스/드레인과 접촉하는 부분과, 상기 제1 게이트 스페이서의 측벽과 접촉하는 부분을 포함하는 제1 게이트 절연막, 및 상기 제2 와이어 패턴의 둘레, 상기 제4 와이어 패턴의 둘레 및 상기 제2 게이트 전극의 측벽을 따라서 형성되는 제2 게이트 절연막으로, 상기 제2 소오스/드레인과 접촉하는 부분과, 상기 제2 게이트 스페이서의 측벽과 접촉하는 부분을 포함하는 제2 게이트 절연막을 포함하고, 상기 제1 내지 제4 와이어 패턴은 상기 기판의 상면으로부터 서로 다른 높이에 순차적으로 배치된다.
- [0033] 본 발명의 몇몇 실시예에서, 상기 제2 영역에서, 상기 기판과 상기 제2 와이어 패턴 사이에 형성되는 제5 와이어 패턴을 더 포함하고, 상기 제5 와이어 패턴은 상기 기판과 접한다.
- [0034] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴은 상기 기판과 비접촉한다.
- [0035] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 장치 제조 방법의 일 태양은 교대로 적층되는 제1 반도체 패턴 및 제2 반도체 패턴을 포함하고, 제1 방향으로 연장되는 제1 핀형 구조체를 기판 상의 제1 영역에 형성하고, 교대로 적층되는 제3 반도체 패턴 및 제4 반도체 패턴을 포함하고, 제2 방향으로 연장되는 제2 핀형 구조체를 상기 기판의 제2 영역에 형성하고, 상기 제3 반도체 패턴은 상기 제1 반도체 패턴과 동일한 물질이고, 상기 제4 반도체 패턴은 상기 제2 반도체 패턴과 동일한 물질이고, 상기 제1 핀형 구조체 상에 상기 제1 핀형 구조체와 교차하여 상기 제1 방향과 다른 제3 방향으로 연장되는 제1 더미 게이트 전극과, 상기 제2 핀형 구조체 상에 상기 제2 핀형 구조체와 교차하여 상기 제2 방향과 다른 제4 방향으로 연장되는 제2 더미 게이트 전극을 형성하고, 상기 제1 더미 게이트 전극의 측벽 상에 제1 게이트 스페이서와, 상기 제2 더미 게이트 전극의 측벽 상에 제2 게이트 스페이서를 형성하고, 상기 제2 영역 상에, 상기 제2 더미 게이트 전극 및 상기 제2 게이트 스페이서를 덮는 제1 마스크 패턴을 형성하고, 상기 제1 마스크 패턴을 이용하여, 상기 제1 더미 게이트 전극 및 상기 제1 반도체 패턴을 제거하여, 상기 제1 영역에 상기 제2 반도체 패턴으로 이루어지는 제1 와이어 패턴 그룹을 형성하고, 상기 제1 영역 상에, 상기 제1 와이어 패턴 그룹 및 상기 제1 게이트 스페이서를 덮는 제2 마스크 패턴을 형성하고, 상기 제2 마스크 패턴을 이용하여, 상기 제2 더미 게이트 전극 및 상기 제2 핀형 구조체의 상기 제4 반도체 패턴을 제거하여, 상기 제2 영역에 상기 제3 반도체 패턴으로 이루어지는 제2 와이어 패턴 그룹을 형성하는 것을 포함한다.
- [0036] 본 발명의 몇몇 실시예에서, 상기 제1 핀형 구조체 및 상기 제2 핀형 구조체를 형성하는 것은 상기 기판 상에, 교대로 적층되는 제1 반도체층 및 제2 반도체층을 포함하는 적층 구조체를 형성하고, 상기 제1 영역 및 상기 제2 영역의 상기 적층 구조체 상에, 제3 마스크 패턴 및 제4 마스크 패턴을 각각 형성하고, 상기 제3 마스크 패턴 및 상기 제4 마스크 패턴을 이용하여, 상기 적층 구조체를 식각하는 것을 포함한다.
- [0037] 본 발명의 몇몇 실시예에서, 상기 적층 구조체의 최상층은 상기 제1 반도체층이다.
- [0038] 본 발명의 몇몇 실시예에서, 상기 제1 더미 게이트 전극 및 상기 제1 게이트 스페이서의 양측에 노출되는 제1 핀형 구조체를 제거하여, 상기 제1 핀형 구조체 내에 리세스를 형성하고, 상기 제1 핀형 구조체 상에, 상기 리세스를 채우는 제1 에피층을 형성하는 것을 더 포함한다.
- [0039] 본 발명의 몇몇 실시예에서, 상기 제1 마스크 패턴을 형성하는 것은 상기 제1 더미 게이트 전극과, 상기 제1 게이트 스페이서와, 상기 제2 더미 게이트 전극과, 상기 제2 게이트 스페이서를 덮는 층간 절연막을 상기 기판 상에 형성하고, 상기 층간 절연막을 평탄화하여, 상기 제1 더미 게이트 전극 및 상기 제2 더미 게이트 전극을 노출시키고, 상기 제1 영역 및 상기 제2 영역을 덮는 마스크막을 상기 층간 절연막 상에 형성하고, 상기 기판의 제1 영역에 형성된 상기 마스크막을 제거하여, 상기 제1 더미 게이트 전극을 노출시키는 것을 포함한다.

[0040] 본 발명의 몇몇 실시예에서, 상기 제1 와이어 패턴 그룹은 하나 이상의 제1 와이어 패턴을 포함하고, 각각의 상기 제1 와이어 패턴의 둘레 및 상기 제1 게이트 스페이스의 측벽을 따라서 제1 게이트 절연막을 형성하고, 상기 제1 게이트 절연막 상에, 각각의 상기 제1 와이어 패턴을 감싸는 제1 게이트 전극을 형성하는 것을 더 포함한다.

[0041] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 2는 도 1의 A - A 및 D - D를 따라 절단한 단면도이다.

도 3은 도 1의 B - B 및 E - E를 따라서 절단한 단면도이다.

도 4a 및 도 4b는 도 1의 C - C 및 F - F를 따라서 절단한 단면도이다.

도 5 내지 도 7은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 8 내지 도 10은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 11은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 12는 도 11의 A - A 및 D - D를 따라서 절단한 단면도이다.

도 13 내지 도 27은 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 28은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.

도 29 및 도 30은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

[0043] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0044] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0045] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0046] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0047] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0048] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0049] 이하에서, 도 1 내지 도 4b를 참조하여, 본 발명의 제1 실시예에 따른 반도체 장치에 대해 설명한다.
- [0050] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다. 도 2는 도 1의 A - A 및 D - D를 따라 절단한 단면도이다. 도 3은 도 1의 B - B 및 E - E를 따라서 절단한 단면도이다. 도 4a 및 도 4b는 도 1의 C - C 및 F - F를 따라서 절단한 단면도이다.
- [0051] 설명의 편의상, 도 1에서 층간 절연막(190)은 도시하지 않았다. 또한, 도 4a 및 도 4b는 에피층(155, 255)와 인접하는 게이트 스페이서(140, 240)의 측벽을 따라 절단한 단면도일 수 있다.
- [0052] 도 1 내지 도 4b를 참고하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 기판(100)과, 제1 와이어 패턴(110)과, 제2 와이어 패턴(210)과, 제1 게이트 전극(120)과, 제2 게이트 전극(220)과, 제1 게이트 절연막(130)과, 제2 게이트 절연막(230)과, 제1 게이트 스페이서(140)와, 제2 게이트 스페이서(240)와, 제1 소오스/드레인(150)과, 제2 소오스/드레인(250) 등을 포함할 수 있다.
- [0053] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수도 있고, 서로 연결된 영역일 수도 있다. 예를 들어, 제1 영역(I)은 P형 트랜지스터 영역을 포함할 수 있고, 제2 영역(II)은 N형 트랜지스터 영역을 포함할 수 있다. 제1 트랜지스터(105)는 P형 트랜지스터일 수 있고, 제2 트랜지스터(205)는 N형 트랜지스터일 수 있다. 따라서, 제1 트랜지스터(105)는 제1 영역(I)에 형성되고, 제2 트랜지스터(205)는 제2 영역(II)에 형성된다.
- [0054] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.
- [0055] 본 발명의 실시예들에 따른 반도체 장치에서, 기판(100)은 하부 기판(101)과 하부 기판(101)의 일면 상에 형성된 상부 기판(102)을 포함하는 것으로 설명한다. 예를 들어, 하부 기판(101)은 반도체 기판일 수 있고, 상부 기판(102)은 절연막 기판일 수 있다. 기판(100)은 반도체 기판과, 반도체 기판의 일면 상에 형성된 절연막 기판을 포함할 수 있고, 예를 들어, SOI(silicon-on-insulator) 일 수 있다.
- [0056] 제1 트랜지스터(105)는 제1 와이어 패턴(110)과, 제1 게이트 전극(120)과, 제1 게이트 절연막(130)과, 제1 게이트 스페이서(140)와, 제1 소오스/드레인(150)을 포함한다.
- [0057] 제2 트랜지스터(205)는 제2 와이어 패턴(210)과, 제2 게이트 전극(220)과, 제2 게이트 절연막(230)과, 제2 게이트 스페이서(240)와, 제2 소오스/드레인(250)을 포함한다.
- [0058] 제1 와이어 패턴(110)은 기판(100) 상에 형성된다. 제1 와이어 패턴(110)은 제1 방향(X1)으로 연장되어 형성된다. 제1 와이어 패턴(110)은 상부 기판(102) 상에, 상부 기판(102)과 이격되어 형성된다. 즉, 제1 와이어 패턴(110)은 기판(100)과 비접촉한다.
- [0059] 제1 트랜지스터(105)는 P형 트랜지스터일 수 있으므로, 제1 트랜지스터(105)에 포함되는 제1 와이어 패턴(110)은 예를 들어, 정공의 이동도(hole mobility)가 높은 물질을 포함할 수 있다. 제1 와이어 패턴(110)은 예를 들어, SiGe 또는 Ge 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0060] 제2 와이어 패턴(210)은 기판(100) 상에 형성된다. 제2 와이어 패턴(210)은 제3 방향(X2)으로 연장되어 형성된다. 제2 와이어 패턴(210)은 상부 기판(102) 상에, 상부 기판(102)과 이격되어 형성된다.
- [0061] 제2 트랜지스터(205)는 기판(100)과 제2 와이어 패턴(210) 사이에 형성되는 더미 와이어 패턴(211)을 더 포함할 수 있다. 더미 와이어 패턴(211)은 제3 방향(X2)으로 연장되어 형성된다. 더미 와이어 패턴(211)은 제2 와이어 패턴(210)과 이격되어 형성되지만, 기판(100)과 접할 수 있다. 더미 와이어 패턴(211)은 기판(100)의 상부 기판(102)과 직접 접할 수 있다.
- [0062] 제2 와이어 패턴(210)은 제1 와이어 패턴(110)과 다른 물질을 포함한다. 제2 와이어 패턴(210)은 예를 들어, 제1 와이어 패턴(110)에 대해 식각 선택비를 갖는 물질을 포함할 수 있다. 다시 말하면, 제1 와이어 패턴(110)을

식각할 때, 제2 와이어 패턴(210)은 식각이 잘 되지 않고, 반대로 제2 와이어 패턴(210)을 식각할 때, 제1 와이어 패턴(110)은 식각이 잘 되지 않는다. 제2 와이어 패턴(210)이 제1 와이어 패턴(110)에 대해 식각 선택비를 갖는 물질을 포함하는 이유는 제조 방법을 통해 상술하도록 한다.

- [0063] 제2 트랜지스터(205)는 N형 트랜지스터일 수 있으므로, 제2 트랜지스터(205)에 포함되는 제2 와이어 패턴(210)은 예를 들어, 전자의 이동도(electron mobility)가 높은 물질을 포함할 수 있다. 제2 와이어 패턴(210)은 예를 들어, Si 또는 III-V족 화합물 반도체 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0064] III-V족 화합물 반도체는 예로 들어, III족 원소로 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다.
- [0065] 더미 와이어 패턴(211)은 제2 와이어 패턴(210)과 동일한 물질을 포함할 수 있다. 더미 와이어 패턴(211)은 예를 들어, Si 또는 III-V족 화합물 반도체 중 하나를 포함할 수 있다.
- [0066] 도 3에서, 제1 와이어 패턴(110)과, 제2 와이어 패턴(210)의 각각의 단면은 사각형인 것으로 도시하였지만, 이에 제한되는 것은 아니다. 트리밍(trimming) 공정 등을 통해, 제1 와이어 패턴(110) 및 제2 와이어 패턴(210)의 모서리 부분이 둥그렇게 될 수 있음은 물론이다.
- [0067] 본 발명의 제1 실시예에 따른 반도체 장치에서, 기판(100)의 상면을 기준으로 제2 와이어 패턴(210)이 형성된 높이는 기판(100)의 상면을 기준으로 제1 와이어 패턴(110)이 형성된 높이와 다르다.
- [0068] 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최하부까지의 높이는 제1_1 높이(h11)이고, 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최상부까지의 높이는 제1_2 높이(h12)일 수 있다. 또한, 기판(100)의 상면으로부터 제2 와이어 패턴(210)의 최하부까지의 높이는 제2_1 높이(h21)이고, 기판(100)의 상면으로부터 제2 와이어 패턴(210)의 최상부까지의 높이는 제2_2 높이(h22)일 수 있다.
- [0069] 설명의 편의성을 위해, 기판(100)의 상면을 기준으로 제1 와이어 패턴(110)이 형성된 제1 높이는 제1_1 높이(h11)와 제1_2 높이(h12)의 중간 값으로 정의하고, 제2 와이어 패턴(210)이 형성된 제2 높이는 제2_1 높이(h21)와 제2_2 높이(h22)의 중간 값으로 정의한다. 즉, 기판(100)의 상면으로부터 제1 와이어 패턴(110)까지의 높이는 제1_1 높이(h11)와 제1_2 높이(h12)의 중간 값일 수 있다.
- [0070] 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최하부까지의 높이(h11)은 더미 와이어 패턴(211)의 두께와 실질적으로 동일하거나 클 수 있다. 또한, 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최상부까지의 높이(h12)는 기판(100)의 상면으로부터 제2 와이어 패턴(210)의 최하부까지의 높이(h21)과 실질적으로 동일하거나 작을 수 있다.
- [0071] 즉, 제2 영역(II)에서, 제1_1 높이(h11)와 제1_2 높이(h12) 사이에는 제2 와이어 패턴(210) 및 더미 와이어 패턴(211)이 위치하지 않는다. 또한, 제1 영역(I)에서, 제2_1 높이(h21)와 제2_2 높이(h22) 사이에는 제1 와이어 패턴(110)이 위치하지 않는다.
- [0072] 따라서, 기판(100)의 상면을 기준으로 제2 와이어 패턴(210)이 형성된 제2 높이는 기판(100)의 상면을 기준으로 제1 와이어 패턴(110)이 형성된 제1 높이보다 크다.
- [0073] 덧붙여, 제1 영역(I)에서, 제2 와이어 패턴(210)이 형성된 제2 높이에는 제1 게이트 전극(120)이 위치한다. 제2 영역(II)에서, 제1 와이어 패턴(110)이 형성된 제1 높이에는 제2 게이트 전극(220)이 위치한다.
- [0074] 제1 게이트 전극(120)은 기판(100) 상에 형성된다. 제1 게이트 전극(120)은 제2 방향(Y1)으로 길게 연장되어 형성된다. 제1 게이트 전극(120)은 기판(100)과 이격되어 형성되는 제1 와이어 패턴(110)의 둘레를 전체적으로 감싸도록 형성된다. 제1 게이트 전극(120)은 제1 와이어 패턴(110)과 기판(100) 사이의 이격된 공간에도 형성된다.
- [0075] 제2 게이트 전극(220)은 기판(100) 상에 형성된다. 제2 게이트 전극(220)은 제4 방향(Y2)으로 길게 연장되어 형성된다. 제2 게이트 전극(220)의 제2 와이어 패턴(210)의 둘레를 전체적으로 감싸도록 형성된다. 또한, 제2 게이트 전극(220)은 더미 와이어 패턴(211)의 상면 및 측벽 상에 형성되므로, 제2 와이어 패턴(210) 및 더미 와이어 패턴(211) 사이에 형성된다.
- [0076] 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 도전성 물질을 포함할 수 있다. 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 단일층으로 도시되었지만, 설명의 편의를 위한 것을 뿐, 이에 제한되는 것은 아니다.

즉, 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 일함수 조절을 하는 일함수 도전층과, 일함수 조절을 하는 일함수 도전층에 의해 형성된 공간을 채우는 필링(filling) 도전층을 포함할 수 있다.

- [0077] 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 예를 들어, TiN, WN, TaN, Ru, TiC, TaC, Ti, Ag, Al, TiAl, TiAlN, TiAlC, TaCN, TaSiN, Mn, Zr, W, Al 중 적어도 하나를 포함할 수 있다. 또는, 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 금속이 아닌 Si, SiGe 등으로 이루어질 수도 있다. 이러한 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0078] 제1 게이트 스페이서(140)는 제2 방향(Y1)으로 연장된 제1 게이트 전극(120)의 양 측벽 상에 형성된다. 제1 게이트 스페이서(140)는 제1 와이어 패턴(110)의 양측에 서로 마주보며 형성된다.
- [0079] 제2 게이트 스페이서(240)는 제4 방향(Y2)으로 연장된 제2 게이트 전극(220)의 양 측벽 상에 형성된다. 제2 게이트 스페이서(240)는 제2 와이어 패턴(210) 및 더미 와이어 패턴(211)의 양측에 서로 마주보며 형성된다.
- [0080] 제1 게이트 스페이서(140)는 기판(100)과 인접하는 제1 게이트 스페이서(140)의 하부면으로부터 제5 방향(Z1)으로 파인 제1 리세스(140r)을 포함할 수 있다. 제2 게이트 스페이서(240)는 기판(100)과 인접하는 제2 게이트 스페이서(240)의 하부면으로부터 제6 방향(Z2)으로 파인 제2 리세스(240r)을 포함할 수 있다.
- [0081] 제1 게이트 스페이서(140) 및 제2 게이트 스페이서(240)는 각각 예를 들어, 실리콘 질화물(SiN), 실리콘 산화물(SiON), 실리콘 산화물(SiO₂), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 제1 게이트 스페이서(140) 및 제2 게이트 스페이서(240)는 각각 단일막으로 도시되었지만, 이에 제한되는 것은 아니며, 다중막의 구조를 가질 수 있음은 물론이다.
- [0082] 제1 게이트 절연막(130)은 제1 와이어 패턴(110)과 제1 게이트 전극(120) 사이에 형성될 수 있다. 제1 게이트 절연막(130)은 제1 게이트 전극(120)과 제1 게이트 스페이서(140) 사이에 형성될 수 있다. 또한, 제1 게이트 절연막(130)은 기판(100)과 제1 게이트 전극(120) 사이에 형성될 수 있다.
- [0083] 제1 게이트 절연막(130)은 제1 와이어 패턴(110)의 둘레와 제1 게이트 전극(120)의 측벽을 따라서 컨포말하게 형성될 수 있다. 또는, 제1 게이트 절연막(130)은 제1 와이어 패턴(110)의 둘레와 제1 게이트 스페이서(140)의 측벽을 따라서 컨포말하게 형성될 수 있다. 제1 게이트 절연막(130)은 기판(100)의 상면을 따라서 형성될 수 있다. 덧붙여, 제1 게이트 절연막(130)은 제1 소오스/드레인(150)의 일부 면을 따라서 형성될 수 있다.
- [0084] 제1 게이트 절연막(130)은 제1 게이트 전극(120)의 측벽과 제1 게이트 스페이서(140)의 측벽 사이에 형성되므로, 제1 게이트 절연막(130)의 일측면은 제1 게이트 전극(120)의 측벽을 따라서 형성되고, 제1 게이트 절연막(130)의 다른 측면은 제1 게이트 스페이서(140)의 측벽을 따라서 형성된다.
- [0085] 제2 게이트 절연막(230)은 제2 와이어 패턴(210)과 제2 게이트 전극(220) 사이 및 더미 와이어 패턴(211)과 제2 게이트 전극(220) 사이에 형성될 수 있다. 제2 게이트 절연막(230)은 제2 게이트 전극(220)과 제2 게이트 스페이서(240) 사이에 형성될 수 있다. 또한, 제2 게이트 절연막(230)은 기판(100)과 제2 게이트 전극(220) 사이에 형성될 수 있다.
- [0086] 제2 게이트 절연막(230)은 제2 와이어 패턴(210)의 둘레와, 제2 게이트 전극(220)의 측벽을 따라서 컨포말하게 형성될 수 있다. 또는, 제2 게이트 절연막(230)은 제2 와이어 패턴(210)의 둘레와 제2 게이트 스페이서(240)의 측벽을 따라서 컨포말하게 형성될 수 있다. 제2 게이트 절연막(230)은 기판(100)의 상면과, 더미 와이어 패턴(211)의 측벽 및 상면을 따라서 형성될 수 있다. 덧붙여, 제2 게이트 절연막(230)은 제2 소오스/드레인(250)의 일부 면을 따라서 형성될 수 있다.
- [0087] 제2 게이트 절연막(230)은 제2 게이트 전극(220)의 측벽과 제2 게이트 스페이서(240)의 측벽 사이에 형성되므로, 제2 게이트 절연막(230)의 일측면은 제2 게이트 전극(220)의 측벽을 따라서 형성되고, 제2 게이트 절연막(230)의 다른 측면은 제2 게이트 스페이서(240)의 측벽을 따라서 형성된다.
- [0088] 제1 게이트 절연막(130)과 제2 게이트 절연막(230)은 각각 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(130)과 제2 게이트 절연막(230)은 각각 hafnium 산화물(hafnium oxide), hafnium 실리콘 산화물(hafnium silicon oxide), lanthanum 산화물(lanthanum oxide), lanthanum 알루미늄 산화물(lanthanum aluminum oxide), zirconium 산화물(zirconium oxide), zirconium 실리콘 산화물(zirconium silicon oxide), tantalum 산화물(tantalum oxide), titanium 산화물(titanium oxide), barium 스트론튬

티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [0089] 제1 트랜지스터(105)는 기판(100) 상에, 제1 게이트 전극(120)의 양측에 배치되는 제1 에피 씨드층(160)을 더 포함할 수 있다. 또한, 제2 트랜지스터(205)는 기판(100) 상에, 제2 게이트 전극(220)의 양측에 배치되는 제2 에피 씨드층(260)을 더 포함할 수 있다.
- [0090] 제2 에피 씨드층(260)은 더미 와이어 패턴(211)과 연결될 수 있다. 즉, 제2 에피 씨드층(260)은 더미 와이어 패턴(211)으로부터 연장된 부분일 수 있다. 하지만, 제2 에피 씨드층(260)의 두께는 더미 와이어 패턴(211)의 두께보다 작다.
- [0091] 제1 에피 씨드층(160)과 제2 에피 씨드층(260)은 동일한 물질을 포함할 수 있다. 제2 에피 씨드층(260)은 더미 와이어 패턴(211)으로부터 연장된 부분일 수 있으므로, 제1 에피 씨드층(160) 및 제2 에피 씨드층(260)은 더미 와이어 패턴(211)과 동일한 물질을 포함할 수 있다.
- [0092] 제1 에피 씨드층(160) 및 제2 에피 씨드층(260)은 선택적인 층일 수 있다. 따라서, 제1 에피 씨드층(160) 및 제2 에피 씨드층(260)은 생략될 수 있음은 자명하다.
- [0093] 제1 소오스/드레인(150)은 제1 게이트 전극(120)의 양측에 배치된다. 제1 소오스/드레인(150)은 기판(100) 상에 형성되고, 채널 영역인 제1 와이어 패턴(110)과 연결된다.
- [0094] 제1 소오스/드레인(150)은 기판(100) 상에 형성된 제1 에피층(155)을 포함할 수 있다. 제1 에피층(155)은 제1 에피 씨드층(160) 상에 형성될 수 있다. 즉, 제1 에피층(155)과 기판(100) 사이에 제1 에피 씨드층(160)이 위치한다.
- [0095] 제1 에피층(155)은 제1 부분(155a)와 제2 부분(155b)을 포함할 수 있다. 제1 에피층의 제1 부분(155a) 사이에는 제1 와이어 패턴(110)이 위치한다. 제1 와이어 패턴(110)은 제1 에피층의 제1 부분(155a)과 직접 연결된다.
- [0096] 제1 에피층의 제2 부분(155b) 사이에는 제1 와이어 패턴(110)이 위치하지 않고, 제1 게이트 절연막(130) 및 제1 게이트 전극(120)이 배치된다. 제1 에피층의 제2 부분(155b)은 제1 게이트 절연막(130)과 접촉할 수 있다. 즉, 제1 에피층의 제2 부분(155b)과 제1 게이트 절연막(130) 사이에는 제1 게이트 스페이서(140)가 개재되지 않는다. 따라서, 제1 게이트 절연막(130)의 일부는 제1 에피층(155)과 접촉한다.
- [0097] 제2 소오스/드레인(250)은 제2 게이트 전극(220)의 양측에 배치된다. 제2 소오스/드레인(250)은 기판(100) 상에 형성되고, 채널 영역인 제2 와이어 패턴(210)과 연결된다. 또한, 제2 소오스/드레인(250)은 더미 와이어 패턴(211)과 연결될 수 있다.
- [0098] 제2 소오스/드레인(250)은 기판(100) 상에 형성된 제2 에피층(255)을 포함할 수 있다. 제2 에피층(255)은 제2 에피 씨드층(260) 상에 형성될 수 있다. 즉, 제2 에피층(255)과 기판(100) 사이에 제2 에피 씨드층(260)이 위치한다.
- [0099] 제2 에피층(255)은 제1 부분(255a)와 제2 부분(255b)을 포함할 수 있다. 제2 에피층의 제1 부분(255a) 사이에는 제2 와이어 패턴(210)이 위치한다. 제2 와이어 패턴(210)은 제2 에피층의 제1 부분(255a)과 직접 연결된다.
- [0100] 제2 에피층의 제2 부분(255b) 사이에는 제2 와이어 패턴(210)이 위치하지 않고, 제2 게이트 절연막(230) 및 제2 게이트 전극(220)이 배치된다. 제2 에피층의 제2 부분(255b)은 제2 게이트 절연막(230)과 접촉할 수 있다. 즉, 제2 에피층의 제2 부분(255b)과 제2 게이트 절연막(230) 사이에는 제2 게이트 스페이서(240)가 개재되지 않는다. 따라서, 제2 게이트 절연막(230)의 일부는 제2 에피층(255)과 접촉한다.
- [0101] 제1 에피층(155)의 외주면 및 제2 에피층(255)의 외주면은 각각 다양한 형상일 수 있다. 예를 들어, 제1 에피층(155)의 외주면 및 제2 에피층(255)의 외주면은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다. 도 1에서는 예시적으로 다이아몬드 형상(또는 오각형 형상 또는 육각형 형상)을 도시하였다.
- [0102] 예를 들어, 제1 에피층(155)은 PMOS의 채널 영역으로 사용되는 제1 와이어 패턴(110)에 압축 스트레스를 인가할 수 있는 물질을 포함할 수 있다. 제1 에피층(155)은 제1 와이어 패턴(110)보다 격자 상수가 큰 물질을 포함할 수 있다. 만약, 제1 와이어 패턴(110)이 SiGe를 포함할 경우, 제1 에피층(155)은 제1 와이어 패턴(110)보다 Ge의 함량이 높은 SiGe를 포함할 수 있다.

- [0103] 예를 들어, 제2 에피층(255)은 NMOS의 채널 영역으로 사용되는 제2 와이어 패턴(210)에 인장 스트레스를 인가할 수 있는 물질 또는 제2 와이어 패턴(210)과 동일한 물질을 포함할 수 있다. 제2 에피층(255)은 제2 와이어 패턴(210)보다 격자 상수가 작은 물질 또는 동일한 물질을 포함할 수 있다. 만약, 제2 와이어 패턴(210)이 Si일 경우, 제2 에피층(255)은 Si이거나, Si보다 격자 상수가 작은 물질(예를 들어, SiC)일 수 있다.
- [0104] 도 4a는 제1 게이트 스페이서(140)에 포함된 제1 리세스(140r)을 통해, 제1 와이어 패턴(110)의 단면 및 제1 게이트 절연막(130)의 일부가 노출되는 경우와, 제2 게이트 스페이서(240)에 포함된 제2 리세스(240r)을 통해, 제2 와이어 패턴(210)의 단면, 더미 와이어 패턴(211)의 단면 및 제2 게이트 절연막(230)의 일부가 노출되는 경우를 도시하고 있다.
- [0105] 도 4b는 제1 에피층(155)의 일부 및 제2 에피층(255)의 일부가 각각 제1 게이트 스페이서(140) 및 제2 게이트 스페이서(240) 내부로 만입되어 들어간 경우를 도시하고 있다.
- [0106] 도 2 및 도 4a에서, 제1 리세스(140r)을 통해 노출되는 제1 와이어 패턴(110) 및 제1 게이트 절연막(130)의 일부는 제1 에피층(155)과 접촉한다. 즉, 제1 게이트 절연막(130)의 일부는 제1 에피층(155)과 직접 접촉하게 되므로, 제1 리세스(140r)을 통해 노출되는 제1 게이트 절연막(130)의 일부와 제1 에피층(155) 사이에 제1 게이트 스페이서(140)가 개재되지 않는다.
- [0107] 제1 에피층(155)의 일부가 제1 게이트 스페이서(140)의 내부로 만입된 도 4b의 경우에서도, 제1 에피층(155) 및 제1 에피 씨드층(160)이 노출되는 부분에는 제1 게이트 스페이서(140)가 형성되지 않기 때문에, 제1 게이트 절연막(130)의 일부와 제1 에피층(155) 사이에 제1 게이트 스페이서(140)가 개재되지 않는다.
- [0108] 제1 에피층(155)과 제1 게이트 절연막(130) 사이의 위치관계와 마찬가지로, 제2 게이트 절연막(230)의 일부와 제2 에피층(255) 사이에 제2 게이트 스페이서(240)가 개재되지 않는다.
- [0109] 도 1, 도 2, 및 도 4에서, 제1 게이트 절연막(130)은 제1 게이트 전극(120)의 측벽을 따라 전체적으로 형성되고, 제2 게이트 절연막(230)은 제2 게이트 전극(220)의 측벽을 따라 전체적으로 형성될 수 있다.
- [0110] 하지만, 제1 게이트 절연막(130)은 제1 게이트 전극(120)의 측벽과 제1 게이트 스페이서(140) 사이에 개재되지만, 제1 게이트 절연막(130)의 일부는 제1 게이트 스페이서(140)와 접촉하지 않고, 제1 에피층(155)과 접촉할 수 있다. 또한, 제2 게이트 절연막(230)은 제2 게이트 전극(220)의 측벽과 제2 게이트 스페이서(240) 사이에 개재되지만, 제2 게이트 절연막(230)의 일부는 제2 게이트 스페이서(240)와 접촉하지 않고, 제2 에피층(255)과 접촉할 수 있다.
- [0111] 따라서, 제1 게이트 절연막(130)은 제1 에피층(155), 즉, 제1 소오스/드레인(150)과 접촉하는 부분과, 제1 게이트 스페이서(140)와 접촉하는 부분을 포함한다. 또한, 제2 게이트 절연막(230)은 제2 에피층(255), 즉, 제2 소오스/드레인(250)과 접촉하는 부분과, 제2 게이트 스페이서(240)와 접촉하는 부분을 포함한다.
- [0112] 도 1 내지 도 4b에서, 제1 영역(I)에 형성되는 PMOS는 더미 와이어 패턴을 포함하지 않고, 제2 영역(II)에 형성되는 NMOS는 더미 와이어 패턴을 포함하는 것으로 설명하였지만, 이에 제한되는 것은 아니다. 즉, 상술한 것과 반대로, 제1 영역(I)에 형성되는 PMOS는 더미 와이어 패턴을 포함하고, 제2 영역(II)에 형성되는 NMOS는 더미 와이어 패턴을 포함하지 않을 수 있음은 자명하다.
- [0113] 이하의 설명에서, 도 1의 C - C 및 F - F를 따라서 절단한 단면도는 도 4a와 유사한 것으로 설명한다.
- [0114] 도 5 내지 도 7은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의상, 도 1 내지 도 4b를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0115] 도 5 내지 도 7을 참고하면, 본 발명의 제2 실시예에 따른 반도체 장치(2)는 제1 영역(I)에 형성되는 제3 와이어 패턴(115)을 더 포함한다. 즉, 제1 영역(I)에 형성되는 제1 트랜지스터(105)는 제3 와이어 패턴(115)을 더 포함한다.
- [0116] 제3 와이어 패턴(115)은 제1 와이어 패턴(110) 상에 형성된다. 제3 와이어 패턴(115)은 제1 방향(X1)으로 연장되어 형성된다. 제3 와이어 패턴(115)은 제1 와이어 패턴(110)과 이격되어 형성된다.
- [0117] 제3 와이어 패턴(115)은 제1 와이어 패턴(110)과 동일한 물질을 포함할 수 있다. 예를 들어, 제3 와이어 패턴(115)은 SiGe 또는 Ge 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0118] 본 발명의 제2 실시예에 따른 반도체 장치에서, 기판(100)의 상면을 기준으로 제3 와이어 패턴(115)이 형성된

높이는 기판(100)의 상면을 기준으로 제2 와이어 패턴(210)이 형성된 높이와 다르다. 좀 더 구체적으로, 기판(100)의 상면을 기준으로 제3 와이어 패턴(115)이 형성된 높이는 기판(100)의 상면을 기준으로 제2 와이어 패턴(210)이 형성된 높이보다 높다.

- [0119] 기판(100)의 상면으로부터 제3 와이어 패턴(115)의 최하부까지의 높이는 제3_1 높이(h31)이고, 기판(100)의 상면으로부터 제3 와이어 패턴(115)의 최상부까지의 높이는 제3_2 높이(h32)일 수 있다. 이 때, 기판(100)의 상면으로부터 제3 와이어 패턴(115)까지의 제3 높이는 제3_1 높이(h31)와 제3_2 높이(h32)의 중간 값일 수 있다.
- [0120] 기판(100)의 상면으로부터 제3 와이어 패턴(115)의 최하부까지의 높이(h31)는 기판(100)의 상면으로부터 제2 와이어 패턴(210)의 최상부까지의 높이(h22)와 실질적으로 동일하거나 클 수 있다. 즉, 제2 영역(II)에서, 제3_1 높이(h31)와 제3_2 높이(h32) 사이에는 제2 와이어 패턴(210) 및 더미 와이어 패턴(211)이 위치하지 않는다.
- [0121] 또한, 제2 영역(II)에서, 제3_1 높이(h31)와 제3_2 높이(h32) 사이에는 채널 영역으로 사용되는 다른 와이어 패턴도 위치하지 않는다. 제2 영역(II)에서, 제3 와이어 패턴(115)이 형성된 제3 높이에는 제2 게이트 전극(220)이 위치한다.
- [0122] 따라서, 기판(100)의 상면으로부터 제2 와이어 패턴(210)까지의 제2 높이는 기판(100)의 상면으로부터 제1 와이어 패턴(110)까지의 제1 높이보다 크지만, 기판(100)의 상면으로부터 제3 와이어 패턴(115)까지의 제3 높이보다 작다.
- [0123] 덧붙여, 제2 와이어 패턴(210)은 기판(100)의 상면으로부터 제3 와이어 패턴(115)의 최하부까지의 높이(h31)와 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최상부까지의 높이(h12) 사이에 위치할 수 있다.
- [0124] 예를 들어, 기판(100)의 상면으로부터 제3 와이어 패턴(115)의 최하부까지의 높이(h31)는 제2 와이어 패턴(210)의 최상부까지의 높이(h22)와 실질적으로 동일하거나 클 수 있다. 또한, 기판(100)의 상면으로부터 제1 와이어 패턴(110)의 최상부까지의 높이(h12)는 제2 와이어 패턴(210)의 최하부까지의 높이(h21)와 실질적으로 동일하거나 작을 수 있다.
- [0125] 도 5에서, 제1 와이어 패턴(110)과 제3 와이어 패턴(115)은 제1 영역(I)에 형성되고, 제2 와이어 패턴(210)은 제2 영역(II)에 형성된다. 하지만, 제1 와이어 패턴(110)과, 제2 와이어 패턴(210)과, 제3 와이어 패턴(115)은 기판(100)의 상면으로부터 서로 다른 높이에 순차적으로 배치된다.
- [0126] 제1 게이트 전극(120)은 서로 이격되어 형성되는 제1 와이어 패턴(110)의 둘레 및 제3 와이어 패턴(115)의 둘레를 전체적으로 감싸도록 형성된다.
- [0127] 제1 게이트 절연막(130)은 제3 와이어 패턴(115)과 제1 게이트 전극(120) 사이 및 제1 와이어 패턴(110)과 제1 게이트 전극(120) 사이에 형성될 수 있다. 제1 게이트 절연막(130)은 제1 와이어 패턴(110)의 둘레 및 제3 와이어 패턴(115)의 둘레를 따라 콘포말하게 형성될 수 있다.
- [0128] 제1 소오스/드레인(150)은 제1 와이어 패턴(110) 및 제3 와이어 패턴(115)의 양측에 배치된다. 제1 소오스/드레인(150)에 포함되는 제1 에피층(155)의 일부는 제1 와이어 패턴(110) 및 제3 와이어 패턴(115)과 직접 연결된다. 즉, 제1 와이어 패턴(110) 및 제3 와이어 패턴(115)은 각각 제1 에피층의 제1 부분(155a)과 직접 연결될 수 있다.
- [0129] 본 발명의 제2 실시예에 따른 반도체 장치에서, 제1 게이트 전극(120)이 둘레를 전체적으로 감싼 와이어 패턴(110, 115)의 개수는 제2 게이트 전극(220)이 둘레를 전체적으로 감싼 와이어 패턴(210)의 개수와 다를 수 있다.
- [0130] 도 8 내지 도 10은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의상, 도 5 내지 도 7을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0131] 도 8 내지 도 10을 참고하면, 본 발명의 제3 실시예에 따른 반도체 장치(3)는 제2 영역(II)에 형성되는 제4 와이어 패턴(215)을 더 포함한다. 즉, 제2 영역(II)에 형성되는 제2 트랜지스터(205)는 제4 와이어 패턴(215)을 더 포함한다.
- [0132] 제4 와이어 패턴(215)은 제2 와이어 패턴(210) 상에 형성된다. 제4 와이어 패턴(215)은 제3 방향(X2)으로 연장되어 형성된다. 제4 와이어 패턴(215)은 제2 와이어 패턴(210)과 이격되어 형성된다.
- [0133] 제4 와이어 패턴(215)은 제2 와이어 패턴(210)과 동일한 물질을 포함할 수 있다. 예를 들어, 제4 와이어 패턴

(215)은 Si 또는 III-V족 화합물 반도체 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.

- [0134] 본 발명의 제3 실시예에 따른 반도체 장치에서, 기관(100)의 상면을 기준으로 제4 와이어 패턴(215)이 형성된 높이는 기관(100)의 상면을 기준으로 제3 와이어 패턴(115)이 형성된 높이와 다르다. 좀 더 구체적으로, 기관(100)의 상면을 기준으로 제4 와이어 패턴(215)이 형성된 높이는 기관(100)의 상면을 기준으로 제3 와이어 패턴(115)이 형성된 높이보다 높다.
- [0135] 기관(100)의 상면으로부터 제4 와이어 패턴(215)의 최하부까지의 높이는 제4_1 높이(h41)이고, 기관(100)의 상면으로부터 제4 와이어 패턴(215)의 최상부까지의 높이는 제4_2 높이(h42)일 수 있다. 이 때, 기관(100)의 상면으로부터 제4 와이어 패턴(215)까지의 제4 높이는 제4_1 높이(h41)와 제4_2 높이(h42)의 중간 값일 수 있다.
- [0136] 기관(100)의 상면으로부터 제4 와이어 패턴(215)의 최하부까지의 높이(h41)는 기관(100)의 상면으로부터 제3 와이어 패턴(115)의 최상부까지의 높이(h32)와 실질적으로 동일하거나 클 수 있다. 즉, 제1 영역(I)에서, 제4_1 높이(h41)와 제4_2 높이(h42) 사이에는 제1 와이어 패턴(110) 및 제3 와이어 패턴(115)이 위치하지 않는다.
- [0137] 또한, 제1 영역(I)에서, 제4_1 높이(h41)와 제4_2 높이(h42) 사이에는 채널 영역으로 사용되는 다른 와이어 패턴도 위치하지 않는다. 제1 영역(I)에서, 제4 와이어 패턴(215)이 형성된 제4 높이에는 제1 게이트 전극(120)이 위치한다.
- [0138] 따라서, 기관(100)의 상면으로부터 제3 와이어 패턴(115)까지의 제3 높이는 기관(100)의 상면으로부터 제2 와이어 패턴(210)까지의 제2 높이보다 크지만, 기관(100)의 상면으로부터 제4 와이어 패턴(215)까지의 제4 높이보다 작다.
- [0139] 덧붙여, 제3 와이어 패턴(115)은 기관(100)의 상면으로부터 제4 와이어 패턴(215)의 최하부까지의 높이(h41)와 기관(100)의 상면으로부터 제2 와이어 패턴(210)의 최상부까지의 높이(h22) 사이에 위치할 수 있다.
- [0140] 예를 들어, 기관(100)의 상면으로부터 제4 와이어 패턴(215)의 최하부까지의 높이(h41)은 제3 와이어 패턴(115)의 최상부까지의 높이(h32)와 실질적으로 동일하거나 클 수 있다. 또한, 기관(100)의 상면으로부터 제2 와이어 패턴(210)의 최상부까지의 높이(h22)는 제3 와이어 패턴(115)의 최하부까지의 높이(h31)와 실질적으로 동일하거나 작을 수 있다.
- [0141] 도 8에서, 제1 와이어 패턴(110)과 제3 와이어 패턴(115)은 제1 영역(I)에 형성되고, 제2 와이어 패턴(210)과 제4 와이어 패턴(215)은 제2 영역(II)에 형성된다. 하지만, 제1 와이어 패턴(110)과, 제2 와이어 패턴(210)과, 제3 와이어 패턴(115)과, 제4 와이어 패턴(215)은 기관(100)의 상면으로부터 서로 다른 높이에 순차적으로 배치된다.
- [0142] 제2 게이트 전극(220)은 서로 이격되어 형성되는 제2 와이어 패턴(210)의 둘레 및 제4 와이어 패턴(215)의 둘레를 전체적으로 감싸도록 형성된다.
- [0143] 제2 게이트 절연막(230)은 제2 와이어 패턴(210)과 제2 게이트 전극(220) 사이 및 제4 와이어 패턴(215)과 제2 게이트 전극(220) 사이에 형성될 수 있다. 제2 게이트 절연막(230)은 제2 와이어 패턴(210)의 둘레 및 제4 와이어 패턴(215)의 둘레를 따라 컨포말하게 형성될 수 있다.
- [0144] 제2 소오스/드레인(250)은 제2 와이어 패턴(210) 및 제4 와이어 패턴(215)의 양측에 배치된다. 제2 소오스/드레인(250)에 포함되는 제2 에피층(255)의 일부는 제2 와이어 패턴(210) 및 제4 와이어 패턴(215)과 직접 연결된다. 즉, 제2 와이어 패턴(210) 및 제4 와이어 패턴(215)은 각각 제2 에피층의 제1 부분(255a)과 직접 연결될 수 있다.
- [0145] 본 발명의 제3 실시예에 따른 반도체 장치에서, 제1 게이트 전극(120)이 둘레를 전체적으로 감싼 와이어 패턴(110, 115)의 개수는 제2 게이트 전극(220)이 둘레를 전체적으로 감싼 와이어 패턴(210, 215)의 개수와 동일할 수 있다. 즉, 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 복수개의 와이어 패턴의 둘레를 전체적으로 감싼다.
- [0146] 도 11은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다. 도 12는 도 11의 A - A 및 D - D를 따라서 절단한 단면도이다. 설명의 편의상, 도 1 내지 도 4b를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0147] 도 11 및 도 12를 참고하면, 본 발명의 제4 실시예에 따른 반도체 장치(4)에서, 제1 소오스/드레인(150)은 기관(100) 상에 순차적으로 적층된 제1 반도체 패턴(151)과 제2 반도체 패턴(152)을 포함한다. 제1 소오스/드레인

(150)의 상면은 예를 들어, 제1 반도체 패턴(151)일 수 있다.

- [0148] 또한, 제2 소오스/드레인(250)은 기판(100) 상에 순차적으로 적층된 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)을 포함할 수 있다. 제2 소오스/드레인(250)의 상면은 예를 들어, 제3 반도체 패턴(251)일 수 있다.
- [0149] 제2 반도체 패턴(152)은 제1 와이어 패턴(110)과 직접 연결된다. 구체적으로, 제2 반도체 패턴(152)은 제1 와이어 패턴(110)으로부터 연장된 부분일 수 있다. 또한, 제2 반도체 패턴(152)과 제1 와이어 패턴(110)은 동일 레벨에서 형성될 수 있다. 여기서, "동일 레벨"이라 함은 동일한 제조 공정에 의해 형성되는 것을 의미하는 것이다.
- [0150] 제1 반도체 패턴(151)은 제1 게이트 전극(120)을 중심으로 제1 방향(X1)으로 양측에 배치될 수 있다. 제1 반도체 패턴(151) 사이에 제1 게이트 전극(120)과 제1 게이트 절연막(130)이 배치될 수 있다.
- [0151] 기판(100)과 접촉하는 제3 반도체 패턴(251)은 더미 와이어 패턴(211)과 직접 연결되고, 기판(100)과 이격되어 있는 제3 반도체 패턴(251)은 제2 와이어 패턴(210)과 직접 연결된다. 구체적으로, 제3 반도체 패턴(251)은 더미 와이어 패턴(211) 및 제2 와이어 패턴(210)으로부터 연장된 부분일 수 있다.
- [0152] 제4 반도체 패턴(252)은 제2 게이트 전극(220)을 중심으로 제3 방향(X2)으로 양측에 배치될 수 있다. 제4 반도체 패턴(252) 사이에 제2 게이트 전극(220)과 제2 게이트 절연막(230)이 배치될 수 있다.
- [0153] 본 발명의 제4 실시예에 따른 반도체 장치에서, 제1 반도체 패턴(151)과 제3 반도체 패턴(251)은 동일한 물질을 포함하고, 제2 반도체 패턴(152)과 제4 반도체 패턴(252)은 동일한 물질을 포함한다.
- [0154] 또한, 제2 반도체 패턴(152)은 제1 와이어 패턴(110)과 동일한 물질을 포함하고, 제3 반도체 패턴(251)은 제2 와이어 패턴(210)과 동일한 물질을 포함한다.
- [0155] 제1 게이트 절연막(130)의 일부는 제1 소오스/드레인(150)과 접촉한다. 또한, 제2 게이트 절연막(230)의 일부는 제2 소오스/드레인(250)과 접촉한다. 본 발명의 제4 실시예에 따른 반도체 장치에서, 제1 게이트 절연막(130)의 일부는 제1 소오스/드레인(150) 중 제1 반도체 패턴(151)과 접촉하고, 제2 게이트 절연막(230)의 일부는 제2 소오스/드레인(250) 중 제4 반도체 패턴(252)과 접촉한다.
- [0156] 도 13 내지 도 27을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 13 내지 도 27을 통해서 형성되는 반도체 장치는 도 8 내지 도 10을 통해 설명한 반도체 장치(3)일 수 있다.
- [0157] 도 13 내지 도 27은 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다. 참고로, 도 20b는 도 20a의 G - G 및 H - H를 따라서 절단한 단면도이다.
- [0158] 도 13을 참고하면, 기판(100) 상에, 제1 반도체층(301) 및 제2 반도체층(302)이 교대로 적층된 적층 구조체(300)를 형성한다.
- [0159] 좀 더 구체적으로, 기판(100)은 반도체 기판인 하부 기판(101)과 절연막 기판인 상부 기판(102)을 포함할 수 있다.
- [0160] 또한, 적층 구조체(300) 중 기판(100)과 접하는 제1 반도체층(301)은 예를 들어, 웨이퍼 본딩(wafer bonding) 방식 등을 통해, 기판(100)에 접합된 층일 수 있지만, 이에 제한되는 것은 아니다.
- [0161] 기판(100)과 접하는 제1 반도체층(301) 상에 제2 반도체층(302)과 제1 반도체층(301)을 교대로 형성할 수 있다. 제1 반도체층(301)과 제2 반도체층(302)은 예를 들어, 에피택셜 성장(epitaxial growth) 방법을 이용하여 형성될 수 있지만, 이에 제한되는 것은 아니다. 적층 구조체(300)의 최상층은 예를 들어, 제1 반도체층(301)일 수 있지만, 이에 제한되는 것은 아니다.
- [0162] 제1 반도체층(301)과 제2 반도체층(302)은 서로 다른 물질을 포함한다. 제1 반도체층(301)과 제2 반도체층(302)은 각각 서로 간에 식각 선택비를 갖는 물질을 포함할 수 있다. 제1 반도체층(301)은 예를 들어, Si 또는 III-V족 화합물 반도체 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 제2 반도체층(302)은 예를 들어, SiGe 또는 Ge 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0163] 이어서, 제1 영역(I)에서, 적층 구조체(300) 상에, 제1 방향(X1)으로 연장되는 제1 마스크 패턴(3001)을 형성한다. 또한, 제2 영역(II)에서, 적층 구조체(300) 상에 제3 방향(X2)으로 연장되는 제2 마스크 패턴(3002)을 형성한다.
- [0164] 제1 마스크 패턴(3001) 및 제2 마스크 패턴(3002)은 각각 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산

화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.

- [0165] 도 14를 참고하면, 제1 마스크 패턴(3001) 및 제2 마스크 패턴(3002)을 마스크로 각각 이용하여, 적층 구조체(300)를 식각하여, 제1 핀형 구조체(310) 및 제2 핀형 구조체(315)를 형성한다. 예를 들어, 적층 구조체(300)를 기관(100)의 상면이 노출될 때까지 식각함으로써, 제1 핀형 구조체(310) 및 제2 핀형 구조체(315)가 형성될 수 있다.
- [0166] 제1 핀형 구조체(310)는 제1 영역(I)에 형성되고, 제2 핀형 구조체(315)는 제2 영역(II) 상에 형성될 수 있다. 제1 핀형 구조체(310)는 제1 방향(X1)으로 길게 연장되고, 제2 핀형 구조체(315)는 제3 방향(X2)으로 길게 연장될 수 있다.
- [0167] 제1 핀형 구조체(310)는 기관(100) 상에 교대로 적층된 제1 반도체 패턴(151) 및 제2 반도체 패턴(152)을 포함하고, 제2 핀형 구조체(315)는 기관(100) 상에 교대로 적층된 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)을 포함할 수 있다.
- [0168] 제1 반도체 패턴(151) 및 제3 반도체 패턴(251)은 각각 제1 반도체층(301)을 식각하여 형성하므로, 제1 반도체 패턴(151)과 제3 반도체 패턴(251)은 동일한 물질을 포함한다. 제2 반도체 패턴(152) 및 제4 반도체 패턴(252)은 각각 제2 반도체층(302)을 식각하여 형성하므로, 제2 반도체 패턴(152)과 제4 반도체 패턴(252)은 동일한 물질을 포함한다.
- [0169] 이어서, 제1 핀형 구조체(310) 및 제2 핀형 구조체(315) 상에 위치하는 제1 마스크 패턴(3001) 및 제2 마스크 패턴(3002)을 제거할 수 있다.
- [0170] 도 15를 참고하면, 제3 마스크 패턴(3003)을 이용하여, 식각 공정을 진행하여, 제1 핀형 구조체(310)와 교차하여 제2 방향(Y1)으로 연장되는 제1 더미 게이트 절연막(131) 및 제1 더미 게이트 전극(121)을 형성할 수 있다.
- [0171] 또한, 제4 마스크 패턴(3004)을 이용하여, 식각 공정을 진행하여, 제2 핀형 구조체(315)와 교차하여 제4 방향(Y2)으로 연장되는 제2 더미 게이트 절연막(231) 및 제2 더미 게이트 전극(221)을 형성할 수 있다.
- [0172] 이를 통해, 제1 더미 게이트 전극(121)은 제1 핀형 구조체(310) 상에 형성되고, 제2 더미 게이트 전극(221)은 제2 핀형 구조체(315) 상에 형성될 수 있다.
- [0173] 제1 더미 게이트 절연막(131) 및 제2 더미 게이트 절연막(231)은 각각 실리콘 산화막일 수 있고, 제1 더미 게이트 전극(121) 및 제2 더미 게이트 전극(221)은 각각 폴리 실리콘 또는 비정질 실리콘 중 하나일 수 있지만, 이에 제한되는 것은 아니다.
- [0174] 도 16을 참고하면, 제1 더미 게이트 전극(121)의 측벽 상에 제1 게이트 스페이서(140)를 형성한다. 또한, 제2 더미 게이트 전극(221)의 측벽 상에 제2 게이트 스페이서(240)를 형성한다.
- [0175] 구체적으로, 제1 더미 게이트 전극(121)과, 제2 더미 게이트 전극(221)과, 제1 핀형 구조체(310)와, 제2 핀형 구조체(315)를 덮는 스페이서막을 기관(100) 상에 형성한다. 이 후, 스페이서막을 에치백(etch-back)하여, 제1 더미 게이트 전극(121)의 측벽에 제1 게이트 스페이서(140)를 형성하고, 제2 더미 게이트 전극(221)의 측벽에 제2 게이트 스페이서(240)를 형성할 수 있다.
- [0176] 도 17을 참고하면, 제1 더미 게이트 전극(121) 및 제1 게이트 스페이서(140)의 양측에 노출되는 제1 핀형 구조체(310)를 제거하여, 제1 핀형 구조체(310) 내에 제3 리세스(310r)를 형성한다.
- [0177] 제3 리세스(310r)를 형성하는 동안, 기관(100)과 접하는 제1 반도체 패턴(151)의 일부를 남김으로써, 제1 에피씨드층(160)이 형성될 수 있지만, 이에 제한되는 것은 아니다. 즉, 기관(100)과 접하는 제1 반도체 패턴(151)도 모두 제거하여, 기관(100)의 상면을 노출시킬 수도 있다.
- [0178] 제3 리세스(310r)의 측면을 통해, 기관(100) 상에 교대로 적층된 제1 반도체 패턴(151) 및 제2 반도체 패턴(152)이 노출된다.
- [0179] 제1 핀형 구조체(310) 내에 제3 리세스(310r)를 형성할 때, 감광막 패턴 등을 이용하여 제2 영역(II)을 덮을 수 있지만, 이에 제한되는 것은 아니다.
- [0180] 도 18을 참고하면, 제1 핀형 구조체(310) 상에 제3 리세스(310r)를 채우는 제1 에피층(155)을 형성한다. 즉, 제1 더미 게이트 전극(121)의 양측에, 제1 소오스/드레인(150)을 형성한다.
- [0181] 제1 에피층(155)은 에피택셜 성장 방식을 이용하여 형성될 수 있다. 제1 에피 씨드층(160)과, 제3 리세스(310

r)의 측면을 통해 노출되는 제1 반도체 패턴(151) 및 제2 반도체 패턴(152)을 씨드층으로 하여, 제1 에피층(155)은 성장될 수 있다. 만약, 제1 에피 씨드층(160)이 없을 경우, 제1 에피층(155)은 제3 리세스(310r)의 측면을 통해 노출되는 제1 반도체 패턴(151) 및 제2 반도체 패턴(152)을 씨드층으로 하여 성장될 수 있다.

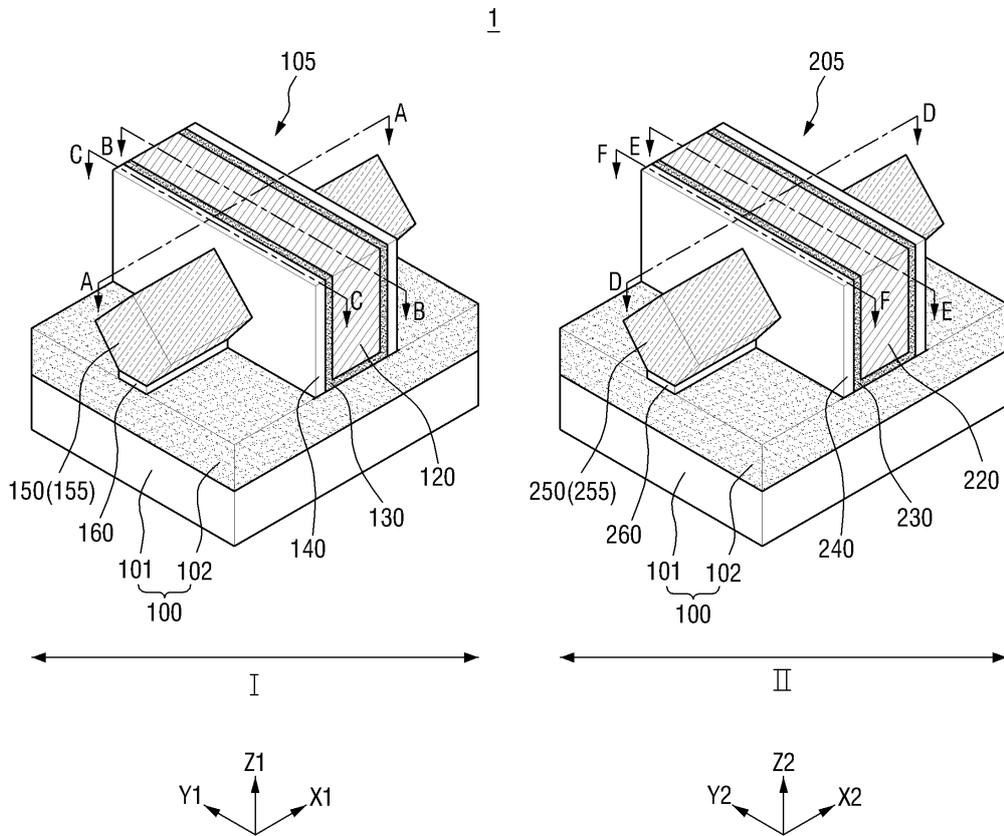
- [0182] 도 19를 참고하면, 제2 더미 게이트 전극(221) 및 제2 게이트 스페이서(240)의 양측에 노출되는 제2 핀형 구조체(315)를 제거하여, 제2 핀형 구조체(315) 내에 제4 리세스(315r)을 형성한다.
- [0183] 제4 리세스(315r)를 형성하는 동안, 기판(100)과 접하는 제3 반도체 패턴(251)의 일부를 남김으로써, 제2 에피 씨드층(260)이 형성될 수 있지만, 이에 제한되는 것은 아니다. 즉, 기판(100)과 접하는 제3 반도체 패턴(251)도 모두 제거하여, 기판(100)의 상면을 노출시킬 수도 있다.
- [0184] 제4 리세스(315r)의 측면을 통해, 기판(100) 상에 교대로 적층된 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)이 노출된다.
- [0185] 제2 핀형 구조체(315) 내에 제4 리세스(315r)를 형성할 때, 감광막 패턴 등을 이용하여 제1 영역(I)을 덮을 수 있지만, 이에 제한되는 것은 아니다.
- [0186] 도 20a 및 도 20b를 참고하면, 제2 핀형 구조체(315) 상에 제4 리세스(315r)를 채우는 제2 에피층(255)을 형성한다. 즉, 제2 더미 게이트 전극(221)의 양측에, 제2 소오스/드레인(250)을 형성한다.
- [0187] 제2 에피 씨드층(260)과, 제4 리세스(315r)의 측면을 통해 노출되는 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)을 씨드층으로 하여, 제2 에피층(255)은 성장될 수 있다. 만약, 제2 에피 씨드층(260)이 없을 경우, 제2 에피층(255)은 제4 리세스(315r)의 측면을 통해 노출되는 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)을 씨드층으로 하여 성장될 수 있다.
- [0188] 도 20b에서, 제1 에피층(155)은 제1 더미 게이트 전극(121) 및 제1 게이트 스페이서(140)의 하부에 위치하는 제1 반도체 패턴(151) 및 제2 반도체 패턴(152)과 접촉한다. 제2 에피층(255)은 제2 더미 게이트 전극(221) 및 제2 게이트 스페이서(240)의 하부에 위치하는 제3 반도체 패턴(251) 및 제4 반도체 패턴(252)과 접촉한다.
- [0189] 이 후의 설명은 도 20b를 기준으로 하여 설명한다.
- [0190] 도 21을 참고하면, 제1 소오스/드레인(150)과, 제2 소오스/드레인(250)과, 제1 더미 게이트 전극(121)과, 제2 더미 게이트 전극(221)과, 제1 게이트 스페이서(140)와, 제2 게이트 스페이서(240) 등을 덮는 층간 절연막(190)을 기판(100) 상에 형성한다.
- [0191] 층간 절연막(190)은 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(High Density Plasma) oxide, PEOX(Plasma Enhanced Oxide), FCVD(Flowable CVD) oxide 또는 이들의 조합으로 이뤄질 수 있다.
- [0192] 이어서, 제1 더미 게이트 전극(121) 및 제2 더미 게이트 전극(221)이 노출될 때까지, 층간 절연막(190)을 평탄화한다. 그 결과, 제3 마스크 패턴(3003) 및 제4 마스크 패턴(3004)이 제거되고, 제1 더미 게이트 전극(121)의 상면 및 제2 더미 게이트 전극(221)의 상면이 노출될 수 있다.
- [0193] 이어서, 제1 영역(I) 및 제2 영역(II)을 덮는 마스크막(3005p)을 층간 절연막(190) 상에 형성한다. 따라서, 제1 더미 게이트 전극(121)의 상면 및 제2 더미 게이트 전극(221)의 상면은 마스크막(3005p)에 덮인다.
- [0194] 마스크막(3005p)은 예를 들어, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0195] 도 22를 참고하면, 제1 영역(I) 상에 형성된 마스크막(3005p)을 제거하여, 제2 영역(II) 상에 제5 마스크 패턴(3005)을 형성한다.
- [0196] 제1 영역(I) 상에 형성된 마스크막(3005p)이 제거됨으로써, 제1 더미 게이트 전극(121)의 상면은 노출된다. 또한, 제5 마스크 패턴(3005)은 제2 더미 게이트 전극(221) 및 제2 게이트 스페이서(240)를 덮는다.
- [0197] 도 23을 참고하면, 제5 마스크 패턴(3005)을 마스크로 이용하여, 노출된 제1 영역(I)의 제1 더미 게이트 전극(121)과 제1 더미 게이트 절연막(131)을 순차적으로 제거할 수 있다.
- [0198] 이어서, 제2 반도체 패턴(152)에 대한 식각율(etching rate)보다 제1 반도체 패턴(151)에 대한 식각율이 높은

제1 에천트(etchant)를 이용하여, 제1 반도체 패턴(151)을 제거한다.

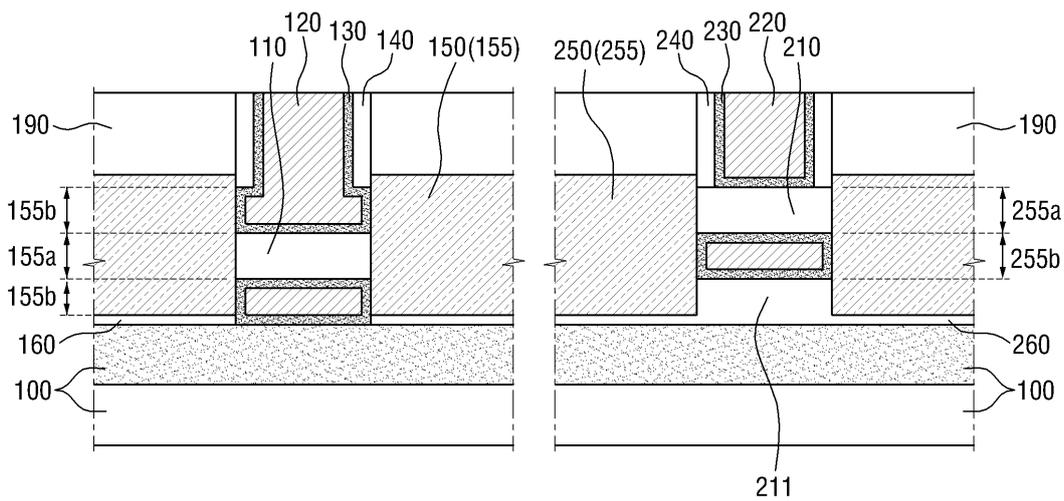
- [0199] 이를 통해, 제1 영역(I) 상에, 제2 반도체 패턴(152)으로 이루어지는 제1 와이어 패턴(110) 및 제3 와이어 패턴(115)을 형성한다. 즉, 제1 영역(I) 상에, 하나 이상의 와이어 패턴을 포함하는 제1 와이어 패턴 그룹(110, 115)을 형성한다.
- [0200] 제1 반도체 패턴(151)이 제거됨으로써, 공간이 형성된다. 또한, 공간을 통해, 제1 에피층(155)은 노출될 수 있다.
- [0201] 도 24를 참고하면, 제1 와이어 패턴(110)의 둘레와, 제2 와이어 패턴(210)의 둘레와, 제1 게이트 스페이서(140)의 측벽과, 노출된 제1 에피층(155)을 따라서 제1 게이트 절연막(130)을 형성한다.
- [0202] 이를 통해, 제1 반도체 패턴(151)을 제거함으로써 노출된 제1 에피층(155) 부분은 제1 게이트 절연막(130)과 접촉하게 된다.
- [0203] 이어서, 제1 게이트 절연막(130) 상에, 제1 와이어 패턴(110)의 둘레 및 제3 와이어 패턴(115)의 둘레를 전체적으로 감싸는 제1 게이트 전극(120)을 형성한다.
- [0204] 제1 게이트 절연막(130)과 제1 게이트 전극(120)을 형성하기 위해, 평탄화 공정이 진행될 수 있고, 이 때 진행되는 평탄화 공정을 통해, 제2 영역(II) 상에 형성된 제5 마스크 패턴(3005)은 제거될 수 있다.
- [0205] 도 25를 참고하면, 제1 영역(I) 상에, 제1 와이어 패턴 그룹(110, 115)과, 제1 게이트 스페이서(140)와, 제1 게이트 전극(120)을 덮는 제6 마스크 패턴(3006)을 형성한다.
- [0206] 좀 더 구체적으로, 제1 영역(I) 및 제2 영역(II)을 덮는 마스크막을 형성한다. 이 후, 제2 영역(II) 상에 형성된 마스크막을 제거하여, 제1 영역(I) 상에 제6 마스크 패턴(3006)을 형성한다. 제1 영역(I) 상에 제6 마스크 패턴(3006)을 형성함으로써, 제2 더미 게이트 전극(221)의 상면은 노출된다.
- [0207] 제6 마스크 패턴(3006)은 예를 들어, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0208] 도 26을 참고하면, 제6 마스크 패턴(3006)을 마스크로 이용하여, 노출된 제2 영역(II)의 제2 더미 게이트 전극(221)과 제2 더미 게이트 전극(221)을 순차적으로 제거할 수 있다.
- [0209] 이어서, 제3 반도체 패턴(251)에 대한 식각율(etching rate)보다 제4 반도체 패턴(252)에 대한 식각율이 높은 제2 에천트(etchant)를 이용하여, 제4 반도체 패턴(252)을 제거한다.
- [0210] 이를 통해, 제2 영역(II) 상에, 제3 반도체 패턴(251)으로 이루어지는 제2 와이어 패턴(210) 및 제4 와이어 패턴(215)을 형성한다. 즉, 제2 영역(II) 상에, 하나 이상의 와이어 패턴을 포함하는 제2 와이어 패턴 그룹(210, 215)을 형성한다. 제2 와이어 패턴(210) 및 제4 와이어 패턴(215)을 형성하는 동안, 기판(100)과 접촉하는 제3 반도체 패턴(251)은 제거되지 않을 수 있다. 이를 통해, 제2 영역(II) 상에, 기판(100)과 접촉하는 더미 와이어 패턴(211)이 형성될 수 있다.
- [0211] 제4 반도체 패턴(252)이 제거됨으로써, 공간이 형성된다. 또한, 공간을 통해, 제2 에피층(255)은 노출될 수 있다.
- [0212] 도 27을 참고하면, 제2 와이어 패턴(210)의 둘레와, 제2 와이어 패턴(210)의 둘레와, 제2 게이트 스페이서(240)의 측벽과, 노출된 제2 에피층(255)을 따라서 제2 게이트 절연막(230)을 형성한다. 이 때, 제2 게이트 절연막(230)은 더미 와이어 패턴(211)의 측벽 및 상면을 따라서 형성된다.
- [0213] 이를 통해, 제4 반도체 패턴(252)을 제거함으로써 노출된 제2 에피층(255) 부분은 제2 게이트 절연막(230)과 접촉하게 된다.
- [0214] 이어서, 제2 게이트 절연막(230) 상에, 제2 와이어 패턴(210)의 둘레 및 제4 와이어 패턴(215)의 둘레를 전체적으로 감싸는 제2 게이트 전극(220)을 형성한다.
- [0215] 제2 게이트 절연막(230)과 제2 게이트 전극(220)을 형성하기 위해, 평탄화 공정이 진행될 수 있고, 이 때 진행되는 평탄화 공정을 통해, 제1 영역(I) 상에 형성된 제6 마스크 패턴(3006)은 제거될 수 있다.
- [0216] 도 28은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0217] 도 28을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입

도면

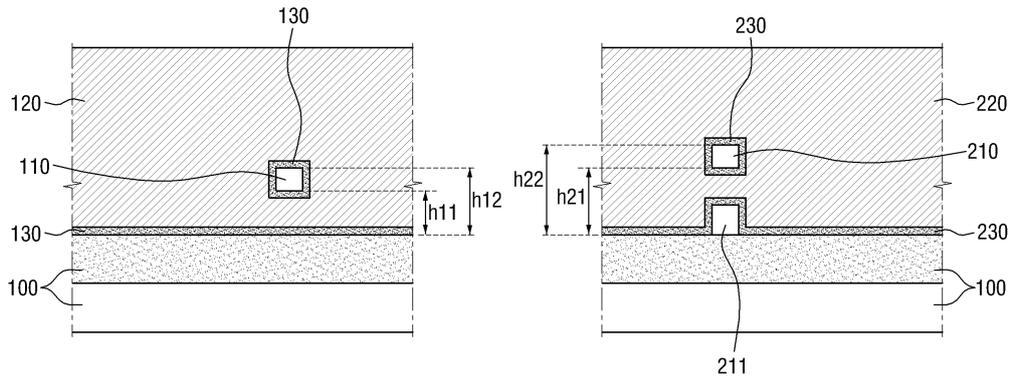
도면1



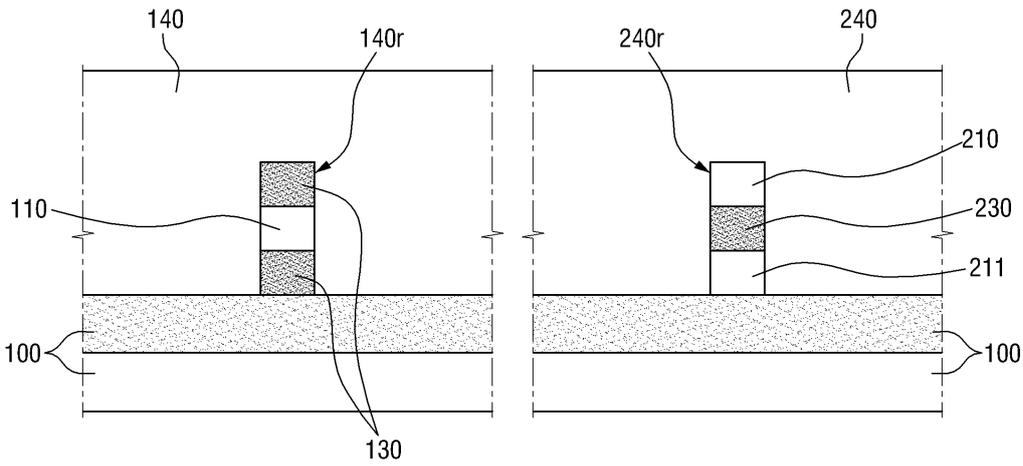
도면2



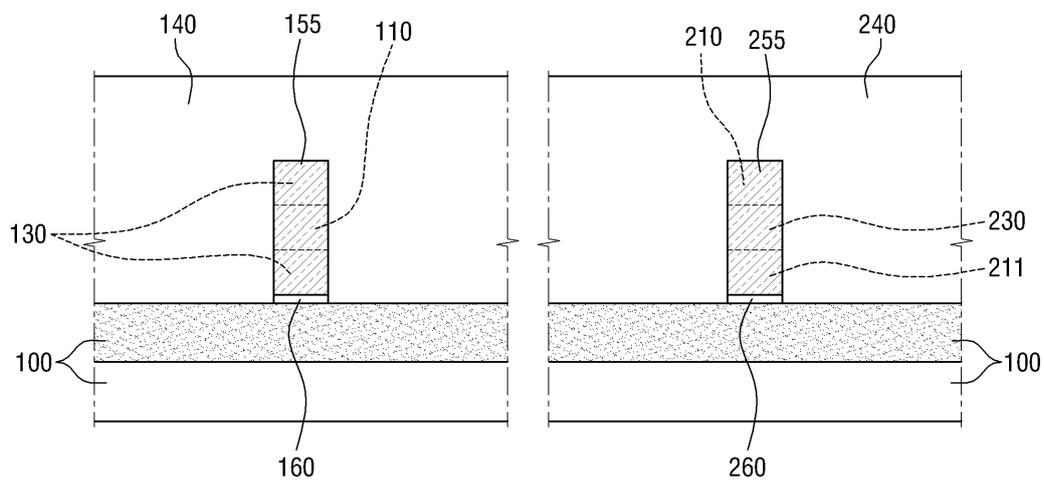
도면3



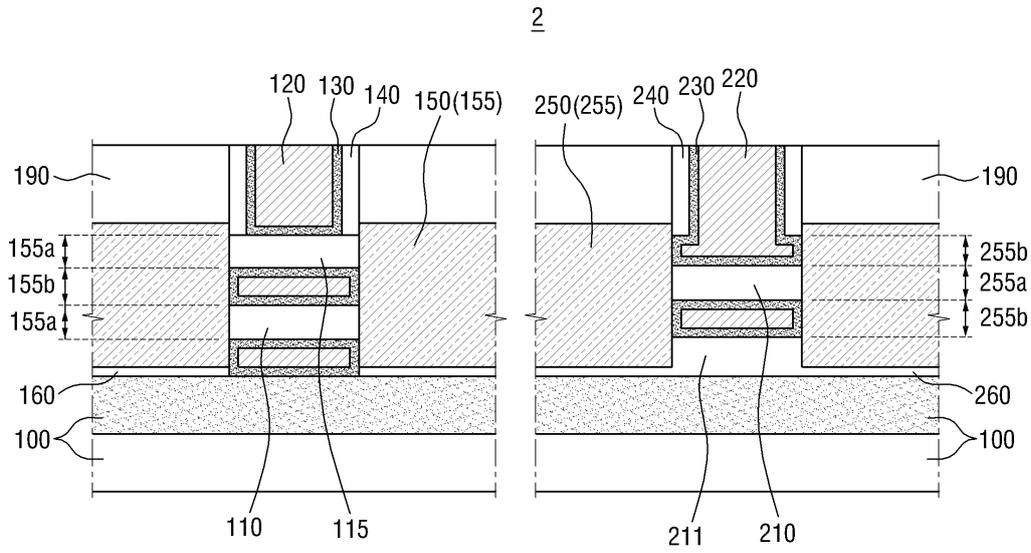
도면4a



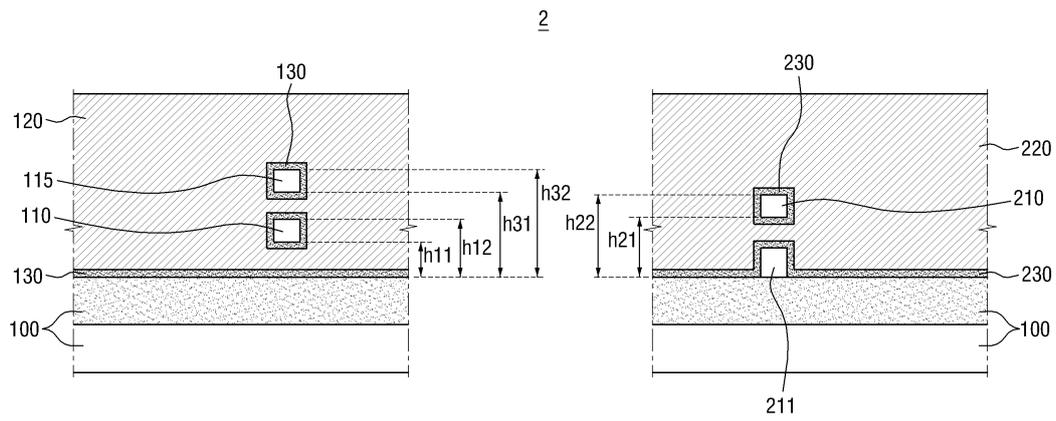
도면4b



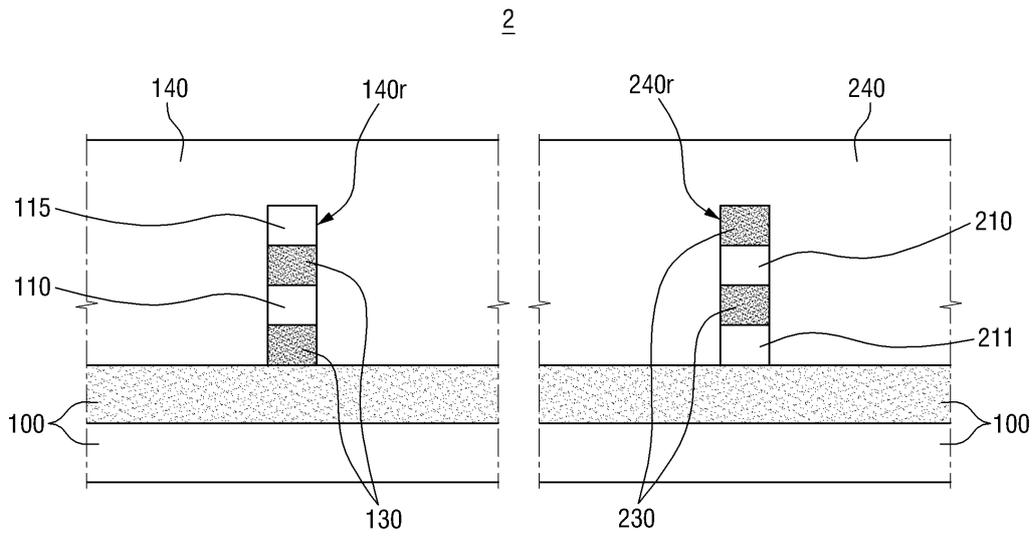
도면5



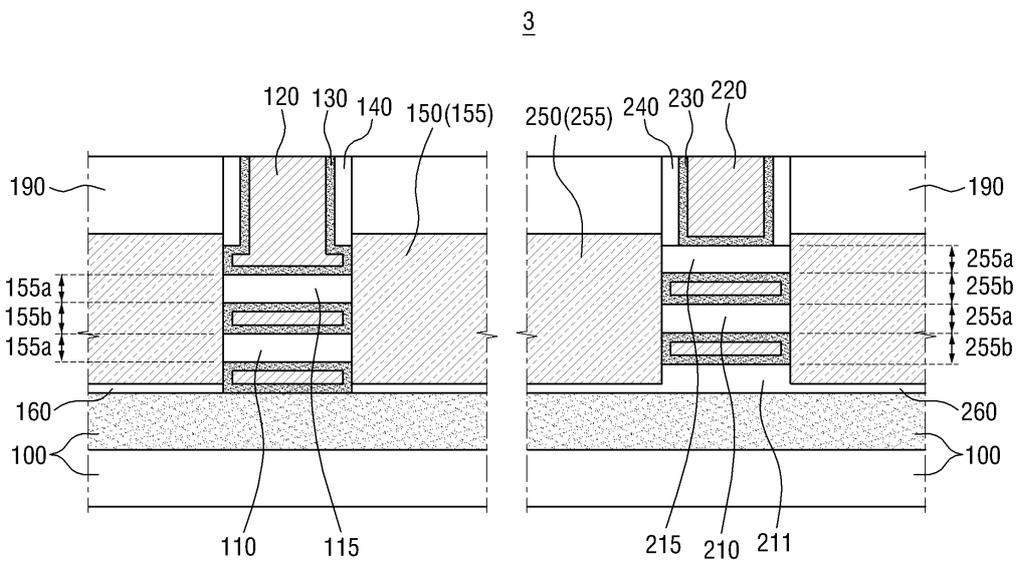
도면6



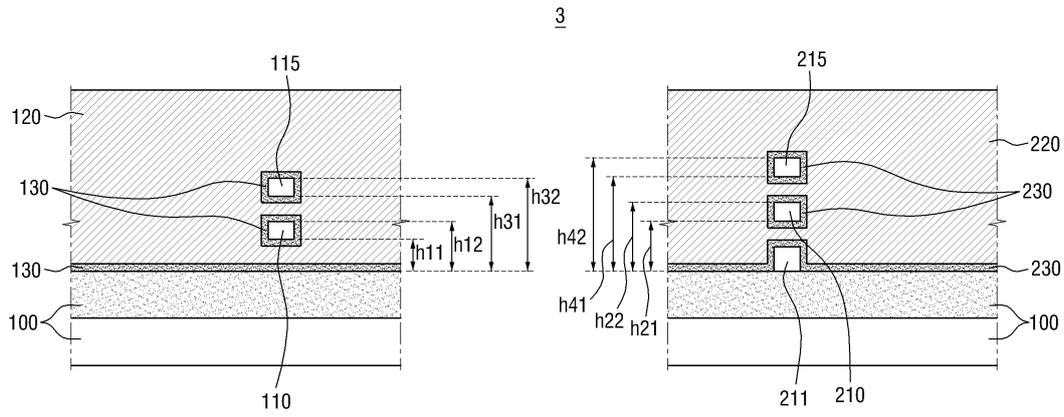
도면7



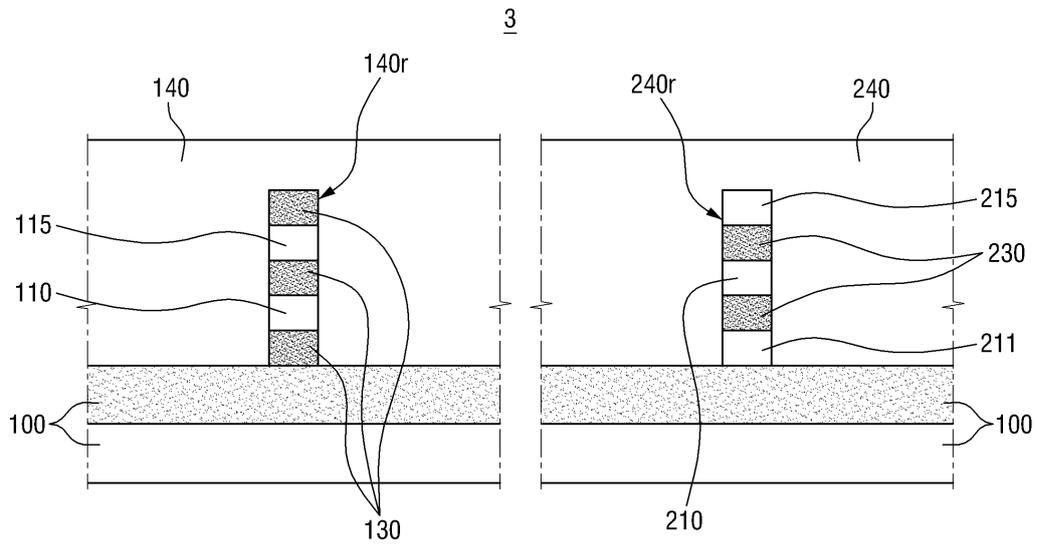
도면8



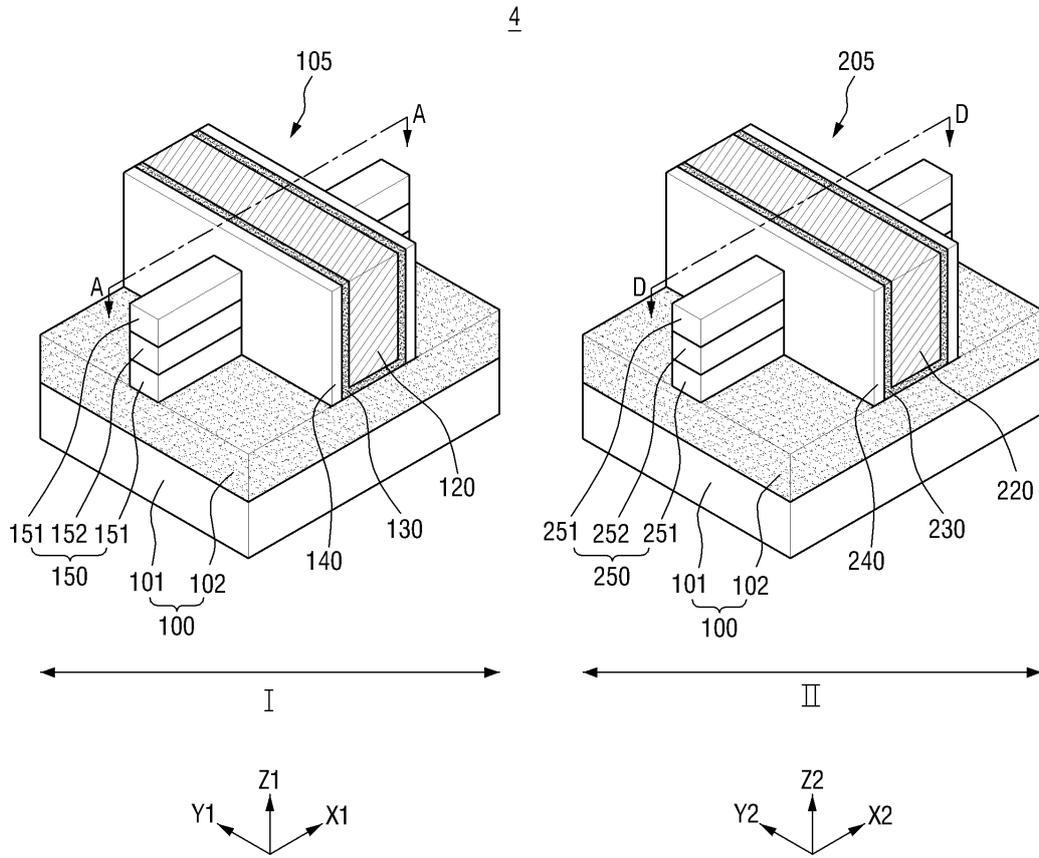
도면9



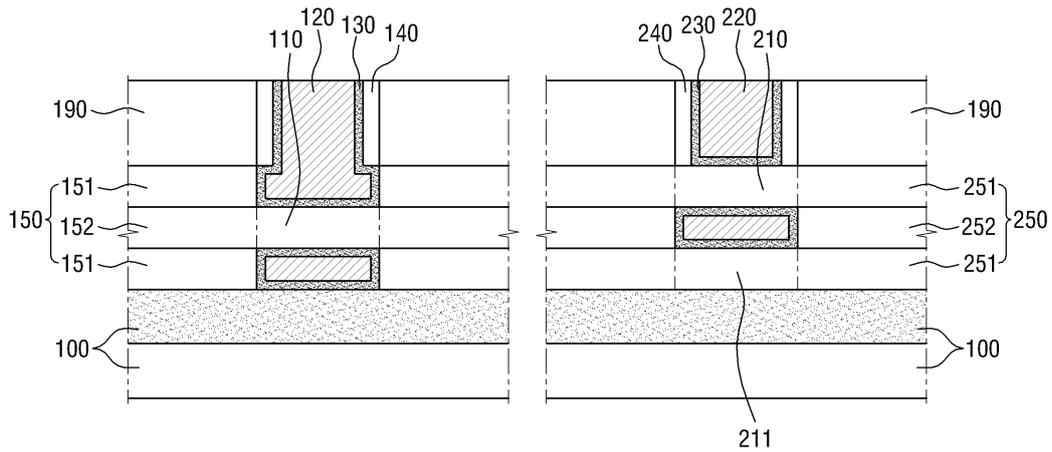
도면10



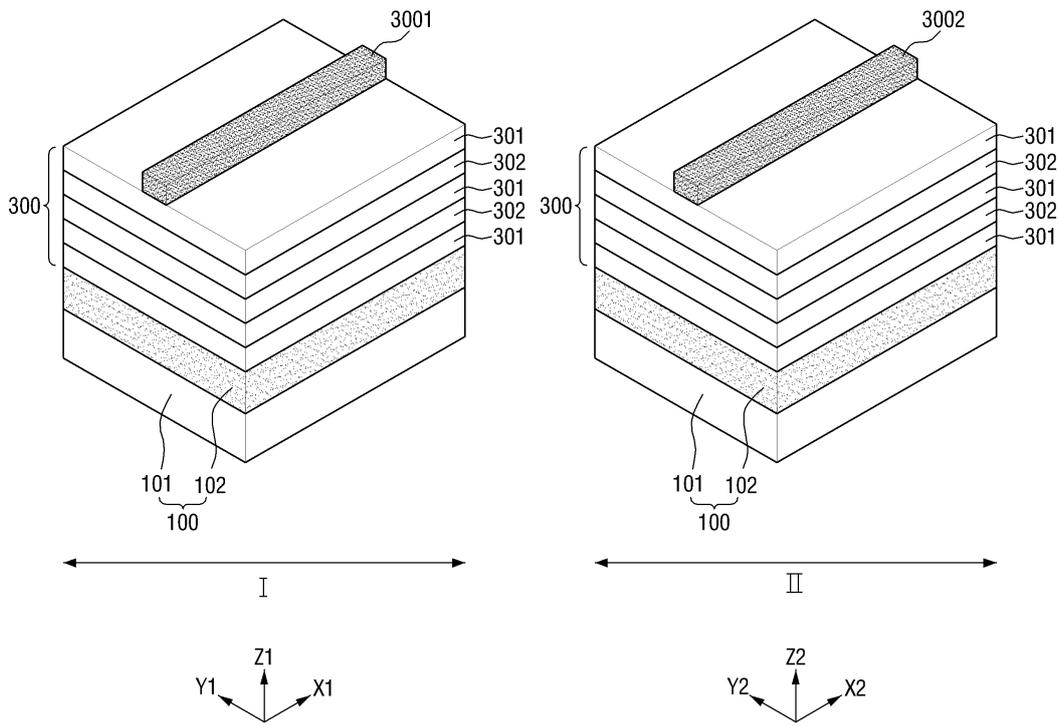
도면11



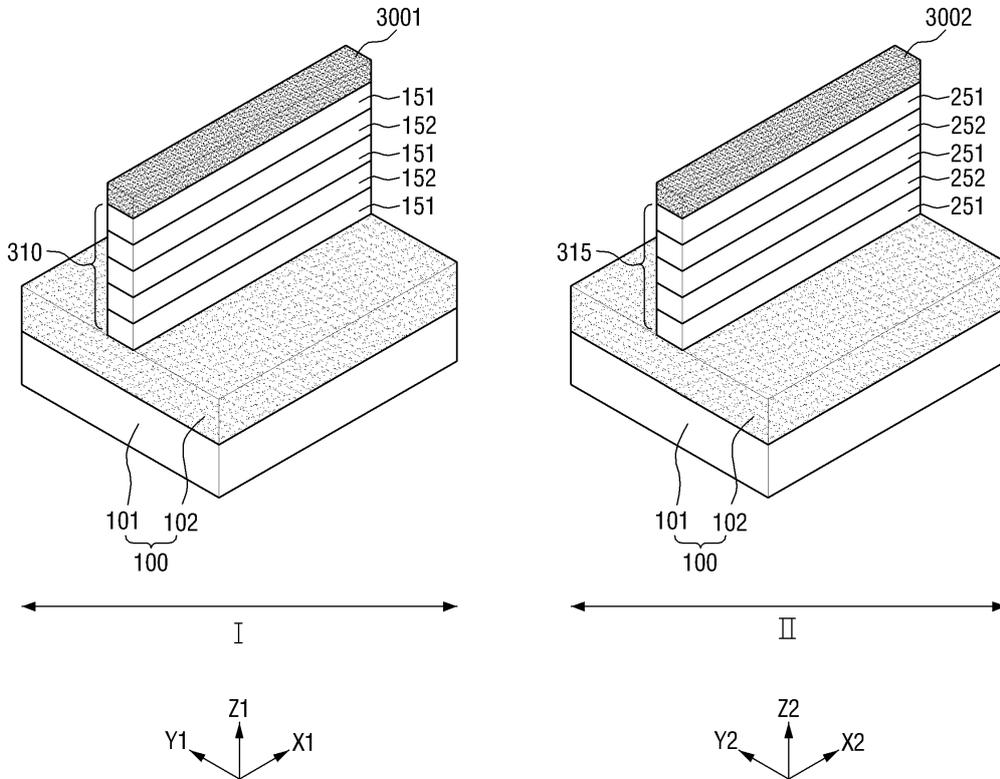
도면12



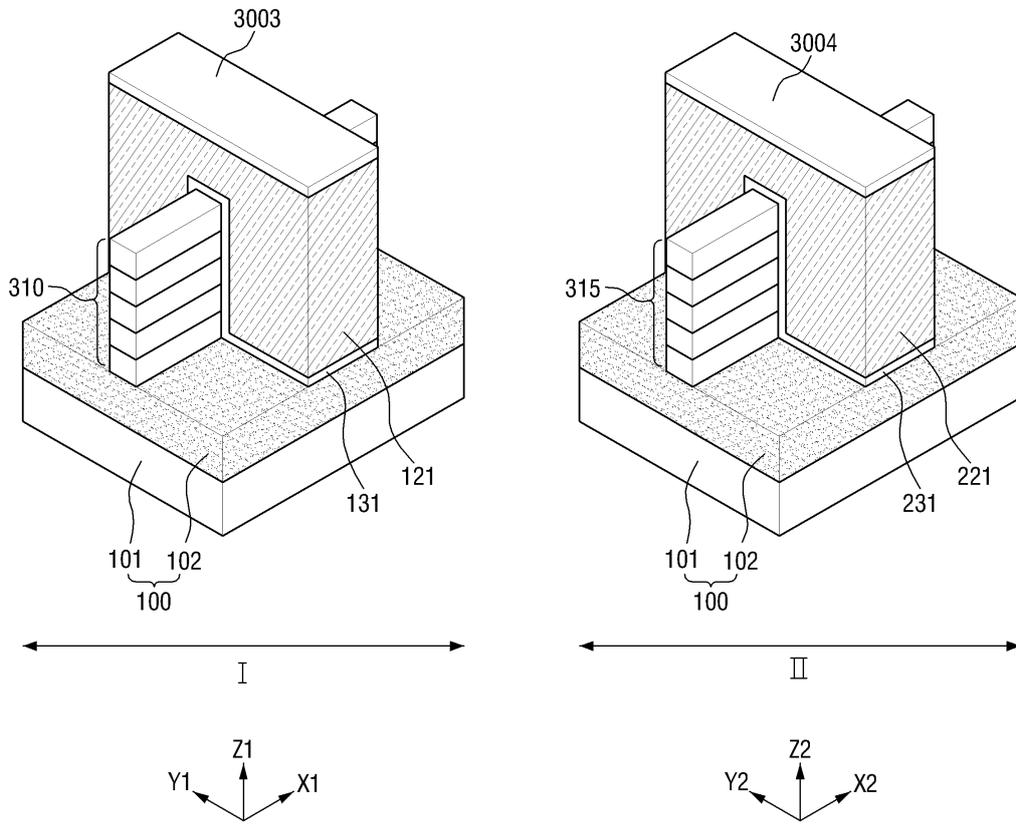
도면13



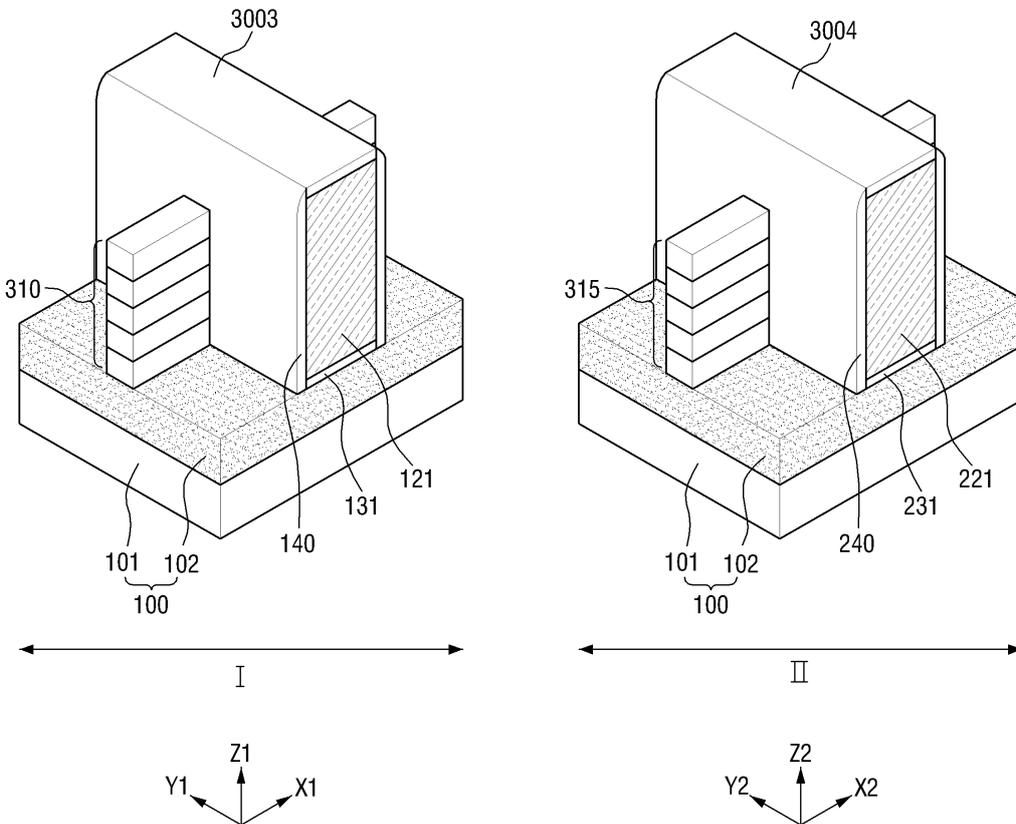
도면14



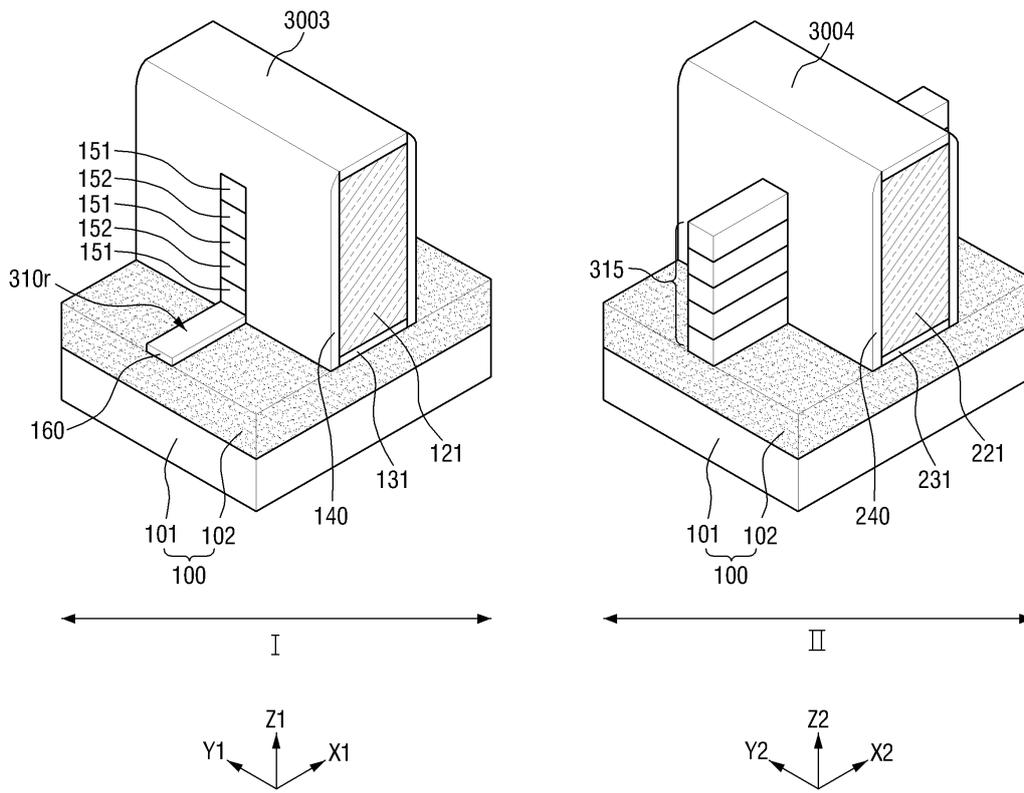
도면15



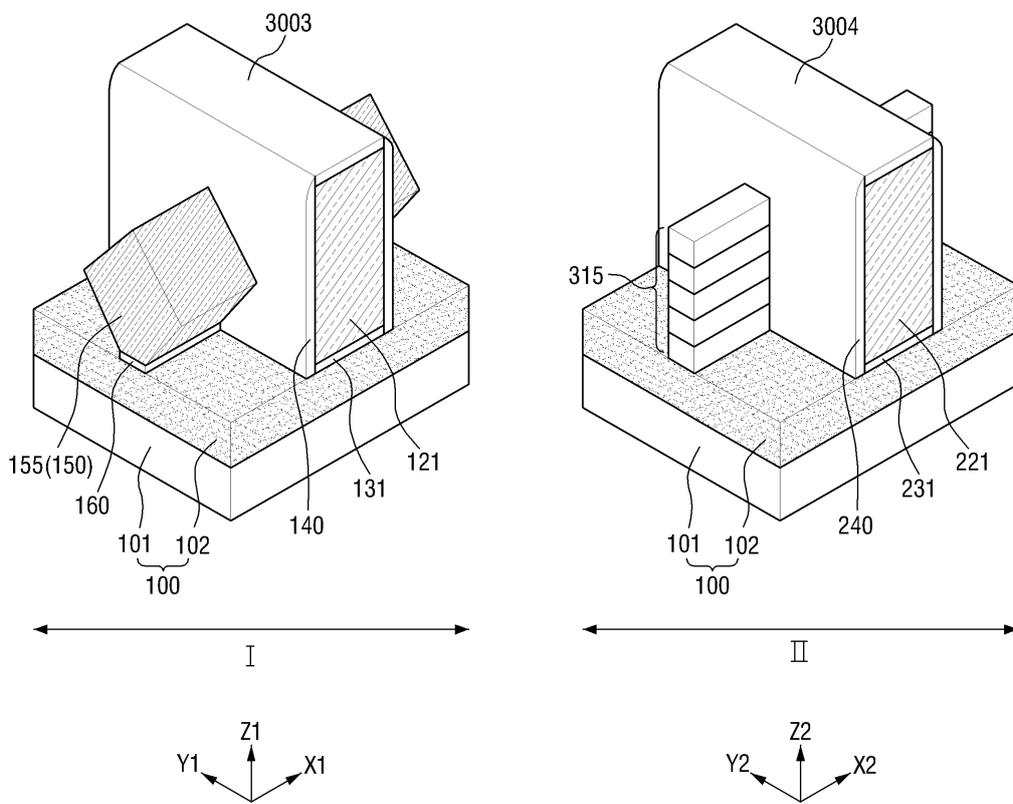
도면16



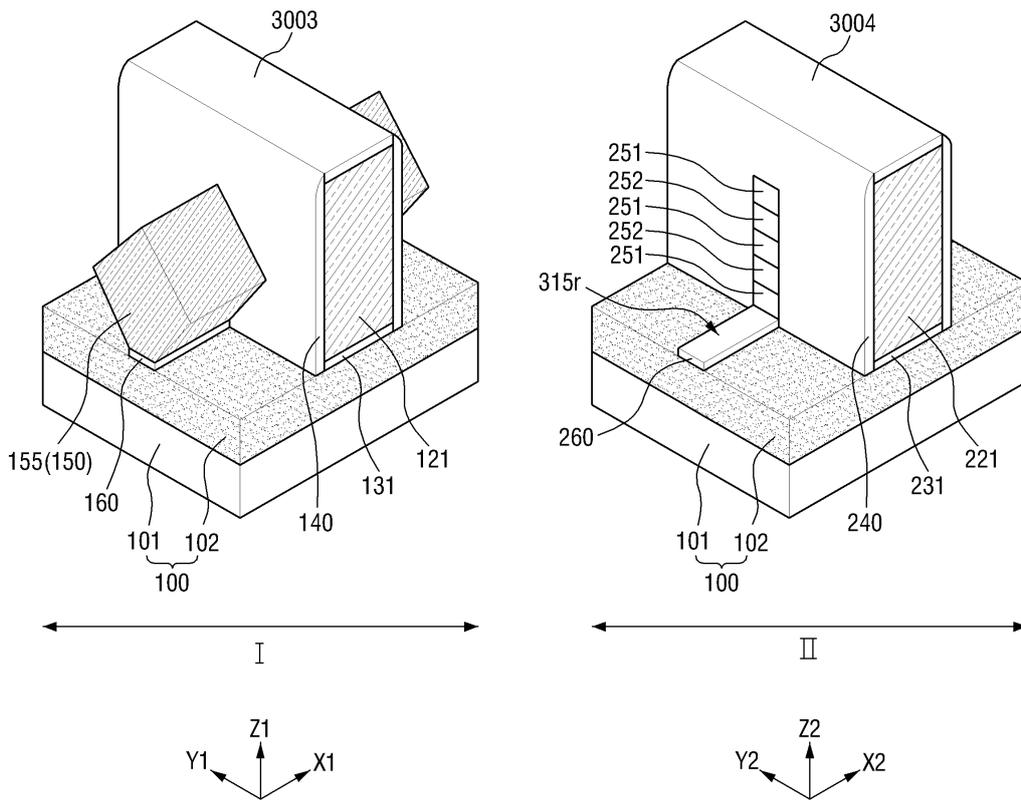
도면17



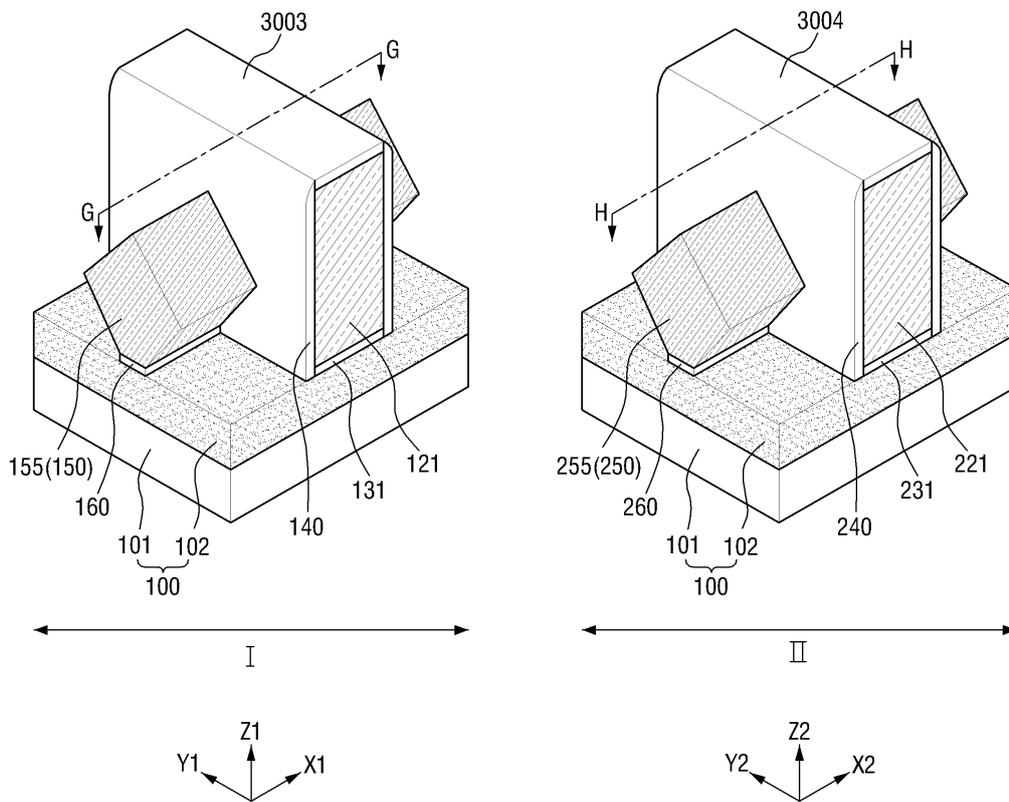
도면18



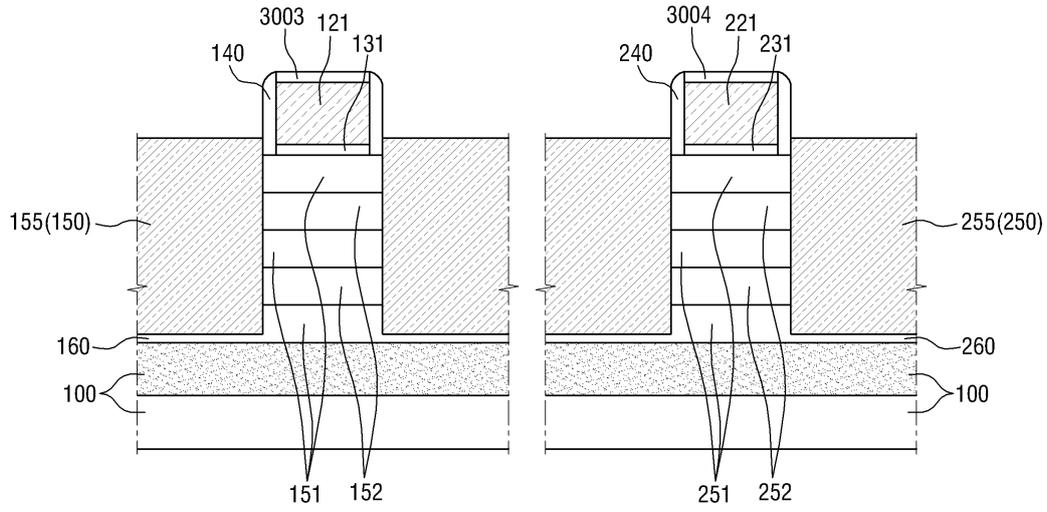
도면19



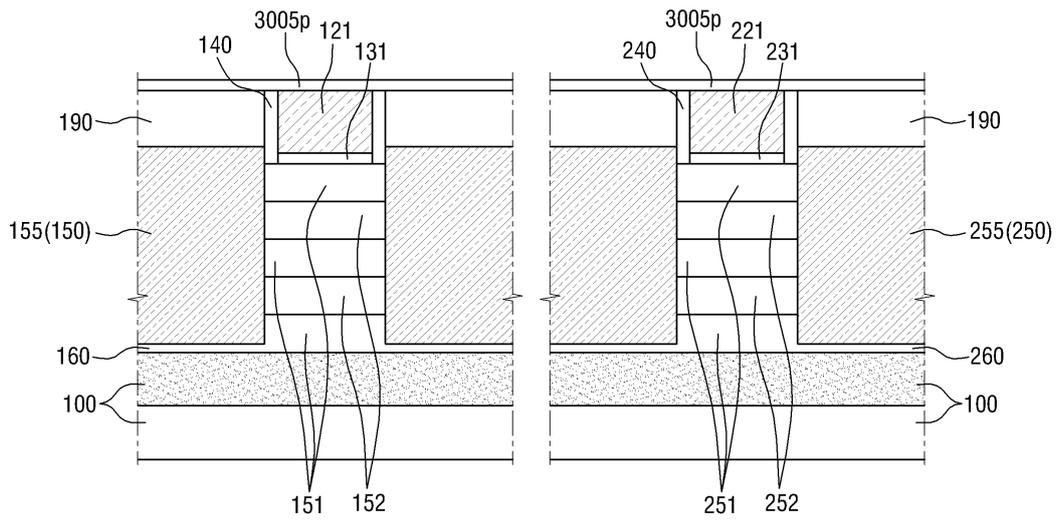
도면20a



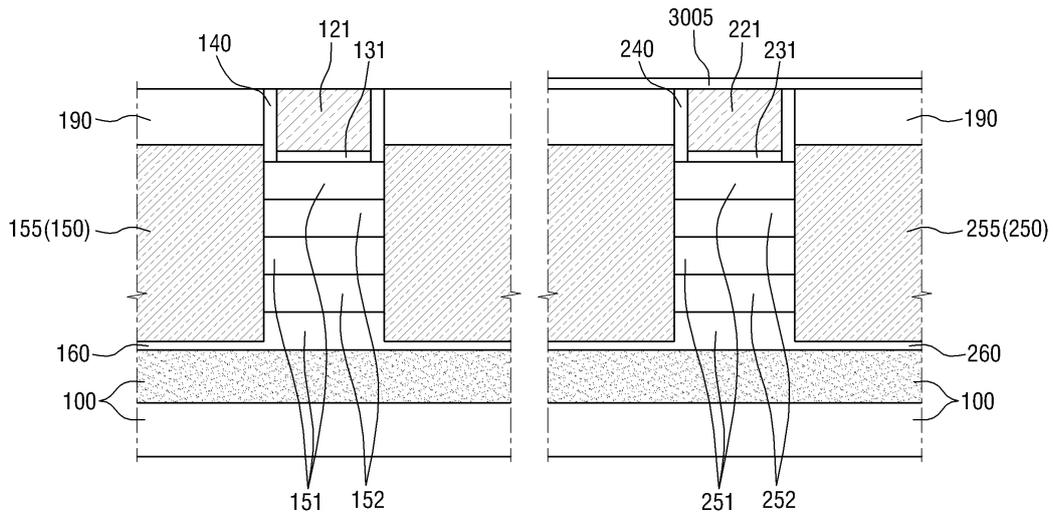
도면20b



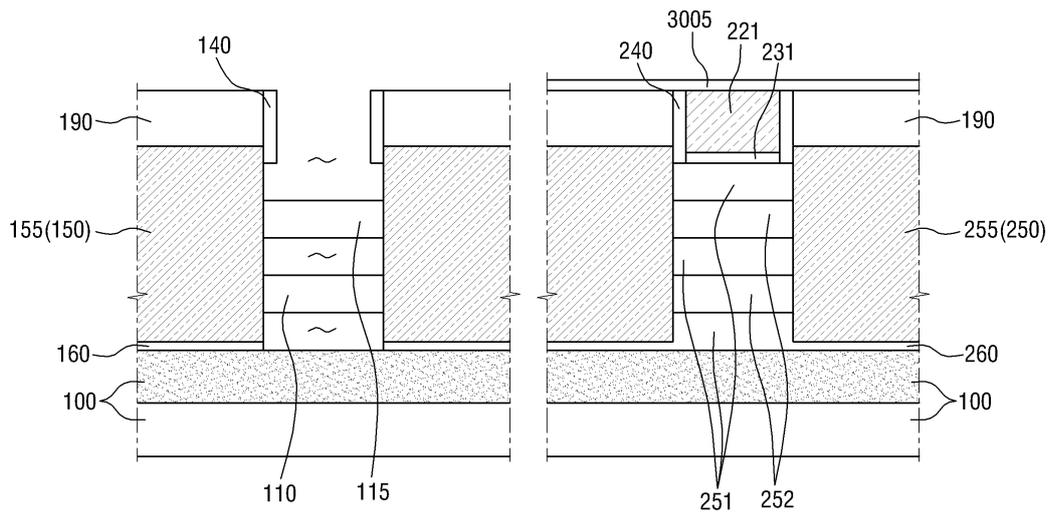
도면21



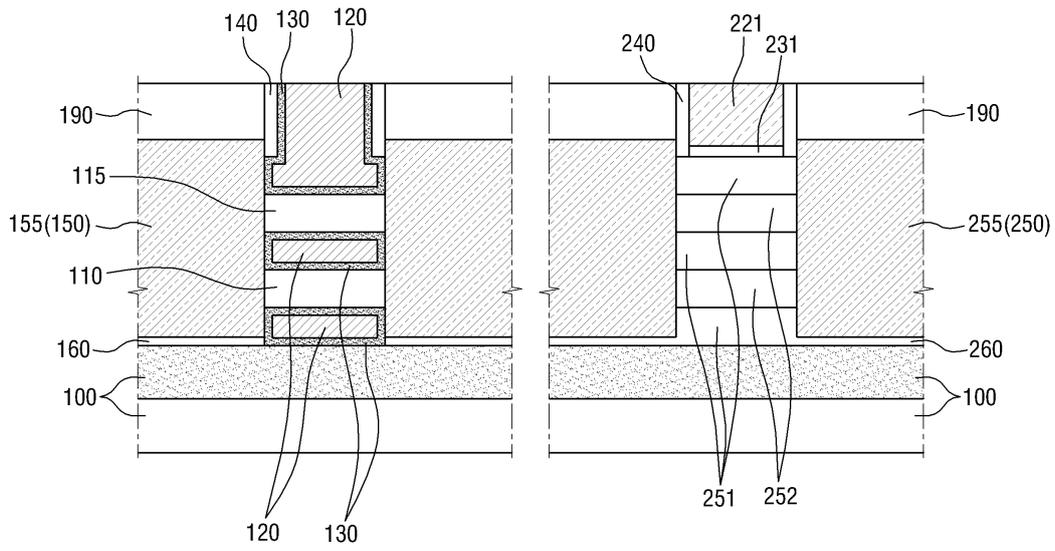
도면22



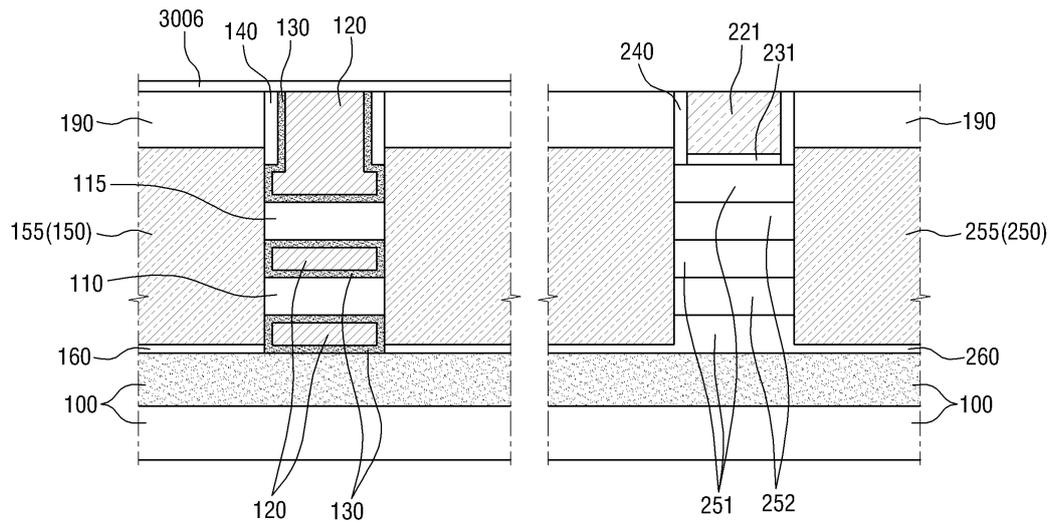
도면23



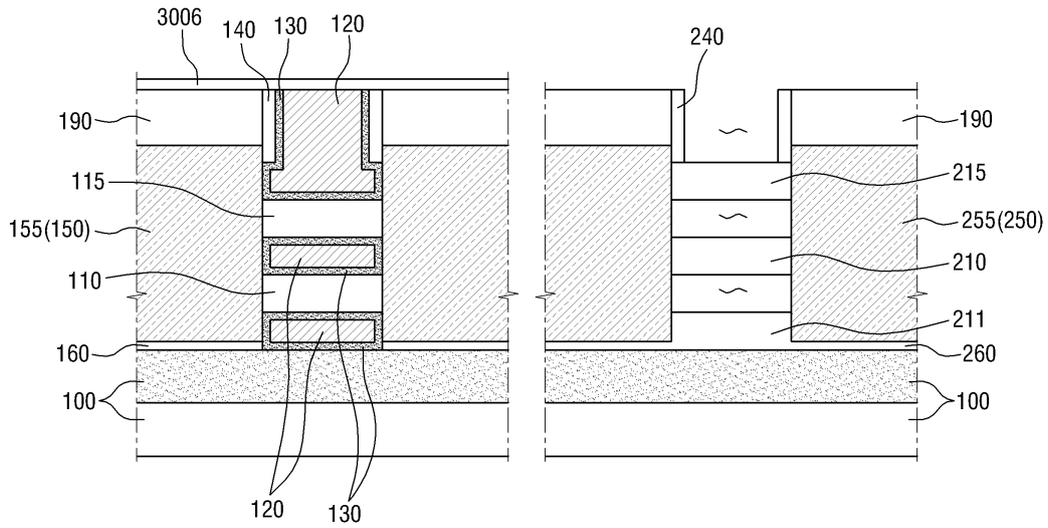
도면24



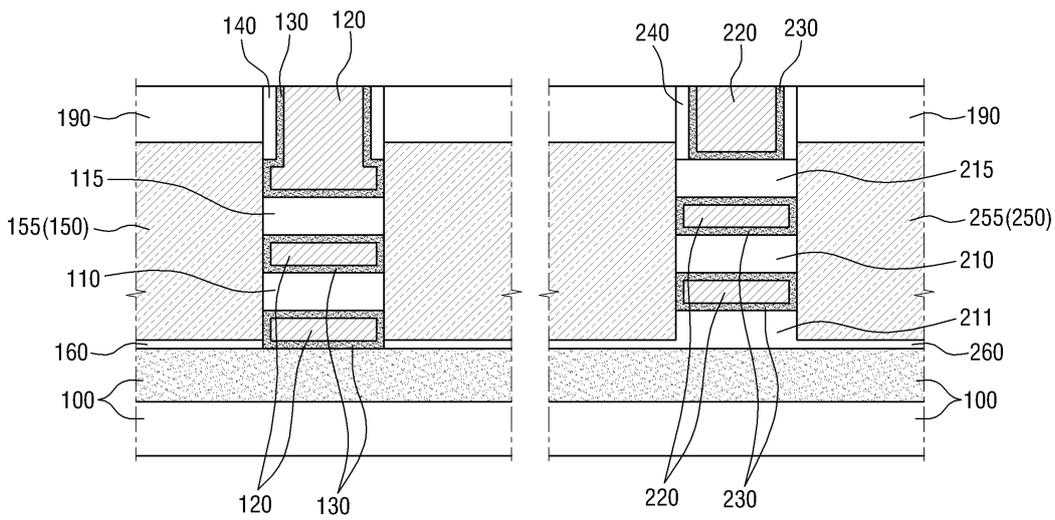
도면25



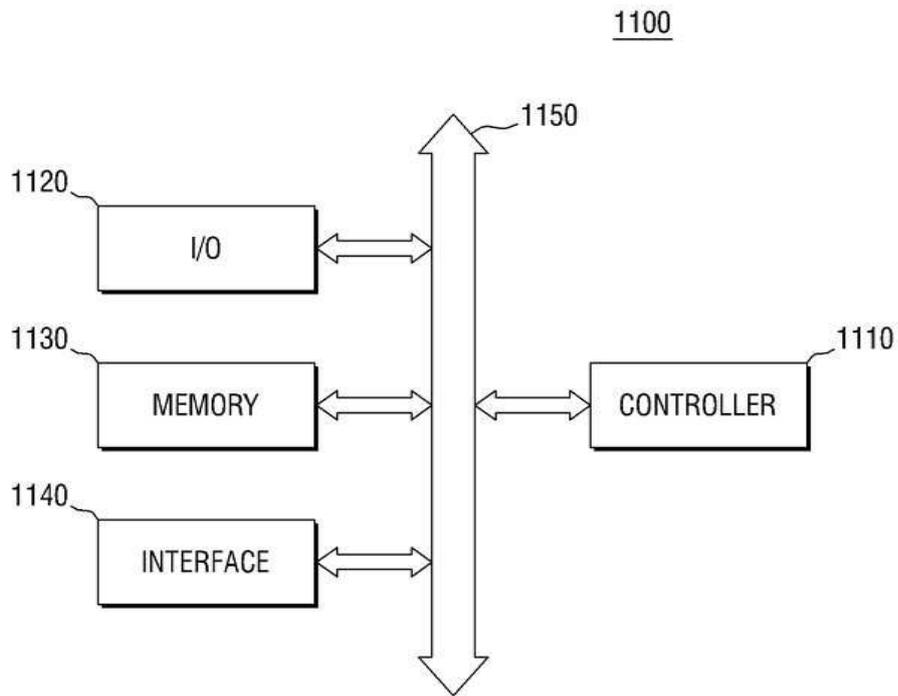
도면26



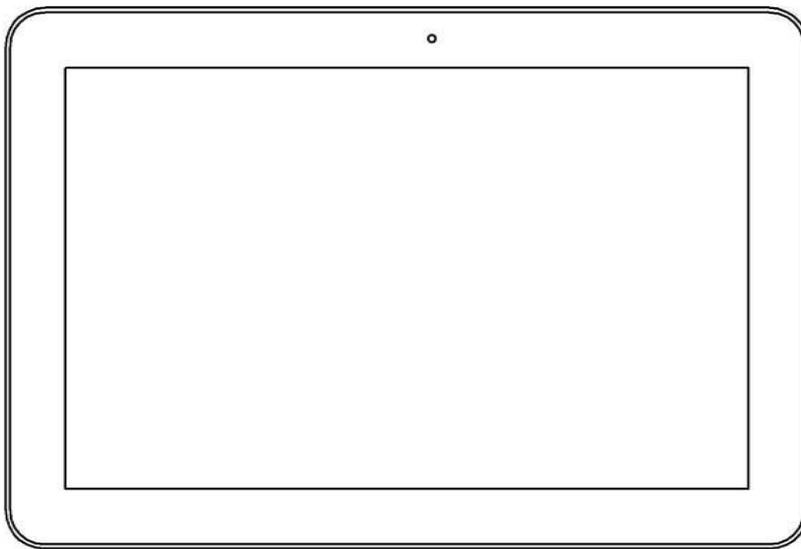
도면27



도면28



도면29



도면30

