



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0059540
(43) 공개일자 2023년05월03일

(51) 국제특허분류(Int. Cl.)
H03K 5/1534 (2006.01) H03K 3/037 (2006.01)
H03K 5/135 (2006.01)
(52) CPC특허분류
H03K 5/1534 (2013.01)
H03K 3/037 (2013.01)
(21) 출원번호 10-2021-0143834
(22) 출원일자 2021년10월26일
심사청구일자 2021년10월26일

(71) 출원인
주식회사 블라썬테크놀로지
경기도 성남시 분당구 장미로 42, 308호(야탑동, 야탑리더스)
(72) 발명자
정관열
경기도 용인시 수지구 성북1로164번길 13, 204동 1201호(성북동, 버들치마을 성북 힐스테이트 2차 아파트)
(74) 대리인
박병석, 황영욱

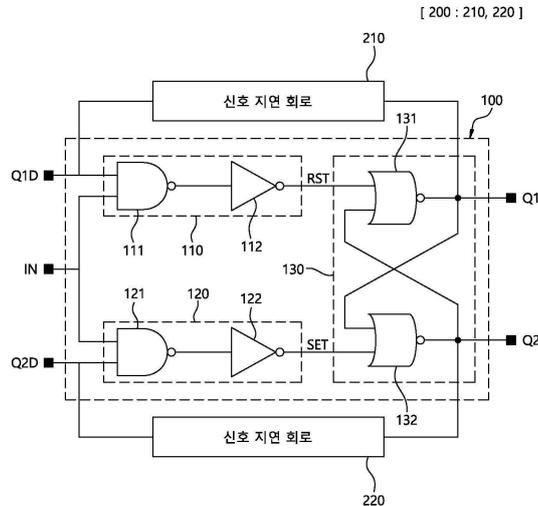
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로

(57) 요약

본 발명은 간단한 회로로 구성되면서도 노이즈 제거 기능이 구비된 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로에 관한 것으로서, 보다 상세하게는, 에지검출부의 출력값이 입력되어 출력값이 생성되며, 상기 생성된 출력값을 피드백시켜 상기 에지검출부의 출력값과 함께 입력시키는 토글생성부; 및 상기 생성된 출력값을 지연시켜 피드백시키는 신호지연부;를 포함하는 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로에 관한 것이다.

대표도 - 도7



(52) CPC특허분류

H03K 5/135 (2013.01)

이 발명을 지원한 국가연구개발사업

| | |
|-------------|------------------------------------------|
| 과제고유번호 | 1415169989 |
| 과제번호 | 20010495 |
| 부처명 | 산업통상자원부 |
| 과제관리(전문)기관명 | 한국산업기술평가관리원 |
| 연구사업명 | 시스템반도체핵심IP개발(R&D) |
| 연구과제명 | 온도 보상 기능을 구비한 MIPI DPHY CPHY Combo IP 개발 |
| 기 여 율 | 1/1 |
| 과제수행기관명 | 블라썸테크놀로지 |
| 연구기간 | 2020.04.01 ~ 2022.12.31 |

명세서

청구범위

청구항 1

에지검출부의 출력값이 입력되어 출력값이 생성되며, 상기 생성된 출력값을 피드백시켜 상기 에지검출부의 출력값과 함께 입력시키는 토글생성부; 및

상기 생성된 출력값을 지연시켜 피드백시키는 신호지연부;를 포함하는 MIPI C-PHY 토글 생성 회로.

청구항 2

제1항에 있어서,

상기 토글생성부는,

두 개의 제1입력신호를 전달받아 동작하며, 상기 두 개의 제1입력신호가 모두 하이(High) 신호일 경우에만 리셋(Reset) 하이신호가 출력되는 제1판단블록;

두 개의 제2입력신호를 전달받아 동작하며, 상기 두 개의 제2입력신호가 모두 하이(High) 신호일 경우에만 셋(Set) 하이신호가 출력되는 제2판단블록; 및

상기 제1판단블록의 출력값이 입력되어 제1출력값이 출력되고, 상기 제1출력값과 상기 제2판단블록의 출력값이 입력되어 제2출력값이 출력되며, 상기 제2출력값은 상기 제1판단블록의 출력값과 함께 입력되어 상기 제1출력값으로 출력되는 래치블록;을 포함하는 MIPI C-PHY 토글 생성 회로.

청구항 3

제2항에 있어서,

상기 신호지연부는,

상기 제1출력값을 지연시켜 어느 하나의 상기 제1입력신호로 입력시키는 제1신호지연블록; 및

상기 제2출력값을 지연시켜 어느 하나의 상기 제2입력신호로 입력시키는 제2신호지연블록;을 포함하는 MIPI C-PHY 토글 생성 회로.

청구항 4

제2항에 있어서,

상기 제1판단블록과 상기 제2판단블록은,

상기 두 개의 제1입력신호가 입력되는 NAND 게이트; 및

상기 NAND 게이트의 출력값을 반전시키는 NOT 게이트;를 포함하는 MIPI C-PHY 토글 생성 회로.

청구항 5

제2항에 있어서,

상기 래치블록은,

상기 제1판단블록의 출력값과 상기 제2출력값에 따라 상기 제1출력값을 출력시키는 제1NOR 게이트; 및

상기 제2판단블록의 출력값과 상기 제1출력값에 따라 상기 제2출력값을 출력시키는 제2NOR 게이트;를 포함하는 MIPI C-PHY 토글 생성 회로.

청구항 6

제1항 내지 제5항 중 어느 한항에 기재된 상기 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회

로.

발명의 설명

기술 분야

[0001] 본 발명은 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로에 관한 것으로서, 특히, 간단한 회로로 구성되면서도 노이즈 제거 기능이 구비된 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로에 관한 것이다.

배경 기술

[0002] 일반적으로, MIPI C-PHY는 데이터 전송 효율을 높이기 위해 클럭 임베디드 방식의 3-Level Signaling 기법을 채택하고 있으며, 수신단에서 클럭 복원을 간편하게 하기 위해 매번 데이터를 전송할 때 3개의 신호 중 적어도 하나의 신호에서 데이터 변화가 생길 수 있도록 만들기 위해 데이터를 변환하여 전송한다.

[0003] 수신단에서는 입력된 3개 신호의 에지를 검출하여 짧은 펄스를 생성하고, 이 펄스를 이용하여 데이터 전송 주기와 동일한 주기를 갖는 클럭을 복원한다. 이러한 클럭 복원 회로는 기가 헤르츠(GHz) 대역의 고속 동작이어서 전제 MIPI C-PHY IP의 동작 대역을 결정짓는 주요한 회로이며, 노이즈를 최소화하기 위해 많은 논리 게이트를 포함하는 복잡한 회로로 구성되는데, 이는 회로의 소비 전력과 동작 속도에 영향을 미치게 된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) (0001) 국내등록특허 제10-1837978호

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는, 간단한 회로로 구성하면서도 노이즈 제거 기능을 구비함은 물론, 저 소비 전력으로 고속 동작 구현이 가능한 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로를 제공하는데 있다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명인 MIPI C-PHY 토글 생성 회로에 의하면, 에지검출부의 출력값이 입력되어 출력값이 생성되며, 상기 생성된 출력값을 피드백시켜 상기 에지검출부의 출력값과 함께 입력시키는 토글생성부; 및 상기 생성된 출력값을 지연시켜 피드백시키는 신호지연부;를 포함하는 것을 특징으로 한다.

[0007] 여기서, 상기 토글생성부는, 두 개의 제1입력신호를 전달받아 동작하며, 상기 두 개의 제1입력신호가 모두 하이(High) 신호일 경우에만 리셋(Reset) 하이신호가 출력되는 제1판단블록; 두 개의 제2입력신호를 전달받아 동작하며, 상기 두 개의 제2입력신호가 모두 하이(High) 신호일 경우에만 셋(Set) 하이신호가 출력되는 제2판단블록; 및 상기 제1판단블록의 출력값이 입력되어 제1출력값이 출력되고, 상기 제1출력값과 상기 제2판단블록의 출력값이 입력되어 제2출력값이 출력되며, 상기 제2출력값은 상기 제1판단블록의 출력값과 함께 입력되어 상기 제1출력값으로 출력되는 래치블록;을 포함하는 것을 특징으로 한다.

[0008] 또한, 상기 신호지연부는, 상기 제1출력값을 지연시켜 어느 하나의 상기 제1입력신호로 입력시키고, 상기 제2출력값을 지연시켜 어느 하나의 상기 제2입력신호로 입력시키는 신호지연블록;을 포함하는 것을 특징으로 한다.

[0009] 또한, 상기 제1판단블록과 상기 제2판단블록은, 상기 두 개의 제1입력신호가 입력되는 NAND 게이트; 및 상기 NAND 게이트의 출력값을 반전시키는 NOT 게이트;를 포함하는 것을 특징으로 한다.

[0010] 또한, 상기 래치블록은, 상기 제1판단블록의 출력값과 상기 제2출력값에 따라 상기 제1출력값을 출력시키는 제1NOR 게이트; 및 상기 제2판단블록의 출력값과 상기 제1출력값에 따라 상기 제2출력값을 출력시키는 제2NOR 게이트;를 포함하는 것을 특징으로 한다.

[0011] 한편, 전술한 특징을 갖는 상기 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회로를 제공하는 것을 특징으로 한다.

발명의 효과

[0012] 이상에서 상술한 본 발명에 따른 MIPI C-PHY 토글 생성 회로 및 이를 포함하는 MIPI C-PHY 클럭 복원 회로를 사용하면, 간단한 회로로 구성하면서도 노이즈 제거 기능을 보유하여 안정적으로 동작함은 물론, 저소비 전력으로 고속 동작 구현이 가능하다.

도면의 간단한 설명

[0013] 도 1은 MIPI C-PHY에서 특징적으로 나타나는 신호의 Eye 패턴 및 복원된 데이터와 클럭의 타이밍 관계도,
 도 2는 본 발명인 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회로의 일 실시례에 따른 개념도,
 도 3은 도 2의 MIPI C-PHY 클럭 복원 회로에 대한 타이밍도,
 도 4는 본 발명인 에지펄스생성블록을 구성하는 에지 펄스 생성 회로의 일 실시례에 따른 도면,
 도 5는 도 4의 에지 펄스 생성 회로에 대한 타이밍도,
 도 6은 본 발명인 에지펄스통합블록을 구성하는 에지 펄스 통합 회로의 일 실시례에 따른 도면,
 도 7은 본 발명인 MIPI C-PHY 토글 생성 회로의 일 실시례에 따른 개념도,
 도 8은 본 발명인 신호지연블록을 구성하는 신호 지연 회로의 일 실시례에 따른 도면,
 도 9는 도 8의 신호 지연 단위 회로의 일 실시례에 따른 도면.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 일부 실시례들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시례를 설명함에 있어, 관련된 공지구성 또는 기능에 대한 구체적인 설명이 본 발명의 실시례에 대한 이해를 방해한다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0015] 또한, 본 발명의 실시례의 구성 요소를 설명하는데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0016] 도 1은 MIPI C-PHY에서 특징적으로 나타나는 신호의 Eye 패턴 및 복원된 데이터와 클럭의 타이밍 관계도이고, 도 2는 본 발명인 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회로의 일 실시례에 따른 개념도이며, 도 3은 도 2의 MIPI C-PHY 클럭 복원 회로에 대한 타이밍도이고, 도 4는 본 발명인 에지펄스생성블록을 구성하는 에지 펄스 생성 회로의 일 실시례에 따른 도면이며, 도 5는 도 4의 에지 펄스 생성 회로에 대한 타이밍도이고, 도 6은 본 발명인 에지펄스통합블록을 구성하는 에지 펄스 통합 회로의 일 실시례에 따른 도면이며, 도 7은 본 발명인 MIPI C-PHY 토글 생성 회로의 일 실시례에 따른 개념도이고, 도 8은 본 발명인 신호지연블록을 구성하는 신호 지연 회로의 일 실시례에 따른 도면이며, 도 9는 도 8의 신호 지연 단위 회로의 일 실시례에 따른 도면이다.

[0017] 실제의 MIPI C-PHY 응용에서는 신호선 간의 특성 차이와 신호의 강도 차이에 따른 지연(Delay)이 발생하기 때문에 각 유닛 인터벌(UI : Unit Interval) 초반에 노이즈(Noisy)한 구간을 지나 후반에 클린 데이터(Clean Data) 영역(Eye Mask)이 나타난다. MIPI C-PHY에서는 클린 데이터 영역(Eye Open 영역)이 0.5UI 이상 보장되도록 신호가 입력된다.

[0018] MIPI C-PHY 클럭 복원 회로에서는 각 UI에서 발생하는 첫번째 데이터 에지 펄스(Data Edge Pulse)를 검출하여 클럭 복원 신호로 사용하고, 이후에 검출되는 에지 펄스는 노이즈(Noise)로 간주하여 무시하여야 한다. 이러한

방식으로 매 UI 마다 하나의 유효한 클럭 복원용 펄스를 생성하고, 펄스가 발생할 때마다 클럭 신호를 토글(Toggle)하여 데이터 복원용 디디알(DDR : Double Data Rate) 클럭을 복원해야 한다.

- [0019] 도 1은 MIPI C-PHY에서 특징적으로 나타나는 신호의 Eye 패턴 및 복원된 데이터와 클럭의 타이밍 관계도이다.
- [0020] 도 1을 참조하면, 복원된 클럭의 라이징(Rising) 혹은 폴링(Falling) 에지(Edge)에서 데이터 천이가 일어나게 되고, 데이터의 아이 오픈(Eye Open) 영역이 UI의 마지막 부분에 나타나기 때문에 복원된 데이터를 일정시간 지연시켜서 정렬된 데이터를 생성한 후 복원된 클럭으로 샘플링해야 한다. 이때, 정렬된 데이터의 아이 오픈 중간 부분이 복원된 클럭의 에지(Edge)에 위치되도록 복원된 데이터를 지연시키는 것이 가장 바람직하다. 이 모든 과정에서 UI의 마지막 부분에 라이징 혹은 폴링 에지가 정확하게 일치하는 클럭(Clock)을 복원하는 것이 가장 중요하다.
- [0021] 도 2는 본 발명인 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회로의 일 실시례에 따른 개념도이고, 도 3은 도 2의 MIPI C-PHY 클럭 복원 회로에 대한 타이밍도이다.
- [0022] 먼저, 도 2를 참조하면, 먼저 A, B, C 3개의 핀(Pin)으로 입력되는 신호를 3개의 비교기를 이용하여 Rx_AB, Rx_BC, Rx_CA 신호를 생성한다. 본 발명에 따른 MIPI C-PHY 토글 생성 회로를 포함하는 MIPI C-PHY 클럭 복원 회로(이하, '클럭 복원 회로'라 함)는 상기 세 개의 신호(Rx_AB, Rx_BC, Rx_CA)를 입력으로 사용한다.
- [0023] 도 3에 본 발명에서 제안하는 클럭 복원 회로의 타이밍도를 나타내었으며, 빨간색 점선 한 칸을 한 클럭(Clock)으로 이해할 수 있다.
- [0024] 도 2와 함께 도 3을 참조하면, 첫 번째 클럭, 즉 최초 Rx_AB, Rx_BC, Rx_CA는 모두 로우(Low, '0')이다. 이후 두 번째 클럭에서 Rx_AB는 로우에서 하이(High, '1')로 변경되고, Rx_BC는 로우 상태를 유지하며, Rx_CA는 로우에서 하이로 데이터가 변화하였다. 또한, 세 번째 클럭에서는 Rx_AB는 하이에서 로우로 데이터가 변경되고, Rx_BC는 로우 상태를 유지하며, Rx_CA는 하이에서 로우로 데이터가 변화하였다. 이후 네 번째, 다섯 번째 및 그 이후의 클럭을 살펴보면, 데이터를 전송할 때 3개의 신호 중 적어도 하나의 신호에서는 데이터 변화(하이에서 로우 또는 로우에서 하이로 변화)가 발생되므로, MIPI C-PHY에서는 Rx_AB, Rx_BC, Rx_CA 세 개의 신호 중 적어도 하나는 토글(Toggle)됨을 알 수 있다.
- [0025] 클럭 복원 회로에서 가장 먼저 해야 할 일은 Rx_AB, Rx_BC, Rx_CA 세 개 신호의 에지(Edge)를 검출하여 짧은 펄스(EG_AB, EG_BC, EG_CA)를 발생하고, 이를 하나로 묶어서 EDGE_PULSE 신호를 생성하는 것이다.
- [0026] 이를 위해 Rx_AB는 제1에지펄스생성블록(300)의 입력으로 연결되고, Rx_BC는 제2에지펄스생성블록(400)의 입력으로 연결되며, Rx_CA는 제3에지펄스생성블록(500)의 입력으로 연결된다. 제1, 2, 3에지펄스생성블록(300, 400, 500)은 에지 펄스 생성 회로로 구성될 수 있다.
- [0027] 도 4는 본 발명인 에지펄스생성블록을 구성하는 에지 펄스 생성 회로의 일 실시례에 따른 도면이고, 도 5는 도 4의 에지 펄스 생성 회로에 대한 타이밍도이다.
- [0028] 에지 펄스 생성 회로는 공지의 다양한 회로로 구성할 수 있으며, 일례로 도 4의 에지 펄스 생성 회로로 구성할 수 있다. 도 4를 참조하면, 에지 펄스 생성 회로는 입력신호(INX)와 입력신호를 일정시간 지연시킨 신호(IND)를 XOR 처리하여 라이징 혹은 폴링 에지가 발생할 때 마다 지연시간에 해당하는 길이의 펄스를 만드는 회로이며, 이에 대한 타이밍도는 도 5를 참조할 수 있다.
- [0029] 도 6은 본 발명인 에지펄스통합블록을 구성하는 에지 펄스 통합 회로의 일 실시례에 따른 도면이다.
- [0030] 제1, 2, 3에지펄스생성블록(300, 400, 500)은 에지펄스통합블록(600)으로 연결되며, 에지펄스통합블록(600)을 통해 하나의 펄스 트레인으로 통합된다. 에지펄스통합블록(600)을 구성하는 에지 펄스 통합 회로 역시 공지의 다양한 회로로 구성할 수 있으며, 일례로 도 6의 에지 펄스 통합 회로로 구성할 수 있다. 도 6을 참조하면, 에지 펄스 통합 회로는 세 개의 에지 펄스 생성 회로의 출력(IN1, IN2, IN3)을 OR 처리하여 하나의 펄스 트레인으로 통합하는 역할을 수행한다. 전술한 에지 펄스 생성 회로와 이에 대한 타이밍도 및 에지 펄스 통합 회로 자체는 공지의 기술이므로 더 자세한 설명은 생략하도록 한다.
- [0031] 에지펄스통합블록(600)을 통해 생성된 에지 펄스(EDGE_PULSE) 신호는 토글생성부(100)로 입력된다.
- [0032] 도 7은 본 발명인 MIPI C-PHY 토글 생성 회로의 일 실시례에 따른 개념도이다.
- [0033] 한편, 본 발명에 따른 MIPI C-PHY 토글 생성 회로는 토글생성부(100)와 신호지연부(200)를 포함하여 구성될 수

있다.

- [0034] 도 2와 함께 도 7을 참조하면, 토글생성부(100)는 에지검출부의 출력값(EDGE_PULSE)이 입력되어 출력값(Q1, Q2)이 생성되며, 생성된 출력값(Q1, Q2)을 피드백시켜 에지검출부의 출력값(EDGE_PULSE)과 함께 입력시킨다. 여기서 에지검출부는 제1, 2, 3에지펄스생성블록(300, 400, 500) 및 에지펄스통합블록(600)을 포함하는 회로로 이해할 수 있다.
- [0035] 토글생성부(100)는 제1판단블록(110), 제2판단블록(120) 및 래치블록(130)을 포함하여 구성될 수 있다.
- [0036] 제1판단블록(110)은 두 개의 제1입력신호를 전달받아 동작하며, 두 개의 제1입력신호가 모두 하이(High) 신호일 경우에만 리셋(Reset) 하이신호가 출력된다. 두 개의 제1입력신호는 에지검출부의 출력값인 에지 펄스(EDGE_PULSE)값과 후술할 지연된 제1출력값(Q1D)으로 이해할 수 있다. 제1판단블록(110)은 예컨대, 두 개의 제1입력신호가 입력되는 제1NAND 게이트(111) 및 제1NAND 게이트(111)의 출력값을 반전시키는 제1NOT 게이트(112)로 구성될 수 있다.
- [0037] 제2판단블록(120)은 두 개의 제2입력신호를 전달받아 동작하며, 두 개의 제2입력신호가 모두 하이(High) 신호일 경우에만 셋(Set) 하이신호가 출력된다. 두 개의 제2입력신호는 에지검출부의 출력값인 에지 펄스(EDGE_PULSE)값과 후술할 지연된 제2출력값(Q2D)으로 이해할 수 있다. 제2판단블록(120)은 예컨대, 두 개의 제2입력신호가 입력되는 제2NAND 게이트(121) 및 제2NAND 게이트(121)의 출력값을 반전시키는 제2NOT 게이트(122)로 구성될 수 있다.
- [0038] 래치블록(130)은 제1판단블록(110)의 출력값(RST)이 입력되어 제1출력값(Q1)을 출력시키고, 제1출력값(Q1)과 제2판단블록(120)의 출력값(SET)이 입력되어 제2출력값(Q2)을 출력시키며, 제2출력값(Q2)은 제1판단블록(110)의 출력값(RST)과 함께 입력되어 제1출력값(Q1)을 출력시키도록 구성될 수 있다. 래치블록(130)은 예컨대, 제1판단블록(110)의 출력값(RST)과 제2출력값(Q2)에 따라 제1출력값(Q1)을 출력시키는 제1NOR 게이트(131) 및 제2판단블록(120)의 출력값(SET)과 제1출력값(Q1)에 따라 제2출력값(Q2)을 출력시키는 제2NOR 게이트(132)로 구성될 수 있다.
- [0039] 토글생성부(100)는 에지검출부의 출력값인 에지 펄스(EDGE_PULSE)값을 입력 받아 매번 하이 신호가 입력될 때마다 출력 신호를 토글(Toggle)하여 클럭을 복원한다. 이는 기본적으로 토글 플립플롭(Toggle Flip-Flop)의 동작과 동일한 기능으로 이해할 수 있다. 즉, 제1출력값(Q1)이 하이(High)이고, 제2출력값(Q2)이 로우(Low)인 상태에서 에지검출부의 출력값(DT_EDGE)이 로우에서 하이로 변화하면 RST 신호가 하이로 되어 제1출력값(Q1)은 로우로 변화한다. 제1출력값(Q1)이 로우로 변화하면 제2출력값(Q2)은 하이로 변화한 후 안정 상태로 진입한다. 또한, 제2출력값(Q2)이 하이이고, 제1출력값(Q1)이 로우인 상태에서 에지검출부의 출력값(DT_EDGE)가 로우에서 하이로 변화하면 SET 신호가 하이로 되어 제2출력값(Q2)은 로우로 변화한다. 제2출력값(Q2)이 로우로 변화하면 제1출력값(Q1)은 하이로 변화한 후 안정 상태로 진입하며, 전술한 과정은 반복적으로 수행된다.
- [0040] 한편, 본 발명에 따르면 에지검출부의 출력값인 에지 펄스(EDGE_PULSE) 신호의 노이즈(Noise)를 제거해야 한다. 전술한 바와 같이, 제1출력값(Q1)과 제2출력값(Q2)을 신호지연부(200)를 이용하여 지연시킨 다음 Q1D, Q2D 입력부에 지연된 제1출력값(Q1D) 및 제2출력값(Q2D)을 각각 피드백하여 노이즈(Noise) 제거 기능을 수행할 수 있다. 신호지연부(200)는 신호 지연량을 제어할 수 있는 컨트롤 신호를 포함할 수 있다. 에지 펄스(EDGE_PULSE) 신호의 변화에 따라 제1출력값(Q1) 또는 제2출력값(Q2)이 변화한다. 변화된 제1출력값(Q1) 또는 제2출력값(Q2)은 신호지연부(200)를 거친 후 Q1D 혹은 Q2D에 피드백 되기까지의 구간은 토글생성부(100)가 디스에이블(Disable)되어 에지검출부의 출력값(DT_EDGE) 신호에 변화가 있어도 제1출력값(Q1) 또는 제2출력값(Q2)에 영향을 미치지 못하므로 노이즈(Noise) 제거 기능을 수행할 수 있다.
- [0041] 도 8은 본 발명인 신호지연블록을 구성하는 신호 지연 회로의 일 실시례에 따른 도면이며, 도 9는 도 8의 신호 지연 단위 회로의 일 실시례에 따른 도면이다.
- [0042] 신호지연부(200)는 토글생성부(100)를 통해 생성된 출력값(Q1, Q2)을 지연시켜 피드백시키는 역할을 수행하며, 제1신호지연블록(210) 및 제2신호지연블록(220)을 포함하여 구성할 수 있다.
- [0043] 래치블록(130)의 제1출력값(Q1)은 제1신호지연블록(210)에 의해 지연되며, 지연된 제1출력값(Q1D)은 에지검출부의 출력값인 에지 펄스(EDGE_PULSE)값과 함께 제1판단블록(110)으로 입력된다.
- [0044] 또한, 래치블록(130)의 제2출력값(Q2)은 제2신호지연블록(220)에 의해 지연되며, 지연된 제2출력값(Q2D)은 에지검출부의 출력값인 에지 펄스(EDGE_PULSE)값과 함께 제2판단블록(120)으로 입력된다.

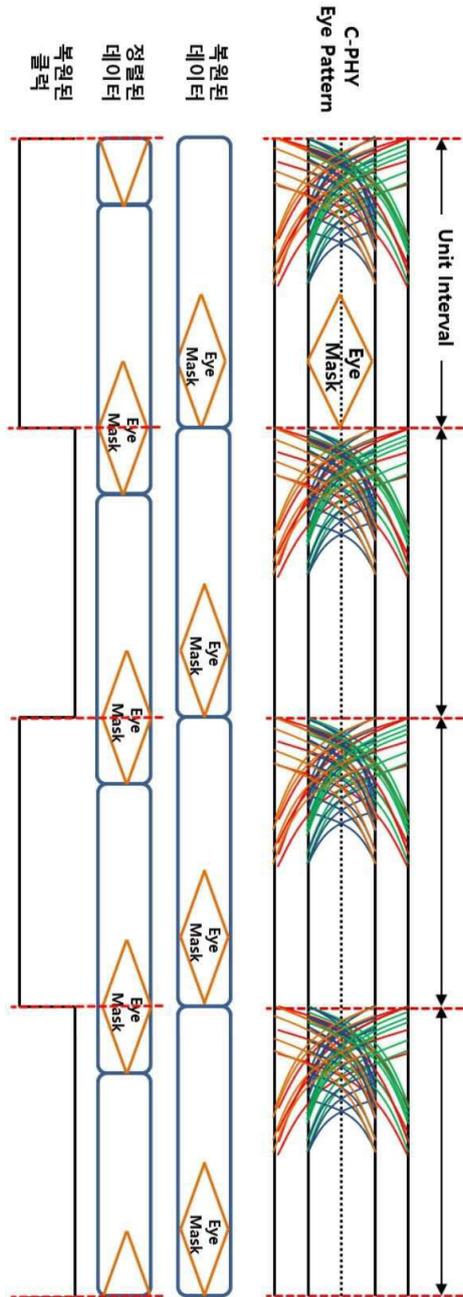
- [0045] 신호 지연 회로 및 신호 지연 단위 회로는 공지의 다양한 회로를 사용할 수 있으며, 일례로 도 8 및 도 9와 같이 구성할 수 있다. 신호 지연 회로의 셀(SEL)값을 통해 지연 시간을 결정할 수 있으며, 도 8 및 도 9에 도시된 회로 자체는 공지의 기술이므로 이에 대한 자세한 설명은 생략하도록 한다.
- [0046] 이상에서 설명한 MIPI C-PHY 클럭 복원 회로를 사용할 경우, 회로 자체를 간단한 회로로 구성하면서도 노이즈 제거 기능을 보유하여 안정적으로 동작함은 물론, 저소비 전력으로 고속 동작 구현이 가능하다.
- [0047] 이상에서, 본 발명의 실시례를 구성하는 모든 구성 요소들이 하나로 결합하거나 결합하여 동작하는 것으로 설명되었다고 해서, 본 발명이 반드시 이러한 실시례에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성 요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재할 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0048] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 게시된 실시례들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시례에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

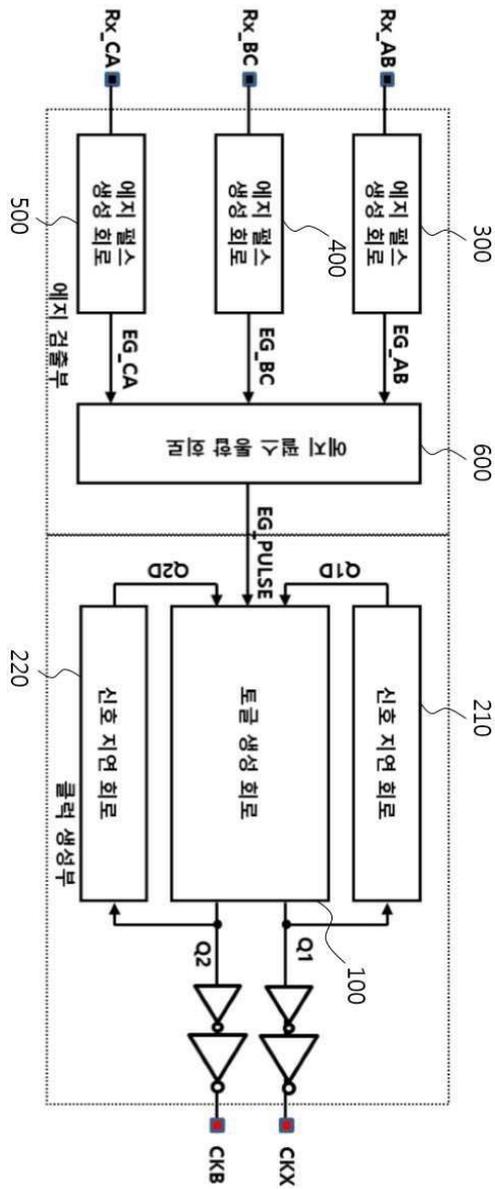
- [0049] 100 : 토글생성부 110 : 제1판단블록
- 111 : 제1NAND 게이트 112 : 제1NOT 게이트
- 120 : 제2판단블록 121 : 제2NAND 게이트
- 122 : 제2NOT 게이트 130 : 래치블록
- 131 : 제1NOR 게이트 132 : 제2NOR 게이트
- 200 : 신호지연부 210 : 제1신호지연블록
- 220 : 제2신호지연블록 300 : 제1에지펄스생성블록
- 400 : 제2에지펄스생성블록 500 : 제3에지펄스생성블록
- 600 : 에지펄스통합블록

도면

도면1

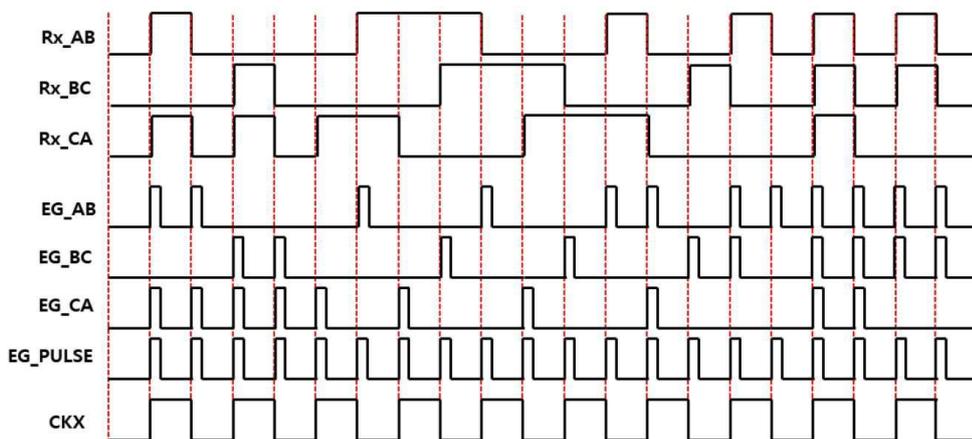


도면2

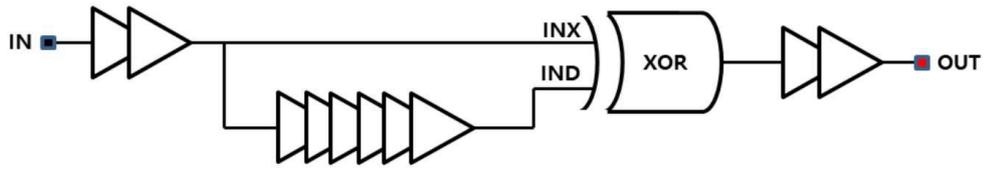


[200 : 210, 220]

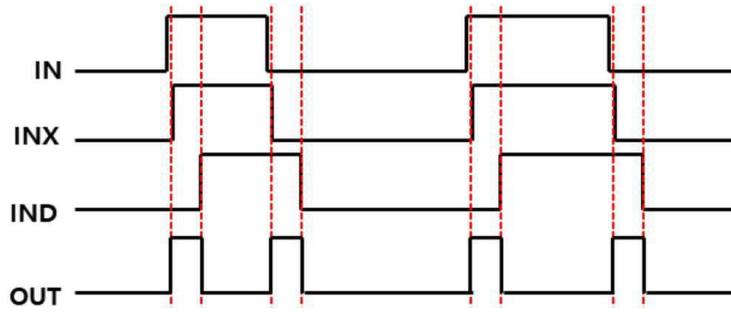
도면3



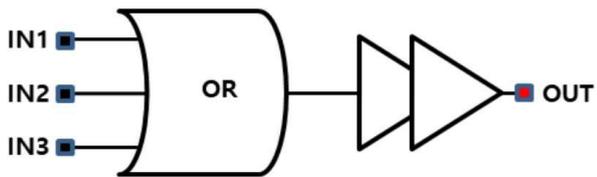
도면4



도면5

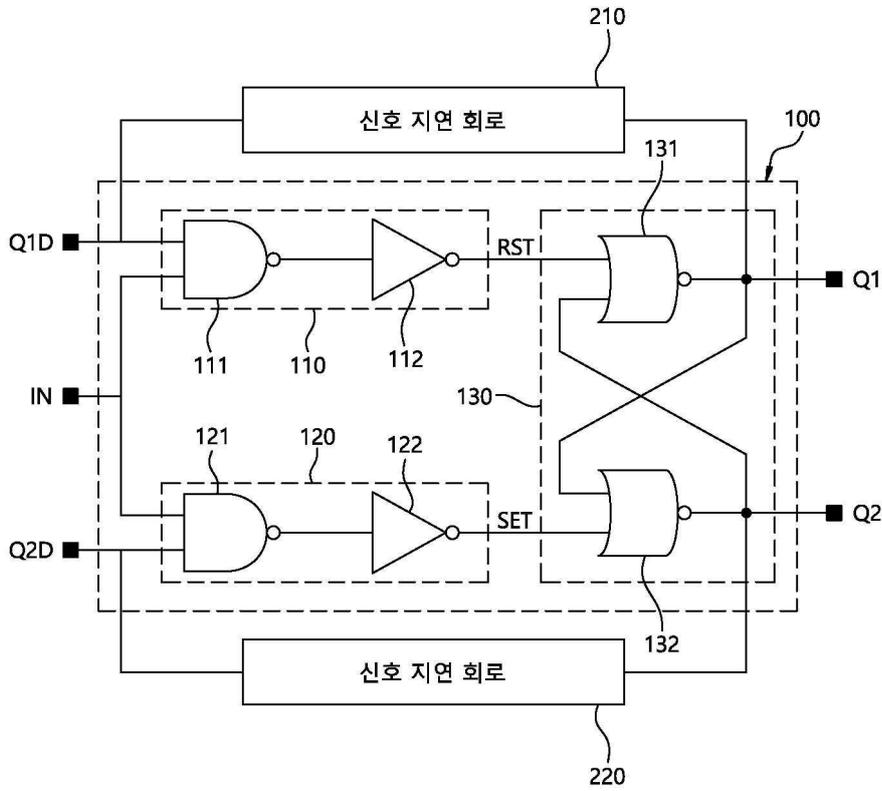


도면6

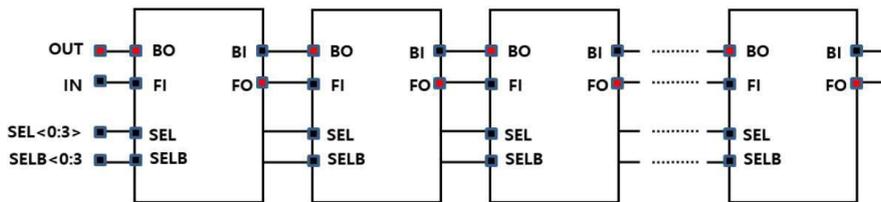


도면7

[200 : 210, 220]



도면8



도면9

