



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월29일
(11) 등록번호 10-1823189
(24) 등록일자 2018년01월23일

- | | |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
H01F 17/00 (2006.01) H01F 27/28 (2006.01)</p> <p>(21) 출원번호 10-2014-0009553</p> <p>(22) 출원일자 2014년01월27일
심사청구일자 2016년03월25일</p> <p>(65) 공개번호 10-2015-0089212</p> <p>(43) 공개일자 2015년08월05일</p> <p>(56) 선행기술조사문헌
KR1020120122589 A*
JP2013105969 A*
JP2003100548 A*
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)</p> <p>(72) 발명자
정동진
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)</p> <p>(74) 대리인
특허법인씨엔에스</p> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------|

전체 청구항 수 : 총 11 항

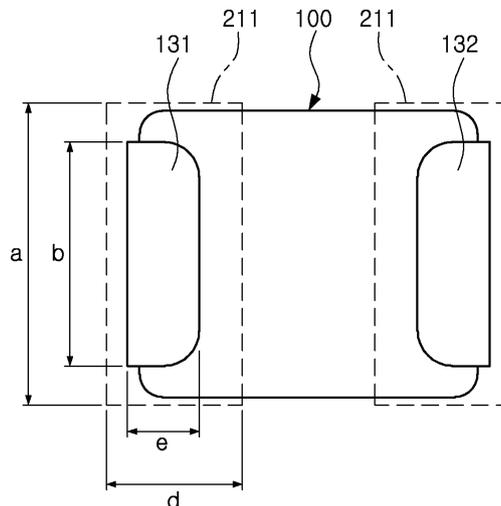
심사관 : 권영학

(54) 발명의 명칭 인덕터 어셈블리

(57) 요약

본 발명에 의한 인덕터 어셈블리는, 실장면으로 제공되는 하면과 이에 대응되는 상면, 길이 방향의 양 측면 및 폭 방향의 양 측면을 구비한 유전체 본체, 및 상기 본체의 하면 및 길이 방향의 양 측면에 형성된 외부전극을 포함하는 인덕터, 상면에 상기 인덕터의 외부전극과 전기적으로 연결되는 패드를 구비하는 기판, 및 상기 외부전극과 상기 패드를 전기적으로 연결하는 솔더를 포함하고, 상기 패드의 폭 방향의 길이를 a, 상기 외부전극의 폭 방향의 길이를 b, 상기 패드의 길이 방향의 길이를 d, 상기 외부전극의 길이 방향의 길이를 e라 할 때, 상기 a, b, d, e 의 관계가 일정한 수학적식을 만족하는 인덕터 어셈블리를 제공하여, 기판에 실장될 때 방향성에 대한 신뢰도를 높임으로써 근접 칩 간의 쇼트나 솔더링 장애를 방지할 수 있다.

대표도 - 도7



명세서

청구범위

청구항 1

실장면으로 제공되는 하면과 이에 대응되는 상면, 길이 방향의 양 측면 및 폭 방향의 양 측면을 구비한 유전체 본체, 및 상기 본체의 하면 및 길이 방향의 양 측면에 형성된 외부전극을 포함하는 인덕터;

상면에 상기 인덕터의 외부전극과 전기적으로 연결되는 패드를 구비하는 기판; 및

상기 외부전극과 상기 패드를 전기적으로 연결하는 솔더;를 포함하고,

상기 패드의 폭 방향의 길이를 a, 상기 외부전극의 폭 방향의 길이를 b라 할 때, 하기 수학식 1을 만족하는 인덕터 어셈블리.

[수학식 1]

$$\left| \frac{a-b}{2} \right| \leq 0.1\text{mm}$$

청구항 2

제1항에 있어서,

상기 패드의 길이 방향의 길이를 d, 상기 외부전극의 길이 방향의 길이를 e라 할 때, 하기 수학식 2를 만족하는 인덕터 어셈블리.

[수학식 2]

$$\left| \frac{d-e}{2} \right| \leq 0.1\text{mm}$$

청구항 3

제1항에 있어서,

상기 본체는, 복수의 유전체층이 적층되어 형성되는 인덕터 어셈블리.

청구항 4

제3항에 있어서,

상기 인덕터는, 상기 유전체층 상에 형성되고, 코일 구조를 가지도록 접속된 도체 패턴을 더 포함하는 인덕터 어셈블리.

청구항 5

제1항에 있어서,

상기 외부전극은 상기 본체의 폭 방향의 양 측면에 추가로 형성된 인덕터 어셈블리.

청구항 6

제1항에 있어서,
상기 유전체 본체의 표면 중 상기 외부전극이 형성되지 않은 영역에 절연층이 형성된 인덕터 어셈블리.

청구항 7

제1항에 있어서,
상기 유전체 본체의 표면 전체에 절연층이 형성되고, 상기 절연층 상에 외부전극이 형성된 인덕터 어셈블리.

청구항 8

실장면으로 제공되는 하면과 이에 대응되는 상면, 길이 방향의 양 측면 및 폭 방향의 양 측면을 구비한 유전체 본체, 및 상기 본체의 하면 및 길이 방향의 양 측면에 형성된 외부전극을 포함하는 인덕터;

상면에 상기 인덕터의 외부전극과 전기적으로 연결되는 패드를 구비하는 기판; 및

상기 외부전극과 상기 패드를 전기적으로 연결하는 솔더;를 포함하고,

상기 패드의 폭 방향의 길이를 a, 상기 외부전극의 폭 방향의 길이를 b라 할 때, 하기 수학식 3을 만족하는 인덕터 어셈블리.

[수학식 3]

$$\left| \frac{a-b}{b} \right| \leq \frac{1}{20}$$

청구항 9

제8항에 있어서,

상기 패드의 길이 방향의 길이를 d, 상기 외부전극의 길이 방향의 길이를 e라 할 때, 하기 수학식 4를 만족하는 인덕터 어셈블리.

[수학식 4]

$$\left| \frac{d-e}{e} \right| \leq \frac{1}{4}$$

청구항 10

제8항에 있어서,

상기 본체는, 복수의 유전체층이 적층되어 형성되는 인덕터 어셈블리.

청구항 11

제10항에 있어서,

상기 인덕터는, 상기 유전체층 상에 형성되고, 코일 구조를 가지도록 접속된 도체 패턴을 더 포함하는 인덕터 어셈블리.

발명의 설명

기술 분야

[0001] 본 발명은 인덕터 어셈블리에 관한 것으로, 더욱 상세하게는 인덕터가 기판에 실장됨에 있어, 방향성의 신뢰도가 높은 인덕터 어셈블리에 관한 것이다.

배경 기술

[0002] 칩 전자부품 중 하나인 인덕터(Inductor)는 저항, 커패시터와 더불어 전자회로를 이루어 노이즈(Noise)를 제거하는 대표적인 수동 소자로서, 전자기적 특성을 이용하여 커패시터(Capacitor)와 조합하여 특정 주파수 대역의 신호를 증폭시키는 공진회로, 필터(Filter) 회로 등의 구성에 사용된다.

[0003] 최근 들어 각종 통신 디바이스 또는 디스플레이 디바이스 등 IT 디바이스의 소형화 및 박막화가 가속화되고 있는데, 이러한 IT 디바이스에 채용되는 인덕터, 커패시터, 트랜지스터 등의 각종 소자들 또한 소형화 및 박막화에 대한 연구가 지속적으로 이루어지고 있다. 이에, 인덕터도 소형이면서 고밀도의 자동표면 실장이 가능한 칩으로의 전환이 급속도로 이루어져 왔으며, 박막의 절연 기판의 상하면에 도금으로 형성되는 코일 패턴 위에 자성 분말을 수지와 혼합시켜 형성시킨 박막형 인덕터의 개발이 이어지고 있다.

[0004] 또한, 이와 같은 소형화 박막화 경향에 따라, 전자부품의 실장도 고집적화 되고 있으며, 이에 따라 실장되는 전자부품 사이의 공간이 최소화되고 있다.

[0005] 한편, 통상의 칩형 인덕터의 경우 내부 코일 구조는 인/아웃 리드가 인덕터 본체의 상부 및 하부에 존재하는데, 인/아웃 리드를 전기적으로 연결하기 위하여 외부전극을 본체의 외면에 도포하고 그 위에 도금층을 형성한다. 이로써 인덕터 본체의 6개의 외부면에 외부전극이 형성되어 있다.

[0006] 이와 같이 통상 칩형 인덕터의 경우, 인덕터의 세라믹 본체의 상면에도 외부전극이 형성되어 있는데, 이 경우 세라믹 본체의 상면에 형성된 외부전극과 메탈 캔이 접촉할 수도 있으며, 이로 인하여 쇼트가 발생할 수 있고, 전자부품 세트가 오작동을 일으킬 수 있다.

[0007] 이에, 본 출원인은 공개특허 제10-2012-0122589호에서 인덕터 상면의 외부전극을 제거하여 전자부품 세트가 금속 캔과 접촉되더라도 쇼트 등의 간섭 문제가 발생하지 않는 칩형 코일 부품을 제안한 바 있다.

[0008] 다른 한편으로, 이러한 칩형 인덕터가 기판에 실장됨에 있어, 솔더링을 통하여 기판에 구비된 패드와 외부 전극을 전기적으로 연결함으로써 실장하게 된다. 이때에 솔더링에 있어서, 도 1에서 도시하고 있는 바와 같이, 기판에 구비된 패드(211)와 인덕터의 외부전극(131, 132) 사이의 거리 이격이 존재할 경우에는 도금성장 과정에서 기판에 구비된 패드(211)와 인덕터의 외부전극(131, 132) 사이에 상호 불균일한 인력이 작용하게 되어, 인덕터의 실장각도가 틀어지는 현상이 발생하게 된다.

[0009] 이와 같이 인덕터의 실장각도가 틀어지는 현상이 발생하는 경우 근접한 칩 부품간의 쇼트 현상이나, 솔더링을 방해하는 문제점이 발생할 수 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 특허공개공보 제10-2012-0122589호

발명의 내용

해결하려는 과제

[0011] 본 발명은 상기와 같은 문제점을 해결하고자, 인덕터가 기판에 실장됨에 있어, 방향성에 대한 신뢰도가 높은 인덕터 어셈블리를 제공하고자 한다.

과제의 해결 수단

[0012] 본 발명에 의한 인덕터 어셈블리는, 실장면으로 제공되는 하면과 이에 대응되는 상면, 길이 방향의 양 측면 및 폭 방향의 양 측면을 구비한 유전체 본체, 및 상기 본체의 하면 및 길이 방향의 양 측면에 형성된 외부전극을 포함하는 인덕터, 상면에 상기 인덕터의 외부전극과 전기적으로 연결되는 패드를 구비하는 기판, 및 상기 외부전극과 상기 패드를 전기적으로 연결하는 솔더를 포함하고, 상기 패드의 폭 방향의 길이를 a, 상기 외부전극의 폭 방향의 길이를 b라 할 때, 하기 수학적 식 1을 만족할 수 있다.

[0013] [수학적 식 1]

$$\left| \frac{a-b}{2} \right| \leq 0.1\text{mm}$$

[0014]

[0015] 본 발명에 의한 인덕터 어셈블리는, 상기 패드의 길이 방향의 길이를 d, 상기 외부전극의 길이 방향의 길이를 e라 할 때, 하기 수학적 식 2를 만족할 수 있다.

[0016] [수학적 식 2]

$$\left| \frac{d-e}{2} \right| \leq 0.1\text{mm}$$

[0017]

[0018] 본 발명에 의한 인덕터 어셈블리에서, 상기 본체는, 복수의 유전체층이 적층되어 형성될 수 있다.

[0019] 본 발명에 의한 인덕터 어셈블리에서, 상기 인덕터는, 상기 유전체층 상에 형성되고, 코일 구조를 가지도록 접속된 도체 패턴을 더 포함할 수 있다.

[0020] 본 발명에 의한 인덕터 어셈블리에서, 상기 외부전극은 상기 본체의 폭 방향의 양 측면에 추가로 형성될 수 있다.

[0021] 본 발명에 의한 인덕터 어셈블리는, 상기 유전체 본체의 표면 중 상기 외부전극이 형성되지 않은 영역에 절연층이 형성될 수 있다.

[0022] 본 발명에 의한 인덕터 어셈블리는, 상기 유전체 본체의 표면 전체에 절연층이 형성되고, 상기 절연층 상에 외부전극이 형성될 수 있다.

[0023] 본 발명에 의한 인덕터 어셈블리는, 실장면으로 제공되는 하면과 이에 대응되는 상면, 길이 방향의 양 측면 및 폭 방향의 양 측면을 구비한 유전체 본체, 및 상기 본체의 하면 및 길이 방향의 양 측면에 형성된 외부전극을 포함하는 인덕터, 상면에 상기 인덕터의 외부전극과 전기적으로 연결되는 패드를 구비하는 기판, 및 상기 외부

전극과 상기 패드를 전기적으로 연결하는 솔더를 포함하고, 상기 패드의 폭 방향의 길이를 a, 상기 외부전극의 폭 방향의 길이를 b라 할 때, 하기 수학적 식 3을 만족할 수 있다.

[0024] [수학적 식 3]

$$\left| \frac{a-b}{b} \right| \leq \frac{1}{20}$$

[0026] 본 발명에 의한 인덕터 어셈블리는, 상기 패드의 길이 방향의 길이를 d, 상기 외부전극의 길이 방향의 길이를 e라 할 때, 하기 수학적 식 4를 만족할 수 있다.

[0027] [수학적 식 4]

$$\left| \frac{d-e}{e} \right| \leq \frac{1}{4}$$

발명의 효과

[0029] 본 발명에 의한 인덕터 어셈블리에 의하면, 인덕터가 기관에 실장됨에 있어, 방향성에 대한 신뢰도가 높아 근접 칩 간의 쇼트나 솔더링 장애를 방지할 수 있다.

도면의 간단한 설명

[0030] 도 1은 인덕터의 기관 실장시 얼라인 틀어짐을 설명하기 위한 개념도.

도 2는 본 발명의 일 실시예에 따른 인덕터 어셈블리의 사시도.

도 3은 도 2의 A-A'에 따른 단면도.

도 4 및 도 5는 본 발명의 일 실시예에 따른 인덕터의 사시도.

도 6은 본 발명의 일 실시예에 따른 인덕터의 분해 사시도.

도 7은 본 발명의 일 실시예에 따른 기관 어셈블리에서 외부전극과 패드와의 치수관계를 설명하기 위한 개략도.

도 8 및 도 9는 패드의 폭 방향의 길이(a)와 길이 방향의 길이(d), 및 외부전극의 폭 방향의 길이(b)와 길이 방향의 길이(e)를 변화시켜 얼라인 틀어짐 각도(θ)를 측정할 참조 데이터.

발명을 실시하기 위한 구체적인 내용

[0031] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시예를 상세하게 설명한다. 다만, 본 발명의 사상은 제시되는 실시예에 제한되지 아니하고, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서 다른 구성요소를 추가, 변경, 삭제 등을 통하여, 퇴보적인 다른 발명이나 본 발명 사상의 범위 내에 포함되는 다른 실시예를 용이하게 제안할 수 있을 것이나, 이 또한 본원 발명 사상 범위 내에 포함된다고 할 것이다.

[0032] 또한, 실시예의 도면에 나타나는 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조 부호를 사용하여 설명한다.

[0033] 도 2는 본 발명의 일 실시예에 따른 인덕터 어셈블리(200)의 사시도, 도 3은 도 2의 A-A'에 따른 단면도, 도 4 및 도 5는 본 발명의 일 실시예에 따른 인덕터(100)의 사시도, 도 6은 본 발명의 일 실시예에 따른 인덕터(100)의 분해 사시도이다.

- [0034] 본 발명의 실시예를 명확하게 설명하기 위해 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기에서, 인덕터(100)의 길이 방향의 치수는 폭 방향의 치수보다 클 수 있다. 또한, 두께 방향은 유전체층이 적층된 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0035] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 인덕터 어셈블리(200)는 인덕터(100), 상기 인덕터(100)가 실장되는 기판(210) 및 상기 인덕터(100)와 상기 기판(210)을 전기적으로 연결시켜주는 솔더(220)를 포함할 수 있다.
- [0036] 도 4 내지 도 6을 참조하면, 본 발명의 일 실시예에 따른 인덕터(100)는 유전체 본체(110), 복수의 도체 패턴(121, 122, 123) 및 상기 도체 패턴(121, 122, 123)을 연결하여 코일을 형성하는 복수의 비아전극(150)을 포함할 수 있다.
- [0037] 또한, 상기 유전체 본체(110)의 하면 및 길이 방향의 양 측면에는 외부전극(131, 132)이 형성될 수 있다.
- [0038] 한편, 도 5를 참조하면, 상기 외부전극(131, 132)은 상기 유전체 본체(110)의 폭 방향의 양 측면에 추가로 형성될 수 있다.
- [0039] 이때에, 상기 유전체 본체(110)의 상면 및 하면에는 상기 유전체 본체(110) 내부에 인쇄된 복수의 도체 패턴(121, 122, 123)을 보호하기 위해 상부 및 하부 커버층(111, 112)이 더 형성될 수 있다.
- [0040] 상기 상부 및 하부 커버층(111, 112)은 페라이트 시트로 형성된 단일 또는 복수 개의 유전체 층을 두께 방향으로 적층하여 형성될 수 있다.
- [0041] 상기 유전체 본체(110)는 복수의 유전체층(113)을 두께 방향으로 적층한 다음 소성하여 형성되며, 이러한 유전체 본체(110)의 형상, 치수 및 유전체 층(113)의 적층 수는 본 실시예에 도시된 것에 한정되는 것은 아니다.
- [0042] 한편, 상기 유전체 층(113)은 페라이트 시트일 수 있다.
- [0043] 여기에서, 상기 유전체 본체(110)의 외면 중 상기 외부전극(131, 132)이 형성되지 않은 영역에 절연층(미도시)이 형성될 수 있다.
- [0044] 이때에 상기 절연층(미도시)에 의하여 외부의 수분, 이물질 등으로부터 상기 유전체 본체(110)가 오염되는 것을 막을 수 있다.
- [0045] 상기 절연층(미도시)은 실리콘, 에폭시 등의 재료를 도포하여 형성될 수 있으며, 글래스를 코팅하여 형성될 수도 있다.
- [0046] 다른 한편으로, 상기 유전체 본체(110)의 표면 전체에 절연층(미도시)이 형성되고, 상기 절연층(미도시) 상에 상기 외부전극(131, 132)이 형성될 수 있다. 다시 말해서, 상기 유전체 본체(110)의 표면 전체를 둘러싸도록 상기 절연층(미도시)을 형성한 다음에 상기 외부전극(131, 132)을 형성할 수 있다. 이를 통하여, 상기 외부전극(131, 132)을 관통하여 침입하는 이물질 등을 차단할 수 있어 보다 효율적으로 상기 유전체 본체(110)를 보호할 수 있다.
- [0047] 상기 도체 패턴(121, 122, 123)은 각각의 유전체 층(113) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성될 수 있다.
- [0048] 예컨대, 상기 도체 패턴(121, 122, 123)은 은(Ag), 구리(Cu)를 포함하는 재료 또는 이들의 합금으로 이루어질 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0049] 또한, 상기 도체 패턴(121, 122, 123)이 형성된 상기 유전체 층(113)의 총 적층 수는 설계되는 인덕터(100)에서 요구하는 인덕턴스 값 등의 전기적 특성을 고려하여 다양하게 결정될 수 있다.
- [0050] 다른 한편으로, 상기 도체 패턴(121, 122, 123) 중 적어도 2개는 상기 유전체 본체(110)의 양 단면을 통해 각각

인출되는 리드부를 갖는 제1,2연결패턴(121, 122)으로 구성될 수 있다.

- [0051] 상기 리드부는 상기 유전체 본체(110)의 양 단면에 형성된 외부전극(131, 132)과 접촉되어 각각 전기적으로 연결될 수 있다.
- [0052] 비아 전극(150)은 상기 유전체 층(113)에 형성된 비아홀에 전기 전도성이 우수한 도전성 페이스트를 충전하여 형성할 수 있다.
- [0053] 상기 도전성 페이스트는 예를 들어 은(Ag), 은-팔라듐(Ag-Pd), 니켈(Ni) 및 구리(Cu) 중 적어도 하나 또는 이들의 합금으로 이루어질 수 있다. 그러나, 이에 한정되는 것은 아니다.
- [0054] 상기 외부전극(131, 132)은 상기 유전체 본체(110)의 하면 및 길이 방향의 양측면에 형성될 수 있다. 즉 상기 유전체 본체(110)의 표면 중 3개의 면에 형성될 수 있다. 또한, 상기 외부전극(131, 132)은 상기 제1,2연결패턴(124, 125)의 외부로 인출되는 리드부와 접촉하여 각각 전기적으로 연결될 수 있다.
- [0055] 이러한 상기 외부전극(131, 132)은 전기 전도성이 우수한 도전성 금속 재료로 이루어질 수 있다.
- [0056] 예컨대, 상기 외부전극(131, 132)은 은(Ag) 또는 구리(Cu) 중 적어도 하나를 포함하는 재료 또는 이들의 합금으로 이루어질 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0057] 또한, 상기 외부전극(132, 132)의 외표면에는 필요시 도금층으로서 니켈(Ni)층(미도시) 및 주석(Sn)층(미도시)이 안쪽에서부터 순서대로 형성될 수 있다.
- [0058] 도 3을 참조하면, 상기 외부전극(131, 132)의 두께 방향의 길이(h1)는, 상기 유전체 본체(110)의 하면에서 상기 유전체 본체(110)의 하면으로부터 가장 멀리 위치한 상기 도체 패턴(121)까지의 길이(h2)보다 크고, 상기 유전체 본체(110)의 하면에서 상기 유전체 본체(110)의 상면까지의 길이(h3)보다 작을 수 있다. 즉, 상기 외부전극(131, 132)은, 상기 유전체 본체(110)의 상면에는 형성되지 않을 수 있다.
- [0059] 이를 통해서, 전자제품의 소형화에 부응하여 전자부품을 고집적화하는 경우 인덕터(100)에 형성된 외부 전극과 전자제품 세트를 커버하는 메탈 캔이 접촉하는 것을 방지할 수 있어, 쇼트, 오작동 등의 문제점이 일어나지 않도록 할 수 있다.
- [0060] 또한, 상기 외부전극(131, 132)이 인덕터(100)의 상면에는 형성되지 않음으로써, 공간 확보 등의 문제를 해소할 수 있어 제품의 유효 특성 면적을 증가시킬 수 있다.
- [0061] 이에 더하여, 제품의 생산비용 절감효과를 가져올 수 있다.
- [0062] 기판(210)은, 일면에 상기 외부전극(131, 132)과 전기적으로 접속되는 패드(211)를 구비할 수 있다.
- [0063] 이러한 상기 패드(211)는 전기 전도성이 우수한 도전성 금속 재료로 이루어질 수 있다.
- [0064] 예컨대, 상기 패드(211)는 은(Ag) 또는 구리(Cu) 중 적어도 하나를 포함하는 재료 또는 이들의 합금으로 이루어질 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0065] 또한, 상기 패드(211)의 외표면에는 필요시 도금층으로서 니켈(Ni)층(미도시) 및 주석(Sn)층(미도시)이 안쪽에서부터 순서대로 형성될 수 있다.
- [0066] 상기 솔더(220)는, 상기 패드(211)과 상기 외부전극(131, 132)을 전기적으로 연결할 수 있다.
- [0067] 여기에서, 상기 솔더(220)는 웨이브 솔더링(Wave Soldering) 또는 리플로우 솔더링(Reflow Soldering) 방식에 의할 수 있다.
- [0068] 한편, 웨이브 솔더링은 플로우 솔더링(Flow Soldering)이라고도 하는데, 기판에 부품을 놓고 접착제 등으로 임시 납땜을 한 후, 순환시키고 있는 용융납의 표면에 접촉시켜 납땜하는 방식을 말하며, 리플로우 솔더링은 기

판의 제조공정에서 접합하려고 하는 부분 즉, 패드에 미리 크립상의 땀납을 인쇄하고 난 후, 땀납을 용융 처리하여 접합시키는 방식을 말한다.

[0069] 그러나, 본 발명의 일 실시예에 따른 인덕터 어셈블리에 있어서, 솔더링 방식이 웨이브 솔더링이나 리플로우 솔더링 방식에 한정되는 것은 아니다.

[0070] 한편, 도 1 을 참조하면, 이와 같은 솔더링(Soldering) 공정시에 상기 패드(211)과 상기 외부전극(131, 132)을 전기적으로 연결하는 상기 솔더(220)가 용융 상태에 있을 때에, 상기 솔더(220)에 의한 인력이 불균형하게 작용함에 따라, 상기 인덕터(100)가 실장될때에, 얼라인 틀어짐 각도(θ)가 발생하게 된다.

[0071] 도 7은 본 발명의 일 실시예에 따른 기판 어셈블리(100)에서 외부전극(131, 132)과 패드(221)와의 치수관계를 설명하기 위한 개략도이고, 도 8 및 도 9는 상기 패드(211)의 폭 방향의 길이(a)와 길이 방향의 길이(d), 및 상기 외부전극(131, 132)의 폭 방향의 길이(b)와 길이 방향의 길이(e)를 변화시켜 얼라인 틀어짐 각도(θ)를 측정할 참조 데이터를 나타내고 있다.

[0072] 상기 얼라인 틀어짐 각도(θ)는, 상기 패드(211)과 상기 외부전극(131, 132) 사이의 치수가 일치하지 않음으로 인해 발생하게 되며, 상기 얼라인 틀어짐 각도(θ)가 5도 이상인 경우에는, 상기 인덕터(100)가 상기 기판(210) 상에 실장되는 인접하는 다른 칩과 접촉되어 쇼트 및 솔더링 방해가 발생할 수 있다.

[0073] 이에, 상기 얼라인 틀어짐 각도(θ)를 최소화하기 위하여, 상기 패드(211)의 폭 방향의 길이를 a, 상기 외부전극(131, 132)의 폭 방향의 길이를 b라 할 때, 하기 수학식 1을 만족하도록 할 수 있다.

[0074] [수학식 1]

$$[0075] \left| \frac{a-b}{2} \right| \leq 0.1\text{mm}$$

[0076] 이에 더하여, 더욱 바람직하게는 상기 패드(211)의 길이 방향의 길이를 d, 상기 외부전극(131, 132)의 길이 방향의 길이를 e라 할 때, 하기 수학식 2를 만족하도록 할 수 있다.

[0077] [수학식 2]

$$[0078] \left| \frac{d-e}{2} \right| \leq 0.1\text{mm}$$

[0079] 도 8을 참조하면, 상기 수학식 1 및 수학식 2를 만족하는 경우, 얼라인 틀어짐 각도(θ)가 5도 미만으로 유지될 수 있음을 알 수 있다.

[0080] 다른 한편으로, 상기 얼라인 틀어짐 각도(θ)를 최소화하기 위하여, 하기 수학식 3을 만족하도록 할 수 있다.

[0081] [수학식 3]

$$[0082] \left| \frac{a-b}{b} \right| \leq \frac{1}{20}$$

[0083] 이에 더하여, 더욱 바람직하게는 하기 수학식 4 또한 만족하도록 할 수 있다.

[0084] [수학식 4]

$$\left| \frac{d-e}{e} \right| \leq \frac{1}{4}$$

[0085]

[0086] 도 9를 참조하면, 상기 수학식 3 및 수학식 4를 만족하는 경우, 얼라인 틀어짐 각도(θ)가 5도 미만으로 유지될 수 있음을 알 수 있다.

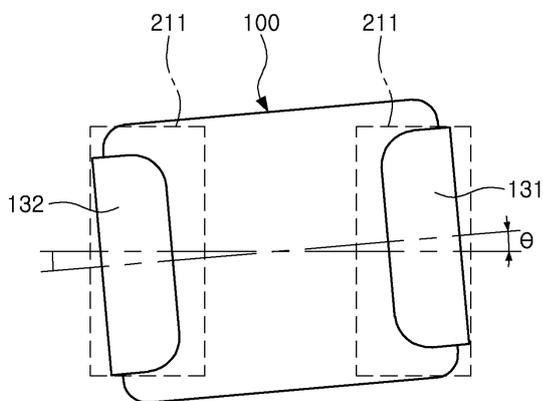
[0087] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만, 본 발명의 권리범위는 이에 한정되는 것은 아니고, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

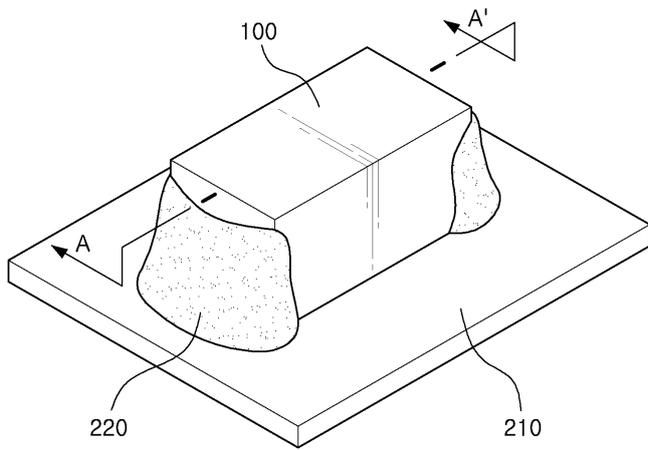
- [0088] 100: 인덕터
- 110: 유전체 본체
- 113: 유전체층
- 121, 122, 123: 도체 패턴
- 131, 132: 외부전극
- 150: 비아전극
- 200: 인덕터 어셈블리
- 210: 기관
- 211: 패드
- 220: 솔더

도면

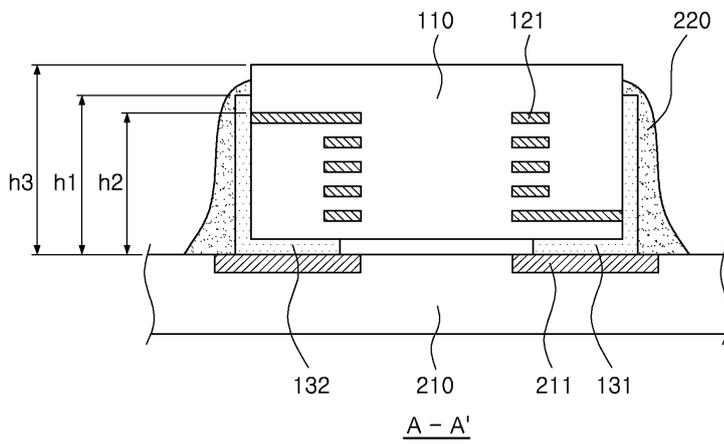
도면1



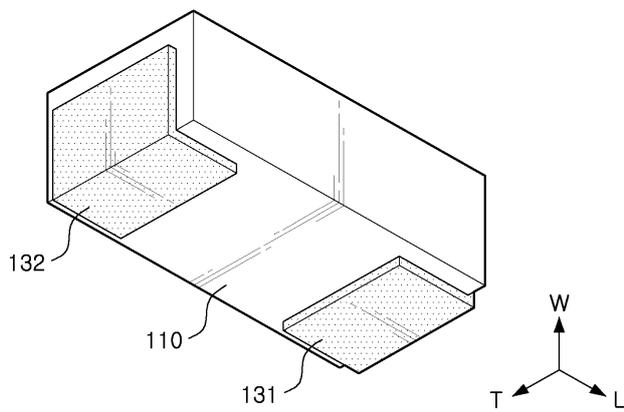
도면2



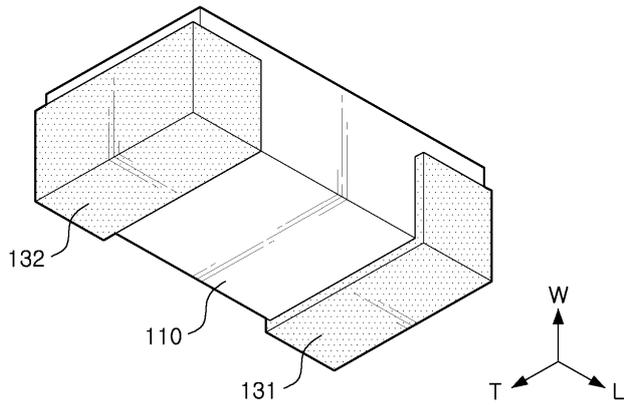
도면3



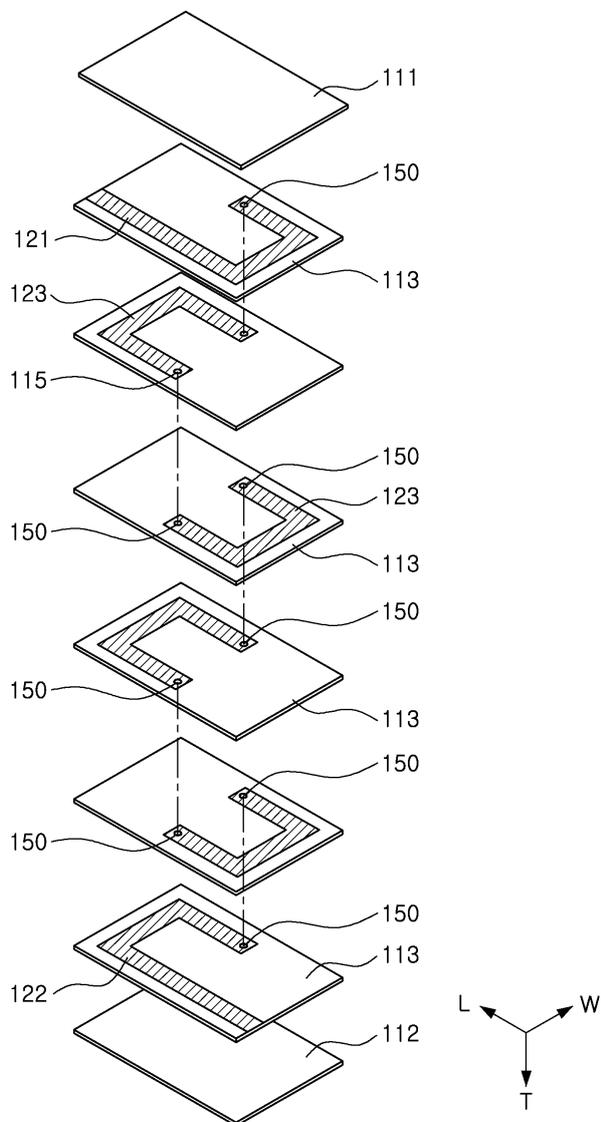
도면4



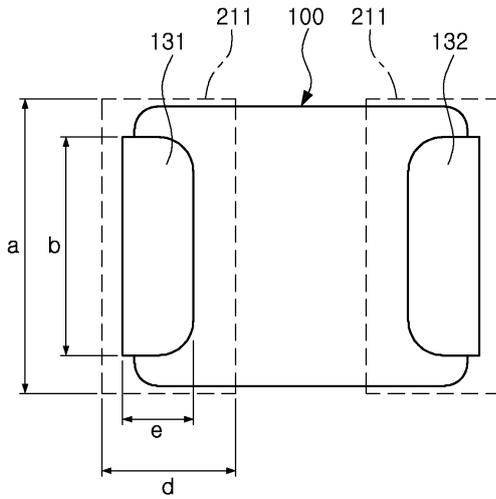
도면5



도면6



도면7



도면8

(단위:도)

$\frac{ d-e }{2}$ (mm)	0	0.05	0.1	0.15	0.2
0	0	0.5	3	6.5	10
0.05	0.8	0.9	3.2	7	11
0.1	1.7	2	3.5	7.3	11.3
0.15	4.5	4.8	5	7.5	12
0.2	9.7	10.3	11	11.8	13

도면9

(단위:도)

$\frac{ d-e }{e}$	0	1/100	1/20	1/10	3/20	1/5	1/4	3/10	7/20
0	0	0.1	0.3	0.5	0.7	2.3	3	4.5	6.5
1/100	0.05	0.12	0.35	0.57	0.78	2.35	3.2	4.7	6.8
1/20	1.2	1.25	1.3	1.35	1.4	2.45	3.7	5.4	7.3
1/10	4.8	5.1	5.2	5.3	5.7	5.9	6.3	6.8	7.7
3/20	11	11.3	11.5	11.6	12	12.3	12.9	13	13.1
1/5	19	19.3	19.5	19.7	20	20.1	20.5	20.8	21.3