



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월08일
(11) 등록번호 10-2042033
(24) 등록일자 2019년11월01일

(51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01) H05K 1/18 (2006.01)
(21) 출원번호 10-2012-0121205
(22) 출원일자 2012년10월30일
심사청구일자 2017년10월30일
(65) 공개번호 10-2014-0055006
(43) 공개일자 2014년05월09일
(56) 선행기술조사문헌
KR1020110004593 A*
US06565712 B2*
US20090206471 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
서울특별시 중구 후암로 98 (남대문로5가)
(72) 발명자
안윤호
서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)
이상명
서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)
(뒷면에 계속)
(74) 대리인
허용특

전체 청구항 수 : 총 10 항

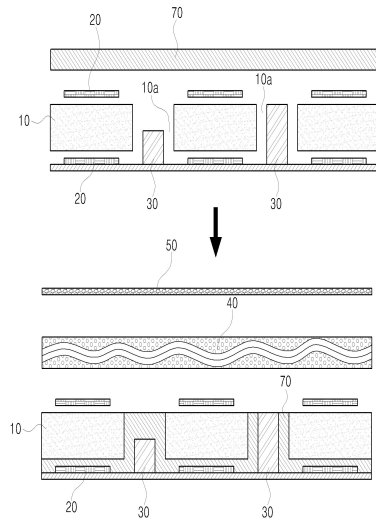
심사관 : 최미숙

(54) 발명의 명칭 칩 실장형 인쇄회로기판 및 그 제조방법

(57) 요약

본 발명은 코어층의 일면 또는 상기 일면에 대향하는 타면에 비아홀로 연결되는 다수의 회로패턴층을 형성하고, 상기 코어층을 관통하는 칩 실장용 캐비티를 마련하여 칩을 실장하고, 상기 코어층의 일면에 제1 절연물질층을 적층하여 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하고, 상기 코어층의 표면에 제1 절연물질층과 다른 이종의 제2 절연물질층을 적층하는 것을 포함하는 칩 실장형 인쇄회로기판 제조방법을 제공한다.

대표도 - 도4



(72) 발명자

정원석

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

손영준

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

이우영

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

김란

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

박성수

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

한준욱

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

명세서

청구범위

청구항 1

코어층을 관통하는 비아 홀을 형성하여, 상기 코어층의 일면에 배치되는 복수의 제 1 회로 패턴층과, 상기 일면에 대향하는 타면에 배치되는 복수의 제 2 회로 패턴층을 연결하고,

상기 코어층을 관통하는 칩 실장용 캐비티를 마련하여 칩을 실장하고,

상기 코어층의 일면에 제 1 절연물질층을 적층하여 상기 칩 실장용 캐비티, 상기 비아홀의 내부영역 및 상기 복수의 제 1 회로패턴층 사이의 공간을 충전하고,

상기 제 1 절연물질층의 상부 및 하부 표면이 상기 칩 실장용 캐비티 및 상기 비아 홀의 상부 및 하부 평면 이하가 되도록 상기 제 1 절연물질층을 제거하고,

상기 코어층 및 상기 제 1 회로 패턴층 위에 상기 제1 절연물질층과 다른 이종(異種)의 제2 절연물질층을 적층하는, 것을 포함하며,

상기 제 1 절연물질층은,

상기 칩 실장용 캐비티와 상기 칩 사이의 공간 내에 배치되는 제 1 부분과,

상기 비아 홀 내에 배치되는 제 2 부분과,

상기 복수의 제 1 회로패턴층 사이의 공간에 배치되는 제 3 부분을 포함하고,

상기 제 3 부분의 상면은, 상기 제 1 부분 및 상기 제 2 부분의 상면과 동일 평면 상에 위치하고,

상기 제 2 절연물질층의 하면은, 하나의 수평 라인 상에서 정렬되어 상기 제 1 절연물질층과 상기 제 1 회로패턴층 위에 배치되고,

상기 제 2 절연물질층은, 상기 제 1 절연물질층의 상기 제 1 내지 제 3 부분의 상면, 상기 제 1 회로패턴층의 상면과 직접 접촉하고,

상기 제 2 절연물질층의 하면은, 상기 제 1 절연물질층의 상기 제 1 내지 제 3 부분의 상면 및 상기 제 1 회로패턴층의 상면과 동일 평면 상에 배치되는 칩 실장형 인쇄회로기판 제조방법.

청구항 2

제1항에 있어서,

상기 제 1 절연물질층은, 논 글래스 패브릭(Non Glass Fabric)을 포함하는 레진물질로 형성되는 칩 실장형 인쇄회로기판 제조방법.

청구항 3

제2항에 있어서,

상기 레진물질은,

ABF(Ajinomoto Build-up Film)을 포함하는 칩 실장형 인쇄회로기판 제조방법.

청구항 4

제1항에 있어서,

상기 제 1 절연물질층을 적층하여 상기 칩 실장용 캐비티, 상기 비아홀의 내부영역 및 상기 복수의 제 1 회로패턴층 사이의 공간을 충전하는 것은,

상기 코어층의 일면에 상기 제 1 절연물질층을 열압착하여 상기 제1 절연물질층이 상기 코어층 내 상기 칩 실장용 캐비티, 상기 비아홀의 내부영역 및 상기 복수의 제 1 회로패턴층 사이의 공간으로 삽입되도록 하는 것인, 칩 실장형 인쇄회로기판 제조방법.

청구항 5

제4항에 있어서,

상기 제 1 절연물질층을 제거하는 것은, 상기 열압착 이후 진행되는 칩 실장형 인쇄회로기판 제조방법.

청구항 6

제1항에 있어서,

상기 제 2 절연물질층 상에 제 3 회로패턴층을 형성하는 것을 더 포함하는 칩 실장형 인쇄회로기판 제조방법.

청구항 7

칩 실장용 캐비티가 형성된 코어층;

상기 칩 실장용 캐비티에 실장되는 칩;

상기 코어층을 관통하는 비아 홀;

상기 코어층의 상면에 배치되는 복수의 제 1 회로 패턴층;

상기 코어층의 하면에 배치되는 복수의 제 2 회로 패턴층;

상기 칩 실장용 캐비티, 상기 비아 홀 및 상기 제 1 회로패턴층들 사이의 공간에 배치되는 제1 절연물질층; 및
상기 코어층 및 상기 제 1 회로 패턴층 위에 배치되는 제2 절연물질층을 포함하며,

상기 제 1 절연물질층은,

상기 칩 실장용 캐비티와 상기 칩 사이의 공간 내에 배치되는 제 1 부분과,

상기 비아 홀 내에 배치되는 제 2 부분과,

상기 복수의 제 1 회로패턴층 사이의 공간에 배치되는 제 3 부분을 포함하고,

상기 제 3 부분의 상면은, 상기 제 1 부분 및 상기 제 2 부분의 상면과 동일 평면 상에 위치하고,

상기 제 2 절연물질층의 하면은, 하나의 수평 라인 상에서 정렬되어 상기 제 1 절연물질층과 상기 제 1 회로패턴층 위에 배치되며 상기 제 1 절연물질층의 상면 및 상기 제 1 회로 패턴층의 상면과 동일 평면 상에 배치되고,

상기 제 2 절연물질층은 상기 제 1 절연물질층의 상기 제 1 내지 제 3 부분의 상면, 상기 제 1 회로 패턴층의 상면과 직접 접촉하고,

상기 제 1 절연물질층과 상기 제2 절연물질층은 이종(異種) 부재인, 칩 실장형 인쇄회로기판.

청구항 8

제7항에 있어서,

상기 제 1 절연물질층은,

는 글래스 패브릭을 포함하는 레진물질을 포함하는 칩 실장형 인쇄회로기판.

청구항 9

제7항에 있어서,
상기 제 1 절연물질층은 ABF을 포함하는 칩 실장형 인쇄회로기판.

청구항 10

제7항에 있어서,
상기 제 2 절연물질층 상에 배치되는 복수의 제 3 회로패턴층을 더 포함하는 칩 실장형 인쇄회로기판.

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은 칩 실장형 인쇄회로기판을 제조하기 위한 방안에 관한 것이다.

배경 기술

[0002] 전자산업의 발달에 따라 전자부품의 소형화, 고기능화 되면서 인쇄회로기판의 소형화, 고밀도화에 대한 요구가 꾸준히 증가하고 있다. 이러한 전자제품의 경박단소화의 추세에 따라 인쇄회로기판 역시 미세패턴화, 소형화 및 패키지가 동시 진행되고 있다. 종래의 패키지용 인쇄회로기판의 표면에는 칩 마운터(chip mounter)와 같은 장치를 사용하여 IC와 같은 능동소자와 콘덴서 및 저항 등의 수동소자를 포함하는 칩이 실장된다.

[0003] 그러나, 종래에는 상기 인쇄회로기판의 표면에 실장되는 칩의 수가 일정 수로 증가됨에 따라, 상기 인쇄회로기판의 표면에서 칩이 실장되는 면적이 감소되어 실질적으로 상기 인쇄회로기판의 표면에 실장되는 칩의 실장 공간의 제약이 따르는 문제점이 있다. 이에 따라, 근래에 들어 상기 칩을 인쇄회로기판에 내장하는 임베딩(Embedding) 제조 공정이 개발되어 널리 사용되고 있다.

[0004] 도 1 및 도 2는 종래기술에 따른 칩 실장형 인쇄회로기판을 도시한 단면도이다.

[0005] 도 1을 참조하면, 칩 실장형 인쇄회로기판은 에폭시 계열 수지의 코어층(10) 양면에 구리를 적층하여 회로패턴층(20)을 형성하고, 코어층(10)과 회로패턴층(20)을 관통하는 칩 실장용 캐비티가 형성된다. 이러한, 칩 실장용 캐비티에는 칩(30)이 실장되며, 코어층(10)의 일면에 절연물질층(40)과 제2 회로패턴층(50)이 형성된다.

[0006] 그러나, 상기 칩 실장형 인쇄회로기판에 매립되는 칩의 부피가 상기 인쇄회로기판 부피 대비 차지하는 비중이 커지게 되면, 칩 실장용 캐비티(Cavity) 내부에 레진물질을 채워야 하기 때문에, 전체 부피가 커진다는 문제점이 있었다.

[0007] 또한, 상기 칩 실장형 인쇄회로기판은 도 2와 같이, 코어층(10)의 일면에 적층되는 절연물질층(40)이 위치별(A, B)로 두께 편차가 발생하게 된다. 'A'는 칩 실장용 캐비티에 칩(30)이 실장되는 영역이고, 'B'는 절연물질층(40)이 회로패턴층(20)과 직접 접촉하게 되는 영역이다. 그런데, 상기 칩 실장용 캐비티에 칩(30)이 실장된 후에도 상기 칩 실장용 캐비티에 약간의 공간(10a)이 남아있게 된다. 따라서, 절연물질층(40)을 적층한 후, 절연물질층(40)이 경화되기 전(210)에는 A, B 영역에 두께 편차가 발생하지 않지만, 절연물질층(40)이 경화된 후

(220)에는 A, B 영역에 두께 편차가 발생하게 된다.

[0008] 왜냐하면, 코어층(10)의 일면에 고온/고압을 통해 절연물질층(40)이 적층되게 되는데, 절연물질층(40)의 레진 분자간 서로 결합(aggregation)되면서 전체적인 부피가 줄어드는 현상이 발생하게 되기 때문이다. 이러한, 절연물질층(40)의 두께 편차가 발생하면, 응력 발생에 따른 워페이지(Warpage) 문제가 발생하게 된다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 일실시예는 코어층의 일면에 제1 절연물질층을 적층하고, 상기 코어층의 표면에 제1 절연물질층과 다른 이종(異種)의 제2 절연물질층을 적층함으로써, 상기 제2 절연물질층이 상기 코어층의 표면에 불균일하게 적층되는 것을 방지하여 워페이지(Warpage)를 최소화할 수 있는 칩 실장형 인쇄회로기판 및 그 제조방법을 제공한다.

[0010] 본 발명의 일실시예는 글래스 패브릭이 없고, 순수한 레진을 포함하는 제1 절연물질층을 코어층의 일면에 열압착함으로써, 상기 코어층에 적층되는 제2 절연물질층이 상기 코어층 표면에 균일하게 형성될 수 있는 칩 실장형 인쇄회로기판 및 그 제조방법을 제공한다.

[0011] 본 발명의 일실시예는 코어층의 일면에 제1 절연물질층을 미리 적층하여, 상기 제1 절연물질층이 상기 코어층 내 칩 실장용 캐비티 및 비아홀의 내부영역을 충전하도록 함으로써, 칩 실장용 캐비티와 비아홀의 형상을 유지시켜 줄 수 있는 칩 실장형 인쇄회로기판 및 그 제조방법을 제공한다.

과제의 해결 수단

[0012] 본 발명의 일실시예에 따른 칩 실장형 인쇄회로기판 제조방법은 코어층의 일면 또는 상기 일면에 대항하는 타면에 비아홀로 연결되는 다수의 회로패턴층을 형성하고, 상기 코어층을 관통하는 칩 실장용 캐비티를 마련하여 칩을 실장하고, 상기 코어층의 일면에 제1 절연물질층을 적층하여 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하고, 상기 코어층의 표면에 제1 절연물질층과 다른 이종의 제2 절연물질층을 적층하는 것을 포함한다.

[0013] 상기 코어층의 일면에 제1 절연물질층을 적층하여 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하는 것은 논 글래스 패브릭을 포함하는 레진물질을 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역에 충전하는 것일 수 있다.

[0014] 상기 레진물질은 ABF일 수 있다.

[0015] 상기 코어층의 일면에 제1 절연물질층을 적층하여 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하는 것은 상기 제1 절연물질층의 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역에만 존재하도록 충전하는 것일 수 있다.

[0016] 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하는 것은 상기 코어층의 일면에 상기 제1 절연물질층을 열압착하여 상기 제1 절연물질층이 상기 코어층 내 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역으로 삽입되도록 하는 것일 수 있다.

[0017] 상기 칩 실장형 인쇄회로기판 제조방법은 상기 열압착 후, 상기 코어층의 표면에 남아있는 상기 제1 절연물질층을 제거하는 것을 더 포함할 수 있다.

[0018] 상기 칩 실장형 인쇄회로기판 제조방법은 상기 제2 절연물질층 상에 제2 회로패턴층을 형성되는 것을 더 포함할 수 있다.

[0019] 본 발명의 일실시예에 따른 칩 실장형 인쇄회로기판은 비아홀로 연결되는 다수의 회로패턴층 및 칩 실장용 캐비티가 형성된 코어층, 상기 칩 실장용 캐비티에 실장되는 칩, 상기 코어층의 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 충전하는 제1 절연물질층, 및 상기 코어층의 표면에 적층되는 제2 절연물질층을 포함하며, 상기 제1 절연물질층과 상기 제2 절연물질층은 이종 부재이다.

발명의 효과

- [0020] 본 발명의 일실시예에 따르면, 코어층의 일면에 제1 절연물질층을 적층하고, 상기 코어층의 표면에 제1 절연물질층과 다른 이종의 제2 절연물질층을 적층함으로써, 상기 제2 절연물질층이 상기 코어층의 표면에 불균일하게 적층되는 것을 방지하여 워페이스를 최소화할 수 있다.
- [0021] 본 발명의 일실시예에 따르면, 글래스 패브릭이 없고, 순수한 레진을 포함하는 제1 절연물질층을 코어층의 일면에 열압착함으로써, 상기 코어층에 적층되는 제2 절연물질층이 상기 코어층 표면에 균일하게 형성될 수 있다.
- [0022] 본 발명의 일실시예에 따르면, 코어층의 일면에 제1 절연물질층을 미리 적층하여, 상기 제1 절연물질층이 상기 코어층 내 칩 실장용 캐비티 및 비아홀의 내부영역을 충전하도록 함으로써, 칩 실장용 캐비티와 비아홀의 형상을 유지시켜 줄 수 있다.

도면의 간단한 설명

- [0023] 도 1 및 도 2는 종래기술에 따른 칩 실장형 인쇄회로기판을 도시한 단면도이다.
 도 3은 본 발명의 일실시예에 따른 칩 실장형 인쇄회로기판 제조방법의 공정순서를 도시한 순서도이다.
 도 4는 도 3의 360 공정을 상세히 나타낸 순서도이다.
 도 5는 본 발명의 일실시예에 따른 칩 실장형 인쇄회로기판의 구조를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서는 첨부한 도면을 참조하여 본 발명에 따른 구성 및 작용을 구체적으로 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성요소는 동일한 참조부여를 부여하고, 이에 대한 중복설명은 생략하기로 한다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0025] 도 3은 본 발명의 일실시예에 따른 칩 실장형 인쇄회로기판 제조방법의 공정순서를 도시한 순서도이다.
- [0026] 도 3을 참조하면, 단계 310에서, 칩 실장형 인쇄회로기판 제조방법은 코어층(10)의 일면 또는 상기 일면에 대향하는 타면에 비아홀(10b)로 연결되는 다수의 회로패턴층(20)을 형성한다. 상기 칩 실장형 인쇄회로기판 제조방법은 에칭 공정을 수행하여 회로패턴층(20)을 형성할 수 있다.
- [0027] 단계 320에서, 상기 칩 실장형 인쇄회로기판 제조방법은 코어층(10)을 관통하는 칩 실장용 캐비티(10a)를 형성한다. 상기 칩 실장형 인쇄회로기판 제조방법은 실장될 칩 크기에 맞게 라우터 가공 또는 드릴링 가공으로 칩 실장용 캐비티(10a)를 형성할 수 있다.
- [0028] 상기 칩 실장형 인쇄회로기판 제조방법은 코어층(10)의 일면을 화학 처리하고(330), 코어층(10)의 상기 일면과 대향하는 타면에 절연필름(60)을 부착할 수 있다(340).
- [0029] 단계 350에서, 상기 칩 실장형 인쇄회로기판 제조방법은 칩 실장용 캐비티(10a)에 칩(30)을 실장한다.
- [0030] 단계 360에서, 상기 칩 실장형 인쇄회로기판 제조방법은 코어층(10)의 일면에 제1 절연물질층(70)을 적층하여 칩 실장용 캐비티(10a) 및 비아홀(10b)의 내부영역을 충전한다. 칩 실장용 캐비티(10a)에 칩이 실장된 후에도 칩 실장용 캐비티(10a)에는 빈 공간이 생기기 마련이다. 또한, 비아홀(10b)에도 빈공간이 생기 때문에, 이러한 빈 공간에 제1 절연물질층(70)이 충전되도록 할 수 있다.
- [0031] 도 4는 도 3의 360 공정을 상세히 나타낸 순서도이다.
- [0032] 도 4를 참고하면, 상기 칩 실장형 인쇄회로기판 제조방법은 제1 절연물질층(70)을 논 글래스 패브릭(Non Glass Fabric)을 포함하는 레진물질로 구성하여, 칩 실장용 캐비티(10a) 및 비아홀(10b)의 내부영역에 충전할 수 있다. 왜냐하면, 빈 공간을 채우기 위해서, 제1 절연물질층(70)을 적층하는 것인데, 글래스 패브릭이 포함된 레진물질은 글래스 패브릭으로 인하여 캐비티 내부 이외 표면에도 레진과 글래스 패브릭이 같이 남기 때문에 위

페이지(Warpage) 및 Bulge & Dell 문제가 발생한다. 따라서, 본 발명에서는 순수한 레진물질을 포함하는 제1 절연물질층(70)을 코어층(10)의 일면에 적층한다. 실시예로, 제1 절연물질층(70)은 ABF(Ajinomoto Build-up Film)일 수 있다.

[0033] 따라서, 제1 절연물질층(70)은 코어층(10)의 외부로 돌출되지 않고, 칩 실장용 캐비티(10a) 및 비아홀(10b)의 내부영역에만 존재하도록 층진될 수 있다. 이때, 상기 칩 실장형 인쇄회로기판 제조방법은 코어층(10)의 일면에 제1 절연물질층(70)을 열압착하여 제1 절연물질층(70)이 코어층(10) 내 칩 실장용 캐비티(10a) 및 비아홀(10b)의 내부영역으로 삽입되도록 할 수 있다(경화되기 전). 상기 열압착 후(경화된 후), 상기 칩 실장형 인쇄회로기판 제조방법은 코어층(10)의 표면에 남아있는 제1 절연물질층(70)을 제거할 수 있다.

[0034] 상기 칩 실장형 인쇄회로기판 제조방법은 단계 340에서 부착한 절연필름(60)을 떼어내고(370), 코어층(10)의 표면에 제1 절연물질층과 다른 이종(異種)의 제2 절연물질층(40)을 적층한다(380). 상기 칩 실장형 인쇄회로기판 제조방법은 제2 절연물질층(40) 상에 제2 회로패턴층(50)이 적층될 수 있다(390).

[0035] 도 5는 본 발명의 실시예에 따른 칩 실장형 인쇄회로기판의 구조를 도시한 단면도이다.

[0036] 도 5를 참고하면, 칩 실장형 인쇄회로기판은 비아홀로 연결되는 다수의 회로패턴층(20) 및 칩 실장용 캐비티가 형성된 코어층(10), 상기 칩 실장용 캐비티에 실장되는 칩(30), 코어층(10)의 상기 칩 실장용 캐비티 및 상기 비아홀의 내부영역을 층진하는 제1 절연물질층(70), 코어층(10)의 표면에 적층되는 제2 절연물질층(40)을 포함하며, 제1 절연물질층(70)과 제2 절연물질층(40)은 이종(異種) 부재이다.

[0037] 종래에는 코어층(10)의 일면에 적층되는 제2 절연물질층(40)이 칩 실장용 캐비티가 형성된 영역과 형성되지 않은 영역 간의 위치별 두께 편차가 발생하게 된다. 따라서, 제2 절연물질층(40)을 적층한 후, 제2 절연물질층(40)이 경화되기 전에는 위치별로 두께 편차가 발생하지 않지만, 제2 절연물질층(40)이 경화된 후에는 빈 공간으로 제2 절연물질층(40)이 층진되어, 두께 편차가 발생하고 있다.

[0038] 이러한 문제점을 해결하기 위하여, 본 발명에서는 제2 절연물질층(40)을 적층하기 전에, 제2 절연물질층(40)과 상이한 부재인 제1 절연물질층(70)을 미리 코어층(10) 일면에 적층함으로써, 제1 절연물질층(70)이 코어층(10) 내 빈 공간을 채우도록 할 수 있다. 이를 위해, 제1 절연물질층(70)은 논 글래스 패브릭을 포함하는 레진물질로 구성될 수 있다. 왜냐하면, 글래스 패브릭이 포함된 레진물질은 글래스 패브릭으로 인하여 캐비티 내부 이외 표면에 도 레진과 글래스 패브릭이 같이 남기 때문에 워페이징 및 Bulge & Dell 문제가 발생한다.

[0039] 따라서, 본 발명에서는 순수한 레진물질을 포함하는 제1 절연물질층(70)을 코어층(10)의 일면에 적층한다. 더욱 상세하게는, 제1 절연물질층(70)은 ABF일 수 있다. 이러한, 제1 절연물질층(70)은 상부 및 하부 표면이 상기 칩 실장용 캐비티 및 상기 비아홀의 상부 및 하부 평면 이하로 마련되도록 할 수 있다. 즉, 제1 절연물질층(70)은 코어층(10)의 외부로 돌출되지 않게 형성할 수 있다. 따라서, 코어층(10)의 표면에 제1 절연물질층(70)이 남아있지 않게 제거될 수 있다.

[0040] 상기 칩 실장형 인쇄회로기판은 제2 절연물질층(40) 상에 형성되는 제2 회로패턴층(50)을 더 포함할 수 있다.

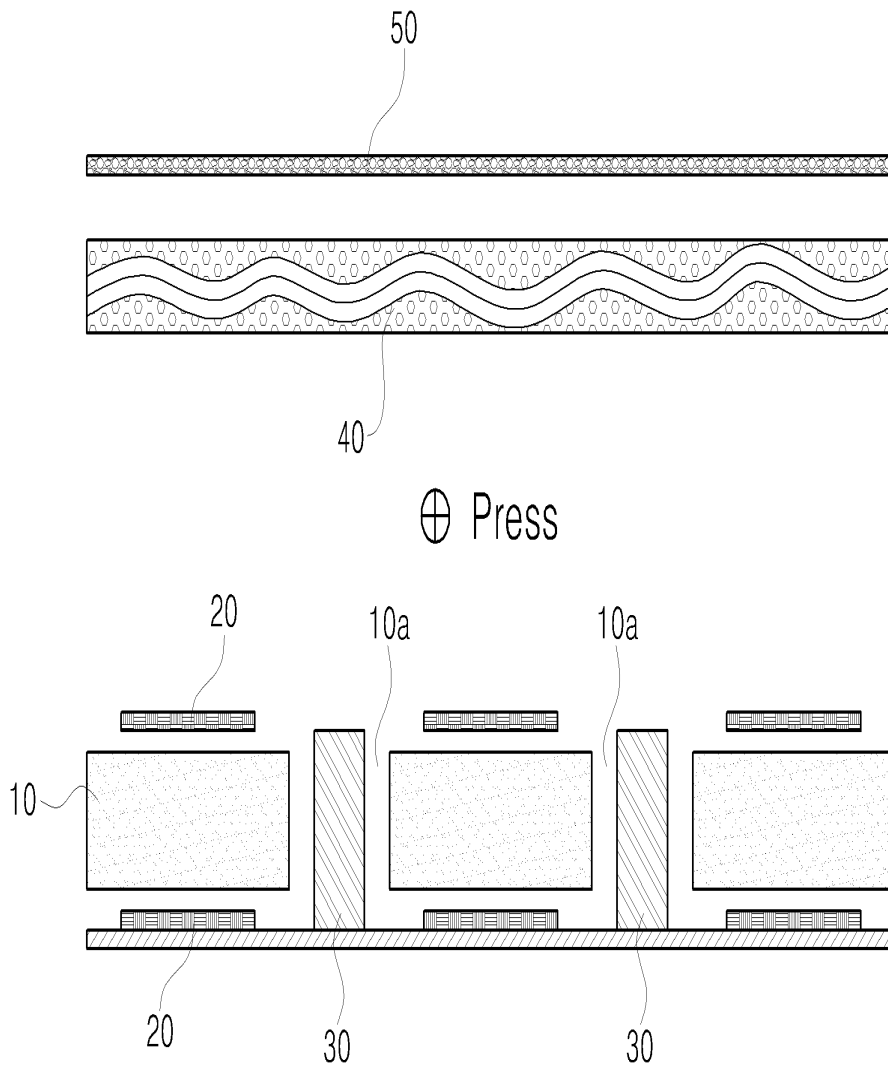
[0041] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 기술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

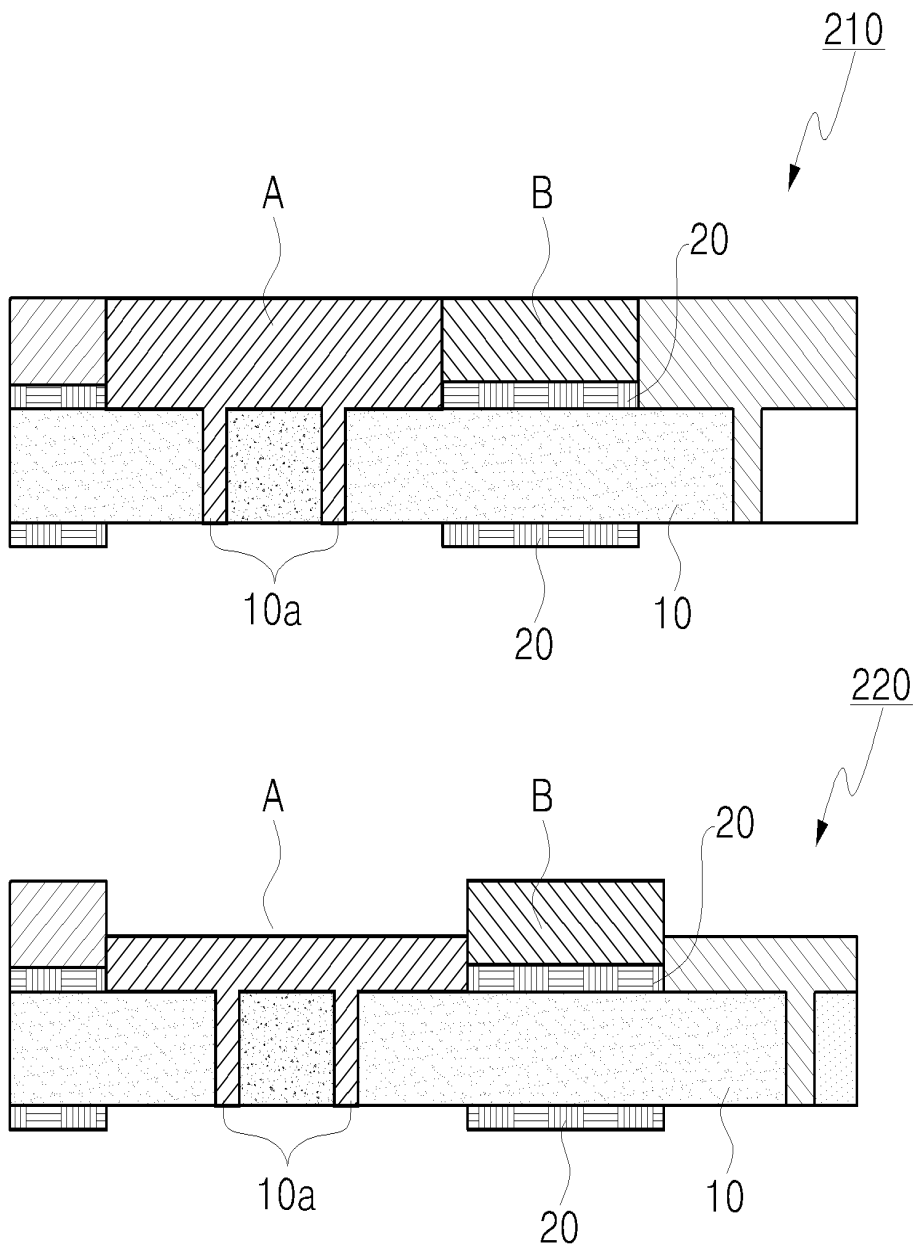
- [0042] 10: 코어층
- 20: 회로패턴층
- 30: 칩
- 40: 제2 절연물질층
- 50: 제2 회로패턴층
- 70: 제1 절연물질층

도면

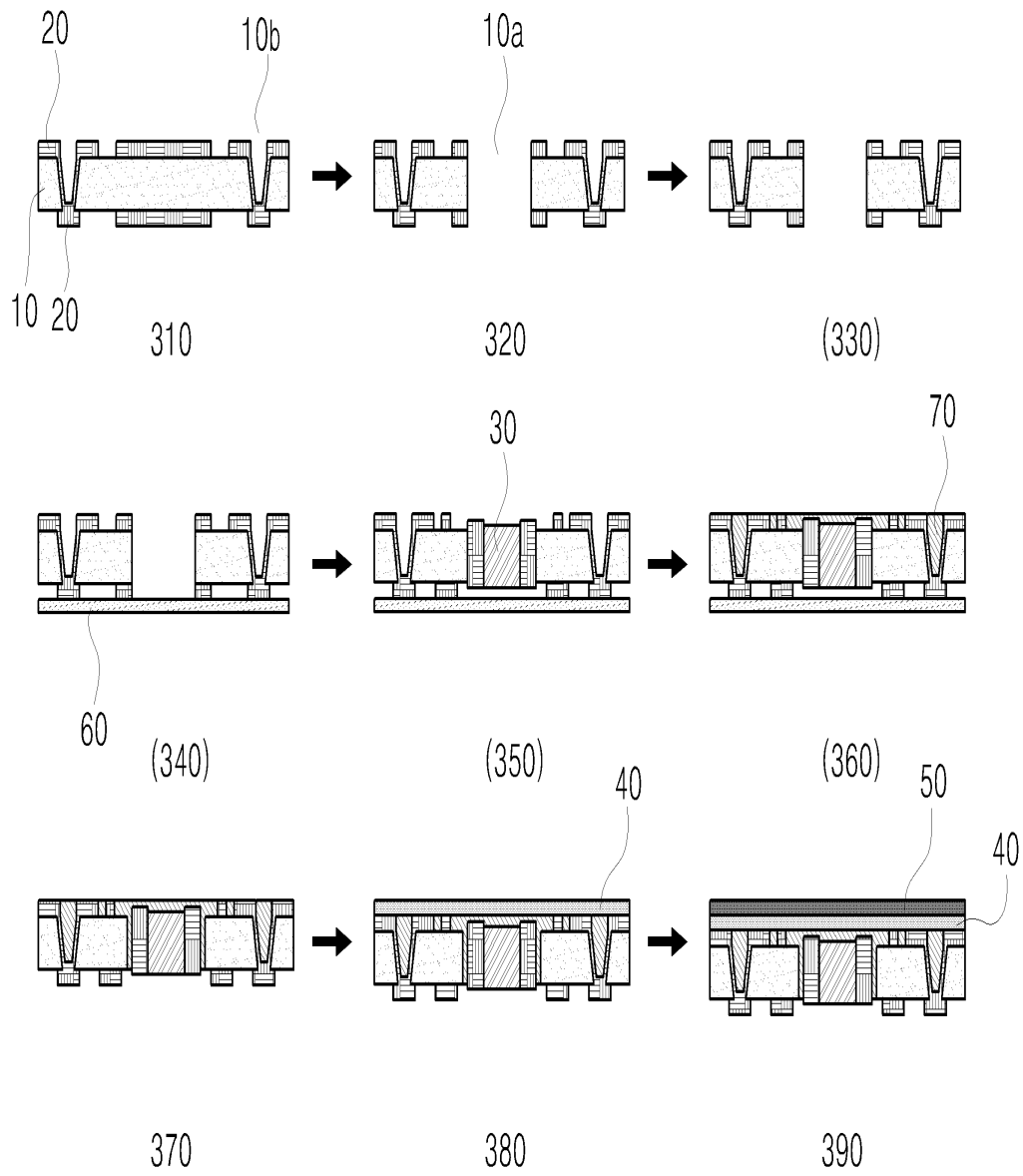
도면1



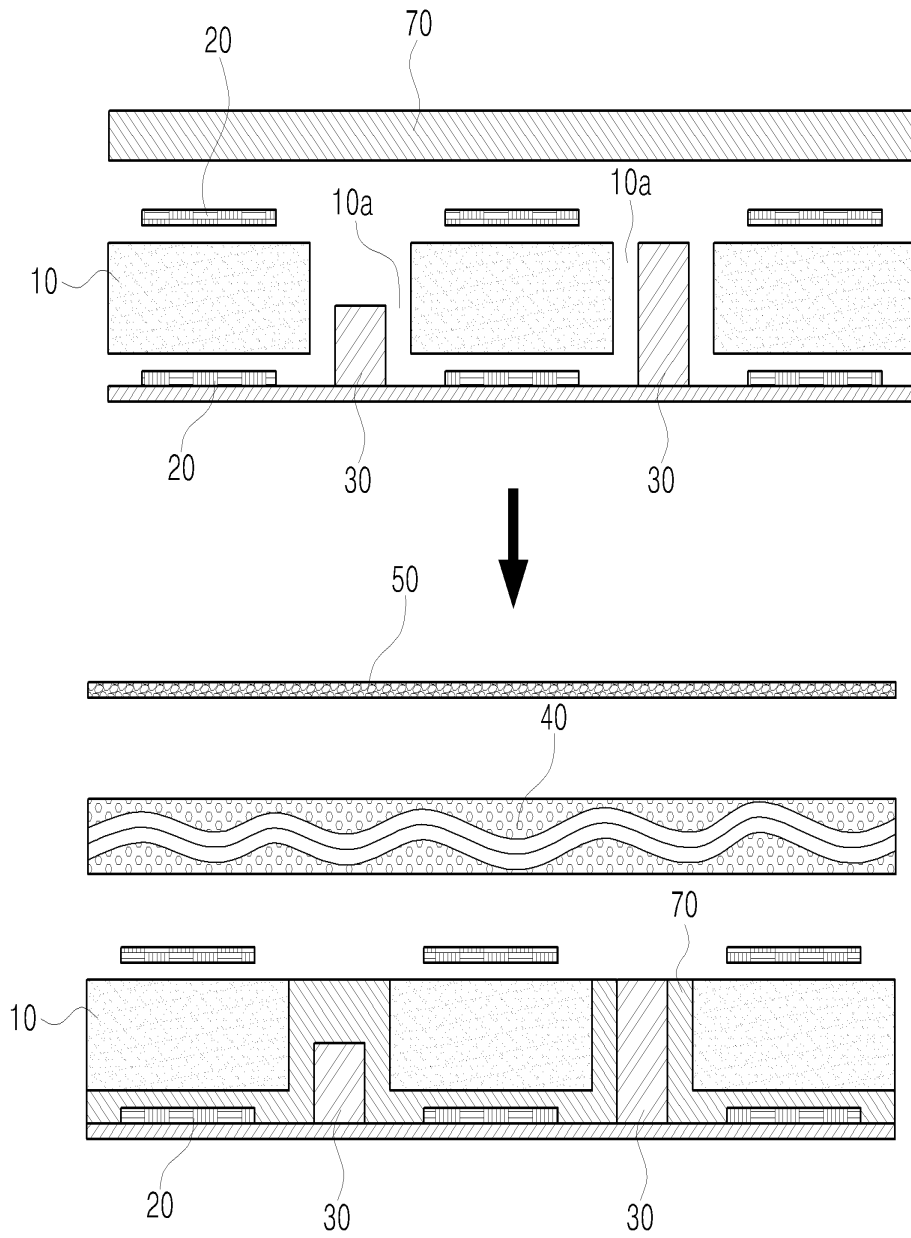
도면2



도면3



도면4



도면5

