



(12) 发明专利申请

(10) 申请公布号 CN 105789109 A

(43) 申请公布日 2016. 07. 20

(21) 申请号 201610016720. 6

(22) 申请日 2016. 01. 11

(30) 优先权数据

14/594, 838 2015. 01. 12 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国诺伊比贝尔格

(72) 发明人 H-J·舒尔策 I·莫德 I·穆里

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 郑立柱

(51) Int. Cl.

H01L 21/762(2006. 01)

H01L 21/335(2006. 01)

H01L 21/331(2006. 01)

H01L 29/78(2006. 01)

H01L 29/739(2006. 01)

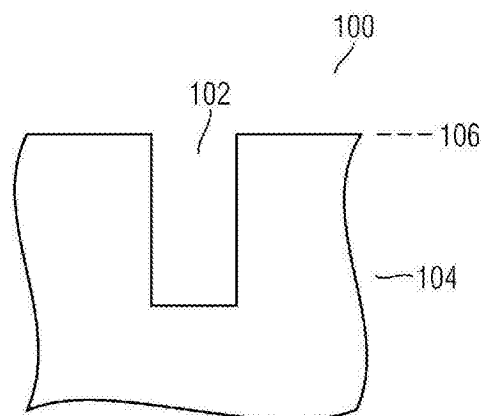
权利要求书2页 说明书8页 附图8页

(54) 发明名称

包括埋入式阳极氧化物结构的半导体装置及其制造方法

(57) 摘要

本发明涉及一种半导体装置的制造方法。根据半导体装置的制造方法,从第一侧将第一沟槽形成到半导体本体中。通过将半导体本体浸入电解液中并且在半导体本体与接触电解液的电极之间施加阳极氧化电压而在第一沟槽的底侧形成阳极氧化物结构。



1. 一种半导体装置的制造方法,所述方法包括:
从第一侧将第一沟槽形成到半导体本体中;以及
通过将所述半导体本体浸入电解液中并且在所述半导体本体与接触所述电解液的电极之间施加阳极氧化电压而在所述第一沟槽的底侧处形成阳极氧化物结构。
2. 根据权利要求 1 所述的方法,进一步包括:
从所述第一侧将第二沟槽形成到所述半导体本体中;以及
通过将所述半导体本体浸入所述电解液而在所述第二沟槽的底侧处形成所述阳极氧化物结构。
3. 根据权利要求 2 所述的方法,进一步包括在所述第一侧处以小于 $5\ \mu\text{m}$ 的侧向距离形成所述第一沟槽和所述第二沟槽。
4. 根据权利要求 2 所述的方法,其中,在所述第一沟槽和所述第二沟槽的底侧处的所述阳极氧化物结构的阳极氧化物部分沿着在所述第一沟槽与所述第二沟槽之间的侧向方向合并之后,所述阳极氧化物结构的形成终止。
5. 根据权利要求 2 所述的方法,进一步包括:
在所述第一沟槽和所述第二沟槽中形成半导体材料;
经由所述第一侧将所述半导体本体结合至载体衬底;
形成穿过所述半导体本体至所述阳极氧化物结构的进入沟道;
去除所述阳极氧化物结构;
将所述半导体本体的第一部分与所述载体衬底和所述半导体本体的第二部分隔开;以及
将所述半导体本体平坦化。
6. 根据权利要求 5 所述的方法,其中,通过施加机械力将所述半导体本体的所述第一部分与所述载体衬底和所述半导体本体的第二部分隔开。
7. 根据权利要求 5 所述的方法,其中,通过向所述第一部分中引入氢并且将所述半导体本体加热到劈裂温度以上而将所述半导体本体的所述第一部分与所述载体衬底和所述半导体本体的第二部分隔开。
8. 根据权利要求 2 所述的方法,进一步包括在所述第一沟槽和所述第二沟槽中形成半导体材料。
9. 根据权利要求 8 所述的方法,进一步包括通过外延生长而在所述第一沟槽和所述第二沟槽中形成所述半导体材料。
10. 根据权利要求 1 所述的方法,进一步包括在所述第一沟槽中形成绝缘层。
11. 根据权利要求 10 所述的方法,其中,所述绝缘层为栅极电介质,并且所述阳极氧化物结构为底部电介质,所述方法进一步包括:
在所述第一沟槽中形成栅极电极。
12. 根据权利要求 1 所述的方法,进一步包括:
使用材料填充所述第一沟槽;以及
通过从所述第一侧将加工沟槽形成到所述半导体本体中来去除所述第一沟槽中的所述阳极氧化物结构,从而暴露出所述阳极氧化物结构的至少一部分;并且穿过所述加工沟槽向所述阳极氧化物结构注入蚀刻溶液,从而去除所述阳极氧化物结构并形成埋入式孔隙

结构。

13. 根据权利要求 12 所述的方法,进一步包括:

通过经由所述加工沟槽将掺杂气体注入所述埋入式孔隙结构中而穿过所述埋入式孔隙结构的壁对所述半导体本体进行掺杂。

14. 根据权利要求 12 所述的方法,进一步包括经由所述加工沟槽将冷却介质注入所述埋入式孔隙结构中。

15. 根据权利要求 14 所述的方法,其中,所述冷却介质为相变材料。

16. 根据权利要求 1 所述的方法,进一步包括在形成所述阳极氧化物结构之前对所述半导体本体进行退火。

17. 根据权利要求 16 所述的方法,其中,退火温度介于 200°C 与 1200°C 范围内。

18. 根据权利要求 1 所述的方法,其中,所述半导体本体在所述第一侧处包括第一半导体本体部分和位于所述第一半导体本体部分上的第二半导体本体部分,其中所述第一半导体本体部分和所述第二半导体本体部分通过掺杂浓度和导电类型中的至少一个来区分,并且其中所述方法进一步包括:

形成所述第一沟槽,所述第一沟槽穿过所述第二半导体本体部分延伸到所述第一半导体本体部分中。

19. 根据权利要求 18 所述的方法,其中,所述第二半导体本体部分为位于所述第一半导体本体部分的 n 掺杂半导体层上的 p 掺杂半导体层。

20. 根据权利要求 18 所述的方法,进一步包括在所述第二半导体本体部分上形成半导体层。

21. 根据权利要求 1 所述的方法,进一步包括在阳极氧化物结构形成之前,从所述第一侧使用粒子对所述半导体本体进行辐照。

22. 根据权利要求 21 所述的方法,其中,所述粒子包括质子、磷、硒、锑、砷。

23. 一种半导体装置,包括:

半导体本体;以及

埋入在所述半导体本体中的阳极氧化物结构,其中所述埋入式阳极氧化物结构包括合并在一起的、至少两个埋入式阳极氧化物部分,所述至少两个埋入式阳极氧化物部分中的每一个均具有凸出表面部分。

24. 根据权利要求 23 所述的半导体装置,进一步包括在所述阳极氧化物结构中的电解液残余。

包括埋入式阳极氧化物结构的半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体领域,并且更特别地涉及一种半导体装置的制造方法。

背景技术

[0002] 包括埋入式绝缘体的半导体技术是多种半导体应用的基础。举例而言,绝缘体上硅(SOI)技术基于代替常规硅衬底的层式硅-绝缘体-硅衬底,以降低例如寄生器件电容和衬底电流注入。一些SOI衬底的制造方法(例如注氧隔离(SIMOX)或智能切割工艺)要求离子注入工艺和/或晶片结合,从而增加了工艺复杂性以及工艺成本。

[0003] 制造包括埋入式氧化物的半导体装置的改进方法将是理想的。

发明内容

[0004] 半导体装置的制造方法的实施例包括从第一侧将第一沟槽形成到半导体本体中。该方法进一步包括通过将半导体本体浸入电解液中并且在半导体本体与接触电解液的电极之间施加阳极氧化电压而在第一沟槽的底侧形成阳极氧化物结构。

[0005] 半导体装置的实施例包括半导体本体。该半导体装置进一步包括埋入在半导体本体中的阳极氧化物结构。埋入式阳极氧化物结构包括合并在一起的至少两个埋入式阳极氧化物部分,所述至少两个埋入式阳极氧化物部分中的每一个均具有凸出表面部分。

[0006] 在阅读下文详细描述并查看附图时,本领域技术人员将认识到其他特征和优点。

附图说明

[0007] 包括了附图以提供本发明的进一步理解,并且附图包含在本说明书中并构成其一部分。附图示出了本发明的实施例并且与说明书一起用于阐述本发明的原理。随着参照下文详细描述而变得更好理解,本发明的其他实施例和旨在的优点将易于被认识到。

[0008] 图1A至图1B为半导体本体的示意性横截面图,用于示出半导体装置的制造方法的实施例。

[0009] 图2为半导体本体的示意性横截面图,用于示出使用粒子辐照半导体本体以在位于半导体本体表面之下的限定区域中引起晶体损伤的实施例。

[0010] 图3为半导体本体的示意性横截面图,用于示出将半导体本体在热处理设备中退火的实施例。

[0011] 图4为半导体本体的示意性横截面图,用于示出使用第一填充结构填充第一沟槽的实施例。

[0012] 图5为半导体本体的示意性横截面图,用于示出在半导体本体上形成一个或多个半导体层的实施例。

[0013] 图6A和图6B为半导体本体的示意性横截面图,用于示出去除第一沟槽中的阳极氧化物结构的实施例。

[0014] 图7为半导体本体的示意性横截面图,用于示出使用作为底部氧化物的阳极氧化

物结构在第一沟槽中形成栅极结构的实施例。

[0015] 图 8A 至图 8C 为半导体本体的示意性横截面图,用于示出半导体装置的制造方法的实施例。

[0016] 图 9A 至图 9D 为半导体本体的示意性横截面图,用于示出半导体装置的制造方法的另一实施例。

具体实施方式

[0017] 在下文详细描述中,参照附图,附图构成说明书的一部分,并且在附图中以示意的方式示出了可在其中实施本发明的具体实施例。应当理解,可使用其他实施例,并且可在不背离本发明范围的情况下做出结构和逻辑改变。例如,对一个实施例示出或描述的特征可用于其他实施例或者与其他实施例一起使用,以形成另一实施例。旨在的是,本发明包括这样的修改和变型。使用了具体文字来描述实施例,所述具体文字不应当被解释为限制所附权利要求的范围。附图并非成比例绘制并且仅仅用于示意的目的。为了清楚起见,在不同附图中,相同元件有对应的标号指代,除非另有说明。

[0018] 术语“具有 (having)”、“包含 (containing)”、“包括 (including)”、“包括 (comprising)”等等是开放性的,并且这些术语指明存在所描述的结构、元件或特征,但不排除存在额外的元件或特征。冠词“一 (a)”、“一 (an)”和“该 (the)”旨在包括复数以及单数,除非上下文另有清楚指示。

[0019] 术语“电连接”描述了电连接元件之间的永久性低电阻连接,例如所考虑元件之间的直接接触或者通过金属和 / 或高掺杂半导体的低电阻连接。术语“电耦接”包括适于信号传输的一个或多个介入元件可存在于电耦接的元件之间,所述介入元件例如为在第一状态下临时提供低电阻连接而在第二状态下暂时提供高电阻电解耦的元件。

[0020] 图形通过在掺杂类型“n”或“p”旁侧标示“-”或“+”而示出相对掺杂浓度。例如,“n”意味着掺杂浓度低于“n”掺杂区域的掺杂浓度,而“n⁺”掺杂区域具有比“n”掺杂区域更高的掺杂浓度。具有相同相对掺杂浓度的掺杂区域并非必然具有相同的绝对掺杂浓度。例如,两个不同的“n”掺杂区域可具有相同或不同的绝对掺杂浓度。

[0021] 在下文描述中使用的术语“半导体装置”、“晶片”、“衬底”、“半导体本体”或“半导体衬底”可包括具有半导体表面的任何基于半导体的结构。晶片和结构应当理解为包括硅 (Si)、绝缘体上硅 (SOI)、蓝宝石上硅 (SOS)、掺杂和非掺杂半导体、由底部半导体基底支撑的硅外延层以及其他半导体结构。半导体无需是基于硅的。半导体也可为硅锗 (SiGe)、锗 (Ge) 或砷化镓 (GaAs)。根据其他实施例,碳化硅 (SiC) 或氮化镓 (GaN) 可形成半导体衬底材料。

[0022] 如本说明书中使用的术语“水平的”旨在描述大致平行于半导体衬底或主体的第一或主表面的定向,其例如可以是晶体或裸片的表面。

[0023] 如本说明书中使用的术语“竖直”旨在描述大致布置成垂直于第一表面的定向,也即平行于半导体衬底或本体的第一表面的法向方向的定向。

[0024] 在本说明书中,半导体衬底或半导体本体的第二表面应当认为由下表面或后侧面形成,而第一表面应当认为由半导体衬底的上表面、前表面或主表面形成。如本说明书中使用的术语“之上”和“之下”因此描述结构特征彼此的相对位置。

[0025] 在本说明书中, n 掺杂称为第一导电类型, 而 p 掺杂称为第二导电类型。可替换地, 半导体期间可形成为具有相反的掺杂关系, 使得第一导电类型可为 p 掺杂, 而第二导电类型可为 n 掺杂。

[0026] 半导体期间可具有诸如接触焊盘 (或电极) 的端子触点, 其允许与包括在半导体本体中的集成电路或隐秘半导体器件进行电接触。电极可包括施加至半导体芯片的半导体材料的一个或多个电极金属层。电极金属层可制造成具有任何期望的几何形状以及任何期望的材料成分。电极金属层可例如为覆盖一个区域的层的形式。可将任何期望的金属 (例如 Cu、Ni、Sn、Au、Ag、Pt、Pd 以及这些金属中的一种或多种的合金) 用作该材料。电极金属层无需均质或者由仅仅一种材料制成, 也就是说, 包含在电极金属层中的材料的各种成分和浓度是可能的。举例而言, 金属层可以尺寸设计成足够大以与引线结合。

[0027] 在本文中公开的实施例中, 施加了一个或多个传导层, 特别是导电层。应当认识到, 任何诸如“形成的”或“施加的”术语旨在涵盖施加层的几乎所有种类和技术。特别地, 它们旨在涵盖其中整体单次施加层的技术 (类似于例如层压技术) 以及其中以顺序的方式沉积层的技术 (类似例如溅射、镀覆、模制、CVD (化学气相沉积)、PVD (物理气相沉积)、蒸发、混合物理 - 化学气相沉积 (HPCVD) 等)。

[0028] 所施加的导电层可包括尤其是诸如 Cu 或 Sn 的金属或者其合金的层、导电浆体的层以及结合材料的层中的一者或多者。金属层可为均质的层。导电浆体可包括分布在可蒸发或可固化聚合物材料中的金属粒子, 其中该浆料可为流动的、粘性的或蜡状的。结合材料可施加为将半导体芯片与例如载流子或者例如接触夹电性且机械连接。可使用软性焊接材料或者特别是能够形成扩散焊接结合的焊接材料, 例如包括 Sn、SnAg、SnAu、SnCu、In、InAg、InCu 和 InAu 中的一种或多种的焊接材料。

[0029] 切割工艺可用于将晶片分成单个芯片。可应用于切割的任何技术, 例如刀刃切割 (锯切)、激光切割、蚀刻等。特别地, 可应用隐形切割, 其为使用激光切割的特定技术。隐形切割允许抑制切割废料, 并且因此是适于切割易于受到污染的工件的工艺。此外, 其为无需清洁的干法工艺, 并且因此也适于加工易于受到负载的敏感结构 (诸如例如 MEMS)。可由隐形切割技术实现的其他益处为高速切割、优良的击穿强度、小的切口以及低的运行成本。

[0030] 在隐形切割技术中, 具有能够穿透半导体晶片的波长的激光束聚焦在半导体晶片内部的位点上。由于非线性吸收效应, 仅有半导体晶片内部的局部位点可选择性地被激光加工, 从而可避免半导体晶片的前表面和后表面的损伤。可通过移动激光束与半导体晶片的相对位置以便根据期望的切割图案来扫描半导体晶片来对半导体晶片进行切割。

[0031] 可通过以下步骤对半导体本体 (例如半导体晶片) 进行切割: 将半导体晶片施加在带 (特别是切割带) 上、例如根据上述技术中的一种或多种对半导体晶片施加切割图案 (特别是矩形图案) 以及例如沿着带平面上的四个正交方向拉动带。通过拉动带, 半导体晶片被分成多个半导体芯 (芯片)。

[0032] 在图 1A 和图 1B 的示意性横截面图中示出了半导体装置 100 的制造方法的实施例。

[0033] 图 1A 的示意性横截面图示出了从第一侧 106 将第一沟槽 102 形成到半导体本体 104 中的过程。

[0034] 图 1B 的示意性横截面图示出了通过将半导体本体 104 浸入电解液 110 中并且在

半导体本体 104 与接触电解液 110 的电极 112 之间施加阳极电压而在第一沟槽 102 的底侧形成阳极氧化物结构 108 的过程。

[0035] 可通过掩模蚀刻工艺（例如通过诸如等离子蚀刻的干法蚀刻）来形成第一沟槽 102。可通过平版印刷将掩模形成为例如硬质掩模或抗蚀掩模。根据其他实施例，还可通过掩模湿法蚀刻工艺形成第一沟槽 102。

[0036] 作为电解液 110，可选择能够通过阳极氧化工艺在半导体本体 104 上形成阳极氧化物层的任何合适电解液。当通过将硅或硅的碳化物氧化以形成阳极氧化物结构 108 时，可选择例如硝酸 (HNO_3) 作为电解液 110。其他实例包括水溶液和有机溶剂，例如 NH_4OH 、 H_3PO_4 、DI 水、 KOH 、 TMAH 、 H_2SO_4 、 K_2SO_4 、 HCl 、 KNO_3 、 CH_3OH 。可通过例如交流 (AC) 阳极氧化和 / 或直流 (DC) 阳极氧化来执行阳极氧化过程。

[0037] 半导体本体 104（例如半导体晶片）可浸入电解池，并且依据电解液的类型以及阳极氧化物结构 108 的期望厚度，可在半导体本体 104 与电极 112 之间施加几伏特到几百伏特范围内的电压持续足够的时间以实现阳极氧化物结构 108 的期望生长厚度。在将半导体本体 104 浸入电解液 110 中之前，可在稀释的氢氟酸 (HF) 中执行一个或多个清洁工艺，例如蚀刻工艺。

[0038] 在图 2 的示意性横截面图所示的阳极氧化物结构形成之前，可通过从第一侧 106 使用粒子 114 辐照半导体本体 114 来加快阳极氧化物结构 108 的生长速率。可以垂直于第一侧 106（参见标记为 (a) 的辐照）和 / 或略微倾斜（参见标记为 (b)、(c) 的辐照）的方式使用粒子 114 进行辐照。

[0039] 垂直于第一侧 106 的粒子辐照可导致第一沟槽 102 的下侧之下的晶体损伤 116，例如空隙和填隙原子、双空隙、空隙 - 氧配合物或者包含空隙和填隙子的其他配合物。不同角度的辐照可导致例如晶体损伤 116 的深度范围的变宽。可通过任何合适的工艺（例如通过离子注入）执行粒子辐照。粒子的实例为质子、磷、硒、锑和砷。当使用质子对半导体本体 104 进行辐照时，随后在 350°C 到 500°C 温度范围内持续几十分钟到几小时的热退火也可用于将半导体本体 104 的先前为 p 掺杂的部分转化成 n 掺杂的部分，这是由于产生了氢相关的施主 (donor)，这些施主为质子辐照引起的缺陷配合物。在使用粒子对半导体本体 104 进行辐照以产生晶体损伤之后，可从第一侧 106 向半导体本体 104 中形成第一沟槽 102。根据实施例，第一沟槽的底侧位于晶体损伤 116 的深度范围内。

[0040] 由粒子辐照引起的晶体损伤 116 可导致加快的阳极氧化过程，这是由缺陷引起的半导体本体 104 上加强的氧化速率导致的。

[0041] 根据图 3 所示实施例，在热处理设备 118 中对半导体本体 104 进行退火。热处理的实例包括炉内退火、基于灯加热、热夹或热板退火。对半导体本体进行退火的工艺可导致阳极氧化物结构 108 的致密化和 / 或导致均质化。可考虑工艺兼容性和 / 或期望的阳极氧化物转变而正确选择退火温度或温度曲线以及热处理的持续时间。退火温度可大于例如 200°C 、或者大于 500°C 、或者甚至大于 900°C 。根据实施例，退火温度处于 200°C 与 1200°C 范围内，例如 500°C 与 1100°C 之间。依据特定热处理设备，退火持续时间可处于几分钟到几小时范围内。

[0042] 对于图 4 的示意性横截面图所示实施例，第一沟槽 102 填充有填充结构 120。填充结构 120 可包括导电和 / 或绝缘材料，并且在第一沟槽 102 中形成填充结构 120 还可包括

去除填充结构 120 的形成在半导体本体 104 的第一侧 106 上的不需要的材料的过程。为了从第一侧去除填充结构 120 的材料,可使用任何合适的工艺,例如蚀刻和 / 或化学 - 机械抛光 (CMP)。

[0043] 根据实施例,填充结构 120 为半导体材料或者一系列半导体材料,例如通过外延生长或沉积而形成的。在这种情况下,阳极氧化物结构将填充结构 120 与填充结构 120 之下的半导体本体 104 隔开。填充结构和半导体本体可由相同的半导体材料(例如硅或碳化硅)形成。填充结构 120 与半导体本体 104 的侧向围绕部分一起可用作例如在随后过程中形成于其中的电路元件的有缘区域。

[0044] 举例而言,阳极氧化物结构 108 可布置在形成于半导体本体 104 中的场效应晶体管的源极区之下,用于避免或抑制由源极区导致的少数载流子注入的闩锁。再举例而言,阳极氧化物结构 108 可布置在绝缘栅双极晶体管 (IGBT) 的 p 型本体区域中,用于引起空穴累积,从而实现减少的集电极 - 射极饱和电压 V_{CEsat} 。再举例而言,阳极氧化物结构 108 可用作埋入式电荷俘获区域。

[0045] 根据图 5 所示实施例,例如通过外延生长或沉积而在半导体 104 上在第一侧 106 处形成一个或多个半导体层 121。所述一个或多个半导体层 121 可用作例如在随后过程中形成于其中的电路元件的有缘区域。举例而言,例如诸如晶体管或二极管的半导体器件的漂移区可在随后过程中形成于所述一个或多个半导体层中。

[0046] 根据图 6A 和图 6B 的半导体本体 104 的示意性横截面图所示实施例,穿过半导体 104 的填充结构 120 形成加工沟槽 122,从而暴露阳极氧化物结构 108 的至少一部分。可通过掩模蚀刻工艺(诸如干法或湿法蚀刻)形成加工沟槽 122。如图 6B 的示意性横截面图所示,通过穿过加工沟槽 122 注入蚀刻溶液来去除第一沟槽中的阳极氧化物结构。考虑到阳极氧化物结构 108 与半导体本体 104 的围绕部分(包括填充结构 120)之间的蚀刻选择性,可正确选择蚀刻溶液。举例而言,可选择氢氟酸 (HF) 选择性地蚀刻由硅半导体本体围绕的阳极氧化物结构 108。在蚀刻阳极氧化物结构 108 之后,在第一沟槽 102 的底侧保留有埋入式孔隙结构 124。

[0047] 埋入式孔隙结构 124 可用于多种目的。

[0048] 根据实施例,埋入的孔隙结构 124 用作或者至少部分地作为复合结构,其配置成用作吸引电子 - 空穴复合的复合区,例如用于避免闩锁。根据另一实施例,埋入式孔隙结构 124 保持于在半导体本体 104 中制造的半导体器件中,充当空穴累积区。根据又一实施例,通过借由加工沟槽 122 将掺杂气体注入埋入式孔隙结构 124 从而穿过埋入式孔隙结构 124 的壁对半导体本体 104 进行掺杂。这可产生围绕埋入式孔隙结构 124 的掺杂区域。根据又一实施例,通过加工沟槽 122 将冷却介质注入到埋入式孔隙结构 124 中。冷却介质可为例如相变材料。根据又一实施例,埋入式孔隙结构 124 可沿着垂直于图 6B 的绘图平面的任何方向延伸并且充当导光件。埋入式孔隙结构 124 还可用于形成基于形成在埋入式孔隙结构 124 与第一侧 106 之间的薄膜的任何种类的期间。薄膜还可为基于薄膜的传感器的一部分,所述传感器诸如例如为加速度传感器或压力传感器。

[0049] 根据图 7 的示意性横截面图所示的另一实施例,阳极氧化物结构 108 构成栅极结构的底部氧化物。栅极结构的形成进一步包括在第一沟槽 102 的壁处形成栅极电介质 128,例如通过诸如电介质层沉积或生长(诸如热氧化)。在第一沟槽 102 中形成包括一种或多

种导电材料的栅极电极 130, 所述导电材料例如为一种或多种金属和 / 或一种或多种高掺杂的半导体 (诸如高掺杂的多晶硅)。第一沟槽 102 的底侧处的阳极氧化物结构 108 的厚度大于栅极电介质的厚度, 用于改进半导体器件 (包括作为栅极结构一部分的阳极氧化物结构 108) 的切换行为和 / 或可靠性。根据其他实施例, 栅极结构还可包括布置在栅极电极 130 与阳极氧化物结构 108 之间的一个或多个场电极。尽管阳极氧化物结构 108 的一些部分还可与第一沟槽 102 的壁的一些部分重叠从而增加侧向电介质击穿强度, 然而栅极电介质 128 还可由场电介质部分地替换或加厚, 例如在第一沟槽 102 的其中可放置场电极的区域中。

[0050] 半导体装置 100 的制造方法的另一实施例在图 8A 至图 8D 的示意性横截面图中示出。

[0051] 参照图 8A 的示意性横截面图, 通过使得半导体本体 104 的处于第一侧 106 处的表面的一部分由掩模结构 132 覆盖的蚀刻工艺, 从第一侧 106 将第一和第二沟槽 1021、1022 形成至半导体本体 104 中。半导体本体 104 包括第一半导体本体部分 1041 以及在第一侧 106 处位于第一半导体本体部分 1041 上的第二半导体本体部分 1042。第一和第二半导体本体部分 1041、1042 的区别在于掺杂浓度和导电类型中的至少一个。

[0052] 在图 8A 所示实施例中, 第一半导体本体部分 1041 为 n 型导电, 而第二半导体本体部分 1042 为 p 型导电。第一和第二沟槽 1021、1022 穿过第二半导体本体部分 1042 延伸到第一半导体本体部分 1041 中。根据实施例, 第二半导体本体部分 1042 为通过例如外延形成在 n 型第一半导体本体部分 1041 上的 p 掺杂半导体层。根据另一实施例, 通过借由适当工艺 (离子注入和 / 或扩散) 穿过第一侧 106 向半导体本体 104 中移入 p 型掺杂剂来形成第二半导体本体部分 1042。

[0053] pn 结 134 位于 n 型第一半导体本体部分 1041 与 p 型第二半导体本体部分 1042 的界面处。

[0054] 参照图 8B 的示意性横截面图, 通过将半导体本体 104 浸入电解液 110 以及通过在 n 型第一半导体本体部分 1041 与接触电解液 110 的电极 112 之间施加阳极氧化电压而在第一和第二沟槽 1021、1022 的底侧处形成阳极氧化物结构 108。由于阳极氧化过程由电场强度来驱动, 阳极氧化主要在第一半导体本体部分 1041 与电解液 110 之间的边界处并且沿着 n 型第一半导体本体部分 1041 与 p 型第二半导体本体部分 1042 之间的空间电荷区域 136 发生。

[0055] 根据图 8B 所示实施例, 在阳极氧化物结构 108 的位于第一和第二沟槽 1021、1022 的底侧处的阳极氧化物部分在第一和第二沟槽 1021、1022 之间沿着侧向方向 x 合并之后, 阳极氧化物结构 108 的形成终止。可考虑用于使所述部分在第一和第二沟槽 1021、1022 的底侧处合并的阳极氧化持续时间以及所施加电压来选择第一和第二沟槽 1021、1022 之间的侧向距离 l。根据实施例, 第一侧 106 处的侧向距离小于 $5 \mu\text{m}$, 或者小于 $2 \mu\text{m}$, 或者小于 $1 \mu\text{m}$ 。

[0056] 在形成阳极氧化物结构 108 之后, 去除电解液 110, 例如通过将半导体本体 104 从电解池中取出, 例如在一个或多个清洁过程之后。可遵循例如参照图 3 所示出和描述的可选退火而使得阳极氧化物结构 108 致密化和 / 或均质化。

[0057] 参照图 8C 的示意性横截面图, 填充结构 120 形成在第一和第二沟槽 1021、1022

中。可将参照图 2 至图 7 所示出和描述的工艺中的一个或多个结合到包括参照图 8A 至图 8C 的实施例所示工艺的工艺序列中。

[0058] 当与第一和第二沟槽 1021、1022 一起形成额外的沟槽并且在这些沟槽的底侧执行阳极氧化物形成时,可在半导体本体 104 中形成阳极氧化物结构 108 的任何期望的形状。根据实施例,阳极氧化物结构 108 形成为不包括开口或者包括一个甚至多个开口的连续的埋入式氧化物结构。根据另一实施例,阳极氧化物结构 108 包括多个分立的阳极氧化物结构部分,用于仅仅在半导体本体 104 的一些区域中在第一半导体本体部分 1041 与第二半导体本体部分 1042 之间提供电介质隔离。第二半导体本体部分 1042 的由沟槽(诸如第一和第二沟槽 1021、1022)隔开的不同区域之间的侧向电隔离可导致第二半导体本体部分 1042 的区域的整体电隔离(就半导体本体 104 的任何围绕部分而言)。

[0059] 根据实施例,埋入在半导体本体 104 中的阳极氧化物结构 108 为连续的阳极氧化物,其提供半导体本体 104 的布置在阳极氧化物结构 108 之上的一部分与半导体本体 104 的布置在阳极氧化物结构 108 之下的一部分之间的完全电隔离。

[0060] 根据图 8C 所示半导体装置的实施例,阳极氧化物结构 108 包括合并在一起的至少两个埋入式阳极氧化物部分 1081、1082,所述至少两个埋入式阳极氧化物部分 1081、1082 中每一个均具有凸出表面部分 107。根据实施例,阳极氧化物结构 108 中存在电解液残余。

[0061] 参照图 9A 的示意性横截面图,包括阳极氧化物结构 108 的半导体本体 104 通过第一侧 106 结合至载体衬底 138。载体衬底 138 可为绝缘衬底或导电衬底(诸如碳或石墨),并且可包括可选保护层(例如多晶硅层、非晶硅层或碳化硅层)。

[0062] 参照图 9B 的示意性横截面图,在第一半导体本体部分 1041 中形成有终止于阳极氧化物结构上的一个或多个进入沟道。这些进入沟道在图 9B 中通过箭头以简化的方式示出,并且可从第一半导体本体部分 1041 的主表面或侧面通过机械和/或化学工艺形成,例如通过蚀刻和/或钻孔。通过借由进入沟道接近阳极氧化物结构 108 的蚀刻工艺(诸如硅的 HF 蚀刻)来去除阳极氧化物结构 108。

[0063] 参照图 9C 的示意性横截面图,第一半导体本体部分 1041 与第二半导体本体部分 1042 隔开,并且可例如在平坦化之后重新使用,用于执行在以上实施例中所示工艺的新序列。隔开过程可包括施加用于隔开的机械力、向第一半导体本体部分 1041 中引入氢以及将半导体本体加热到例如劈裂温度。第一半导体本体部分 1041 的一小部分可保持在第二半导体本体部分 1042 上。

[0064] 参照图 9D 的示意性横截面图,例如通过机械和/或化学机械工艺将半导体本体 104 的包括第二半导体本体部分 1042 是其余部分平坦化。可遵循其他的工艺以在第二半导体本体部分 1042 中形成任何期望的分立半导体或者集成电路。依据隔离之后的第二半导体本体部分 1042 的机械强度,可保留载体衬底 138 或者可通过机械和/或化学工艺去除载体衬底。

[0065] 还可通过去除第一半导体本体部分 1041(例如通过化学或者化学机械工艺,终止于暴露出阳极氧化物结构 108)从图 9A 开始以及参照图 9D 所描述的阳极氧化物结构 108 的去除和平坦化来实现图 9D 的示意性横截面图。

[0066] 上述实施例提供通过阳极氧化来制造半导体装置的成本有效的方法,无需高剂量注入以及结合工艺。

[0067] 尽管本文已示出和描述了具体实施例,然而本领域普通技术人员应当认识到,在不背离本发明范围的情况下,可使用各种替换和 / 或等同实施方式对所示出和描述的具体实施例进行替换。本申请旨在涵盖本文讨论的具体实施例的任何改适和变型。因此,旨在的是,本发明仅仅由权利要求及其等同条款限定。

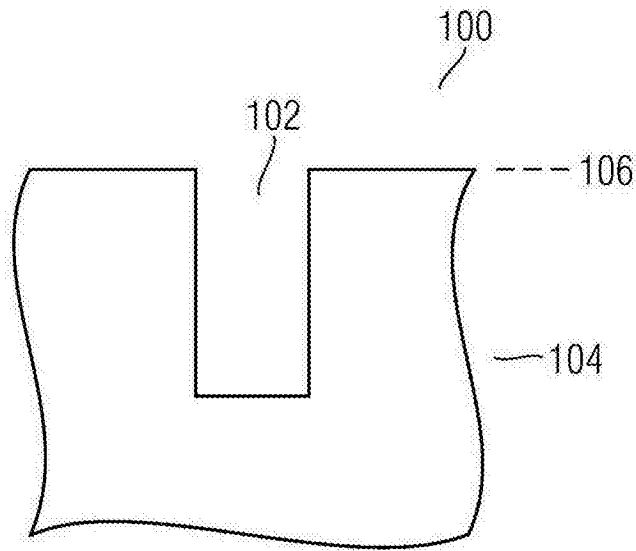


图 1A

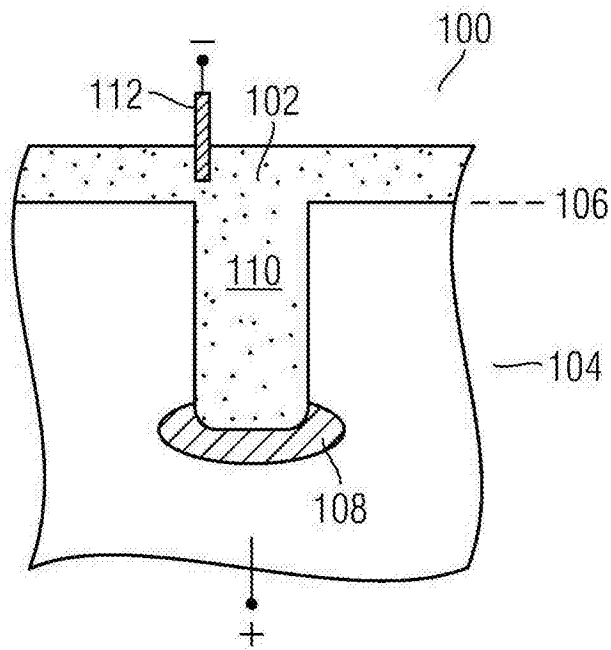


图 1B

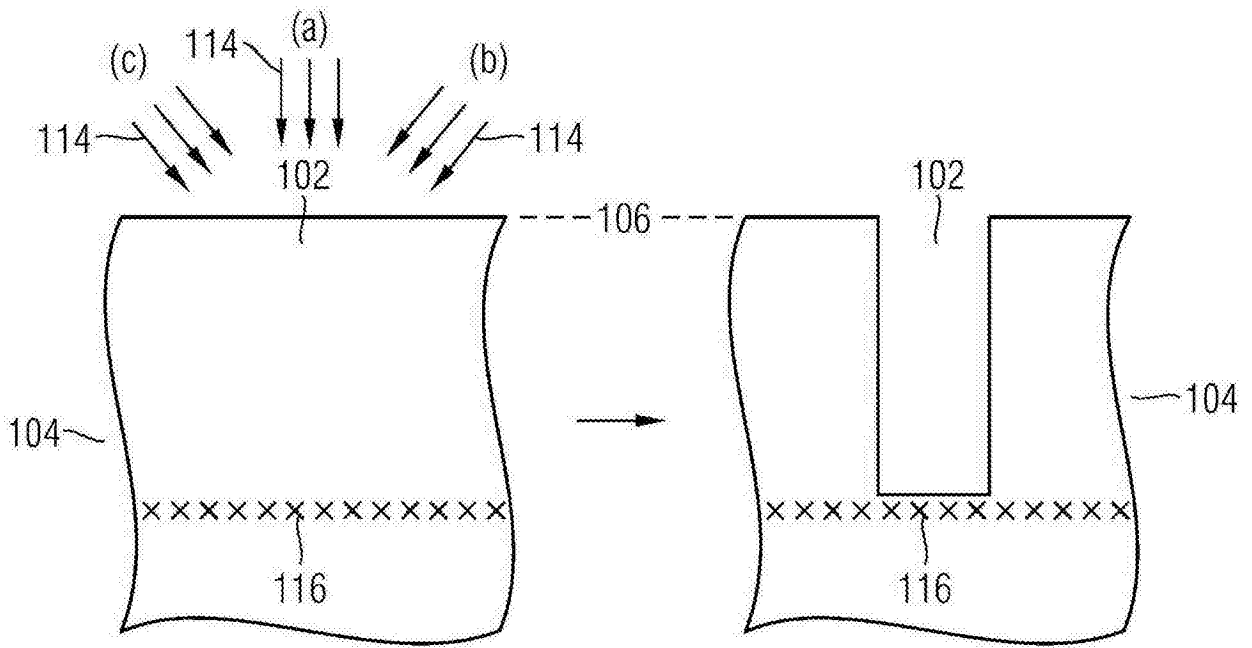


图 2

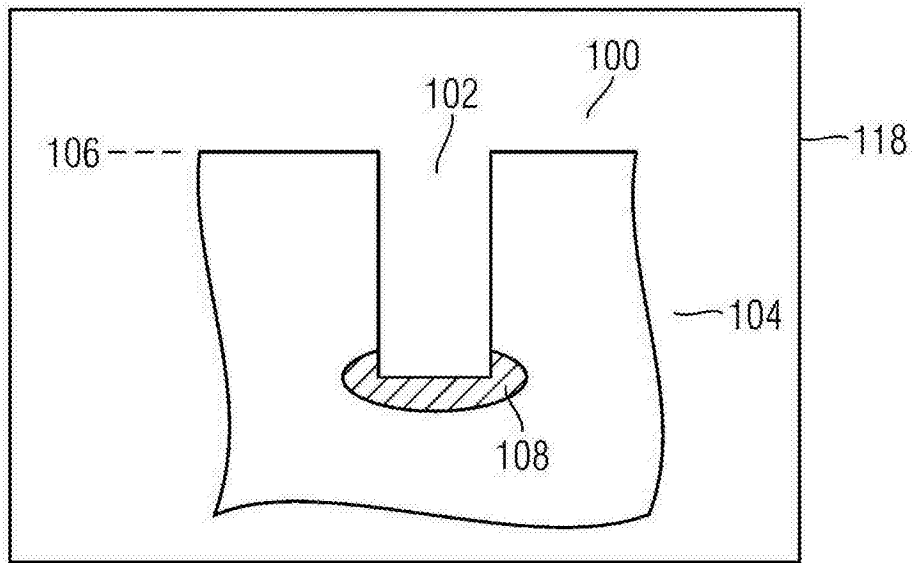


图 3

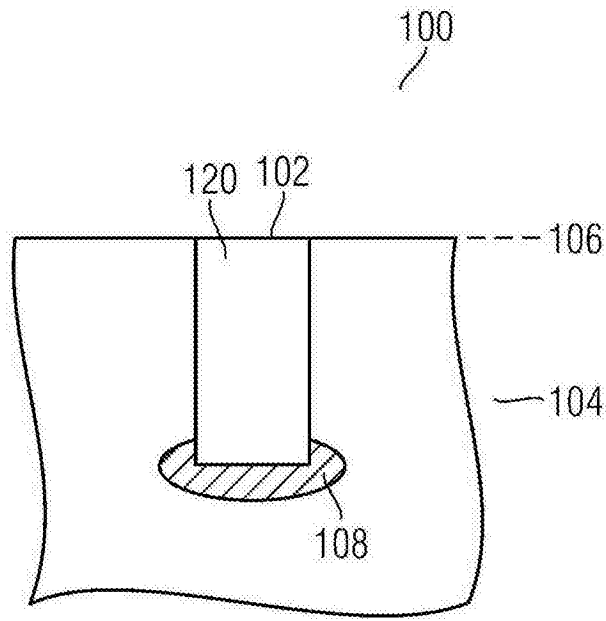


图 4

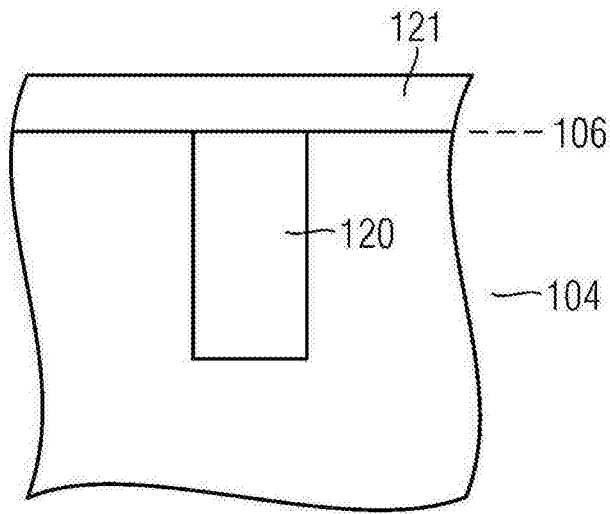


图 5

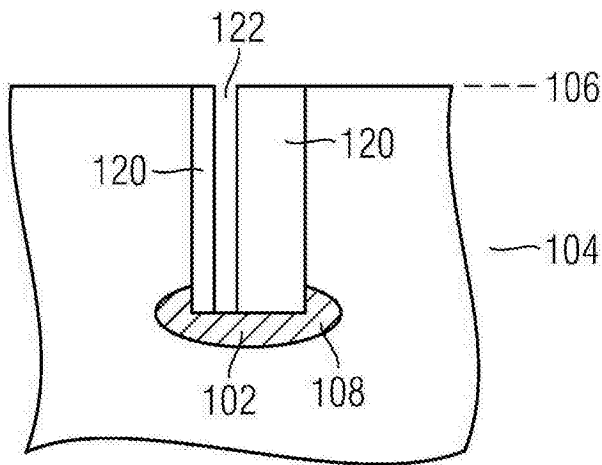


图 6A

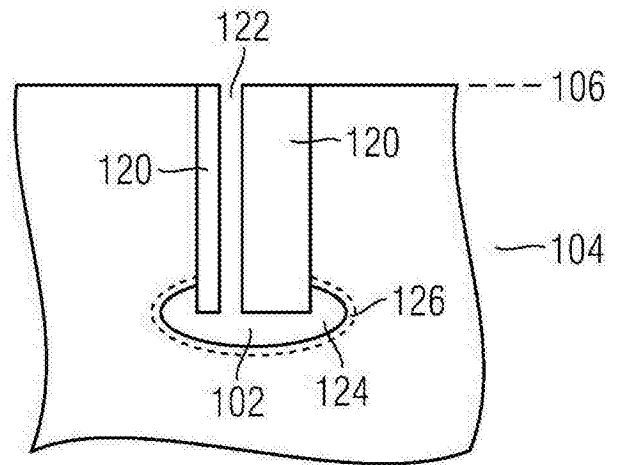


图 6B

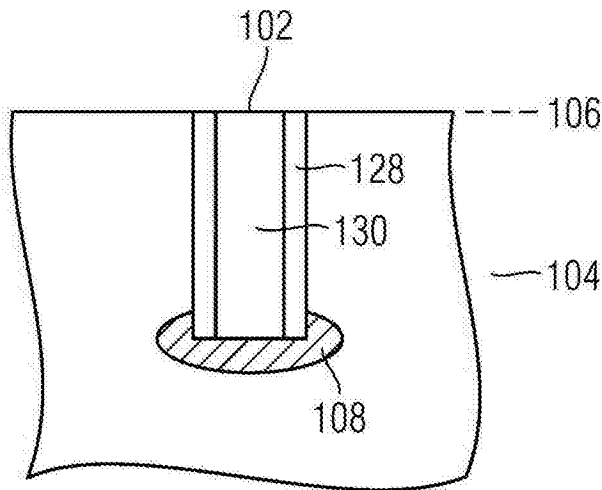


图 7

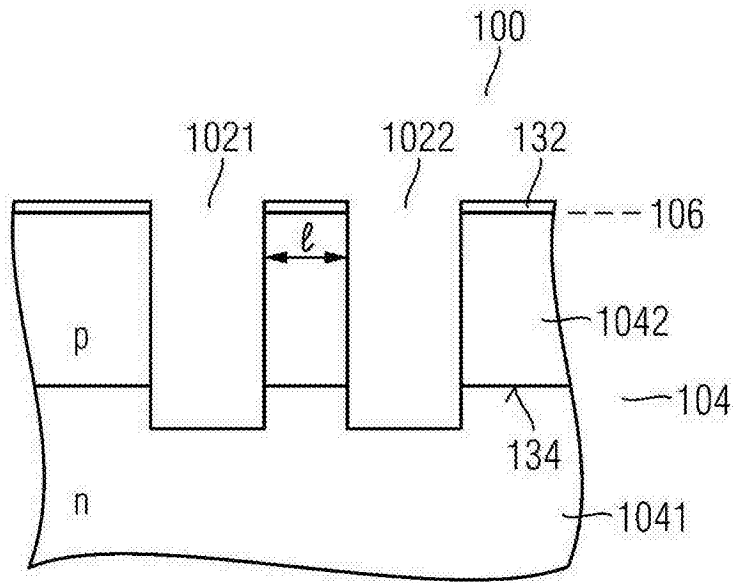


图 8A

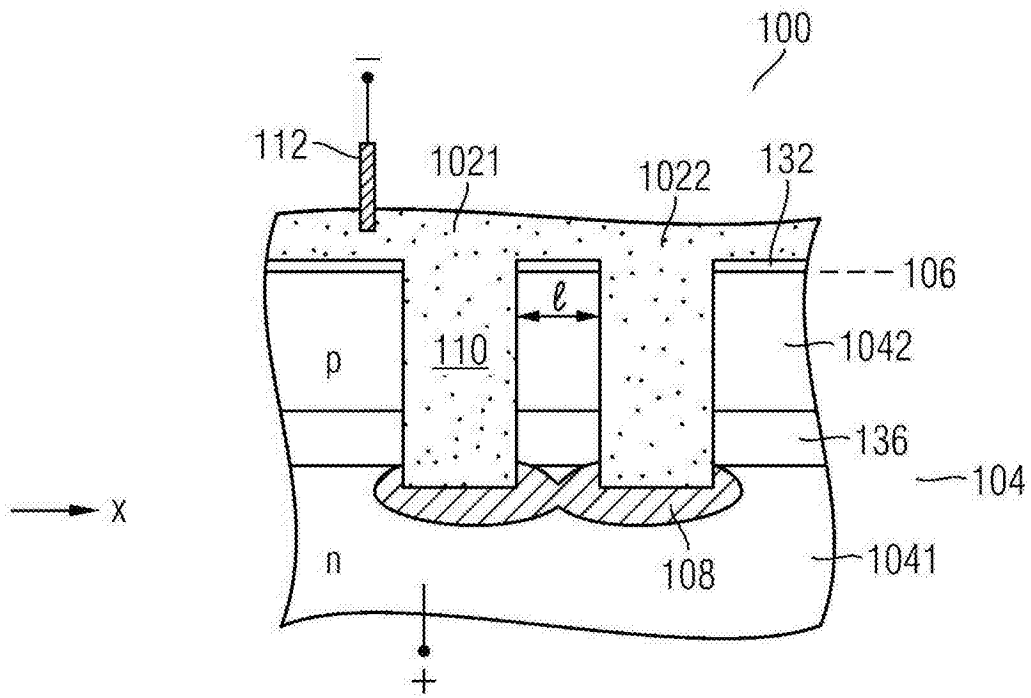


图 8B

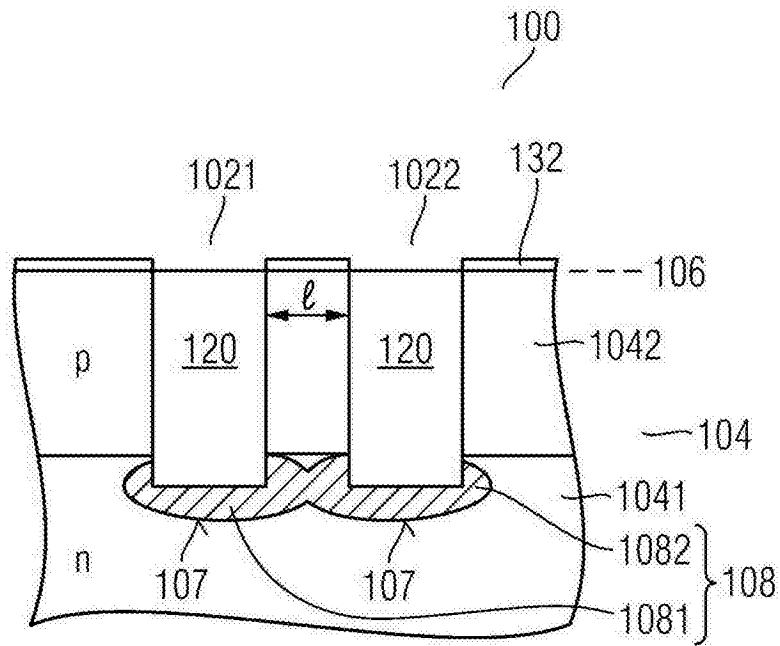


图 8C

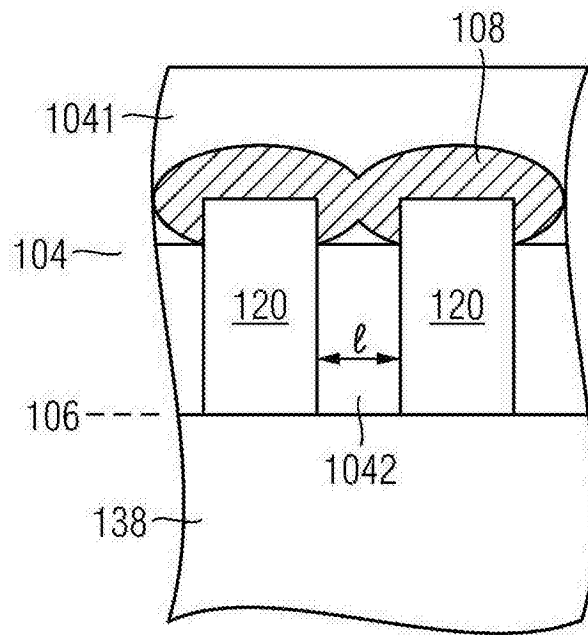


图 9A

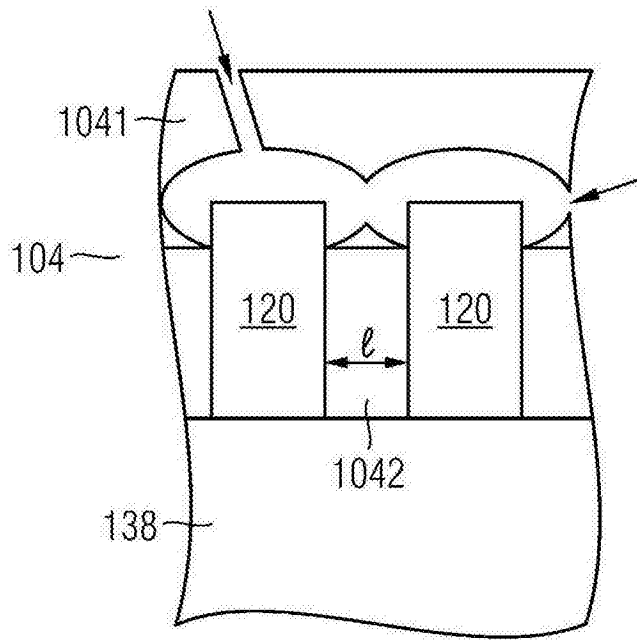


图 9B

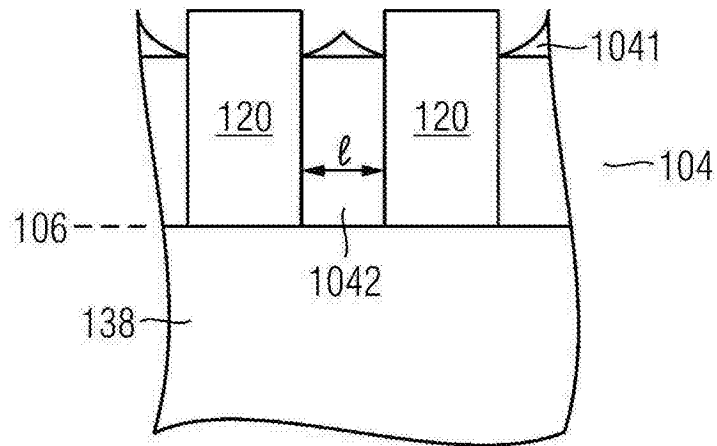


图 9C

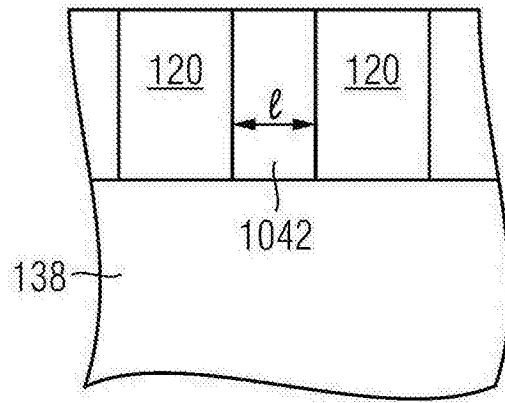


图 9D