

發明專利說明書**公告本**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96128973

※ 申請日期：96.8.7.

※IPC 分類：G11C 8/04(2006.01)

G09G 3/36(2006.01)

一、發明名稱：(中文/英文)

移位暫存器陣列
SHIFT REGISTER ARRAY

二、申請人：(共 1 人)**姓名或名稱：**(中文/英文)

友達光電股份有限公司/AU Optronics Corp.

代表人：(中文/英文) 李焜耀/K. Y. Lee**住居所或營業所地址：**(中文/英文)

新竹科學工業園區新竹市力行二路一號

No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW**三、發明人：**(共 3 人)**姓 名：**(中文/英文)

1. 簡志遠/Chih-Yuan CHIEN

2. 郭育如/Yu-Ju KUO

3. 陳婉蓉/Wan-Jung CHEN

國 籍：(中文/英文)

中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種移位暫存器 (shift register)，特別是有關於一種液晶顯示裝置的移位暫存器陣列。

【先前技術】

現今之液晶顯示器大多於面板外設置閘極驅動器 (gate driver) 以及源極驅動器 (source driver)，分別用以產生閘極脈波信號 (gate pulse signal) 以及資料信號 (data signal)。然而，使用閘極驅動器的成本較高，為了降低成本，一般是在玻璃基板上製作功能等同於閘極驅動器的移位暫存器陣列，即整合驅動電路。主動矩陣液晶顯示器 (Active Matrix Liquid Crystal Display, AMLCD) 通常採用非晶矽薄膜電晶體 (thin film transistor, TFT) 之製程技術；因此，在點亮面板之後，移位暫存器會因為應力 (stress) 的問題而導致面板表現異常。

第 1 圖係顯示傳統移位暫存器的電路圖。在第 1 圖中僅顯示單一級之移位暫存器，而複數串接之移位暫存器即可構成移位暫存器陣列，其功能等同於閘極驅動器。如第 1 圖所示，移位暫存器 100 包括電晶體 101、電晶體 102、上拉 (pull-up) 單元 110、下拉 (pull-down) 單元 120 及電晶體 106。電晶體 101 耦接於節點 N10，並接收前一串接級之移位暫存器所輸出的閘極脈波信號 $Gate_{N-1}$ 。電晶體 102 接收時脈信號 CK，並根據節點 N10 的電位而輸出移位暫存器 100 的閘極脈波信號 $Gate_N$ 。下拉單元 120 耦接於電晶體 102 以及接地端 VSS 之間。上拉單元 110 耦

接於節點 N10 以及接地端 VSS 之間，包括三個電晶體 103-105。電晶體 103 耦接於節點 N10 以及接地端 VSS 之間，其閘極耦接至節點 N11。電晶體 104 耦接於節點 N11 以及電源 VDD 之間，其閘極耦接至電源 VDD 而形成連接成二極體之電晶體。電晶體 105 耦接於節點 N11 以及接地端 VSS 之間，其閘極耦接至節點 N10。如此，電晶體 105 與電晶體 104 形成一個動態反向器（dynamic inverter）。

此外，電晶體 106 耦接於節點 N10 以及接地端 VSS 之間，其閘極用以接收後一串接級之移位暫存器所輸出的閘極脈波信號 $Gate_{N+1}$ 。然而，對移位暫存器 100 而言，無論閘極脈波信號 $Gate_{N-1}$ 或是時序信號 CK 是否有信號輸入，電晶體 104 一直處在導通的情況下，其容易降低元件的壽命而造成損壞。

【發明內容】

本發明提供一種移位暫存器陣列，具有複數串接級之移位暫存器。上述移位暫存器包括：一第一電晶體，具有一第一閘極、一第一端以及一第二端，上述第一閘極以及上述第一端耦接至一第一輸入端，而上述第二端耦接至一第一節點；一第二電晶體，具有一第二閘極、一第三端以及一第四端，上述第三端耦接至一第一時脈輸入端，上述第二閘極耦接至上述第一節點，而上述第四端耦接至一輸出端；以及一上拉單元，包括：一第三電晶體，耦接於上述第一節點以及一接地端之間，具有一第三閘極耦接至一第二節點；一第一電容，耦接於上述第一時脈輸入端以及

上述第二節點之間；以及一第四電晶體，耦接於上述第二節點以及上述接地端之間，具有一第四閘極耦接至上述第一節點。

再者，本發明提供一種移位暫存器陣列，具有複數串接級之移位暫存器。上述移位暫存器包括：一第一電晶體，具有一第一閘極、一第一端以及一第二端，上述第一閘極以及上述第一端耦接至一第一輸入端，而上述第二端耦接至一第一節點；一第二電晶體，具有一第二閘極、一第三端以及一第四端，上述第三端耦接至一第一時脈輸入端，上述第二閘極耦接至上述第一節點，而上述第四端耦接至一輸出端；一第一上拉單元，包括：一第三電晶體，耦接於上述第一節點以及一接地端之間，具有一第三閘極耦接至一第二節點；一第一電容，耦接於上述第一時脈輸入端以及上述第二節點之間；以及一第四電晶體，耦接於上述第二節點以及上述接地端之間，具有一第四閘極耦接至上述第一節點；以及一第五電晶體，耦接於上述輸出端以及上述接地端之間，具有一第五閘極耦接至一第二時脈輸入端。

【實施方式】

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

第 2A 圖係根據本發明繪示移位暫存器陣列之實施

例。移位暫存器陣列 20 係由複數個串接之移位暫存器所組成，其中各移位暫存器具有相同的電路。單一級之移位暫存器將詳細描述於後。如第 2A 圖所示，對移位暫存器 24 而言，其輸入端 In_1 耦接至前一串接級之移位暫存器 22 的輸出端 Out 以接收閘極脈波信號 $Gate_{N-1}$ ，而其輸入端 In_2 耦接至後一串接級之移位暫存器 26 的輸出端 Out 以接收閘極脈波信號 $Gate_{N+1}$ 。此外，移位暫存器 24 的輸出端 Out 耦接至後一串接級之移位暫存器 26 的輸入端 In_1 ，以傳送閘極脈波信號 $Gate_N$ 給後一串接級之移位暫存器 26。再者，移位暫存器 24 的時脈輸入端 CK_1 、 CK_2 分別耦接於時脈信號 CK、XCK，而後一串接級之移位暫存器 26 的時脈輸入端 CK_1 、 CK_2 分別耦接於時脈信號 XCK、CK，其中時脈信號 XCK 為時脈信號 CK 的反相。

第 2B 圖係繪示第 2A 圖中移位暫存器陣列之單一級移位暫存器。在此實施例中，移位暫存器 200 係以第 2A 圖中的移位暫存器 24 當作例子來說明。移位暫存器 200 包括電晶體 201、202、205、206、207 以及上拉單元 210。電晶體 201 耦接於節點 N20 以及輸入端 In_1 之間，用以接收前一串接級之移位暫存器（例如移位暫存器 22）所輸出的閘極脈波信號 $Gate_{N-1}$ ，其中電晶體 201 具有一閘極耦接至輸入端 In_1 。電晶體 202 耦接於時脈輸入端 CK_1 以及輸出端 Out 之間，具有一閘極耦接至節點 N20。電晶體 202 接收時脈信號 CK，並根據節點 N20 的電位而輸出移位暫存器 200 的閘極脈波信號 $Gate_N$ 。電晶體 205 耦接於節點 N20 以及接地端 VSS 之間，其閘極耦接至輸入端 In_2 以接收後一串接級之移位暫存器（例如移位暫存器 26）

所輸出的閘極脈波信號 $Gate_{N+1}$ 。電晶體 206 耦接於輸出端 Out 以及接地端 VSS 之間，其閘極耦接至時脈輸入端 CK_2 ，用以接收時脈信號 XCK。

上拉單元 210 包括電晶體 203、電容 C1 以及電晶體 204。電晶體 203 耦接於節點 N20 以及接地端 VSS 之間，具有一閘極耦接至節點 N21。電容 C1 耦接於時脈輸入端 CK_1 以及節點 N21 之間，而電晶體 204 耦接於節點 N21 以及接地端 VSS 之間，其閘極耦接至節點 N20。電晶體 207 耦接於輸出端 Out 以及接地端 VSS 之間，具有一閘極耦接至上拉單元 210 的節點 N21。此外，在第 2B 圖中的電晶體皆以 N 型薄膜電晶體為例。

第 2C 圖係根據本發明繪示移位暫存器實施例的時序圖。首先，在時間 t_1 ，前一串接級之移位暫存器的閘極脈波信號 $Gate_{N-1}$ 為高電壓位準，並經由輸入端 In_1 傳送至電晶體 201 以導通電晶體 201，使得節點 N20 具有第一電壓準位。接著，在時間 t_2 時，時脈信號 CK 從低電壓準位切換成高電壓準位，並傳送至電晶體 202 的汲極端（即時脈輸入端 CK_1 ），使得閘極脈波信號 $Gate_N$ 亦由低電壓準位切換成高電壓準位。對電晶體 202 而言，閘極端（即節點 N20）為浮接（floating）狀態。由於耦合（coupled）的影響，當電晶體 202 之汲極端的電位隨著時脈信號 CK 增加時，節點 N20 的電位會增加至第二電壓準位。接著，在時間 t_3 時，後一串接級之移位暫存器所輸出的閘極脈波信號 $Gate_{N+1}$ 為高電壓準位並傳送至輸入端 In_2 ，使得電晶體 205 被導通而將節點 N20 電性連接至接地端 VSS。同時，時脈信號 XCK 從低電壓準位切換成高電壓準位，並

傳送至時脈輸入端 CK_2 。因此，電晶體 206 被導通而將輸出端 Out 電性連接至接地端 VSS，使得閘極脈波信號 $Gate_N$ 變為低電壓準位。

在本發明實施例中，上拉單元使用電容來取代連接成二極體之電晶體（例如第 1 圖中電晶體 104），並使用時脈耦合（clock coupling）的效應來達到傳統動態反向器的功能，以解決應力的問題。

第 3A 圖係根據本發明繪示移位暫存器陣列之實施例。移位暫存器陣列 30 係由複數個串接之移位暫存器所組成，而單一級之移位暫存器將詳細描述於後。如第 3A 圖所示，對移位暫存器 34 而言，其輸入端 In_1 耦接至前一串接級之移位暫存器 32 的輸出端 Out 以接收閘極脈波信號 $Gate_{N-1}$ ，而其輸入端 In_2 耦接至後二串接級之移位暫存器 38 的輸出端 Out 以接收閘極脈波信號 $Gate_{N+2}$ 。此外，移位暫存器 34 的輸出端 Out 耦接至後一串接級之移位暫存器 36 的輸入端 In_1 ，以傳送閘極脈波信號 $Gate_N$ 給後一串接級之移位暫存器 36。再者，後一串接級之移位暫存器 36 的輸出端 Out 耦接至後二串接級之移位暫存器 38 的輸入端 In_1 ，以傳送閘極脈波信號 $Gate_{N+1}$ 給第 $N+2$ 級移位暫存器 38。對移位暫存器 34 而言，時脈輸入端 CK_1 、 CK_2 、 CK_3 分別耦接於時脈信號 CLK1、CLK2、CLK3。此外，前一串接級之移位暫存器 32 的時脈輸入端 CK_1 、 CK_2 、 CK_3 分別耦接於時脈信號 CLK3、CLK1、CLK2，而後一串接級之移位暫存器 36 的時脈輸入端 CK_1 、 CK_2 、 CK_3 分別耦接於時脈信號 CLK2、CLK3、CLK1。

第 3B 圖係繪示第 3A 圖中移位暫存器陣列之單一級

移位暫存器。在此實施例中，移位暫存器 300 係以第 3A 圖中的移位暫存器 34 當作例子來說明。移位暫存器 300 包括電晶體 301、302、305-308 以及上拉單元 320、330。電晶體 301 耦接於節點 N30 以及輸入端 In_1 之間，用以接收前一串接級之移位暫存器（例如移位暫存器 32）所輸出的閘極脈波信號 $Gate_{N-1}$ ，其中電晶體 301 具有一閘極耦接至輸入端 In_1 。電晶體 302 耦接於時脈輸入端 CK_1 以及輸出端 Out 之間，具有一閘極耦接至節點 N30。電晶體 302 接收時脈信號 CLK1，並根據節點 N30 的電位而輸出移位暫存器 300 的閘極脈波信號 $Gate_N$ 。電晶體 306 耦接於節點 N30 以及接地端 VSS 之間，其閘極耦接至輸入端 In_2 以接收後二串接級之移位暫存器（例如移位暫存器 38）所輸出的閘極脈波信號 $Gate_{N+2}$ 。電晶體 305 耦接於輸出端 Out 以及接地端 VSS 之間，其閘極耦接至時脈輸入端 CK_2 ，用以接收時脈信號 CLK2。此外，電晶體 308 亦耦接於輸出端 Out 以及接地端 VSS 之間，其閘極耦接至時脈輸入端 CK_3 ，用以接收時脈信號 CLK3。

再者，上拉單元 320 包括電晶體 303、電容 C1 以及電晶體 304。電晶體 303 耦接於節點 N30 以及接地端 VSS 之間，具有一閘極耦接至節點 N31。電容 C1 耦接於時脈輸入端 CK_1 以及節點 N31 之間，而電晶體 304 耦接於節點 N31 以及接地端 VSS 之間，其閘極耦接至節點 N30。電晶體 307 耦接於輸出端 Out 以及接地端 VSS 之間，具有一閘極耦接至上拉單元 320 的節點 N31。此外，另一上拉單元 330 包括電晶體 309、電容 C2 以及電晶體 310。電晶體 309 耦接於節點 N30 以及接地端 VSS 之間，具有一

閘極耦接至節點 N32。電容 C2 耦接於時脈輸入端 CK₃ 以及節點 N32 之間，而電晶體 310 耦接於節點 N32 以及接地端 VSS 之間，其閘極耦接至前一串接級之移位暫存器（例如移位暫存器 32）的節點 N30_(N-1)。在第 3B 圖中，全部的電晶體皆以 N 型薄膜電晶體為例。

第 3C 圖係根據本發明繪示移位暫存器另一實施例的時序圖。首先，在時間 t1，前一串接級之移位暫存器的閘極脈波信號 Gate_{N-1} 為高電壓位準，並經由輸入端 In₁ 傳送至電晶體 301 以導通電晶體 301，使得節點 N30 具有第一電壓準位。接著，在時間 t2 時，時脈信號 CLK1 從低電壓準位切換成高電壓準位，並傳送至電晶體 302 的汲極端（即時脈輸入端 CK₁），使得閘極脈波信號 Gate_N 亦由低電壓準位切換成高電壓準位。由於耦合的影響，當電晶體 302 之汲極端的電位隨著時脈信號 CLK1 增加時，電晶體 302 之閘極端（即節點 N30）的電位會增加至第二電壓準位。接著，在時間 t3 時，時脈信號 CLK1 從高電壓準位切換回低電壓準位。同樣地，由於耦合的影響，節點 N30 的電位會降低至第一電壓準位。同時，時脈信號 CLK2 從低電壓準位切換成高電壓準位，並傳送至時脈輸入端 CK₂。因此，電晶體 305 被導通而將輸出端 Out 電性連接至接地端 VSS，使得閘極脈波信號 Gate_N 變為低電壓準位。接著，在時間 t4 時，後二串接級之移位暫存器（例如：移位暫存器 38）所輸出的閘極脈波信號 Gate_{N+2} 為高電壓準位並傳送至輸入端 In₂，使得電晶體 306 被導通而將節點 N30 電性連接至接地端 VSS。同時，時脈信號 CLK3 從低電壓準位切換成高電壓準位而將電晶體 308 導通，使

得閘極脈波信號 $Gate_N$ 維持在低電壓準位。

第 3D 圖係根據本發明繪示移位暫存器之另一實施例。相較於第 3B 圖中的移位暫存器 300，移位暫存器 400 僅包括電晶體 301、302、305-308 以及上拉單元 320。如第 3D 圖所顯示，為了減少電路的佈局面積，移位暫存器 400 可僅使用一組上拉單元 320。

在本發明實施例中，增加時脈信號的數量可降低每一個電晶體的操作時間，進而增加移位暫存器的可靠度。如第 3C 圖所示，時脈信號 CLK1、CLK2 以及 CLK3 具有相同的頻率以及工作週期 (duty cycle)。根據本發明之較佳實施例，各時脈信號的工作週期大約為 33%。時脈信號 CLK3 的相位落後時脈信號 CLK2 且相位差為 120° ，而時脈信號 CLK2 的相位落後時脈信號 CLK1 且相位差為 120° 。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示傳統移位暫存器的電路圖；

第 2A 圖係根據本發明繪示移位暫存器陣列之實施例；

第 2B 圖係繪示第 2A 圖中移位暫存器陣列之單一級移位暫存器；

第 2C 圖係根據本發明繪示移位暫存器的時序圖；

第 3A 圖係根據本發明繪示移位暫存器陣列之實施例；

第 3B 圖係繪示第 3A 圖中移位暫存器陣列之單一級移位暫存器；

第 3C 圖係根據本發明繪示移位暫存器另一實施例的時序圖；以及

第 3D 圖係根據本發明繪示移位暫存器之另一實施例。

【主要元件符號說明】

100~傳統移位暫存器；

101-106、201-207、301-310~電晶體；

110、210、320、330~上拉單元；

120~下拉單元；

20、30~移位暫存器陣列；

22、24、26、32、34、36、38、200、300~移位暫存器；

C1、C2~電容；

CK、CLK1、CLK2、CLK3、XCK~時脈信號；

CK₁、CK₂、CK₃~時脈輸入端；

Gate_{N-1}、Gate_N、Gate_{N+1}、Gate_{N+2}~閘極脈波信號；

In₁、In₂~輸入端；

N10、N11、N20、N21、N30、N30_(N-1)、N31、N32~節點；

Out~輸出端；

VDD~電源；

VSS~接地端。

五、中文發明摘要：

一種移位暫存器陣列，具有複數串接級之移位暫存器。移位暫存器包括：第一電晶體，具有第一閘極、第一端以及第二端，第一閘極以及第一端耦接至第一輸入端，而第二端耦接至第一節點；第二電晶體，具有第二閘極、第三端以及第四端，第三端耦接至時脈輸入端，第二閘極耦接至第一節點，而第四端耦接至輸出端；以及上拉單元。上拉單元包括：第三電晶體，耦接於第一節點以及接地端之間，具有第三閘極耦接至第二節點；第一電容，耦接於時脈輸入端以及第二節點之間；以及第四電晶體，耦接於第二節點以及接地端之間，具有第四閘極耦接至第一節點。

六、英文發明摘要：

A shift register array having a plurality of shift register connected in serial. The shift register includes a first transistor, a second transistor and a pull-up unit. The first transistor has a first gate coupled to a first input terminal, a first terminal coupled to the first input terminal and a second terminal coupled to a first node. The second transistor has a second gate coupled to the first node, a third terminal coupled to a clock input terminal and a fourth terminal coupled to an output terminal. The pull-up unit includes a third transistor coupled between the first node and a ground terminal having a third gate coupled to a second node, a capacitor coupled between the clock input terminal and the second node, and a fourth transistor coupled between the second node and ground terminal having a fourth gate coupled to the first node.

十、申請專利範圍：

1. 一種移位暫存器陣列，具有複數串接級之移位暫存器，上述移位暫存器包括：

一第一電晶體，具有一第一閘極、一第一端以及一第二端，上述第一閘極以及上述第一端耦接至一第一輸入端，而上述第二端耦接至一第一節點；

一第二電晶體，具有一第二閘極、一第三端以及一第四端，上述第三端耦接至一第一時脈輸入端，上述第二閘極耦接至上述第一節點，而上述第四端耦接至一輸出端；

一第一上拉單元，包括：

一第三電晶體，耦接於上述第一節點以及一接地端之間，具有一第三閘極耦接至一第二節點；

一第一電容，耦接於上述第一時脈輸入端以及上述第二節點之間；以及

一第四電晶體，耦接於上述第二節點以及上述接地端之間，具有一第四閘極耦接至上述第一節點；

一第五電晶體，耦接於上述輸出端以及上述接地端之間，具有一第五閘極耦接至一第二時脈輸入端；以及

一第六電晶體，耦接於上述輸出端以及上述接地端之間，具有一第六閘極耦接至一第三時脈輸入端。

2. 如申請專利範圍第 1 項所述之移位暫存器陣列，其中上述移位暫存器更包括一第七電晶體，耦接於上述第一節點以及上述接地端之間，具有一第七閘極耦接至一第二輸入端，其中上述第一輸入端耦接至前一串接級之移位暫存器的輸出端，上述第二輸入端耦接至後二串接級之移位暫存器的輸出端，上述輸出端耦接至後一串接級之移位暫存器的輸出端。

存器的第一輸入端，以及上述後一串接級之移位暫存器的輸出端耦接至上述後二串接級之移位暫存器的第一輸入端。

3.如申請專利範圍第 2 項所述之移位暫存器陣列，其中上述移位暫存器更包括一第八電晶體，耦接於上述輸出端以及上述接地端之間，具有一第八閘極耦接至上述第二節點。

4.如申請專利範圍第 1 項所述之移位暫存器陣列，其中上述第一時脈輸入端、上述第二時脈輸入端以及上述第三時脈輸入端分別耦接於一第一時脈信號、一第二時脈信號以及一第三時脈信號。

5.如申請專利範圍第 4 項所述之移位暫存器陣列，其中上述移位暫存器更包括一第二上拉單元，上述第二上拉單元包括：

一第九電晶體，耦接於上述第一節點以及上述接地端之間，具有一第九閘極耦接至一第三節點；

一第二電容，耦接於上述第三時脈輸入端以及上述第三節點之間；以及

一第十電晶體，耦接於上述第三節點以及上述接地端之間，具有一第十閘極耦接至上述前一串接級之移位暫存器的第一節點。

6.如申請專利範圍第 4 項所述之移位暫存器陣列，其中上述第一時脈信號、上述第二時脈信號以及上述第三時脈信號具有相同的頻率。

7.如申請專利範圍第 6 項所述之移位暫存器陣列，其中上述第一時脈信號、上述第二時脈信號以及上述第三時

脈信號具有相同的工作週期。

8.如申請專利範圍第 7 項所述之移位暫存器陣列，其中上述第一時脈信號的工作週期為 $1/3$ 。

9.如申請專利範圍第 8 項所述之移位暫存器陣列，其中上述第三時脈信號的相位落後上述第二時脈信號且相位差為 120° ，而上述第二時脈信號的相位落後上述第一時脈信號且相位差為 120° 。

10.如申請專利範圍第 4 項所述之移位暫存器陣列，其中上述前一串接級之移位暫存器的第一時脈輸入端、第二時脈輸入端與第三時脈輸入端分別耦接於上述第三時脈信號、上述第一時脈信號與上述第二時脈信號。

11.如申請專利範圍第 4 項所述之移位暫存器陣列，其中上述後一串接級之移位暫存器的第一時脈輸入端、第二時脈輸入端與第三時脈輸入端分別耦接於上述第二時脈信號、上述第三時脈信號與上述第一時脈信號。

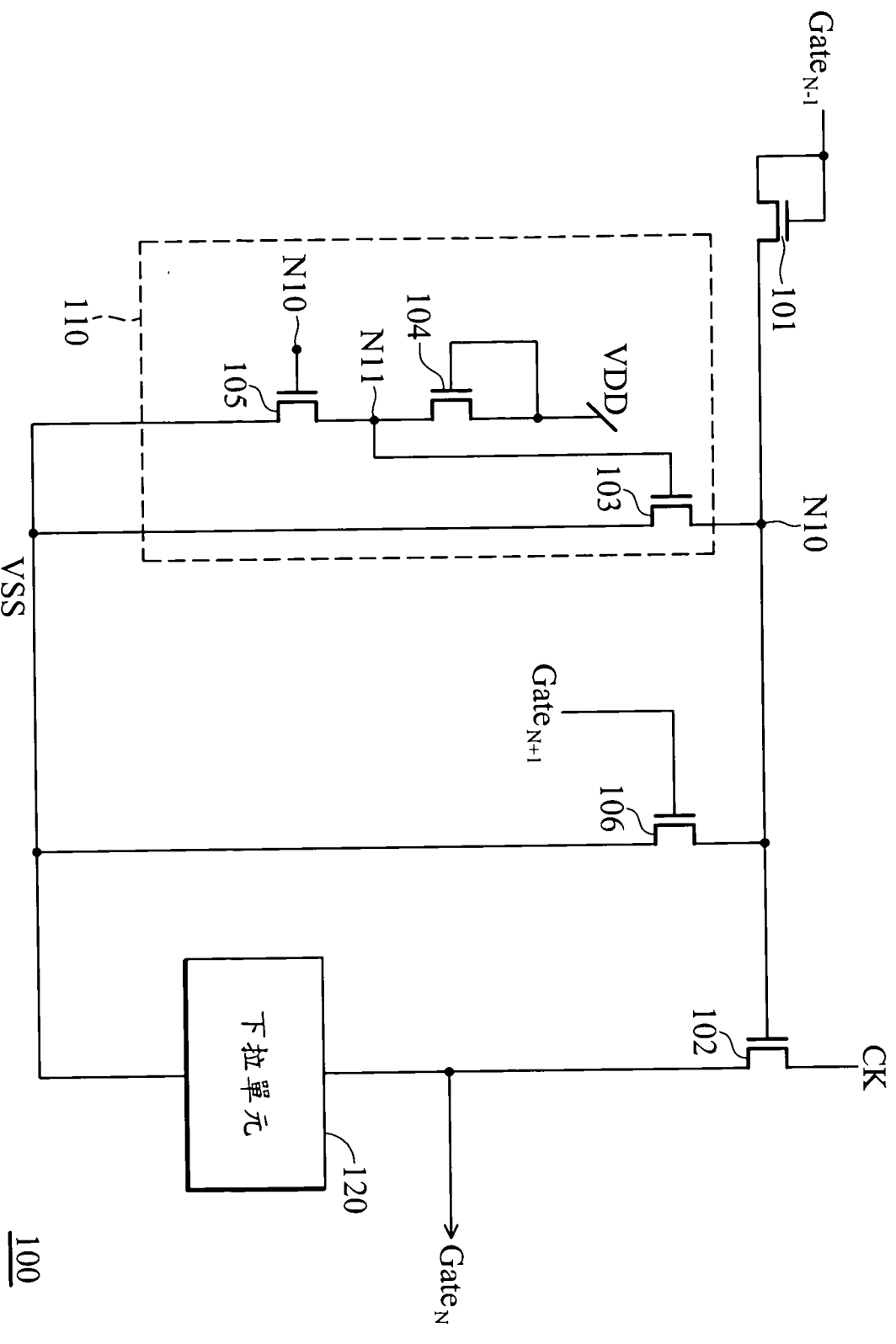
12.如申請專利範圍第 5 項所述之移位暫存器陣列，其中上述電晶體為 N 型薄膜電晶體。

13.一種移位暫存器陣列，具有複數串接級之移位暫存器，上述移位暫存器包括：

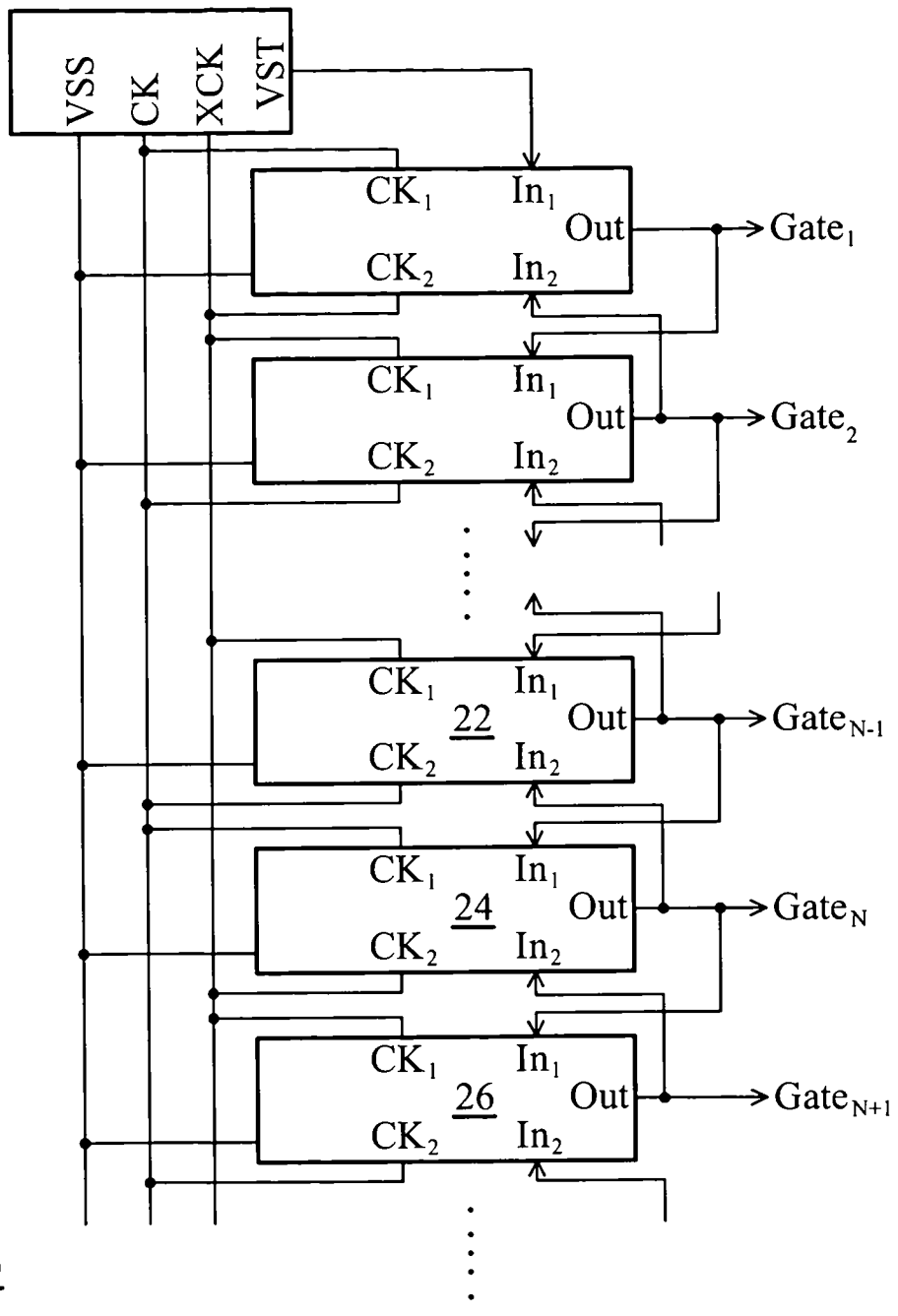
一第一電晶體，具有一第一閘極、一第一端以及一第二端，其中上述第一閘極以及上述第一端耦接至一第一輸入端，而上述第二端耦接至一第一節點；

一第二電晶體，具有一第二閘極、一第三端以及一第四端，其中上述第三端耦接至一第一時脈輸入端，上述第二閘極耦接至上述第一節點，而上述第四端耦接至一輸出端；

- 一 第一上拉單元，包括：
 - 一 第三電晶體，耦接於上述第一節點以及一接地端之間，具有一第三閘極耦接至一第二節點；
 - 一 第一電容，耦接於上述第一時脈輸入端以及上述第二節點之間；以及
 - 一 第四電晶體，耦接於上述第二節點以及上述接地端之間，具有一第四閘極耦接至上述第一節點；
 - 一 第五電晶體，耦接於上述輸出端以及上述接地端之間，具有一第五閘極耦接至一第二時脈輸入端；以及
 - 一 第六電晶體，耦接於上述輸出端以及上述接地端之間，具有一第六閘極耦接至一第三時脈輸入端，
- 其中上述第一時脈輸入端、上述第二時脈輸入端以及上述第三時脈輸入端分別耦接於一第一時脈信號、一第二時脈信號以及一第三時脈信號，以及上述第一時脈信號、上述第二時脈信號以及上述第三時脈信號具有相同的頻率以及不同的相位。

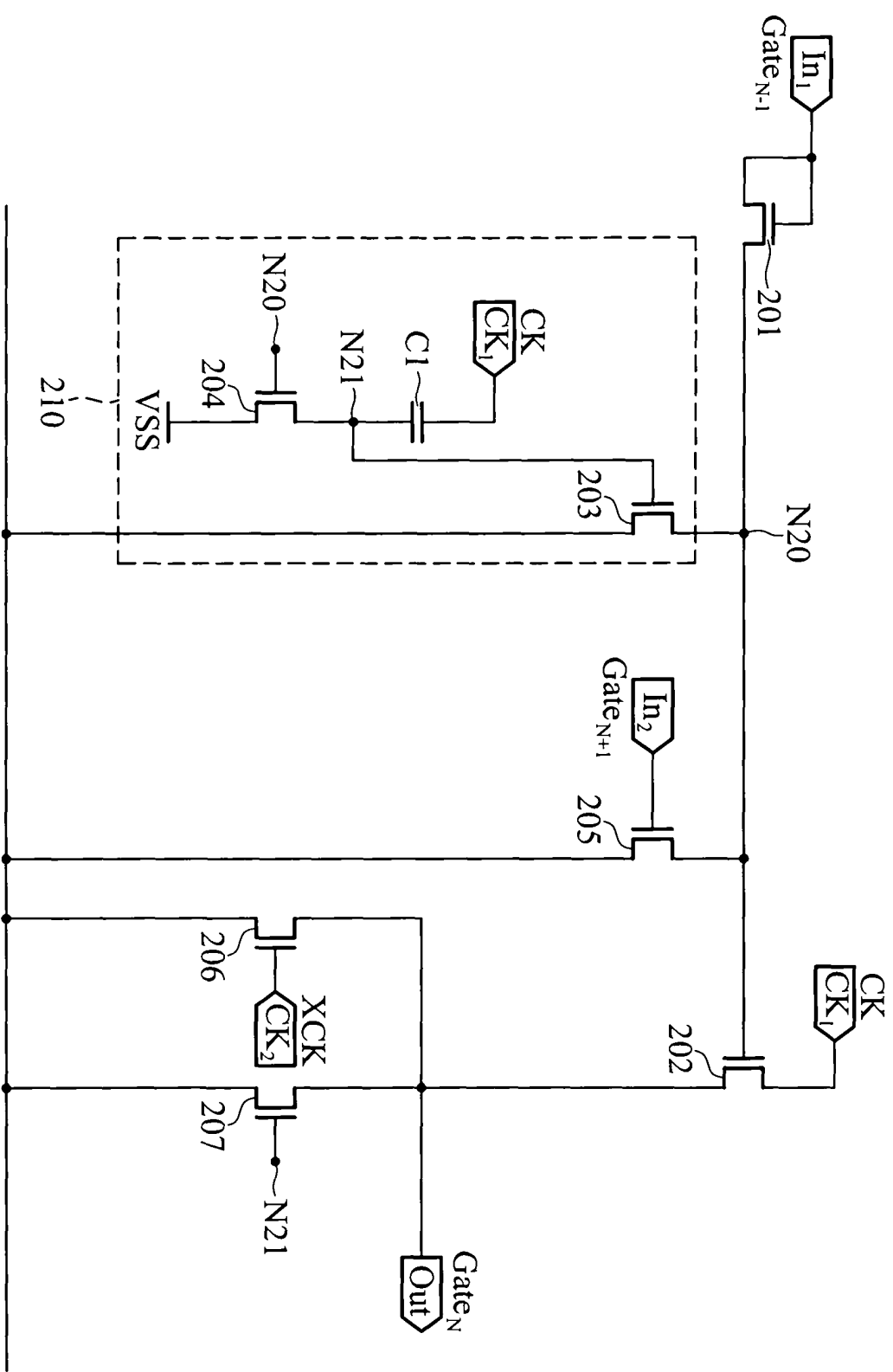


第 1 圖

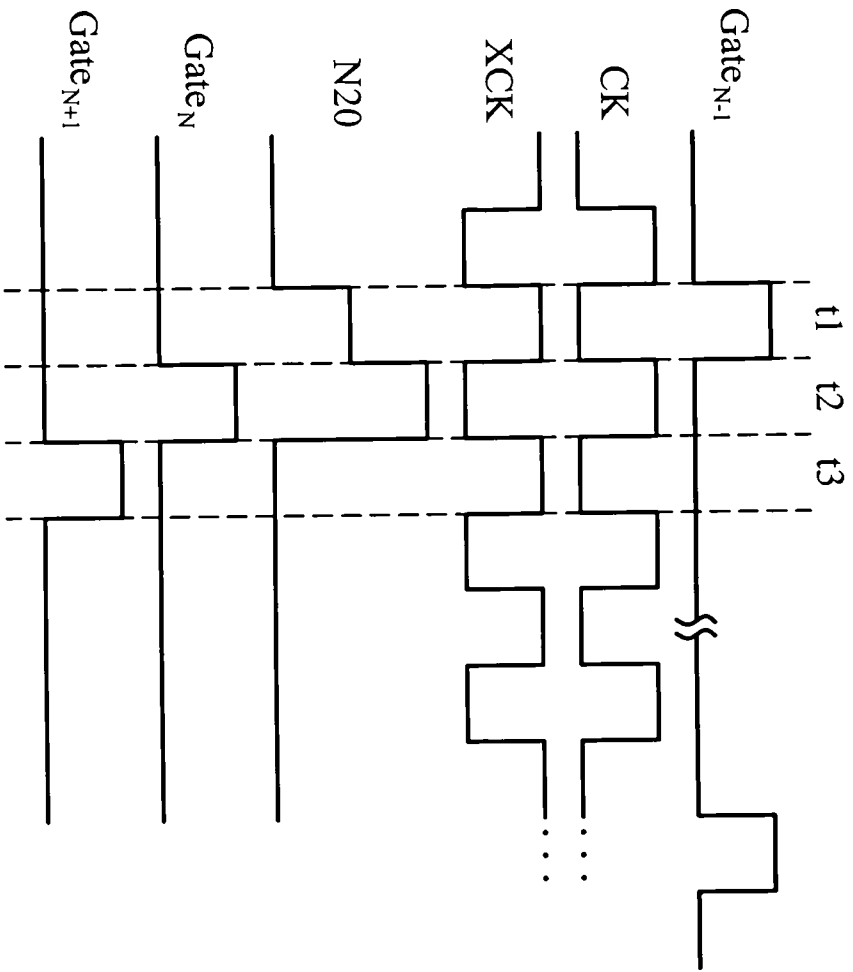


20

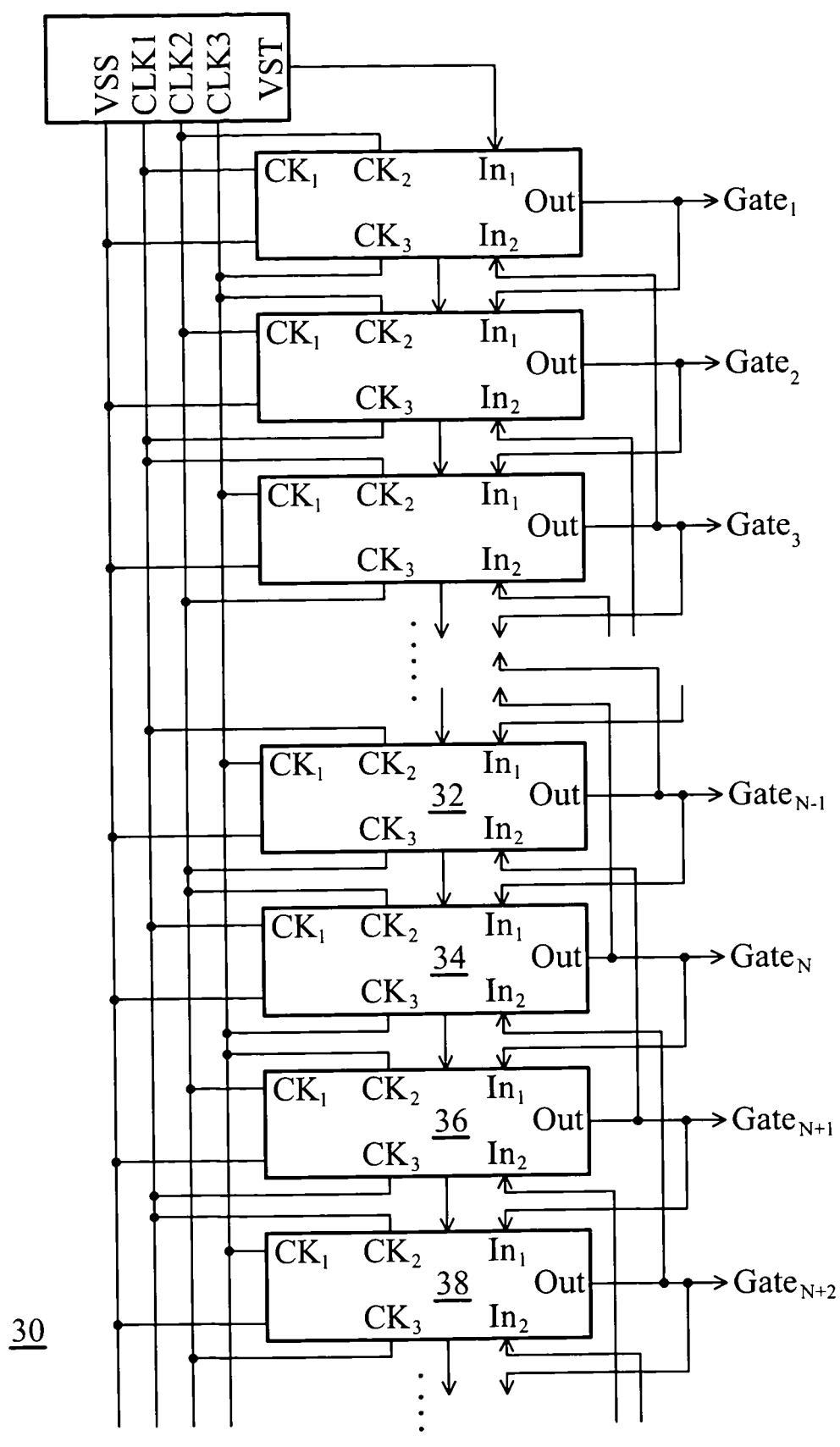
第2A圖



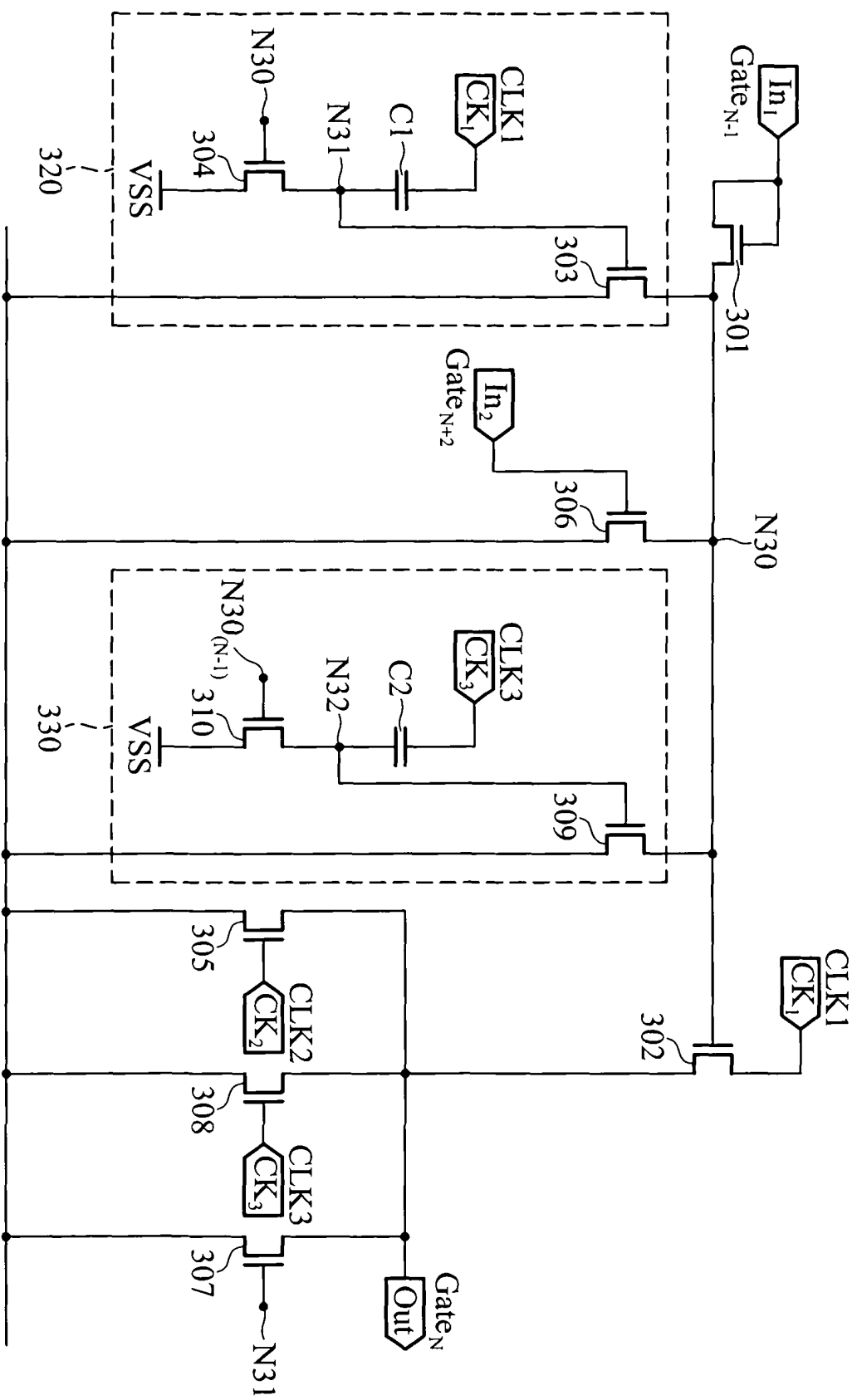
第2B圖



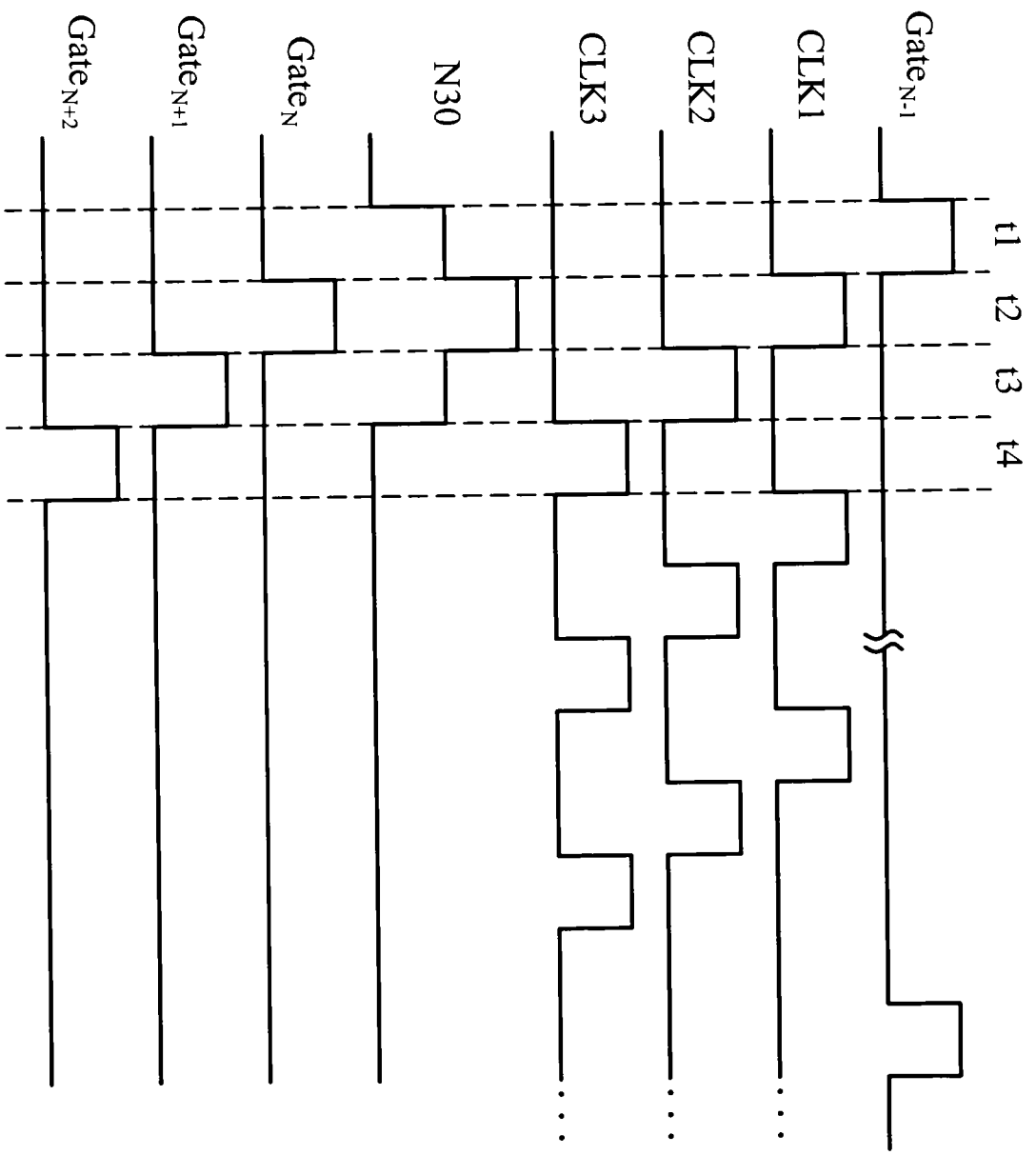
第 2C 圖



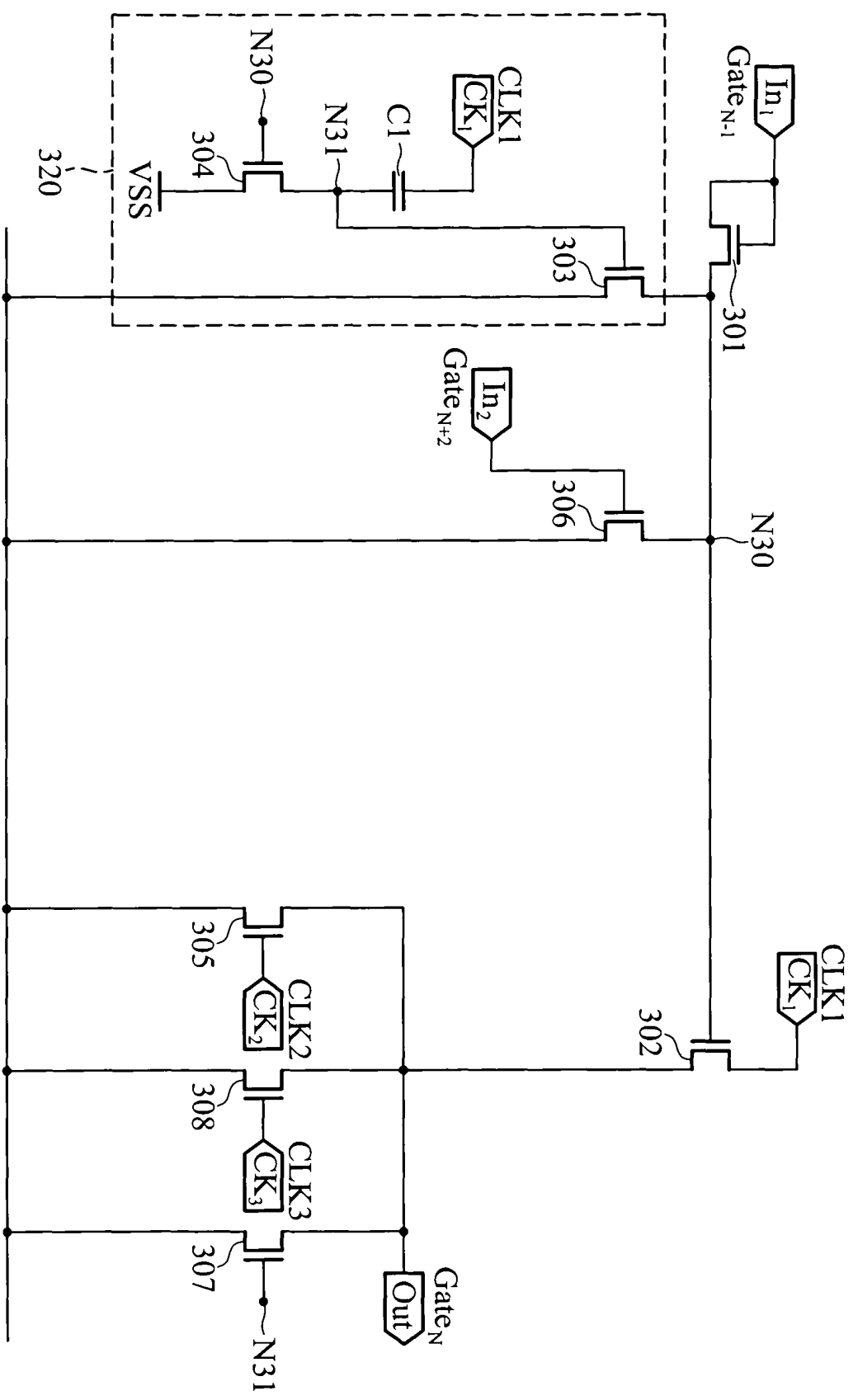
第 3A 圖



第 3B 圖



第 3C 圖



第3D圖

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

20～移位暫存器陣列；

22、24、26～移位暫存器；

Gate_{N-1}、Gate_N、Gate_{N+1}～閘極脈波信號。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。