



# (12) 发明专利申请

(10) 申请公布号 CN 115621116 A

(43) 申请公布日 2023. 01. 17

(21) 申请号 202211233767.X

C30B 29/06 (2006.01)

(22) 申请日 2022.10.10

C30B 31/22 (2006.01)

(71) 申请人 和舰芯片制造(苏州)股份有限公司

地址 215025 江苏省苏州市苏州工业园区  
星华街333号

(72) 发明人 胡志诚 马贤佳 柴利林

(74) 专利代理机构 北京连和连知识产权代理有限公司 11278

专利代理师 刘小峰 张元

(51) Int. Cl.

H01L 21/28 (2006.01)

G23C 16/24 (2006.01)

G23C 16/52 (2006.01)

G23C 16/56 (2006.01)

G30B 28/14 (2006.01)

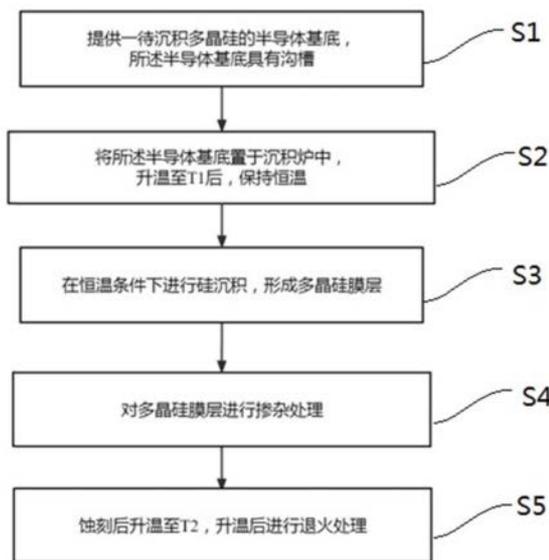
权利要求书1页 说明书3页 附图3页

## (54) 发明名称

一种用于Splitgate的多晶硅膜层制作方法

## (57) 摘要

本发明公开了一种用于Splitgate的多晶硅膜层制作方法,其包括:提供一待沉积多晶硅的半导体基底,所述半导体基底具有沟槽;将所述半导体基底置于沉积炉中,升温至 $T_1$ 后,保持恒温,在恒温条件下进行硅沉积,形成多晶硅膜层;然后按一定速率升温至 $T_2$ ,升温后进行退火处理;其中, $T_2 > T_1$ ;还包括对所述多晶硅膜层进行掺杂处理。本发明有效改善了多晶硅膜层的均匀度和厚度,大大提升了Splitgate的性能。



1. 一种用于Splitgate的多晶硅膜层制作方法,包括以下步骤:

提供一待沉积多晶硅的半导体基底,所述半导体基底具有沟槽;将所述半导体基底置于沉积炉中,升温至 $T_1$ 后,保持恒温,在恒温条件下进行硅沉积,形成多晶硅膜层;然后按一定速率升温至 $T_2$ ,升温后进行退火处理;

其中, $T_2 > T_1$ ;

还包括对所述多晶硅膜层进行掺杂处理。

2. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述 $T_1$ 的温度区间为 $500 \sim 550^\circ\text{C}$ 。

3. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述 $T_2$ 的温度区间为 $580 \sim 620^\circ\text{C}$ 。

4. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述掺杂处理包括:通过离子注入掺杂元素,完成对多晶硅膜层的掺杂处理。

5. 根据权利要求4所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述离子注入的原料为 $\text{PH}_3$ 。

6. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,向设备内通入 $\text{PH}_3$ 的流量为 $70\text{ccm} \sim 100\text{ccm}$ 。

7. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述多晶硅膜层采用化学气相沉积法沉积。

8. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述硅沉积是在低压下进行。

9. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述多晶硅膜层的厚度范围为 $2000 \sim 2200\text{\AA}$ 。

10. 根据权利要求1所述的用于Splitgate的多晶硅膜层制作方法,其特征在于,所述升温过程为匀速升温。

## 一种用于Splitgate的多晶硅膜层制作方法

### 技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种用于Splitgate的多晶硅膜层制作方法。

### 背景技术

[0002] 现有Split Gate Power MOS(分裂栅功率场效应晶体管)的制造过程中,会沉积形成多晶硅膜层作为IPO(栅间氧化层),之后对多晶硅膜层进行掺杂,从而调节其导电性。但是,受限于掺杂手段,IPO(栅间氧化层)内的杂质分布不均匀,且厚度也达不到需求。为了提升IPO的质量,需要调整反应温度和掺杂浓度以改善IPO的均匀度和厚度。

[0003] 有鉴于此,应当对现有技术进行改进,以解决现有技术中存在的上述技术问题。

### 发明内容

[0004] 为了解决现有的技术问题,本发明提出了一种用于Splitgate的多晶硅膜层制作方法,能够有效改善多晶硅膜层均匀度和厚度。

[0005] 根据本发明,提供一种用于Splitgate的多晶硅膜层制作方法,其包括:提供一待沉积多晶硅的半导体基底,所述半导体基底具有沟槽;将所述半导体基底置于沉积炉中,升温至 $T_1$ 后,保持恒温,在恒温条件下进行硅沉积,形成多晶硅膜层;然后按一定速率升温至 $T_2$ ,升温后进行退火处理;其中, $T_2 > T_1$ ;还包括对所述多晶硅膜层进行掺杂处理。

[0006] 根据本发明的一个实施例,所述 $T_1$ 的温度区间为 $500 \sim 550^\circ\text{C}$ 。

[0007] 根据本发明的一个实施例,所述 $T_2$ 的温度区间为 $580 \sim 620^\circ\text{C}$ 。

[0008] 根据本发明的一个实施例,所述掺杂处理包括:通过离子注入掺杂元素,完成对多晶硅膜层的掺杂处理。

[0009] 根据本发明的一个实施例,所述离子注入的原料为 $\text{PH}_3$ 。

[0010] 根据本发明的一个实施例,向设备内通入 $\text{PH}_3$ 的流量为 $70\text{ccm} \sim 100\text{ccm}$ 。

[0011] 根据本发明的一个实施例,所述多晶硅膜层采用化学气相沉积法沉积。

[0012] 根据本发明的一个实施例,所述硅沉积是在低压条件下进行。

[0013] 根据本发明的一个实施例,所述多晶硅膜层的厚度范围为 $2000 \sim 2200\text{\AA}$ 。

[0014] 根据本发明的一个实施例,所述升温过程为匀速升温。

[0015] 由于采用以上技术方案,本发明与现有技术相比具有如下优点:通过本发明的制作方法制作的新型多晶硅膜层相比于传统多晶硅膜层结构而言,提升了氧化速率,改善了IPO的均匀度和厚度,减少了晶粒,在非晶化程度上表现更优,改善了蚀刻后多晶硅呈V字型结构问题。

### 附图说明

[0016] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施案例,对于本领域

普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0017] 图1示出了根据本发明的一个示例性实施例的用于Splitgate的多晶硅膜层制作方法的流程示意图;

[0018] 图2示出了现有技术中合成的IPO的电镜扫描照片;

[0019] 图3示出了根据本发明的一个示例性实施例,在不同温度条件下,PH<sub>3</sub>浓度提高到86ccm时,多晶硅氧化膜层和裸硅厚度比值的示意图;

[0020] 图4示出了根据本发明的一个示例性实施例,在不同温度条件下合成的非晶硅的电镜扫描照片;

[0021] 图5示出了根据本发明的一个示例性实施例,在不同温度条件下多晶硅晶粒的含量的电镜扫描照片;

[0022] 图6示出了根据本发明的一个示例性实施例,在不同反应条件下蚀刻后多晶硅凹槽的形状的电镜扫描照片。

### 具体实施方式

[0023] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明实施例进一步详细说明。

[0024] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0025] 如图1-6所示,本发明提供一种用于Splitgate的多晶硅膜层制作方法,其包括:提供一待沉积多晶硅的半导体基底,所述半导体基底具有沟槽;将所述半导体基底置于沉积炉中,升温至 $T_1$ 后,保持恒温,在恒温条件下进行硅沉积,形成多晶硅膜层;然后按一定速率升温至 $T_2$ ,升温后进行退火处理;其中, $T_2 > T_1$ ;还包括对所述多晶硅膜层进行掺杂处理。

[0026] 在根据本发明的实施例的多晶硅膜层制作方法中,仅需要对反应温度和掺杂浓度进行调整,不需要额外增加其他步骤,在不增加成本的前提下,提升了多晶硅膜层的均匀度和厚度。

[0027] 图1示出了根据本发明的一个示例性实施例的用于Splitgate的多晶硅膜层制作方法的流程示意图,其具体可以包括:

[0028] S1、提供一待沉积多晶硅的半导体基底,所述半导体基底具有沟槽;

[0029] S2、将所述半导体基底置于沉积炉中,升温至 $T_1$ 后,保持恒温;

[0030] S3、在恒温条件下进行硅沉积,形成多晶硅膜层;

[0031] S4、对多晶硅膜层进行掺杂处理;

[0032] S5、蚀刻后升温至 $T_2$ ,升温后进行退火处理。

[0033] 步骤S1中的沟槽用于沉积多晶硅。

[0034] 步骤S2中的沉积炉为化学气相沉积炉,所述 $T_1$ 的温度范围为500~550℃,优选为525℃。根据图4和图5可知,升温至525℃的条件下,非晶硅的厚度和均匀度表现更加优异,而且晶粒明显少于550℃,在非晶化程度上也表现得更好。

[0035] 步骤S3中,所述多晶硅膜层采用化学气相沉积法进行沉积,即可以为低压化学气相沉积(LPCVD)方式或等离子体增强化学气相沉积(PECVD)方式,优选低压化学气相沉积,因为其具有生长速度快,成膜致密、均匀,装片容量大等特点,所述多晶硅膜层的生长速率为1~2nm/min。

[0036] 步骤S4中的掺杂处理具体地,包括离子掺杂,离子掺杂可达到高纯度掺杂的要求,进而提高半导体器件的性能。通过离子注入实现掺杂,优选的掺杂元素为P(磷),离子注入的原料为 $\text{PH}_3$ ,向设备内通入 $\text{PH}_3$ 的流量为70ccm-100ccm,优选为86ccm。根据图3可知,当 $\text{PH}_3$ 的流量提高到86ccm,沉积温度为550℃时,沉积中心处的多晶硅氧化膜层和裸硅厚度的比值可以达到5倍,边缘处也可以达到4.6倍;沉积温度为525℃时,沉积中心处和边缘处的多晶硅氧化膜层和裸硅厚度的比值都可以达到4.8倍以上,能够满足高氧化率的要求。

[0037] 步骤S5中,对掺杂处理后的多晶硅膜层进行刻蚀处理,能够形成均匀的多晶硅膜层形貌,根据图6可知,升温至525℃沉积得到的多晶硅经过蚀刻后,会产生V字型凹陷。因此将温度升至 $T_2$ ,所述 $T_2$ 的温度范围为580~620℃,优选为600℃。所述升温过程为匀速升温,速率为5℃/min。具体地,继续在多晶硅膜层的表面增加多晶硅的沉积量并在600℃的条件下进行退火处理,可以有效改善这一问题,使蚀刻后的多晶硅形成平整、水平的矩形表面。最终形成的多晶硅膜层的厚度范围为2000-2200Å。

[0038] 所属领域的普通技术人员应当理解:以上任何实施例的讨论仅为示例性的,并非旨在暗示本发明实施例公开的范围(包括权利要求)被限于这些例子;在本发明实施例的思路下,以上实施例或者不同实施例中的技术特征之间也可以进行组合,并存在如上的本发明实施例的不同方面的许多其它变化,为了简明它们没有在细节中提供。因此,凡在本发明实施例的精神和原则之内,所做的任何省略、修改、等同替换、改进等,均应包含在本发明实施例的保护范围之内。

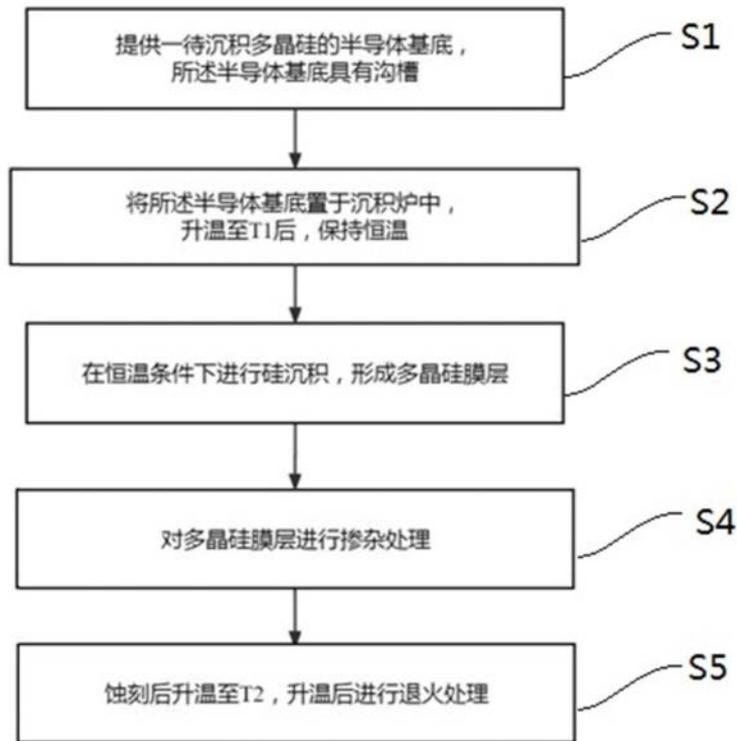


图1

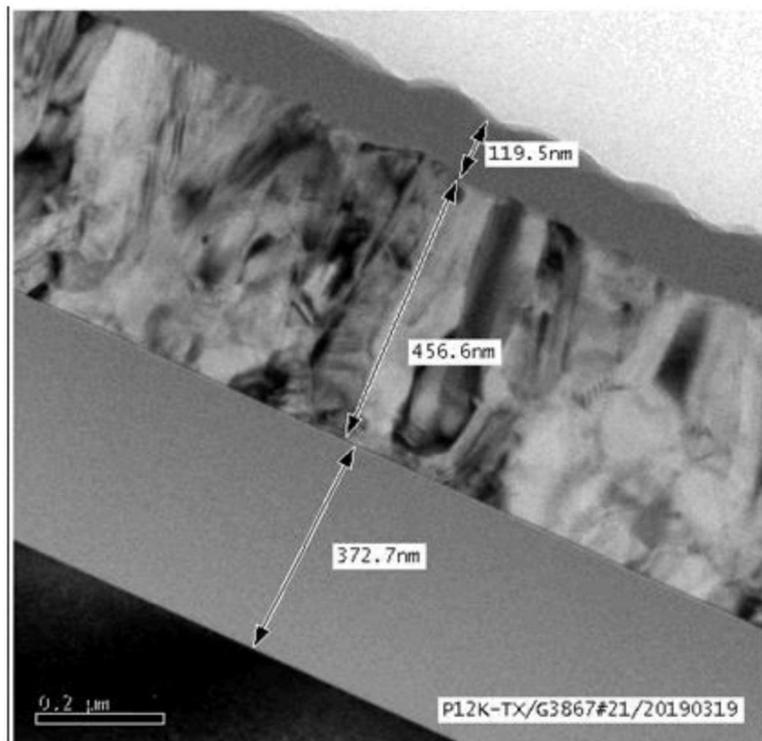


图2

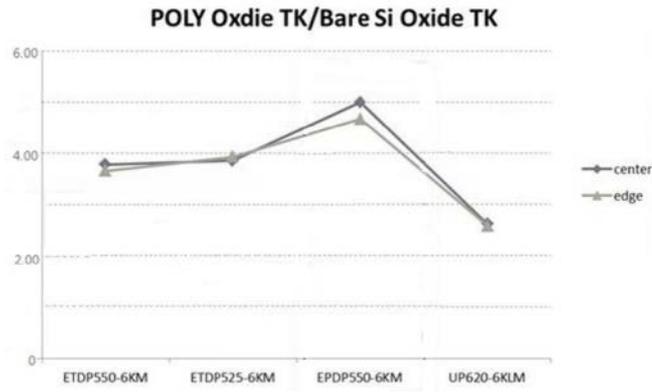


图3

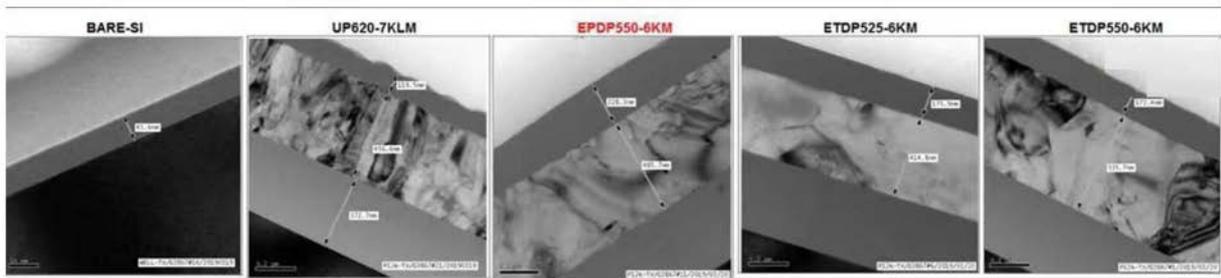


图4

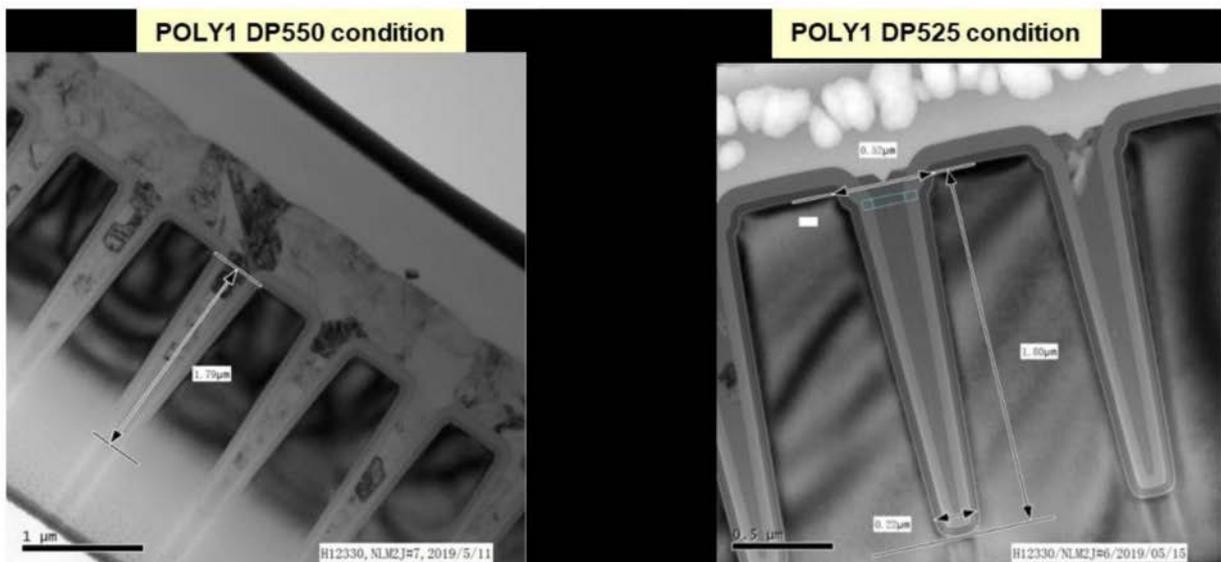


图5

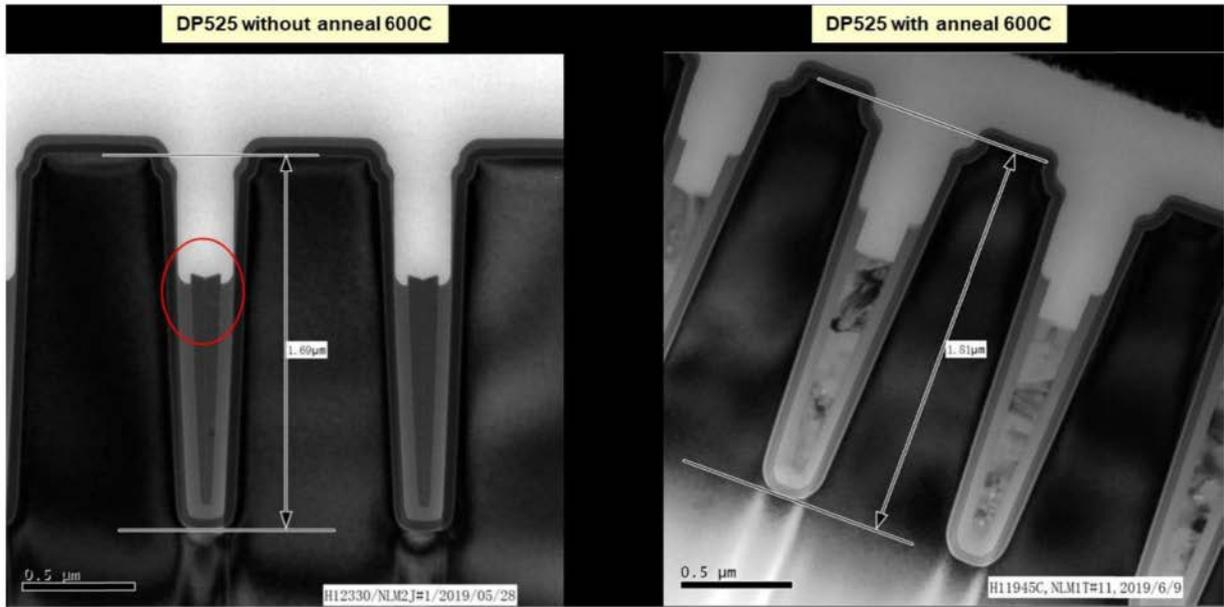


图6