

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3827978号
(P3827978)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int. Cl.	F I		
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	5 O 1 S	
HO 1 L 21/60 (2006.01)	HO 1 L 21/60	3 1 1 R	
	HO 1 L 23/12	5 O 1 B	

請求項の数 1 (全 9 頁)

<p>(21) 出願番号 特願2001-257374 (P2001-257374)</p> <p>(22) 出願日 平成13年8月28日 (2001.8.28)</p> <p>(65) 公開番号 特開2003-68793 (P2003-68793A)</p> <p>(43) 公開日 平成15年3月7日 (2003.3.7)</p> <p>審査請求日 平成16年10月22日 (2004.10.22)</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(73) 特許権者 000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号</p> <p>(74) 代理人 100083552 弁理士 秋田 収喜</p> <p>(72) 発明者 宮木 美典 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

C O F用テープ上に固定されたリードと半導体チップ上のバンプとを位置合わせした後電氣的に接続し、該接続部を封止材で封止する半導体装置の製造方法であって、前記C O F用テープのリードが前記半導体チップ側に設けられ、前記C O F用テープの半導体チップ搭載領域の内側領域に貫通孔を設け、該リードと前記半導体チップ上のバンプとの位置合わせは、前記C O F用テープと前記貫通孔を通して直接半導体チップ上のパターンを認識して行い、前記C O F用テープの半導体チップ搭載領域の内側領域に貫通孔を設け、この貫通孔に封止材を注入して封止することを特徴とするC O F型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、チップ オン テープ (Chip On Film: 以下C O Fという) を用いた半導体装置に関し、特に、C O F用テープのチップ搭載面と外部装置接続用ボール (例えばはんだボール) 搭載面が同一面に設置された半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

従来のT - B G A (Tape - Ball Grid Array) 型パッケージは、T A B (Tape A out mated Bonding) 方式を用いた半導体チップを搭載し、この搭載される半導体チップの外

側にパッケージの端子であるはんだボールを備えたパッケージである。

主要部材であるポリイミドテープは、半導体チップを搭載するためのデバイスホールを設けている。また、半導体チップと端子間の配線は、テープ上に銅箔をエッチングにより配線パターン及びボールを搭載するランドを形成している。

【0003】

【発明が解決しようとする課題】

しかしながら、従来のT-BGA型パッケージでは、TAB方式を用いるため、主要部材であるポリイミドテープに半導体チップサイズ毎に、半導体チップを搭載するためのデバイスホールを設ける必要がある。そのため半導体チップ毎にテープの打ち抜き金型を製作する必要がある。

また、半導体チップの패드ピッチが狭い場合、TAB方式を用いたT-BGA型パッケージは、インナーリードがデバイスホール内に突出しているため、インナーリード曲がりによる不良が発生しやすいという問題があった。

【0004】

本発明の目的は、テープの加工の標準化を図ることが可能な技術を提供することにある。本発明の他の目的は、リードの曲がりによる不良を低減することが可能な技術を提供することにある。

本発明の他の目的は、リードの位置決めを容易にすることが可能な技術を提供することにある。

本発明の他の目的は、放熱効率を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0005】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

【0009】

C O F用テープ上に固定されたリードと半導体チップ上の bumps とを位置合わせした後電氣的に接続し、該接続部を封止材で封止する半導体装置の製造方法であって、前記C O F用テープのリードが前記半導体チップ側に設けられ、前記C O F用テープの半導体チップ搭載領域の内側領域に貫通孔を設け、該リードと前記半導体チップ上の bumps との位置合わせは、前記C O F用テープと前記貫通孔を通して直接半導体チップ上のパターンを認識して行い、前記C O F用テープの半導体チップ搭載領域の内側領域に貫通孔を設け、この貫通孔に封止材を注入して封止するものである。

【0011】

前述した本発明によれば、C O F用テープのデバイスホールを必要としないので、C O F用テープの加工の標準化が図れる。

また、C O F用テープの半導体チップ搭載領域の内側領域に位置合せ及び放熱効率の向上のための貫通孔を設ける場合、半導体チップサイズに合せることなく、パッケージサイズによって1種類のサイズの貫通孔をあけるので、C O F用テープの加工の標準化が図れる。

また、半導体チップ上の패드と結線するリード(インナーリード)がC O F用テープ上に固定されているので、リード曲がりによる不良を低減することができる。

【0012】

以下に、本発明について、本発明の実施形態(実施例)とともに図面を参照して詳細に説明する。

なお、本発明の実施形態(実施例)を説明する全図において、同一機能を有するものは、同一符号を付けその繰り返しの説明は省略する。

【0013】

【発明の実施の形態】

図1は、本発明の実施形態の参考となる半導体装置におけるC O F用テープの概略構成

10

20

30

40

50

を示す平面図、図2は、図1のA-A線で切った半導体装置の断面図である。

【0014】

図1及び図2において、1はCOF用テープ、1Aはベーステープ（例えばポリイミドテープ）、1Bはスプロケットホール（テープ送り穴）、2は半導体チップ、2Aは半導体チップ2のパッド上のバンパ（例えばAuバンパ）、3はリード（インナーリード：例えば銅箔配線）、4ははんだボール搭載用（外部装置接続用）パッド（ランド）、5はソルダーレジスト（保護膜）、6は封止材（アンダーフィル樹脂）、7ははんだボールである。

【0015】

半導体装置は、図1及び図2に示すように、COF用テープ1上のリード（インナーリード：例えば銅箔配線）3と半導体チップ2のパッド上のバンパ2A及びはんだボール7とを電氣的に接続し、前記半導体チップ2上のバンパ接続部を封止材（例えば樹脂）で封止した半導体装置であって、前記COF用テープ1の半導体チップ搭載面とはんだボール搭載面が同一面に設置され、前記COF用テープ1上のリード3と半導体チップ2上のバンパ2Aとの接続面及びはんだボール7との接続面（ランド）の表面に錫（Sn）めっき又は金（Au）めっきを施し、その上にはんだボール7を設けたものである。

10

【0016】

この半導体装置に用いるCOF用テープ1は、図1及び図2に示すように、半導体チップ2上のバンパ2Aに対応する間隔でリード3を形成し、幅方向の両端部にスプロケットホール1Bが設けられている。

20

【0017】

また、前記COF用テープは、例えば、銅箔を接着したポリイミドテープからなる透明なテープに、スプロケットホール1Aを、例えば、打ち抜き法により設け、その銅箔の表面にリードパターンのレジスト膜を形成し、前記レジスト膜をマスクとして銅箔をエッチングし、その後、銅に錫、半田、金等をメッキすることで得られる。

また、ソルダーレジスト（保護膜）5は、前記半導体チップ2の外側までのサイズであり、前記半導体チップ2の内側にはこないように設けられている。

【0018】

前記半導体チップ2のバンパと前記リード3との位置合わせは、例えば、図3(a)に示すように、1台のカメラ（画像認識装置）101を用いて、COF用テープ越しにボンディングステーション（ヒートステージ）102に載置されている前記半導体チップ2のパターン及び前記COF用テープ上のリード（インナーリード）3の配線パターンを認識（画像認識）して行う。

30

【0019】

このパターン認識の後、図3(b)に示すように、ボンディングヘッド（ボンディング治工具）103を半導体チップ2上に移動させ、半導体チップ2の位置に設定されると、当該ボンディングヘッド103を半導体チップ2側に降下させてボンディングを行う。すなわち、前記位置合わせした半導体チップ2上のバンパ及びCOF用テープ1上のリード3は、高加熱したボンディングステーション102のステージとボンディングヘッドのツール熱荷重にて一括ボンディングが行われる。ボンディング後、封止樹脂（アンダーフィル樹脂）6を充填し硬化させる（図2）。その後、はんだボール搭載用パッド4上にはんだボールを搭載し、所定の大きさに切断する。

40

【0020】

また、前記半導体チップ2のバンパと前記リード（インナーリード）3との位置合わせは、例えば、図4(a)に示すように、両面認識の画像認識装置（例えば両面撮影用カメラ）101Aを、COF用テープ1のリード3側面と、ボンディングステーション（ヒートステージ）102に載置されている前記半導体チップ2との間に挿入して、前記半導体チップ2のパターン及び前記COF用テープ上のリード（インナーリード）3の配線パターンを認識（画像認識）することにより、認識精度を向上させることができる。そして、図4(b)に示すように、前記画像認識装置（両面撮影用カメラ）101Aを退避させてボン

50

ディングヘッド（ボンディング治工具）103を半導体チップ2上に移動させ、半導体チップ2の位置に設定されると、当該ボンディングヘッド103を半導体チップ2側に降下させてボンディングを行う。

【0021】

この半導体装置によれば、COF用テープ1のデバイスホールを必要としないので、COF用テープ1の加工の標準化が図れる。

また、半導体チップ2のパッドと結線するリード3がCOF用テープ1上に固定されているので、リード3の曲がりによる不良を低減することができる。

【0022】

図5は、本発明の一実施形態の半導体装置におけるCOF用テープの概略構成を示す平面図、図6は、図5のB-B線で切った半導体装置の断面図である。 10

本実施形態の半導体装置は、図5及び図6に示すように、前述した半導体装置において、前記COF用テープ1の半導体チップ搭載領域の内側領域に貫通孔8を設け、その貫通孔8に封止材（アンダーフィル樹脂）6を充填したものである。

【0023】

このように構成することにより、前記図3（a）に示す1台のカメラ（画像認識装置）101を用いて、COF用テープ越しにボンディングステーション（ヒートステージ）102に載置されている前記半導体チップ2のパターン及び前記COF用テープ上のリード（インナーリード）3の配線パターンを認識（画像認識）して行う場合において、前記参考技術のようにCOF用テープ1越しに透視して半導体チップ2のパターンを認識するのではなく、貫通孔8を通して直接半導体チップ2上のパターンをカメラ101で撮像するので、位置の認識精度を向上させることができる。 20

また、貫通孔8を設けることにより、封止材（アンダーフィル樹脂）6を低圧で充填することができる。かつ、放熱効率を向上させることができる。

【0024】

図7（a）及び図7（b）は、前述した参考技術の変形例となる半導体装置の概略構成を示す平面図、図8（a）及び図8（b）は、図7（b）のC-C線で切った断面図であり、図8（a）は参考技術の変形例の断面図、図8（b）は前述した実施の形態の変形例の断面図である。

本変形例の半導体装置は、図7及び図8に示すように、前述した実施の形態の半導体装置において、前記COF用テープ1の半導体チップ搭載と反対側面に補強材9を接着剤9Aで貼り付けて設けたものである。この補強材9として、熱伝導のよい材料、例えば、金属材料（銅板）を用いると、より放熱効率を良くすることができる。 30

このように構成することにより、薄い半導体装置の強度を補強材9で補強するとともに放熱効率を向上することができる。

【0025】

図9（a）及び図9（b）は、本発明の実施形態の変形例となる半導体装置の概略構成を示す平面図、図10は、図9（b）のD-D線で切った断面図である。

本変形例の半導体装置は、図9及び図10に示すように、前記変形例の半導体装置において、前記COF用テープ1の半導体チップ搭載と反対側面に設けた補強材9に貫通孔10を設けて封止材（アンダーフィル樹脂）6を充填したものである。このように貫通孔8及び貫通孔10を設けることにより、封止材（アンダーフィル樹脂）6を低圧で充填することができる。かつ、さらに放熱効率を向上することができる。 40

【0026】

図11は、本発明の実施形態の半導体装置の実装状態を示す側面図であり、図12は、図11の要部の拡大図である。

本発明の実施形態の半導体装置は、図11及び図12に示す半導体装置と同様に、前記実施形態及びその変形例の半導体装置において、搭載された半導体チップ2の厚さをはんだボール7の高さの3分の2（2/3）以下にしたものである。

【0027】

前記半導体チップ2の厚さは、例えば、0.28mm、COF用テープ1のベーステープの厚さは、例えば、38μm、はんだボール7との接続面(ランド)4の厚さは、例えば、8μmである。その上に施される錫めっきの厚さは、例えば、0.48μmである。

【0028】

前記はんだボール7の大きさは、例えば、径()0.6mmであり、配置ピッチは、例えば、1mmピッチである。前記半導体チップ2の厚さは、はんだボール7の径()よりも薄い。例えば、前記半導体チップ2の厚さがはんだボール7の径()の2/3~1/3程度の厚さが好ましい。

【0029】

このように、搭載された半導体チップ2の厚さをはんだボール7の高さの3分の2(2/3)以下にすることにより、図11に示すように、実装基板20と半導体チップ2との間に隙間ができるので、実装基板と半導体チップの衝突による破損不良を防止できる。

10

【0030】

以上、本発明者によってなされた発明を、実施形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0031】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡潔に説明すれば、下記のとおりである。

20

本発明によれば、COF用テープの加工の標準化が図れる。これにより、COF用テープの加工費を低減することができる。

また、リード曲がりによる不良品を低減することができる。これにより、COF用テープの歩留及び装置の組立歩留を向上することができる。

また、リード位置が固定しているため、リード曲がりによる不良品を低減することができる。これにより、COF用テープの歩留及び狭いパッドピッチの製品が可能となる。

また、リードと半導体チップの bumps との位置合わせ方法を簡略化し、COF型半導体装置の組立性を向上することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態の参考となる半導体装置におけるCOF用テープの概略構成を示す平面図である。

30

【図2】 図1のA-A線で切った半導体装置の断面図である。

【図3】 半導体チップの bumps とリードとの位置合わせ方法を説明するための図である。

【図4】 半導体チップの bumps とリードとの位置合わせ方法の別の方法を説明するための図である。

【図5】 本発明の実施形態の半導体装置におけるCOF用テープの概略構成を示す平面図である。

【図6】 図5のB-B線で切った半導体装置の断面図である。

【図7】 前述した参考技術の変形例となる半導体装置の概略構成を示す平面図である。

40

【図8】 図7(b)のC-C線で切った断面図である。

【図9】 本発明の実施形態の変形例となる半導体装置の概略構成を示す平面図である。

【図10】 図9(b)のD-D線で切った断面図である。

【図11】 本発明の実施形態の半導体装置の実装状態を示す側面図である。

【図12】 図11の要部の拡大図である。

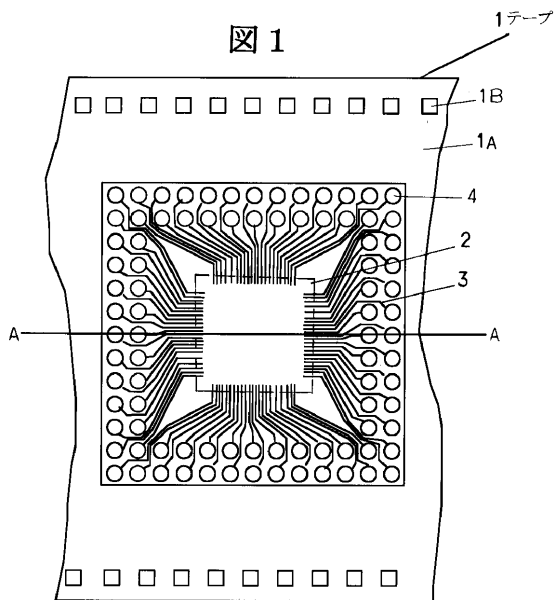
【符号の説明】

- | | |
|----------------------|---------------------|
| 1 ... COF用テープ | 1 A ... テープベース |
| 1 B ... スプロケットホール | 2 ... 半導体チップ |
| 2 A ... bumps | 3 ... リード(インナーリード) |
| 4 ... はんだボール接続面(ランド) | 5 ... ソルダーレジスト(保護膜) |

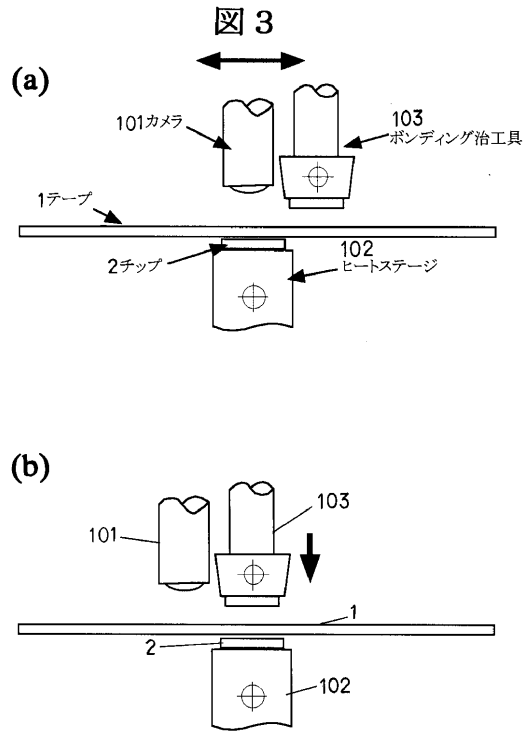
50

- 6 ... 封止材 (アンダーフィル樹脂)
- 7 ... はんだボール
- 8 ... テープベースの貫通孔
- 9 ... 補強材
- 9 A ... 接着剤
- 10 ... 補強材の貫通孔
- 20 ... 実装基板
- 101 ... カメラ (画像認識装置)
- 101 A ... 両面撮影用カメラ
- 102 ... ボンディングステーション
- 103 ... ボンディングヘッド

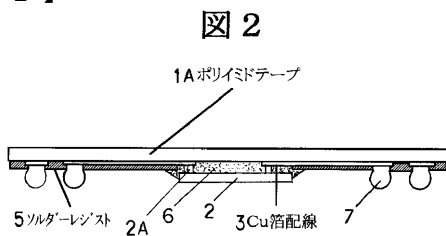
【 図 1 】



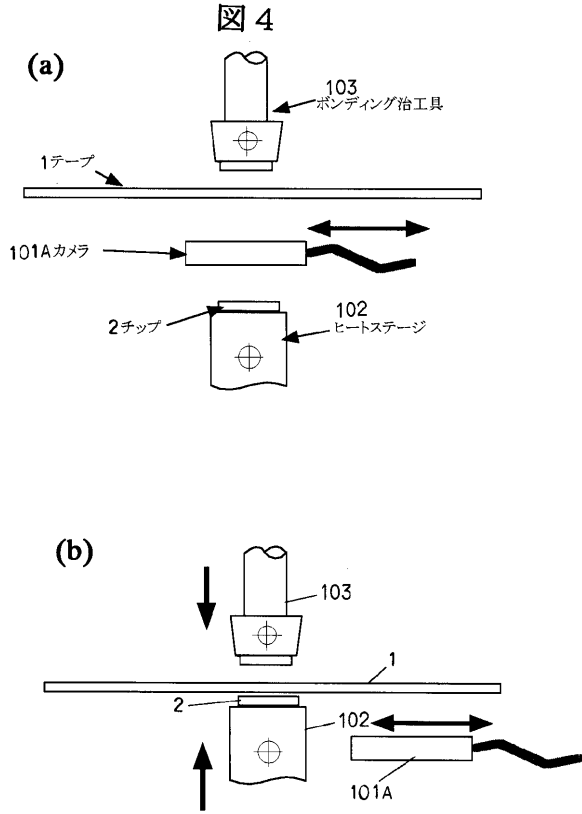
【 図 3 】



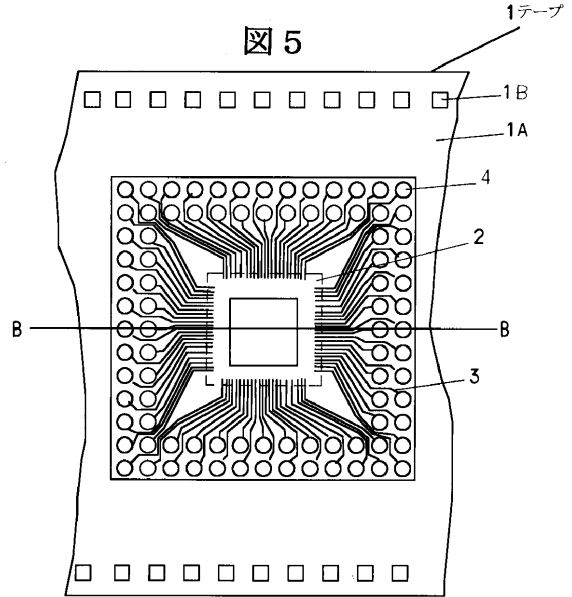
【 図 2 】



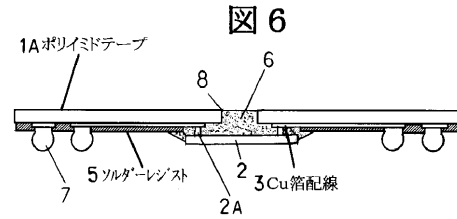
【 図 4 】



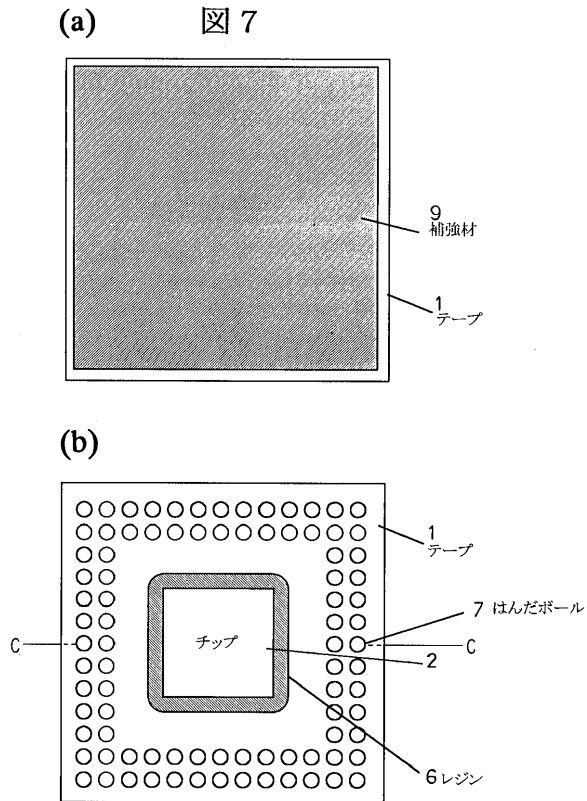
【 図 5 】



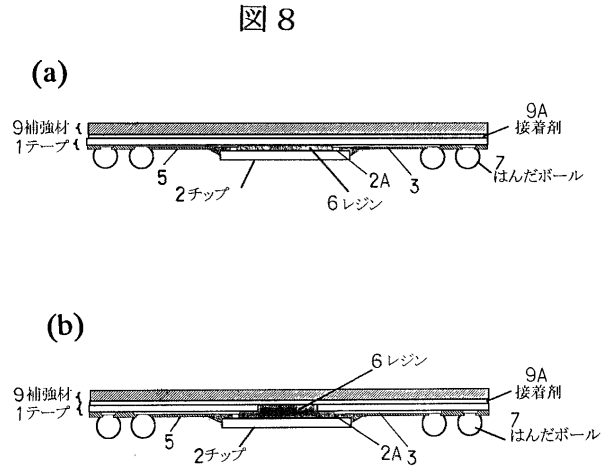
【 図 6 】



【 図 7 】

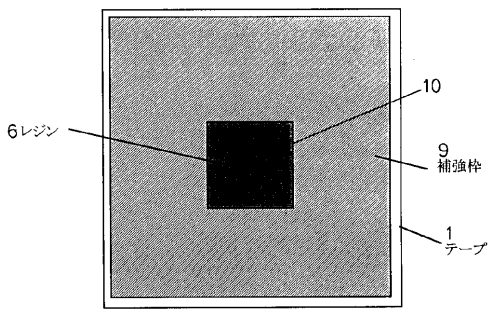


【 図 8 】

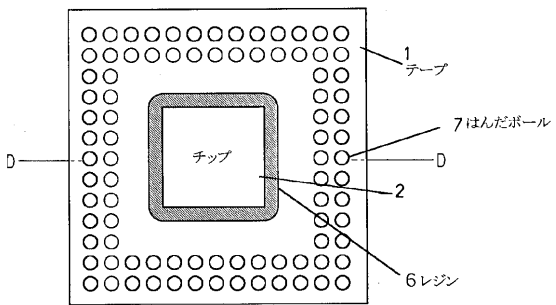


【図9】

(a) 図9

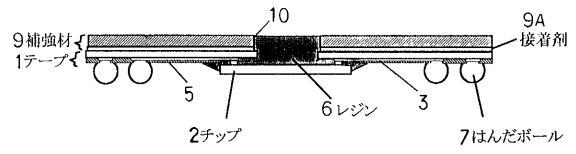


(b)



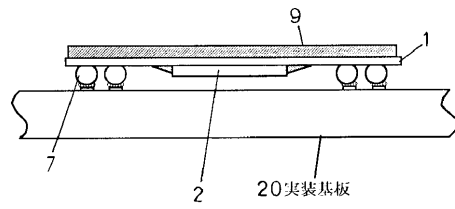
【図10】

図10



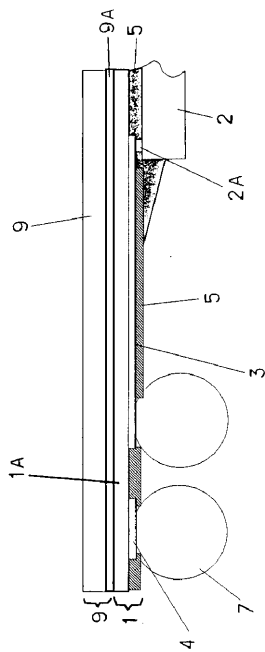
【図11】

図11



【図12】

図12



フロントページの続き

- (72)発明者 市原 誠一
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 春田 亮
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 市川 篤

- (56)参考文献 特開2000-286360(JP,A)
特開2001-053411(JP,A)
特開2001-176934(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 23/12
H01L 21/60