

公告本

申請日期：89 10 19 案號：89 1210 10

類別：H01L 27/12, 29/68; G02F 1/36

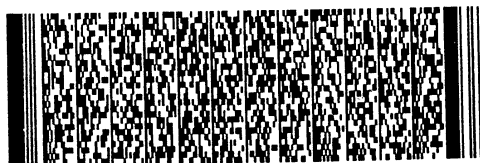
(以上各欄由本局填註)

09-11-01

發明專利說明書

478156

一、發明名稱	中文	主動式矩陣基板及其製造方法
	英文	
二、發明人	姓名 (中文)	1. 田中宏明 2. 山口弘高 3. 金子若彥 4. 坂本道昭
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 2. 日本國東京都港區芝五丁目7番1號 3. 日本國東京都港區芝五丁目7番1號 4. 日本國東京都港區芝五丁目7番1號
三、申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. 日本電氣株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 東京都港區芝五丁目七番一號
	代表人 姓名 (中文)	1. 西垣浩司
代表人 姓名 (英文)	1.	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 井樋田悟史 6. 早瀬貴介 7. 宮原妙 8. 加納博司
	姓名 (英文)	5. 6. 7. 8.
	國籍	5. 日本 6. 日本 7. 日本 8. 日本
	住、居所	5. 日本國東京都港區芝五丁目7番1號 6. 日本國東京都港區芝五丁目7番1號 7. 日本國東京都港區芝五丁目7番1號 8. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/10/26	11-304683	有
日本 JP	2000/10/06	2000-308262	有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明所屬之技術領域】

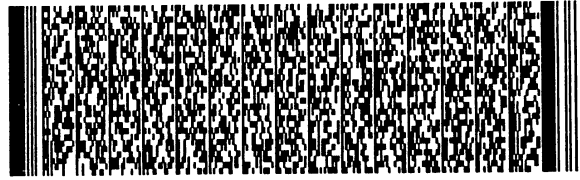
本發明係有關於一種主動式矩陣基板及其製造方法，特別是有關於通道保護型主動式矩陣基板及其製造方法；上述主動式矩陣基板之閘極電極、汲極電極及畫素電極係以層分離之方式設置，且畫素電極係設置於最上層。

【習知技術】

使用薄膜電晶體等主動元件之主動式矩陣型液晶顯示裝置，具有薄型、重量輕之特徵，而作為高畫質平面面板顯示器之用。液晶顯示裝置驅動液晶之方式有：在形成有透明電極之2片基板之間包夾液晶，並在透明電極上施加電壓而驅動液晶之縱電場(twisted nematic：TN)方式；亦或，使用相互間包夾有液晶層之櫛齒狀畫素電極以進行驅動之橫電場方式。無論使用縱電場方式或是橫電場方式，為了達成低價格化之目的，主動式矩陣基板製造方法之簡化仍然持續進行。液晶顯示裝置中，為了達成畫面之高精細化，有必要提高開口率；為此所用之方法，係將透明電極(ITO：銦錫氧化物)層和汲極層以層分離之方式配置，並將透明電極形成於最上層。

在此TN方式，係在各別形成有透明電極之2片基板之間包夾液晶。又，橫電場方式亦可稱為同平面切換(in-plane switching；IPS)方式，係在各別形成有透明電極之2片基板之間包夾液晶層，且在形成於一基板上之櫛齒狀畫素電極和共電極之間施加電壓以驅動液晶。

習知技術中，將透明電極層形成於最上層，藉以獲得



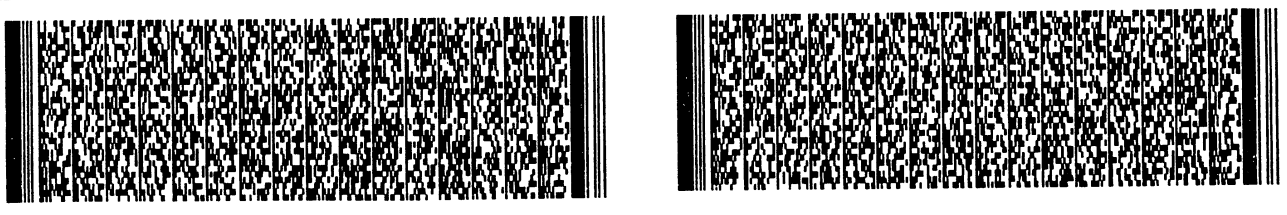
五、發明說明 (2)

能夠減少步驟及更簡化之製造方法，係如日本特開平10-68971號公報上所記載，將參照第62圖進行說明。第62圖(a) ~ (d)顯示習知技術中，TN方式液晶顯示裝置用之主動矩陣基板製造方法之流程剖面圖。

一般TN方式的主動矩陣基板之構成包括：閘極配線和汲極配線，兩者分別在相互垂直之方向上延伸；畫素電極，形成於閘極配線和汲極配線所圍成之區域上；薄膜電晶體(TFT)，形成於閘極配線和汲極配線交差部分之近傍。在TFT表面上，形成有確保性能之通道保護膜。此一主動式矩陣基板之TFT及畫素電極之上形成有配光膜，用以將液晶以既定的方向進行配列；在上述基板與形成有色彩濾光片(color filter)、共通電極、配光膜等的對向基板之間封入液晶以形成液晶顯示裝置(未圖示)。

如上所述之主動式矩陣基板，首先如第62圖(a)所示，在透明絕緣基板101上，形成Cr等閘極電極金屬；使用第1光罩形成光阻圖樣，對露出之Cr進行蝕刻，以形成由閘極配線以及從閘極配線分支而出之閘極電極層102。

接著，如第62圖(b)所示，在連續形成由SiNx所構成之閘極絕緣膜103、a-Si (amorphous silicon；非晶矽)膜104、作為歐姆接觸層之n+型a-Si膜109、以及Cr等之汲極電極層106之後，使用第2光罩，將汲極電極層106進行選擇性蝕刻，將形成a-Si層104之通道區域的開口、以及既定之配線圖樣。然後，以汲極電極層106為蝕刻遮罩，對n+型a-Si膜109蝕刻，以形成歐姆接觸層。



五、發明說明 (3)

再來如第62圖(c)所示，在基板上形成由SiNx等所構成之第2保護膜107，使用第3光罩，將既定區域之第2保護膜107、a-Si膜104及閘極絕緣膜103全部進行蝕刻，而分離出薄膜電晶體區域。

如第62圖(d)所示，使用第4光罩，形成接觸開口而將源/汲極電極區域露出；在透明絕緣基板101上全面形成ITO膜108之後，使用第5光罩將既定區域之ITO膜108去除，形成接續於源極電極之畫素電極，而完成主動式矩陣基板之製造。

在此，用以露出上述源/汲極電極區域之接觸開口，係在保護膜107上形成開口而達成。

如上所述之傳統主動式矩陣基板，ITO膜108和汲極電極層106並非設置於同一層面上，並藉由第2保護膜107而彼此絕緣隔離。因此，由於ITO膜108和汲極電極層106係已經彼此隔離，在以主動式矩陣基板之法線方向為準所見到之橫方向上，並不需要將ITO膜108和汲極電極層106兩者特別予以間隔分離，所以兩者可非常地接近或是重疊。基於此，當ITO膜108和汲極電極層106兩者在橫方向上有間隔分離時，能使黑矩陣(black matrix)變小，亦具有能夠提高開口率之優點。上述黑矩陣係用以遮蔽由ITO膜108和汲極電極層106兩者間隙漏出之無法控制的背光(back light)。此亦即是ITO膜108和汲極電極層106之間，使用第2保護膜107來進行絕緣隔離之原因。

在此，ITO膜108和汲極電極層106係使用保護膜107以



五、發明說明 (4)

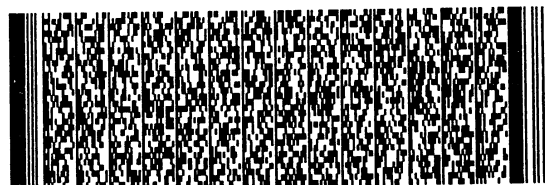
進行隔離。又，習用之主動式矩陣基板之製造方法，係將透明電極層形成於最上層，配合5道光罩之使用而達成主動式矩陣基板之製造。

依據上述公報所記載之方法，利用5道光罩，使得閘極電極、汲極電極、及ITO膜所形成之畫素電極彼此係以層間分離之形態配置，故能夠製造ITO膜形成於最上層之主動式矩陣基板。在第62圖(c)步驟中，保護膜107、a-Si層104及閘極絕緣層103係一併予以蝕刻，因此a-Si層104之側面不會被保護膜107所覆蓋，而產生a-Si層104側面露出之問題。

如上述a-Si層104之側面露出時，將會與後續形成之ITO膜108形成接觸。又，在作為液晶顯示裝置之構成，a-Si層104也會直接觸到液晶材料。

未被保護層107覆蓋之a-Si層104側壁，若有與ITO膜108接觸的話，ITO膜108構成之金屬不純物會在a-Si層104之內部擴散，將會明顯地導致薄膜電晶體特性之惡化。為了避免此一問題，在完成第62圖(c)步驟後、再進行第62圖(d)步驟之前，則再度形成保護膜，藉此而能夠將a-Si層104側壁以保護膜來進行保護。然而，再度形成保護膜，將會產生製程步驟增加之問題。

又，未被保護層107覆蓋之a-Si層104側壁，若有與ITO膜108接觸的話，液晶材料中之不純物同樣地會在a-Si層104之內部擴散，也會明顯地導致薄膜電晶體特性之惡化。



五、發明說明 (5)

有鑑於此，本發明主要目的為提供一種主動式矩陣基板及製造方法，利用絕緣膜使閘極電極、汲極電極及畫素電極係互相地以層間分離之形態配置，能夠僅使用4道光罩製造通道保護型之主動式矩陣基板。

此外，本發明之另一目的為提供一種主動式矩陣基板及製造方法，利用絕緣膜使閘極電極、汲極電極及畫素電極互相地以層間分離形態配置，以得到具有優越長期可靠度之通道保護型主動式矩陣基板。

【解決課題之方式】

為達成上述目的，本發明之第1觀點係為：在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；形成汲極配線、及用以覆蓋上述積層體之第1保護膜，上述第1保護膜係介於汲極配線和上述基板之間；第2保護膜，形成於上述汲極配線及上述第1保護膜之上層；形成源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；形成開口部，貫通上述第2保護膜，而到達上述汲極配線；形成設置於上述第2保護膜上之畫素電極膜；以及，藉著上述畫素電極膜形成之通過上述開口部用以接續之配線層。

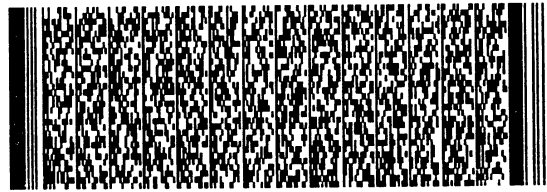
為達成上述目的，本發明之第2觀點係為：在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層



五、發明說明 (6)

體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；形成汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；形成第2保護膜，於上述汲極配線及上述第1保護膜之上層；形成源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；形成開口部，貫通上述第2保護膜，而到達上述汲極配線；形成設置於上述第2保護膜上之畫素電極膜；形成藉由上述畫素電極膜形成之通過上述開口部用以接續之配線層、及接續上述源極開口部之畫素電極；以及，形成蓄積容量部，設置於上述畫素電極上；該畫素電極和同上述閘極同層面形成之電極層之間包夾有上述第1及第2保護膜，構成上述蓄積容量部。

為達成上述目的，依本發明之第3觀點，提供主動式矩陣基板之製造方法。上述方法包括如下步驟：(a)在絕緣基板上，依序形成閘極電極層、閘極絕緣層、及非晶矽(a-Si)層，使用第1光罩形成閘極電極、閘極配線、及薄膜電晶體區域；(b)形成第1保護膜及汲極電極層於上述閘極電極上，使用第2光罩去除位於既定區域之上述汲極電極層，而形成汲極配線；(c)形成第2保護膜於上述汲極配線之上層，使用第3光罩，以設置用以接續源極/汲極電極之開口部，上述源極/汲極電極開口部係貫穿在前述非晶矽層之既定位置上所形成之第1和第2保護膜；且形成開口部，貫穿位於上述汲極配線上之第2保護膜；以及，(d)形成透明電極層於上述第2保護膜及開口部上層，使用第4光



五、發明說明 (7)

罩，形成汲極配線用以接續露出於上述汲極電極用開口之非晶矽層，並且接續由前述透明電極層得來之畫素電極與露出於上述汲極電極用開口之非晶矽層。

【發明之實施型態】

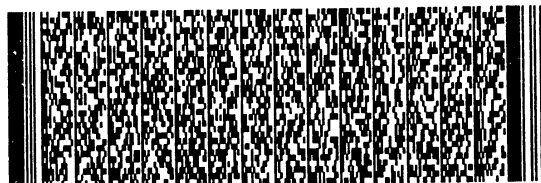
關於本發明主動式矩陣基板之一較佳實施例中，在透明絕緣基板上，閘極電極層和閘極絕緣膜和a-Si層係以同一形狀加工，以形成閘極電極層(第6圖102)及TFT區域；在上層形成第1保護膜(第6圖105)；於第1保護膜之上形成汲極電極層(第6圖106)；在上層形成第2保護膜(第6圖107)，其上具有分別貫通第1及第2保護膜之開口部、以及僅僅貫通第2保護膜之開口部；在最上層配置ITO膜(第6圖108)藉此形成接續配線層和畫素電極。此外，畫素電極另外與一電極層(係和閘極電極在同層面形成)，包夾第1和第2保護膜而構成貯存電容部。

【實施例】

關於上述本發明之實施型態，下文將配合本發明實施例及相關圖式作更詳細之說明。

[實施例1]

首先，本發明第1實施例中，縱電場(TN)方式之通道保護型主動矩陣基板及製造方法，將參照第1圖至第9圖來進行說明。第1圖顯示本發明第1實施例相關之TN方式液晶顯示裝置所使用之主動矩陣基板之電路圖。第2圖至第5圖顯示本發明第1實施例之主動矩陣基板製造流程之佈局圖。又，第6圖顯示本發明第1實施例之主動矩陣基板之製



五、發明說明 (8)

造流程剖面圖，亦即第2圖至第5圖中之A-A'線標示處之剖面。又，第7圖至第9圖分別顯示本發明第1實施例中主動矩陣基板之閘極端子部、汲極端子部、閘極貯存部(第2圖之B-B'線)之製造流程剖面圖。

第1實施例之主動矩陣基板，係為縱電場(TN)方式液晶顯示裝置所使用之基板，TN方式係利用設置於主動矩陣基板上之配光膜和設置於對向基板上之配光膜來驅動液晶。上述主動矩陣基板中，閘極電極2、汲極電極9及畫素電極11藉著絕緣膜而相互地以層間分離之狀態配置(參照第5圖)。構成薄膜電晶體之a-Si膜104上面及側面，係完全被作為通道保護膜之第1和第2保護膜(105和107)所覆蓋(參照第6圖(d))。

在此，液晶係包夾於設置在主動矩陣基板上之配光膜和設置在對向基板上之配光膜兩者之間來驅動液晶。

如第1圖電路圖所示之主動式矩陣基板，具有相互交差之複數閘極匯流排1和複數汲極匯流排4，設置於透明絕緣基板101上；複數電晶體部16，分別設置於閘極匯流排1和汲極匯流排4各個交差之處；以及，畫素電極11。此外，複數閘極匯流排1和汲極匯流排4之終端，分別配置於透明絕緣基板101之周邊部，並分別形成閘極端子部14和汲極端子部15，而能夠由基板外部提供驅動信號。此外，透明絕緣基板101之角部上，形成有共電位供給端子19。上述共電位供給端子19，係用以提供電位給共電極13。上述共電極13係形成於用以包夾液晶17之對向基板上，對向

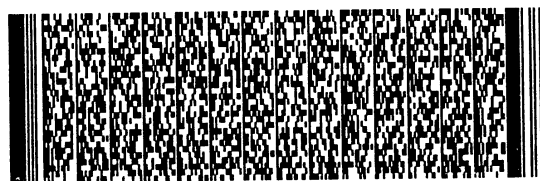
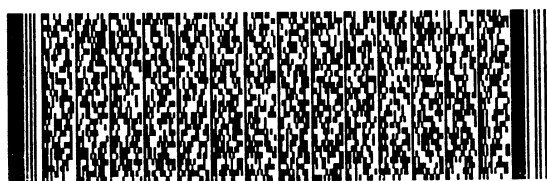


五、發明說明 (9)

基板則與主動式矩陣基板對向配置。又，在與各個電晶體部16鄰接之間極匯流排1之間，形成有貯存電容部18。

參照第5圖及第6圖(d)，本實施例之主動式矩陣基板，其特徵係具有：形成於透明絕緣基板101上，由閘極電極層102、閘極絕緣層103及a-Si層104略為重疊而堆積形成之積層體；用以覆蓋上述積層體而形成於透明絕緣基板101上之第1保護膜105；形成上述第1保護膜105上，並與上述積層體成交差方向之汲極電極層106；用以覆蓋上述汲極電極層106而形成於上述第1保護膜105上之第2保護膜107；形成於上述第1及第2保護膜105、107上，用以露出上述a-Si層104之源極開口部7和汲極開口部6；形成於上述第2保護膜107上，用以露出上述汲極電極層106之接觸孔洞(contact hole)5；汲極電極9，形成於上述第2保護膜107上，係由通過上述汲極開口部6及接觸孔洞5而與上述a-Si層104之一端和汲極電極層106有電性接觸之透明電極所構成；源極電極10，形成於上述第2保護膜107上，係由通過上述源極開口部7而與上述a-Si層104之另一端有電性接觸之透明電極所構成；以及，畫素電極11，係由形成於上述第2保護膜107上之透明電極所構成，上述透明電極之一端與上述源極電極10成為整體接觸，另一端則延伸至鄰近畫素之間極。

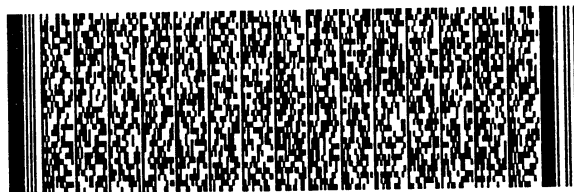
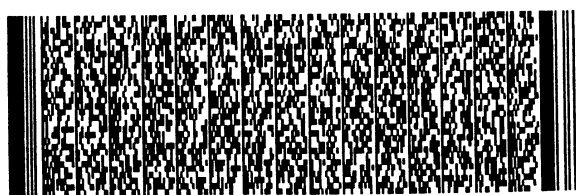
在此，由閘極電極層102、閘極絕緣層103及a-Si層104略為重疊而堆積形成之積層體，係對應於閘極匯流排1及閘極電極2。汲極電極層106係對應於汲極匯流排4。



五、發明說明 (10)

本實施例之主動式矩陣基板，如第5圖所示，具有複數狹長切口(slit)8。狹長切口8，對汲極匯流排4和閘極匯流排1之每一交差處，係以一對之方式配置於汲極匯流排4兩側之閘極匯流排1之上方。換言之，狹長切口8係配置形成於延伸至閘極電極層102上方之畫素電極11之一端，以及位於汲極匯流排4之間的閘極匯流排1之上方；其中，閘極電極層102與其上方畫素電極11之一端之間，係形成有貯存電容部18。上述狹長切口8，係為形成於第1及第2保護膜105、107中之開口部。位在形成狹長切口8處的積層體，其閘極絕緣膜103及a-Si層104亦被去除。汲極匯流排4與閘極匯流排1交差之處，係由閘極電極層102、閘極絕緣膜103及a-Si層104所組成之三層構造，藉由在汲極匯流排4兩外側配置一對狹長切口8，將積層體之閘極絕緣膜103及a-Si層104去除，讓a-Si層104分斷在一小區域上，並使各個a-Si層10互相獨立。在未使用狹長切口8之情形下，會產生寄生電晶體而造成誤動作。所以，藉著狹長切口8之形成，可以避免寄生電晶體之形成，而能夠防止誤動作。

本實施例之主動式矩陣基板之製造方法，將參照第2圖至第6圖予以說明。首先，在玻璃等透明絕緣基板101上，依序形成：沈積Cr、Ti、Mo等底層金屬和Al而得之閘極電極層102；SiNx（氮化矽膜）等之閘極絕緣膜103；以及，成為半導體層之a-Si層104。各個薄膜之製造方法，例如閘極電極層102係使用濺鍍法，Cr等底層金屬的厚度



五、發明說明 (11)

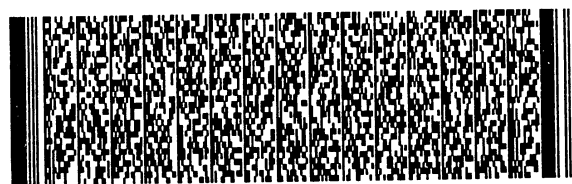
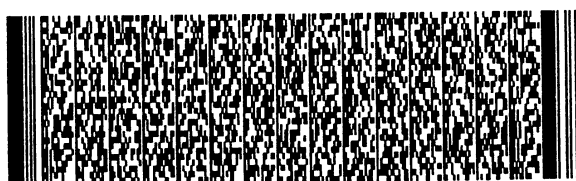
為50 nm，Al之厚度為 $0.2\ \mu\text{m}$ ；而閘極絕緣膜103及a-Si膜104係使用電漿CVD法，厚度分別為 $0.5\ \mu\text{m}$ 和 $0.3\sim 0.4\ \mu\text{m}$ 。

如第2圖及第6圖(a)所示，使用第1光罩以定義形成閘極電極2及閘極匯流排1之所在區域。未被光阻圖樣覆蓋之閘極電極層102、閘極絕緣層103及a-Si層104，則予以蝕刻去除。

使用電漿CVD法等，全面形成 SiN_x 等之第1保護膜105，以及由沈積Cr、Ti、Mo等底層金屬和Al而得之汲極電極層106，於透明絕緣基板101上。第1保護膜105之厚度以 $0.2\ \mu\text{m}$ 較佳；汲極電極層106之厚度，Ti等底層金屬以50nm較佳，Al則以 $0.2\ \mu\text{m}$ 較佳。

如第3圖及第6圖(b)所示，使用第2光罩形成用以覆蓋汲極匯流排4之光阻圖樣，利用蝕刻法將不需要之金屬層予以去除而形成汲極匯流排4。

接著，使用濺鍍法形成 SiO_2 等之第2保護膜107於透明絕緣基板101上，其厚度例如為 $0.2\ \mu\text{m}$ 。在此，為使後續步驟能夠形成良好之接觸孔洞5，第2保護膜107之材料最好要選擇對a-Si層104及閘極絕緣膜103具有較大蝕刻選擇比者。再如第4圖及第6圖(c)所示，使用第3光罩形成光阻圖樣，以定義a-Si層104上部之源極開口部7和汲極開口部6、閘極匯流排1上部之狹長切口8、以及汲極匯流排4上部之接觸孔洞5。將露出於光阻圖樣外之第2保護膜107及第1保護膜105予以蝕刻去除，而形成源極開口部7、汲極開口



五、發明說明 (12)

部6、狹長切口8、以及接觸孔洞5。

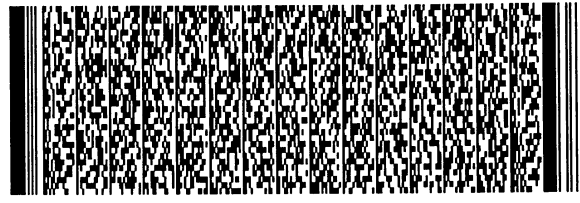
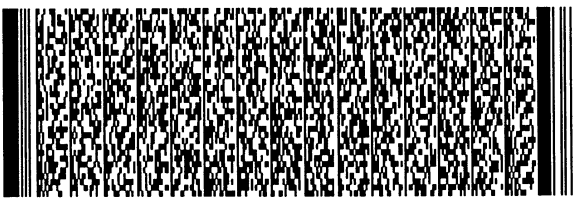
為得到與a-Si層104之歐姆接觸，將透明絕緣基板101置於充滿PH₃電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成n⁺層。上述步驟之進行條件，例如：溫度300℃，PH₃/PH₂ (0.5% PH₃)氣體流量1000 sccm，壓力200 Pa、RF電力0.1 W/cm²，使用電漿CVD裝置進行5分鐘處理即可達成。

之後，使用濺鍍法形成作為畫素電極11之ITO膜108於透明絕緣基板101上，ITO膜108厚度為50 nm。如第5圖及第6圖(d)所示，使用第4光罩並蝕刻去除不要之ITO膜108，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4。本實施例中，雖係使用ITO膜108作為畫素電極11，但是除了使用ITO膜108之外，亦可使用ZnO以及用ZnO取代ITO中Sn成分後之氧化物來作為畫素電極11。

最後，將ITO膜108作為遮罩，以乾式蝕刻法去除a-Si層104和閘極絕緣膜103，而得到如第6圖(d)所示構造之主動式矩陣基板。

在此，ITO膜108係作為蝕刻遮罩。又，去除a-Si層104和閘極絕緣膜103時，也將第1保護膜105和第2保護膜107去除。又，在狹長切口8中，所露出之第1保護膜105、第2保護膜107、a-Si層104及閘極絕緣膜103亦被去除，而a-Si層104係分離至每一TFT。

應用本實施例之方法進行製造時，第1圖中所示之閘極端子部14、汲極端子部15及貯存電容部18之構造，係分



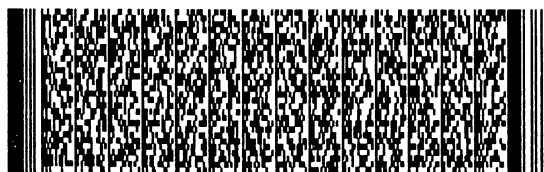
五、發明說明 (13)

別如第7圖至第9圖所示。第7圖至第9圖之(a) ~ (d)，係對應顯示第6圖(a) ~ (d)步驟之剖面圖。

關於閘極端子部14，如第6圖(c)所示在讓積層體之a-Si層104之表面露出時，如第7圖(c)所示a-Si層104之表面也同樣地露出。之後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩，對形成於閘極端子部14上之ITO膜108進行濕式蝕刻。之後，第6圖(d)所示將ITO膜108作為遮罩進行蝕刻時，第7圖(d)閘極端子部14中之a-Si層104和閘極絕緣膜103則被乾蝕刻去除，而露出下方之閘極電極層102，完成閘極端子部14之製作。在乾蝕刻進行時，由閘極端子部14之近傍沒有ITO膜108之存在，所以露出之第2保護膜107之厚度也可藉乾蝕刻而減少。

汲極端子部15，如第6圖(c)所示在讓積層體之a-Si層104之表面露出時，如第8圖(c)所示汲極電極層106之表面也同樣地露出。之後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩進行ITO膜108之蝕刻，在汲極端子部15上，殘留透過開口而耦接至汲極電極層106之ITO膜108。之後，第6圖(d)所示將ITO膜108作為遮罩進行蝕刻時，第8圖(d)汲極端子部15之周邊部分沒有ITO膜108之存在，所以露出之第2保護膜107之厚度也可會因乾蝕刻而減少。藉此方式而完成汲極端子部15之製作。

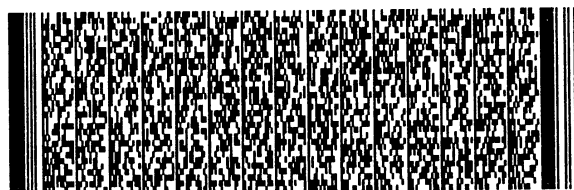
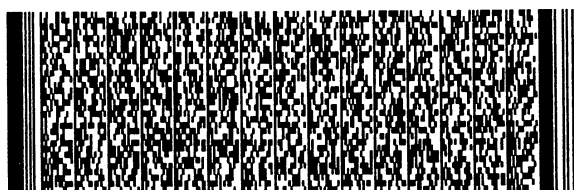
貯存電容部18，完成第9圖(c)所示步驟後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩對不要之ITO膜108進行濕式蝕刻，而形成一端往積層體



五、發明說明 (14)

開極電極102上方延伸之畫素電極11。之後，如第6圖(d)所示將ITO膜108作為遮罩進行乾式蝕刻時，第9圖(d)所示相鄰畫素電極11間之第2保護膜107，由於曝露蝕刻中故厚度也會減少。藉此方式完成之貯存電容部18其構造係為：在開極電極層102和作為蓄積容量電極(容量電極層)之ITO膜108兩者之間，包夾著第1及第2保護膜105、107。

依據本實施例之主動式矩陣基板，具有由開極電極層102、開極絕緣層103及a-Si層104略為重疊而堆積形成在透明絕緣基板101上之積層體；形成有第1保護膜105於透明絕緣基板101上，用以覆蓋上述積層體；形成有汲極電極層106於上述第1保護膜105上；形成第2保護膜107於上述第1保護膜105上，用以覆蓋上述汲極電極層106；形成有源極開口部7和汲極開口部6於上述第1及第2保護膜105、107上，用以露出上述a-Si層104之；形成有源極電極10於上述第2保護膜107上，透過上述源極開口部7而與上述a-Si層104之另一端有電性接觸；形成有畫素電極11，由形成於上述第2保護膜107上之透明電極所構成，上述透明電極之一端與上述源極電極10成為整體接觸，另一端則延伸至鄰近畫素之開極。由於上述之構成，故製作而得之主動式矩陣基板，能夠藉由絕緣膜讓開極電極2、汲極電極9及畫素電極11達到相互之層間分離，並且讓積層體之a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋。所以，習用技術中a-Si層側面與ITO膜間的產生之接觸問題能夠予以防範；而且能夠提高薄膜電晶體



五、發明說明 (15)

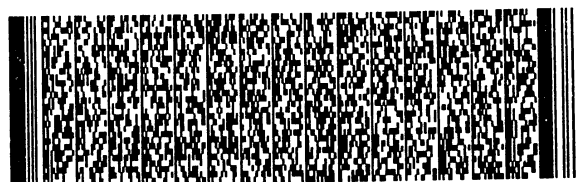
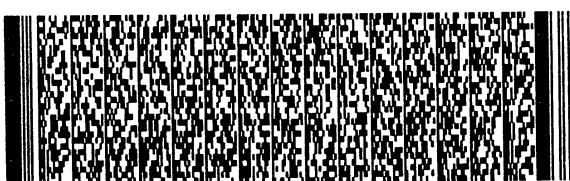
和形成有此薄膜電晶體之主動式矩陣基板的長期可靠度。此外，在構成液晶顯示裝置之應用上，也能夠防止習用技術中a-Si層與液晶材料接觸之問題。

依據本實施例之主動式矩陣基板之製造方法，形成由閘極電極層102、閘極絕緣層103及a-Si層104所構成之積層體；使用第1保護膜105覆蓋上述積層體；形成汲極電極層106於上述第1保護膜105上；形成第2保護膜107覆蓋上述汲極電極層106與第1保護膜105；形成源極開口部7和汲極開口部6於上述第1及第2保護膜105、107上，用以讓上述a-Si層104露出；形成源極電極10於上述第2保護膜107上，其透過上述源極開口部7而與上述a-Si層104之另一端有電性接觸；並且，形成畫素電極11於上述第2保護膜107上，其一端與上述源極電極10係為一體接觸。

依據本實施例之主動式矩陣基板之製造方法，僅使用4道光罩即能夠使閘極電極2、汲極電極9及畫素電極11藉著絕緣膜來達到相互的層間分離；並且，a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋，故能夠形成通道保護型主動矩陣基板之目的。相較於習用技術至少可以節省一道光罩之製程步驟。

又，應用本實施例方法進行製造之場合中，閘極端子部14、汲極端子部15及貯存電容部18之構造係分別如第7圖至第9圖(a)~(d)所示。又，第7圖至第9圖(a)~(d)所示剖面圖，係分別對應第6圖(a)~(d)之步驟。

閘極端子部14、汲極端子部15及貯存電容部18成為圖



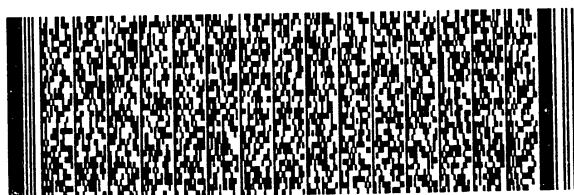
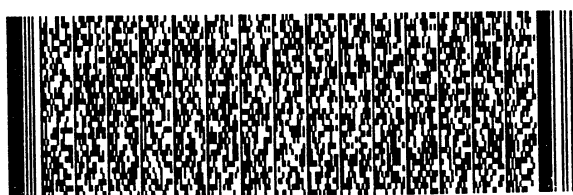
五、發明說明 (16)

中所示構造者，係在完成第6圖(d)步驟後；第6圖(d)步驟主要係蝕刻ITO膜108以去除第1保護膜105、第2保護膜107、a-Si層104及閘極絕緣膜103。閘極端子部14即係露出之電極層102；汲極端子部係為在汲極電極層106上沈積有ITO膜108之構造；又，貯存電容部18之構造係為在閘極電極層102和作為容量電極之ITO膜108兩者間，包夾第1和第2保護膜105、107。又，藉由設置於閘極匯流排1上之狹長切口8，a-Si層104得以個別分離給每一個TFT。又，提供電位給液晶之共電極13之共電位供給端子19，係以相同於閘極端子部14及汲極端子部15之構造。

[實施例2]

關於本發明第2實施例之通道保護型主動矩陣基板及其製造方法，將參照第10圖來進行說明。第10圖顯示本發明第2實施例之主動矩陣基板之製造流程剖面圖，亦即第1實施例之第2圖至第5圖中之A-A'線標示處之剖面。第2實施例與第1實施例之差異點，係在作為通道保護膜之第2保護膜107上更形成有機層間模107a，以同時將基板予以平坦化，其他構造；材料、膜厚、製法等均與第1實施例相同。

說明本發明第2實施例之主動矩陣基板之製造方法，如同第1實施例，首先係在玻璃等透明絕緣基板101上，順序形成由Ti、Al、等沈積而得之閘極電極層102、SiNx等之閘極絕緣膜103、以及作為半導體層之a-Si層104；之後，如第10圖(a)所示，使用第1光罩形成閘極電極2及閘



五、發明說明 (17)

極匯流排1。

在此，形成閘極匯流排1，係指形成作為閘極匯流排1功能之閘極電極、閘極絕緣膜103、以及a-Si膜104所構成之積層體。

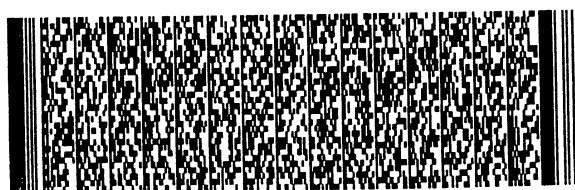
於透明絕緣基板101上，使用電漿CVD法等形成SiNx等之第1保護膜105，以及使用濺鍍法等形成由沈積Cr、Ti、Mo等底層金屬和Al的積層膜而得到之汲極電極層106。之後，如第10圖(b)所示，使用第2光罩將汲極匯流排4以外之金屬予以乾蝕刻法去除，接著在基板上全面形成第2保護膜107。

在第1實施例中，將第2保護膜107用以保護，其厚度係為 $0.2\ \mu\text{m}$ ；在第2實施例中，第2保護膜107之上更沈積了有機層間膜107a，以同時對基板進行平坦化。

有機層間膜107a，例如係使用丙烯樹脂、BCB(苯並環丁烯)、聚亞胺等有機材料，沈積 $0.2\sim 1.0\ \mu\text{m}$ 之厚度而得；如第10圖(c)所示，藉此達成平坦化基板之目的。藉由上述有機層間膜107a之設置，可以避免肇始於TFT之不平坦所產生液晶配向狀態不均一之問題。

亦即，藉由上述有機層間膜107a之設置，能夠減輕TFT之不平坦，讓液晶配向狀態達到均一。

又，實施平坦化亦有其他之方法(未予圖示)，例如，將作為第2保護膜107之SiO₂膜，透過改變成膜速率、溫度等條件而形成質粗薄膜之方法；以及，在緻密SiO₂膜上形成粗SiO₂膜而得之2層構造等之方法。



五、發明說明 (18)

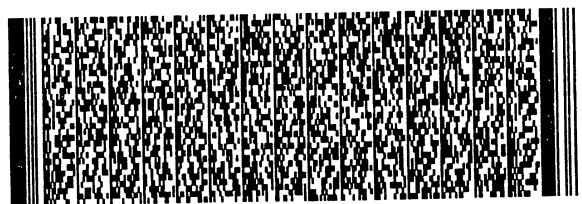
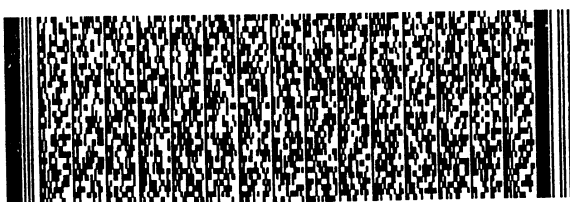
又，改變 SiO_2 膜之成膜速率時，通常係將 100 nm/min 即可成膜之速率變大至 200 nm/min ，藉以達成平坦化。藉由將成膜速率加快可縮小成膜之時間。

又，由於 SiO_2 膜變成質粗使得其作為絕緣膜效能降低之情形發生；首先，在底層以正常成膜速率，沈積約 $0.1 \mu\text{m}$ 之緻密 SiN_x 膜，之後再加快成膜速度沈積約 $1 \mu\text{m}$ 之厚度，藉此而能夠同時達成保護通道及平坦化之效能。

接著如第10圖(c)所示，使用第3光罩，以形成a-Si層104上部之源極開口部7和汲極開口部6、閘極匯流排1上部之狹長切口8（未圖示）、以及汲極匯流排4上部之接觸孔洞5。接著，為得到與a-Si層104之歐姆接觸，在充滿 PH_3 電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成 n^+ 層。之後，沈積作為畫素電極11之ITO膜108於透明絕緣基板101上，第10圖(d)所示，使用第4光罩，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4。

最後，將ITO膜108作為遮罩，以乾式蝕刻法去除a-Si層104和閘極絕緣膜103，而得到如第10圖(d)所示構造之主動式矩陣基板。

依據本實施例之製造方法，除了更確實保護a-Si層104之外，也能夠將薄膜電晶體之不平坦(層面差異)予以減小。透過減小不平坦達到平坦化，使得對向基板之間隔能夠達到均一，包夾於基板間之液晶的配向狀態也可以達到均一。



五、發明說明 (19)

依據本實施例之製造方法，由於在第2保護膜107上形成用以平坦基板之有機層間膜107a，相較於第1實施例，更能確實保護a-Si層104。

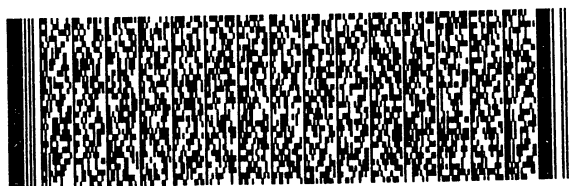
此外，依據本實施例之製造方法，和第1實施例相同僅使用4道光罩即能夠使閘極電極2、汲極電極9及畫素電極11藉著絕緣膜來達到相互的層間分離；並且，a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋，故能夠形成通道保護型主動矩陣基板之目的。相較於習用技術至少可以節省一道光罩之製程步驟。

[實施例3]

關於本發明第3實施例之通道保護型主動矩陣基板及其製造方法，將參照第11圖至第16圖來進行說明。第11圖至第14圖顯示本發明第3實施例之主動矩陣基板製造流程之佈局圖，且僅顯示一畫素單元。又，第15圖顯示本發明第3實施例之主動矩陣基板之製造流程剖面圖，亦即第11圖至第14圖中之C-C'線標示處之剖面。又，第16圖顯示本發明第3實施例中主動矩陣基板之閘極貯存部(第11圖之D-D'線)之製造流程剖面圖。

第3實施例與第1實施例之差異點，係為本實施例在閘極匯流排上之既定位置上，介於第1保護膜105，形成作為容量電極層110之金屬(參照第12圖)，而將貯存電容部18之電容量變大，其他構造則均與第1實施例相同。

參照第11圖至第15圖，以說明橫電場(TN)方式主動式矩陣基板之製造方法。首先係在玻璃等透明絕緣基板101



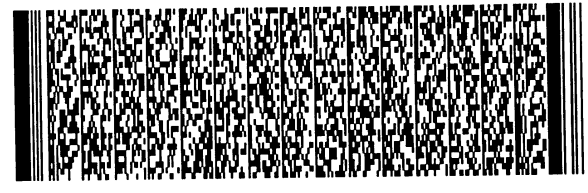
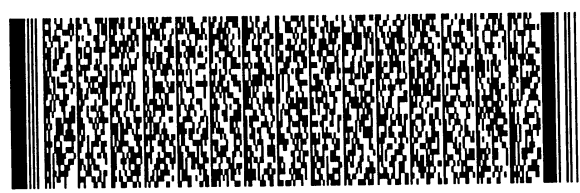
五、發明說明 (20)

上，順序形成由Ti、Al、等沈積而得之閘極電極層102、SiNx等之閘極絕緣膜103、以及作為半導體層之a-Si層104；之後，如第11圖及第15圖(a)所示，使用第1光罩形成閘極電極2及閘極匯流排1。

於透明絕緣基板101上，形成SiNx等之第1保護膜105，以及由Cr、Ti、Mo等底層金屬和Al的積層膜所構成之汲極電極層106。之後，如第12圖及15圖(b)所示，使用第2光罩形成閘極匯流排4；在本實施例之特徵，係使用汲極電極層106作為貯存電容部18之蓄積容量電極，以提高電容量。

在此，形成汲極匯流排4，係指形成作為汲極匯流排4功能之汲極電極層106。又，本實施例中，形成汲極電極層106時，在鄰接之汲極匯流排4之間所設置之閘極匯流排1之上方，亦同時形成容量電極層110。此一容量電極層110，係作為形成於各閘極電極層102間之貯存電容部18之蓄積容量電極。

接著，在透明絕緣基板101上形成SiO₂等之第2保護膜107。如第13圖及第15圖(c)所示，使用第3光罩，以形成a-Si層104上部之源極開口部7和汲極開口部6、閘極匯流排1上部之狹長切口8、汲極匯流排4上部之接觸孔洞5、以及蓄積容量電極110上部之貯存電容器用之開口部12。接著，為得到與a-Si層104之歐姆接觸，在充滿PH₃電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成n⁺層。



五、發明說明 (21)

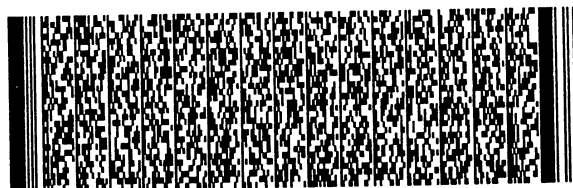
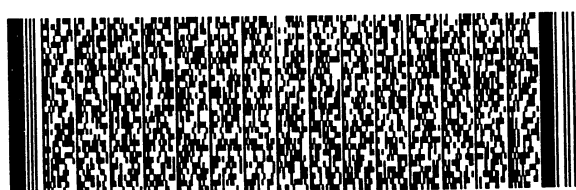
之後，沈積作為畫素電極11之ITO膜108於透明絕緣基板101上，如第14圖及15圖(d)所示，使用第4光罩，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4；同時也形成蓄積容量電極之接續配線。然後，將ITO膜108作為遮罩，蝕刻去除a-Si層104和閘極絕緣膜103，而得到如第15圖(d)所示構造之主動式矩陣基板。

在此，容量電極層110和畫素電極11係透過貯存電容器用之開口部12而接續。又，在本實施例中進行蝕刻去除時，狹長切口8內之a-Si層104和閘極絕緣層103也被去除，而促使a-Si層104能分離給各個TFT。

又，使用本實施例進行製造而得之貯存電容部18，係如第16圖所示之構造。利用第15圖(b)所步驟，在貯存電容部18之區域上，並未殘留有汲極電極層106，因此在閘極電極層102和蓄積容量電極110之間僅包夾著第1保護膜105；所以，本實施例能夠比第1實施例具有更高之蓄積容量。

在此，第15圖(b)之步驟係形成汲極電極層106。又，本實施例相較於第1實施例，能夠縮小對向電極間之距離。

依據本實施例主動式矩陣基板之製造方法，僅使用4道光罩即能夠形成將閘極電極層102以最上層配置之通道保護型主動式矩陣基板，且使汲極電極層106及畫素電極11彼此為層間分離之狀態，相較於習用技術至少可以節省一道光罩之製程步驟。



五、發明說明 (22)

在進行汲極電極層106形成步驟之同時，容量電極層110也同時形成；用以將容量電極層110和畫素電極11接續之貯存電容器用之開口部12，係在形成源極開口部7和汲極開口部6之同時而形成；所以，只須將光阻定義圖樣予以改變，並不需要增加光罩之數目，且能夠使增加貯存電容部18之蓄積容量而大於第1實施例。

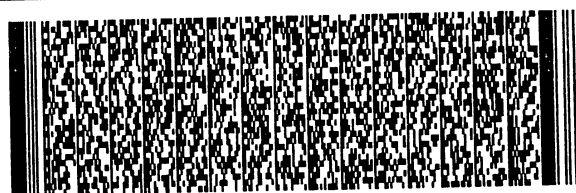
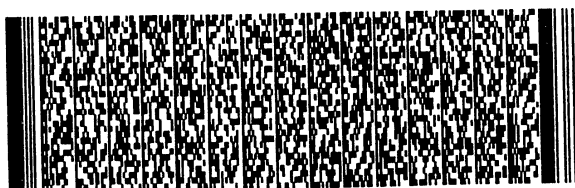
此外，如同上述第2實施例，將第1或第2保護膜之厚度加厚，適當地變化 SiO_2 膜形成之條件，以形成具有不同膜質的薄膜構造，藉此方式而能夠達到平坦化。

[實施例4]

關於本發明第4實施例之通道保護型主動矩陣基板及其製造方法，將參照第17圖至第22圖來進行說明。第17圖顯示本發明第4實施例相關之TN方式液晶顯示裝置所使用之主動矩陣基板之電路圖。第18圖至第21圖顯示本發明第4實施例之主動矩陣基板製造流程之佈局圖，且僅顯示單一畫素。又，第22圖顯示本發明第4實施例之主動矩陣基板之製造流程剖面圖，亦即第18圖至第21圖中之E-E'線標示處之剖面。

第4實施例與第1實施例之差異點，係為在本實施例之製造方法係適用於橫電場方式之主動式矩陣基板；其中，上述主動式矩陣基板，係使用櫛齒狀共通電極(共電極)和畫素電極之間的電場，控制液晶的配向。而基本之製造方法則與前述第1實施例相同。

參照第18圖至第22圖，以說明橫電場方式主動式矩陣



五、發明說明 (23)

基板之製造方法。首先係在玻璃等透明絕緣基板101上，順序形成由Ti、Al、等沈積而得之閘極電極層102、SiNx等之閘極絕緣膜103、以及作為半導體層之a-Si層104；之後，如第18圖及第22圖(a)所示，使用第1光罩，在要形成閘極電極2、閘極匯流排1及共電極13之區域上定義形成光阻圖樣，再將未被光阻圖樣覆蓋之閘極電極層102、閘極絕緣膜103及a-Si層104以乾蝕刻法去除。

之後，形成複數匯流排1、以及和配置於此複數閘極匯流排1間之櫛齒狀共電極13。閘極匯流排1之一部係作為閘極電極2之功能。

其次，於透明絕緣基板101上，利用電漿CVD法形成SiNx等之第1保護膜105，以及由濺鍍Cr、Ti、Mo等底層金屬和Al的積層膜成為汲極電極層106，如第19圖及22圖(b)所示，使用第2光罩形成閘極匯流排4及畫素電極11。

在此，汲極匯流排4係沿著與閘極匯流排交差之方向而延伸，並在閘極匯流排1和共電極13間之第1保護膜105上分歧，而延伸至閘極電極2之近傍。畫素電極11係以櫛齒狀形成，配置於複數汲極匯流排4之間。

接著，在透明絕緣基板101上形成SiO₂等之第2保護膜107，如第20圖及第23圖(c)所示，使用第3光罩，以形成a-Si層104上部之源極開口部7和汲極開口部6、閘極匯流排1上部之狹長切口8、汲極匯流排4上部之接觸孔洞5、以及蓄積容量電極110上部之貯存電容器用之開口部12。

接著，為得到與a-Si層104之歐姆接觸，在充滿PH₃電



五、發明說明 (24)

漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成n⁺層。之後，沈積作為畫素電極11之ITO膜108於透明絕緣基板101上，如第21圖所示，使用第4光罩，以形成既定之配線。最後，以ITO膜108為遮罩，以乾式蝕刻法去除a-Si層104和絕緣膜103，藉此而得到如第22圖(d)所示構造之主動式矩陣基板。

在此，既定之配線係透過源極開口部7和接觸孔洞5而耦接於a-Si層104和畫素電極11；透過汲極開口部6和接觸孔洞5而耦接於a-Si層104和汲極匯流排4。

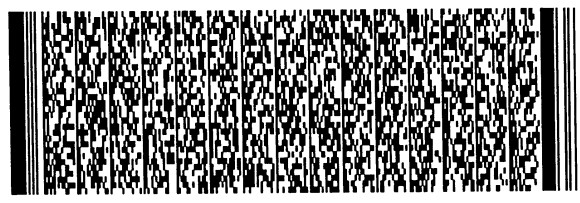
又，本實施例中，狹長切口8內之a-Si層104和閘極絕緣膜103也在前述蝕刻時予以去除，而使a-Si層104得以分離至每一個TFT。

如上述根據本實施例之製造方法，在橫電場方式之液晶顯示裝置上所使用之主動式矩陣基板，亦僅需使用4道光罩，相較於習用技術至少能夠簡化而減少一道光阻(光罩)步驟。

此外，如同前第2實施例，可加厚第1及第2保護膜之厚度、及適當地變更SiO₂之成膜條件而得到具有相異材質之沈積膜構造，藉此而達成平坦化。

[實施例5]

關於本發明第5實施例之通道保護型主動矩陣基板及其製造方法，將參照第23圖至第34圖來進行說明。第23圖顯示本發明第5實施例相關之主動式矩陣基板之電路圖。第24圖至第27圖顯示本發明第5實施例之主動式矩陣基板

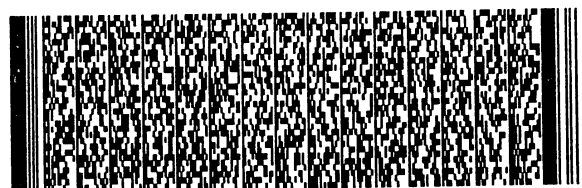


五、發明說明 (25)

製造流程之佈局圖，僅顯示單一畫素。第28及29圖，顯示本實施例採用階梯狀光阻圖樣用以分別形成閘極匯流排和汲極電極之製造流程，亦即第24圖中之H-H'線標示處之剖面。又，第30圖顯示本發明第5實施例主動式矩陣基板之製造流程剖面圖，亦即第24至27圖中之F-F'線標示處之剖面。又，第31至33圖顯示本發明第5實施例主動式矩陣基板之閘極端子部、汲極端子部、閘極貯存部(第24圖G-G')之製造流程剖面圖。第34圖顯示本發明第5實施例主動式矩陣基板之閘極、汲極接續部之構造剖面圖。

第5實施例與第1實施例之差異點，係為讓閘極匯流排1和從閘極匯流排1分歧之閘極電極2近傍的剖面形狀互異，並採用前述使剖面形狀互異之製造方法。此外，本實施例之主動式矩陣基板中，閘極端子部14和汲極端子部15上具有保護單元部22。其他之構造、材料、膜厚、製法等均與前述第1實施例相同。

本實施例之主動式矩陣基板，除了與第1實施例第1圖所示電路有相同構造外，如第23圖所示更具備有：保護匯流排(共匯流排)23，係與閘極匯流排1及汲極匯流排4分別地平行，配置於透明絕緣基板101之周邊部；保護單元部22，形成於前述保護匯流排22、各個閘極端子部14及各個汲極端子部15之間；以及，保護端子部24，用以提供電位給保護單元部23。保護單元部22係由二極體接續(diode-connected)之一對電晶體所構成，在各閘極端子部14及個汲極端子部15與保護匯流排23之間，分別以二極體之順向



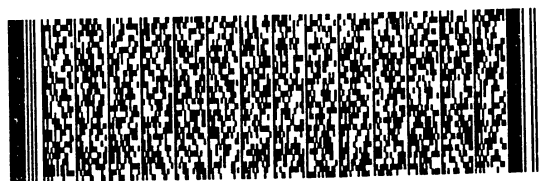
五、發明說明 (26)

及逆向進行耦接。此保護單元22之電晶體，係在製造顯示區域之電晶體部16之際，同時予以形成。

亦即，本實施例之主動式矩陣基板，其特徵係具有：形成於透明絕緣基板101上，由閘極電極層102、閘極絕緣層103及a-Si層104略為重疊而堆積形成之積層體；用以覆蓋上述積層體而形成於透明絕緣基板101上之第1保護膜105；形成於上述第1保護膜105上，並與上述積層體成交差方向之汲極電極層106；用以覆蓋上述汲極電極層106而形成於上述第1保護膜105上之第2保護膜107；形成於上述第1及第2保護膜105、107上，用以露出上述a-Si層104之源極開口部7和汲極開口部6；形成於上述第2保護膜107上，用以露出上述汲極電極層106之接觸孔洞5；汲極電極9，形成於上述第2保護膜107上，係由通過上述汲極開口部6及接觸孔洞5而與上述a-Si層104之一端和汲極電極層106有電性接觸之ITO膜所構成；源極電極10，形成於上述第2保護膜107上，係由通過上述源極開口部7而與上述a-Si層104之另一端有電性接觸之ITO膜所構成；以及，畫素電極11，係由形成於上述第2保護膜107上之ITO膜所構成，上述ITO膜108之一端與上述源極電極10成為一體接觸，另一端則延伸至鄰近畫素之閘極。

在此，由閘極電極層102、閘極絕緣層103及a-Si層104略為重疊而堆積形成之積層體，係對應於閘極匯流排1及閘極電極2。汲極電極層106係對應於汲極匯流排4。

本實施例之主動式矩陣基板，並未採用第1至4實施例



五、發明說明 (27)

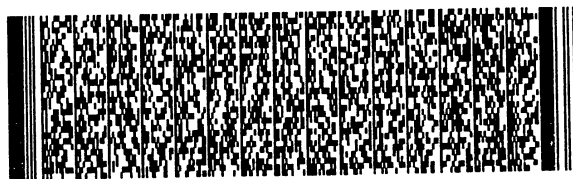
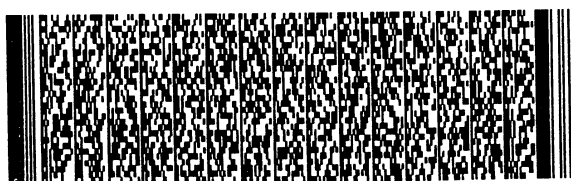
中所使用之狹長切口。

本實施例之主動式矩陣基板之製造方法，將參照第24圖至第33圖予以說明。首先，在玻璃等透明絕緣基板101上，依序形成：沈積Cr、Ti、Mo等底層金屬和Al而得之閘極電極層102；SiNx（氮化矽膜）等之閘極絕緣膜103；以及，成為半導體層之a-Si層104。

使用第1光罩，如第28圖(a)所示，定義形成具有階梯狀剖面之光阻膜111形成於a-Si層104之上。在此，作為閘極匯流排1之閘極電極層2上方部分，光阻膜111厚度係較薄；由閘極匯流排1分歧而作為閘極電極2之閘極電極層102上方部分，光阻膜厚111度係較厚。具有前述階梯狀剖面之光阻，係使用半調(half-tone)曝光法製作而得。

半調曝光法例如係使用半調曝光用光罩而達成。此一半調曝光用光罩，係包含完全不透光部分、能透過特定光量之部分、及幾乎可完全透光之部分。位於完全不透光部分正下方之光阻，由於完全不會被曝光，故形成如第28圖(a)所示光阻膜111之較厚部分；位於能透過特定光量之部分正下方之光阻，由於僅厚膜之一部分會被曝光，故形成如第28圖(a)所示光阻膜111之較薄部分。位於幾乎可完全透光部分正下方之光阻，由於全部會被曝光，故如第28圖(a)所示，形成不具有光阻膜111之部分。因此，藉由半調曝光法能夠形成具有不同厚度及階梯狀剖面之光阻膜111。

如第28圖(b)所示，未被光阻膜111覆蓋之閘極電極



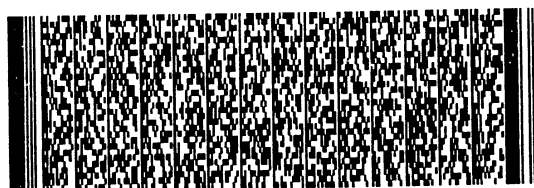
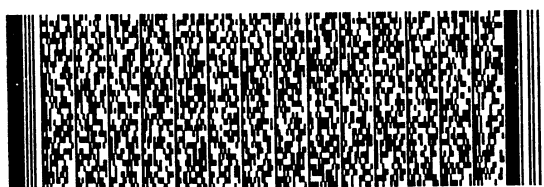
五、發明說明 (28)

層102、閘極絕緣層103及a-Si層104，則以乾式蝕刻法去除。接著，將此透明基板101以O₂電漿進行處理，以讓光阻膜111之厚度減小，將作為閘極匯流排1之閘極電極層102上方之薄光阻膜111之部分去除，如第28圖(c)所示，而露出a-Si層104。此外，如第29圖(a)所示，將殘留之光阻膜111作為遮罩，以乾式蝕刻法去除a-Si層104及閘極絕緣層103。此時，作為閘極電極2之電極電極層102之上，殘留有閘極絕緣膜103和a-Si層104，在此而形成積層體。之後，如第29圖(b)、第24圖及第30圖(a)所示，去除光阻膜111。

接著，使用電漿CVD法等，全面形成SiN_x等之第1保護膜105，以及由鍍鍍法等所沈積Cr、Ti、Mo等底層金屬和Al而得之汲極電極層106，於透明絕緣基板101上。第1保護膜105形成於透明絕緣基板101上之方式，係在閘極匯流排1中覆蓋閘極電極層102，而在閘極電極2中則覆蓋由a-Si層104、閘極絕緣膜103及閘極電極層102所構成之積層體。

如第25圖及第30圖(b)所示，使用第2光罩形成用以覆蓋汲極匯流排4之光阻圖樣，利用乾式蝕刻法將不需要之金屬層予以去除而形成作為汲極匯流排4之汲極金屬層106。

接著，形成SiO₂等之第2保護膜107於透明絕緣基板101上。再如第26圖及第30圖(c)所示，使用第3光罩形成光阻圖樣，以定義a-Si層104上部之源極開口部7和汲極開



口部6、閘極匯流排1上部之狹長切口8、以及汲極匯流排4上部之接觸孔洞5。將露出於光阻圖樣外之第2保護膜107及第1保護膜105予以蝕刻去除，而形成源極開口部7、汲極開口部6、以及既定之接觸孔洞5。接著，為得到與a-Si層104之歐姆接觸，將透明絕緣基板101置於充滿PH₃電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成n⁺層。

之後，使用濺鍍法形成作為畫素電極11之ITO膜108於透明絕緣基板101上，如第27圖及第30圖(d)所示，使用第4光罩並蝕刻去除不要之ITO膜108，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4。藉上述方式，能夠製造而得如第30圖(d)所示構造之主動式矩陣基板。

應用本實施例之方法進行製造時，第23圖中所示之閘極端子部14、汲極端子部15及貯存電容部18之構造，係分別如第31圖至第33圖所示。第31圖至第33圖之(a)~(d)，係對應顯示第30圖(a)~(d)步驟之剖面圖。

關於閘極端子部14，如第30圖(c)所示，在蝕刻第1及第2保護膜105和107而讓積層體之a-Si層104之表面露出時，如第31圖(c)所示閘極電極層102之表面也同樣地露出。之後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩，在閘極端子部14之上，殘留下透過上述開口耦接於閘極電極層102之ITO膜108。藉此方式，完成汲極端子部15之製作，如第31圖(d)所示。

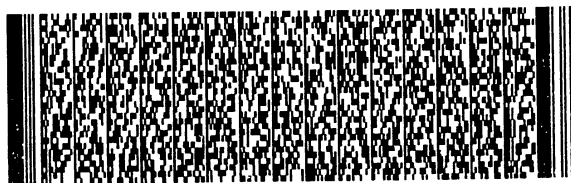


五、發明說明 (30)

此外，汲極端子部15，如第30圖(c)所示，在蝕刻第1及第2保護膜105和107而讓積層體之a-Si層104之表面露出時，如第32圖(c)所示，蝕刻第2保護膜107而使汲極電極層106之表面也同樣地露出。之後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩，在汲極端子部15上，殘留透過開口而耦接至汲極電極層106之ITO膜108。藉此方式而完成汲極端子部15之製作。

貯存電容部18，在完成第33圖(c)所示步驟後，使用濺鍍法等形成ITO膜108於透明絕緣基板101上；配合上述第4光罩對不要之ITO膜108進行濕式蝕刻，而形成一端往閘極匯流排1上方延伸之畫素電極11。藉此方式完成之貯存電容部18其構造係為：在閘極電極層102和作為蓄積容量電極(容量電極層)之ITO膜108兩者之間，包夾著第1及第2保護膜105、107。本實施例之貯存電容部18中，如第1實施例第9圖(d)所示，在閘極匯流排1上並未有a-Si層104和閘極絕緣膜103之存在，所以可讓畫素電極11和閘極電極層102兩者之間隔予以窄化縮小，並讓兩者彼此對向。

此外，在使用本實施例製造方法之場合中，第23圖電路所示之電路接點A、B及C部分之構造，係如第34圖所示。與閘極匯流排1互相平行而形成之保護匯流排23，係與閘極匯流排1同時形成於同一層面上，亦即與閘極電極層102形成於透明絕緣基板101之同一層面。與汲極匯流排4互相平行而形成之保護匯流排23，係與汲極匯流排4同時形成於同一層面上，亦即與汲極電極層106在第1保護膜

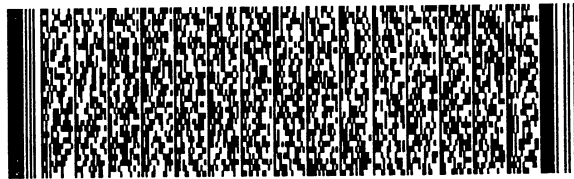
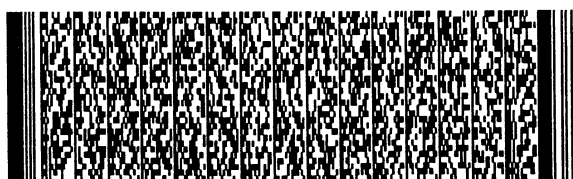


五、發明說明 (31)

105上，形成於同一層面上。上述保護匯流排23係共同耦接至電路接點A，而接續側保護端子部24。在此時，各保護匯流排23，係互相形成於相異之層面上，以此設置為接續之構成。與閘極匯流排1互相平行之保護匯流排23，除了開口部之外，係被第1和第2保護膜105和107所覆蓋；與汲極匯流排4互相平行之保護匯流排23，除了開口部之外，係被第2保護膜107所覆蓋；形成於第2保護膜107上之ITO膜108，透過上述開口部而與上述保護匯流排23接續。電路接點B和電路接點C中，亦係採用以ITO膜108進行接續之相同構造。藉上述方式，在主動式矩陣基板中，用以接續閘極電極層102同層面之配線以及汲極電極層106同層面之配線之所在，如第34圖所示，係採用透過ITO膜108而進行接續之構造。

依據本實施例之主動式矩陣基板，和上述其他實施例同樣地，閘極電極2、汲極電極9及畫素電極11係利用絕緣膜而成為層間分離之配置，同時積層體之a-Si層104之表面及側壁，均為第1保護膜105和第2保護膜107所覆蓋。因此，傳統技術中a-Si層之側面和ITO膜形成接觸之問題能夠予以防止，並且能夠提高所形成主動式矩陣基板之長期可靠度。

又，本實施例中，在作為閘極匯流排1之閘極電極層102之上，係被第1及第2保護膜105和107所覆蓋，如同第1至4實施例所述，並未有a-Si層及閘極絕緣膜之存在。因此，對於形成於第2保護膜107上，並在閘極匯流排1延伸



五、發明說明 (32)

之貯存電容部18，能夠加大其蓄積容量。

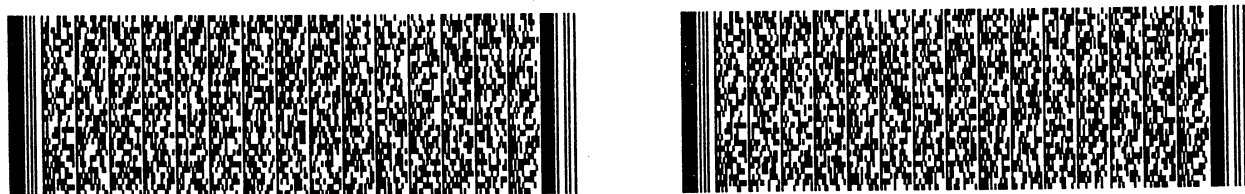
又，依據本實施例主動式矩陣基板之製造方法，如同第1實施例，僅使用4道光罩即能夠使閘極電極2、汲極電極9及畫素電極11藉著絕緣膜來達到相互的層間分離；並且，a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋，故能夠形成通道保護型主動矩陣基板之目的。相較於習用技術至少可以節省一道光罩之製程步驟。亦即，藉由透過第1光罩所形成之階梯狀光阻膜111，而得以實現和第1實施例使用相光罩數目。

此外，本實施例中，不僅是汲極端子部15，對於閘極端子部14亦能夠以同一步驟形成ITO膜108。藉此，如第34圖所示，能夠實現將相異配線層以ITO膜108進行接續。藉此，保護單元部22與各閘極端子部14及各汲極端子部15之接續也得以同時實現。

[實施例6]

關於本發明第6實施例之主動矩陣基板及其製造方法，將參照第35圖至第40圖來進行說明。第35圖至第38圖顯示本發明第6實施例之主動式矩陣基板製造流程之佈局圖，僅顯示單一畫素。第39圖顯示本發明第6實施例主動式矩陣基板之製造流程剖面圖，亦即第38圖中之I-I'線標示處之剖面。又，第40圖顯示本發明第6實施例之貯存電容部(第35圖之J-J'線剖面)之製造流程剖面圖。

本實施例與前述第5實施例之差異點，係本實施例如第3實施例所示在閘極匯流排上之既定位置沈積金屬，並



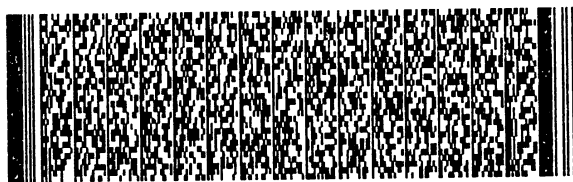
五、發明說明 (33)

加大貯存電容部18之容量；其中，上述金屬係透過第1保護膜105而構成之容量電極層110。其他之構造則與第5實施例所示者相同。

本實施例之TN方式之主動式矩陣基板之製造方法，將參照第35圖至第40圖予以說明。首先，在玻璃等透明絕緣基板101上，依序形成：沈積Cr、Ti、Mo等底層金屬和Al而得之閘極電極層102；SiNx（氮化矽膜）等之閘極絕緣膜103；以及，成為半導體層之a-Si層104。

接著如第5實施例第28圖及第29圖所示之製造步驟，使用第1光罩，以形成閘極匯流排1，及由此閘極匯流排1分歧出之閘極電極2。在此，從作為閘極匯流排1之電極電極層102之上，去除a-Si層104及閘極絕緣膜103，而在作為閘極電極2之電極電極層102之上，殘留有閘極絕緣膜103和a-Si層104，在此而形成積層體。

接著，於透明絕緣基板101之上，全面形成SiNx等之第1保護膜105，以及沈積Cr、Ti、Mo等底層金屬和Al以作為汲極電極層106。之後，如第36圖及第39圖(b)所示，使用第2光罩，形成作為汲極匯流排4之汲極金屬層106。本實施例中，如同第3實施例，在形成汲極電極層106時，在鄰近汲極匯流排4間之閘極匯流排1之上方，亦同時形成容量電極層110。此容量電極層110係作形成於閘極電極層102間之貯存電容部18之蓄積容量電極。本實施例之特徵係為使用此一容量電極層110，以增加貯存電容部18之容量。



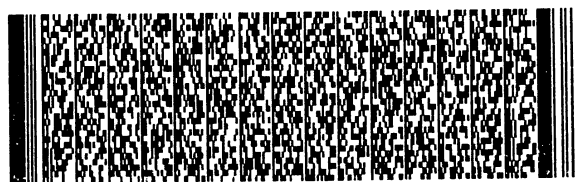
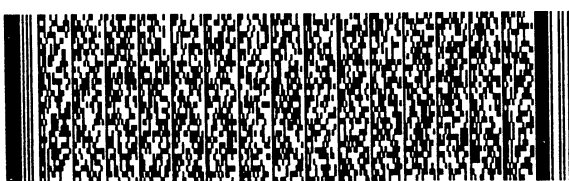
五、發明說明 (34)

接著，形成 SiO_2 等之第2保護膜107於透明絕緣基板101上，如第37圖及第39圖(c)所示，使用第3光罩形成光阻圖樣，以形成a-Si層104上部之源極開口部7和汲極開口部6、汲極匯流排4上部之接觸孔洞5、以及容量電極層110上部之貯存電容器用之開口部12。接著，為得到與a-Si層104之歐姆接觸，將透明絕緣基板101置於充滿 PH_3 電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成 n^+ 層。

之後，使用濺鍍法形成作為畫素電極11之ITO膜108於透明絕緣基板101上，如第38圖及第39圖(d)所示，使用第4光罩，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4，並且透過貯存電容器用之開口部12，使容量電極層110和畫素電極11

構成連接。藉上述方式，能夠製造而得如第39圖(d)所示構造之主動式矩陣基板。

使用本實施例方法製造之貯存電容部18係如第40圖所示構造。首先，利用形成第39圖(a)之閘極匯流排1及閘極電極2之步驟，去除作為閘極匯流排1之閘極電極層102上方的a-Si層104及絕緣膜103。接著，在閘極電極層102上沈積第1保護膜105，再使用第39圖(b)形成汲極電極層106之步驟，而在貯存電容器18之區域上留存容量電極層110。以此方式，使閘極電極層102和容量電極層110之間，未存有a-Si層104及閘極絕緣層103和第2保護膜107，而僅包夾第1保護膜105。相較於第5實施例，可縮短對向



五、發明說明 (35)

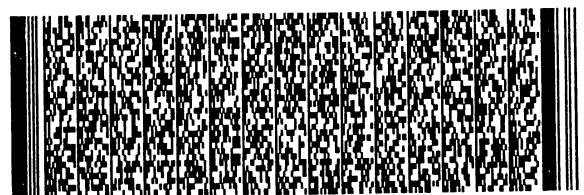
電極間之距離，且能得到比第5實施例更大之蓄積容量。第5實施例雖能夠提供大於第1實施例之蓄積容量，但在本實施例更能實現蓄積容量之增加。

依據本實施例主動式矩陣基板之製造方法，如同前述之實施例，僅使用4道光罩即能夠使閘極電極2、汲極電極9及畫素電極11藉著絕緣膜來達到相互的層間分離；並且，a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋，故能夠形成通道保護型主動矩陣基板之目的。相較於習用技術至少可以節省一道光罩之製程步驟。

而且，容量電極層110係在汲極電極層106之形成步驟中同時形成；用以將容量電極層110耦接畫素電極11之貯存電容器用開口12，係在源/汲極開口部7和6之形成步驟中同時形成，所以僅需變更光罩之定義圖樣即可，不會增加額外之光罩；貯存電容部18之蓄積容量相較於第5實施例係為增加。

此外，本實施例中如同第5實施例，不僅是汲極端子部15，對於閘極端子部14亦能夠以同一步驟形成ITO膜108。亦即，如同第5實施例，能夠如第31圖所示步驟形成閘極端子部14，如第32圖所示步驟形成汲極端子部15。藉此，如第34圖所示，能夠實現將相異配線層以ITO膜108進行接續。藉此，保護單元部22與各閘極端子部14及各汲極端子部15之接續也得以同時實現。

此外，如同上述第2實施例所示，透過加厚第1或第2保護膜之厚度、形成有機層間膜、及適當地變化SiO₂成膜



五、發明說明 (36)

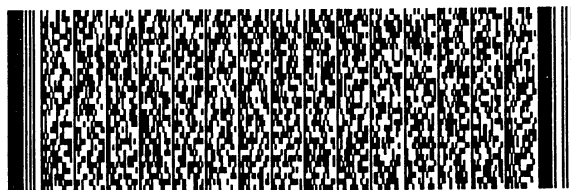
之條件、以得到具相異材質之沈積膜結構，藉此而達到平坦化之目的。

[實施例7]

關於本發明第7實施例之主動矩陣基板及其製造方法，將參照第41圖至第55圖來進行說明。第41圖至第46圖顯示本發明第7實施例之主動式矩陣基板製造流程之佈局圖，僅顯示單一畫素。第47及48圖顯示本發明第7實施例主動式矩陣基板之製造流程剖面圖，亦即第41至46圖中之K-K'線標示處之剖面。又，第49及50圖顯示閘極端子部、第51及52圖顯示汲極端子部、第53及54圖顯示閘極貯存電容部(第41圖之L-L'線)之製造流程剖面圖。第55圖顯示本發明第7實施例之閘極-汲極接續部構造之剖面圖。

本實施例之主動式矩陣基板，更形成有彩色濾光片(color filter)層和黑矩陣(black matrix)之構造。前述第1至7實施例之主動式矩陣基板中，雖有TN方式和IPS方式之分，但為了實現彩色液晶顯示裝置之目的，彩色濾光片層係形成於對向包夾液晶之對向基板側上。對此在本實施例中，係對具有所謂COT(color filter on TFT)構造之主動式矩陣基板，適用本發明之場合來加以說明。

參照第41至48圖，以說明此具有COT構造之TN方式主動矩陣基板之製造方法。首先，在玻璃等透明絕緣基板101上，依序形成：沈積Cr、Ti、Mo等底層金屬和Al而得之閘極電極層102；SiNx(氮化矽膜)等之閘極絕緣膜103；以及，成為半導體層之a-Si層104。



五、發明說明 (37)

接著，如同第5實施例第28和29圖所示之製造步驟，使用第1光罩，如第41圖及第47圖(a)所示，形成閘極匯流排1及由此閘極匯流排1分歧出之閘極電極2。在此，從作為閘極匯流排1之閘極電極層102之上，去除a-Si層104及閘極絕緣層103，在作為閘極電極2之閘極電極層102之上留存a-Si層104及閘極絕緣層103，而形成積層體。

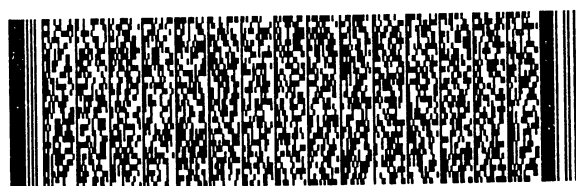
接著，全面形成SiNx等之第1保護膜105，以及由濺鍍法等沈積Cr、Ti、Mo等底層金屬和Al而得之汲極電極層106，於透明絕緣基板101上。之後，如第42圖及第47圖(b)所示，使用第2光罩形成作為汲極匯流排4之汲極金屬層106。

接著，在被鄰接閘極匯流排1和鄰接汲極匯流排4所包圍之畫素區域上，分別形成彩色濾光片層112。

形成紅色層20R。接著，形成綠色層20G。再形成藍色層20B。之後，形成黑矩陣。色層之形成係使用4道光罩。

接著，全面在透明絕緣基板101上，形成將色層112及黑矩陣113覆蓋之平坦化膜114。作為此平坦化膜114，例如係使用丙烯酸樹脂、BCB(苯並環丁烯)、聚亞胺等有機材料，藉由上述有機材料之使用，如第48圖(a)所示，而能夠達成平坦化基板之目的。

接著如第45圖及第48圖(a)所示，使用第3光罩，以形成a-Si層104上部之源極開口部7和汲極開口部6、以及汲極匯流排4上部之接觸孔洞5。此時，源極開口部7及汲極開口部6，係貫通平坦膜114、黑矩陣113和第1保護膜105



五、發明說明 (38)

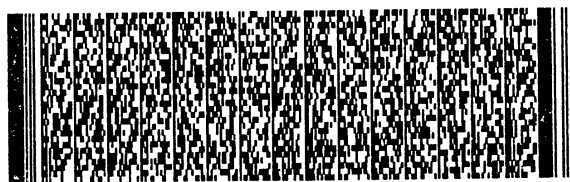
而形成。汲極匯流排4之接觸孔洞5，係貫通平坦膜114和第1保護膜105而形成。接著，為得到與a-Si層104之歐姆接觸，在充滿 PH_3 電漿之環境中，讓磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成 n^+ 層。

之後，沈積作為畫素電極11之ITO膜108於透明絕緣基板101上，如第46圖及第48圖(b)所示，使用第4光罩，讓畫素電極11耦接源極電極10，且讓汲極電極9耦接汲極匯流排4。以此方式，而能夠製造如第39圖(b)所示，具有COT構造之主動式矩陣基板。

使用本實施例進行製造之場合中，閘極端子部14、汲極端子部15及貯存電容部18之構造，係分別如第49、50圖、第51、52、及第53、54圖所示。又，第49圖、第51圖及第53圖之(a)~(d)所示者，係為與第47圖(a)~(d)所示之相同步驟。第50圖、第52圖及第54圖之(a)~(b)所示者，係為與第48圖(a)~(b)所示之相同步驟。

對於閘極端子部14，以第50圖(a)所示步驟，蝕刻平坦化膜114及第1保護膜105，使得閘極電極層102露出。之後，以濺鍍法等沈積ITO膜108於透明絕緣基101上，使用上述第4光罩，使得在閘極端子部14上，殘留有透過上述開口而接續於a-Si層104之ITO膜108。藉此，完成如第50圖(b)所示之閘極端子部14。

對於汲極端子部15A，以第52圖(a)所示步驟，蝕刻平坦化膜114，使得汲極電極層106露出。之後，以濺鍍法等沈積ITO膜108於透明絕緣基101上，使用上述第4光罩，使



五、發明說明 (39)

得在汲極端子部15上，殘留有透過上述開口而接續於汲極電極層106之ITO膜108。藉此，完成如第52圖(b)所示之汲極端子部15。

此外，在使用本實施例方法的製造場合中之貯存電容18，具有如第53、54圖所示之構造。首先，以第53圖(a)所示形成閘極匯流排1及閘極電極2之步驟，將作為閘極匯流排1之閘極電極2上之a-Si層104以及閘極絕緣膜103去除。接著，在此閘極電極層102上沈積第1保護膜105，並形成色層112於第1保護膜105之上。去除閘極電極層102上之色層112部分後，使用第53圖(d)形成黑矩陣113之步驟，以形成黑矩陣113。此外，如第54圖(a)所示形成平坦化膜114，再如第54圖(b)所示，利用ITO膜108來形成畫素電極11。依此方式製得之貯存電容部18，畫素電極11及閘極匯流排1係包夾著平坦化膜114、黑矩陣113及第1保護膜105，而形成蓄積容量。

依據本實施例主動式矩陣基板之製造方法，如同前述之實施例，僅使用4道光罩即而能夠使閘極電極層102、汲極電極層106及畫素電極11達到相互的層間分離，而得到ITO膜108配置於最上層之通道保護型主動式矩陣基板。相較於習用技術至少可以節省一道光罩之製程步驟。而且，只要變更光罩之定義圖樣即可，不會額外增加光罩之數目；貯存電容部18之蓄積容量相較於第5實施例係為增加。

又，本實施例中如同第5實施例，不僅是汲極端子部



五、發明說明 (40)

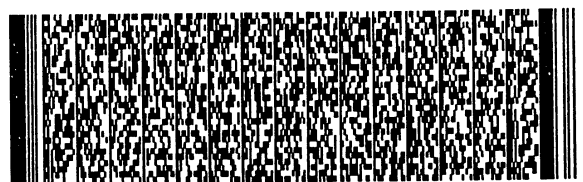
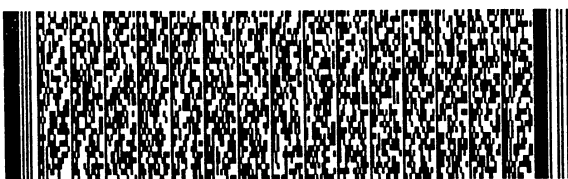
15，對於閘極端子部14亦能夠以同一步驟形成ITO膜108。亦即，如同第5實施例，能夠如第31圖所示步驟形成閘極端子部14（參照第49、50圖），以及能夠如第32圖所示步驟形成汲極端子部15（參照第51、52圖）。藉此，如第34圖所示，能夠實現將相異配線層以ITO膜108進行接續。藉此，保護單元部22與各閘極端子部14及各汲極端子部15之接續也得以同時實現。

此外，如同上述第2實施例所示，透過加厚第1或第2保護膜之厚度、形成有機層間膜、及適當地變化SiO₂成膜之條件、以得到具相異材質之沈積膜結構，藉此而達到平坦化之目的。

[實施例8]

接著說明本發明第8實施例之主動矩陣基板及其製造方法。本實施例與前述第7實施例之差異在，係本實施例如上述第6實施例中所示在閘極匯流排上之既定位置沈積金屬，並加大貯存電容部之容量（參照第36、40圖）；其中，上述金屬係透過第1保護膜105而構成之容量電極層110。其他之構造則與第7實施例所示者相同（參照第53、54圖）。

本實施例中如同第3實施例和第6實施例，在形成作為汲極匯流排之汲極電極層時，亦同時形成位於鄰接汲極匯流排間之閘極匯流上方的容量電極層（參照第36、40圖）。此容量電極層係作為形成於閘極電極層間之貯存電容部之蓄積容量電極。



五、發明說明 (41)

接著，如同第7實施例，在基板上形成黑矩陣、平坦化膜(參照第53、54圖)。此外，使用第3光罩，在形成a-Si層上部之源極開口部和汲極開口部、以及汲極匯流排上部之接觸孔洞之時，亦形成貯存電容器用開口部於容量電極層之上部(參照第37圖)。

之後，沈積作為畫素電極11之ITO膜於透明絕緣基板上，使用第4光罩，讓畫素電極耦接源極電極，讓汲極電極耦接汲極匯流排，且讓容量電極層和畫素電極透過貯存電容器用開口部而互相接續。以此方式，而能夠製造如本實施例所示之主動式矩陣基板。

使用本實施例方法的製造場合中之貯存電容部，係以形成閘極匯流排及閘極電極之步驟，將作為閘極匯流排之閘極電極上之a-Si層以及閘極絕緣膜去除。接著，在此閘極電極層上沈積保護膜，再以形成汲極電極層之步驟，於貯存電容部之區域上留存容量電極層。藉此方式而得之貯存電容部之構造，係為在閘極電極層和容量電極層之間，並未包夾a-Si層及閘極絕緣層，而僅包夾保護膜105。相較於第7實施例，更縮短了對向電極間之距離，亦能夠獲得比第7實施例較大之蓄積容量。

依據本實施例主動式矩陣基板之製造方法，如同前述之實施例，僅使用4道光罩即而能夠使閘極電極層102、汲極電極層106及畫素電極11達到相互的層間分離，而得到ITO膜108配置於最上層之通道保護型主動式矩陣基板。相較於習用技術至少可以節省一道光罩之製程步驟。而且，



五、發明說明 (42)

只要變更光罩之定義圖樣即可，不會額外增加光罩之數目；貯存電容部18之蓄積容量相較於第5實施例係為增加。

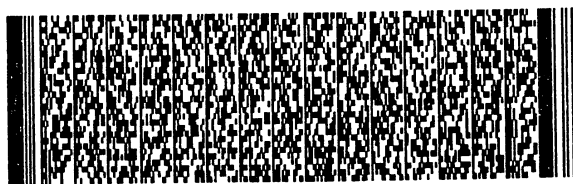
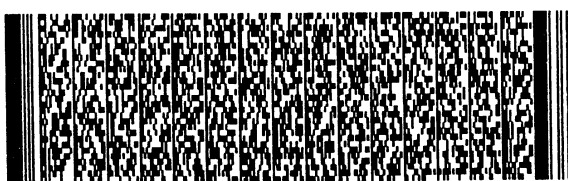
又，本實施例中如同第5實施例，不僅是汲極端子部15，對於閘極端子部14亦能夠以同一步驟形成ITO膜108。亦即，如同第5實施例，能夠如第31圖所示步驟形成閘極端子部，以及能夠如第32圖所示步驟形成汲極端子部。藉此，如第34圖所示，能夠實現將相異配線層以ITO膜進行接續。藉此，保護單元部與各閘極端子部及各汲極端子部之接續也得以同時實現。

[實施例9]

本發明第9實施例之通道保護型主動矩陣基板及其製造方法，將參照第56圖至第61圖來進行說明。第56圖顯示本發明第9實施例相關之液晶顯示裝置用之主動式矩陣基板之電路圖。第57圖至第60圖顯示本發明第9實施例之主動式矩陣基板製造流程之佈局圖，僅顯示單一畫素。第61圖顯示本發明第9實施例主動式矩陣基板之製造流程剖面圖，亦即第57至60圖中之M-M'線標示處之剖面。

本實施例與第5實施例之差異點，係為在本實施例之製造方法係適用於橫電場方式之主動式矩陣基板；其中，上述主動式矩陣基板，係使用櫛齒狀共通電極(共電極)和畫素電極之間的電場，控制液晶的配向。而基本之製造方法則與前述第5實施例相同。

本實施例之主動式矩陣基板，除了與第4實施例第11



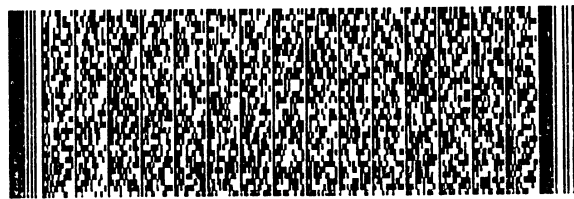
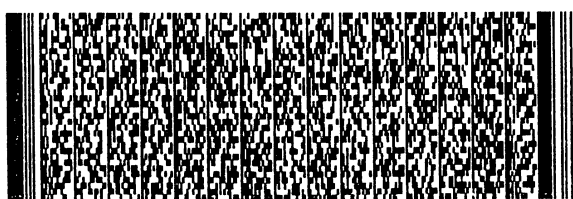
五、發明說明 (43)

圖所示電路有相同構造外，如第56圖所示更具備有：保護匯流排(共匯流排)23，係與閘極匯流排1及汲極匯流排4分別地平行，配置於透明絕緣基板101之周邊部；保護單元部22，形成於前述保護匯流排23、各個閘極端子部14及各個汲極端子部15之間；以及，保護端子部24，用以提供電位給保護單元部23。保護單元部22係由二極體接續(diode-connected)之一對電晶體所構成，在各閘極端子部14及個汲極端子部15與保護匯流排23之間，分別以二極體之順向及逆向進行耦接。此保護單元22之電晶體，係在製造顯示區域之電晶體部16之際，同時予以形成。

本實施例之主動式矩陣基板之製造方法，將參照第57圖至第61圖予以說明。首先，在玻璃等透明絕緣基板101上，依序形成：沈積Cr、Ti、Mo等底層金屬和Al而得之閘極電極層102；SiNx(氮化矽膜)等之閘極絕緣膜103；以及，成為半導體層之a-Si層104。

使用第1光罩，定義形成具有階梯狀剖面之光阻膜。在此，作為閘極匯流排1之閘極電極層102上方部分，光阻膜厚度係較薄；由閘極匯流排1分歧而作為閘極電極2之閘極電極層102上方部分，光阻膜厚度係較厚。光阻膜之剖面成為階梯狀，使成為共電極之閘極電極層102之區域上方部分，光阻膜厚度係較薄，並形成於a-Si層104上。具有前述階梯狀剖面之光阻膜，如同第5實施例，係使用半調(half-tone)曝光法製作而得。

接著，未被光阻膜覆蓋之閘極電極層102、閘極絕緣



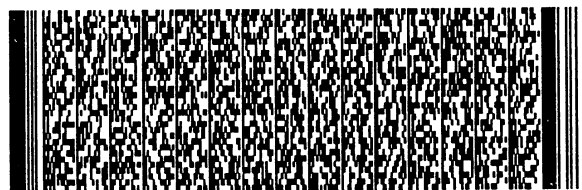
五、發明說明 (44)

層103及a-Si層104，則以乾式蝕刻法去除。接著，將此透明基板101以 O_2 電漿進行處理，以讓光阻膜之厚度減小，將作為閘極匯流排1之閘極電極層102及作為共電極13之閘極電極層102各別區域上方之薄光阻膜去除，而露出a-Si層104。此外，將殘留之光阻膜作為遮罩，以乾式蝕刻法去除a-Si層104及閘極絕緣層103，以形成配置於複數閘極匯流排1間之櫛齒狀共電極13。此時，作為閘極電極2之電極層102之上，殘留有閘極絕緣膜103和a-Si層104，在此而形成積層體。之後，如第61圖(a)，去除光阻膜。

接著，使用電漿CVD法等，全面形成 SiN_x 等之第1保護膜105，於透明絕緣基板101上，以覆蓋閘極匯流排1、共電極13及上述積層體，以及形成由鍍鍍法等所沈積Cr、Ti、Mo等底層金屬和Al而得之汲極電極層106；成膜後，如第58圖及第61圖(b)所示，使用第2光罩形成汲極匯流排4及畫素電極11。汲極匯流排4，係與閘極匯流排1交差之方向而延伸，在閘極匯流排1和共電極13間之第1保護膜105上分歧並延伸至閘極電極2之近傍。畫素電極11係配置於複數汲極匯流排4之間，並呈現櫛齒狀。

接著，形成 SiO_2 等之第2保護膜107於透明絕緣基板101上。再如第59圖及第61圖(c)所示，使用第3光罩，以形成a-Si層104上部之源極開口部7和汲極開口部6、以及汲極匯流排4和畫素電極上部之接觸孔洞5。

接著，為得到與a-Si層104之歐姆接觸，如同前述實施例，將透明絕緣基板101置於充滿 PH_3 電漿之環境中，讓



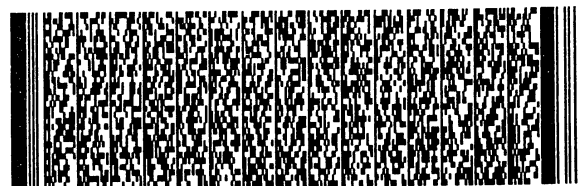
五、發明說明 (45)

磷(P)擴散進入a-Si層104中，而在a-Si層104之表面形成 n^+ 層。之後，形成作為畫素電極11之ITO膜108於透明絕緣基板101上，如第60圖所示，使用第4光罩，讓畫素電極11透過源極開口部7及接觸孔洞5而耦接a-Si層104，並使汲極匯流排4透過汲極開口部6及接觸孔洞5而與a-Si層104耦接，以形成既定之配線。藉上述方式，能夠製造而得如第61圖(d)所示構造之主動式矩陣基板。

此外，在使用本實施例製造方法之場合中，第56圖電路所示之電路接點A、B及C部分之構造，係如第5實施例第34圖所示。電路接點A、B、C，係採用形成於第2保護膜107上之ITO膜108，所形成之接續構造。藉上述方式，在主動式矩陣基板中，用以接續閘極電極層102同層面之配線以及汲極電極層106同層面之配線之所在，如第34圖所示，係採用透過ITO膜108而進行接續之構造。

依據本實施例之製造方法，對於應用於橫電場方式液晶顯示裝置之主動式矩陣基板，亦僅使用4道光罩即能夠得以製造。相較於習用技術至少可以節省一道光罩之製程步驟。

此外，本實施例中，如同第5及第6實施例，不僅是汲極端子部15，對於閘極端子部14亦能夠以同一步驟形成ITO膜108。亦即，藉此，和前述實施例同樣地，能夠使用第31圖所示之製造步驟，來形成閘極端子部14，也能夠使用第32圖所示之製造步驟，來形成汲極端子部15。藉此，如第34圖所示能夠實現將相異配線層以ITO膜108進行接



五、發明說明 (46)

續。藉此，保護單元部22與各閘極端子部14及各汲極端子部15之接續也得以同時實現。

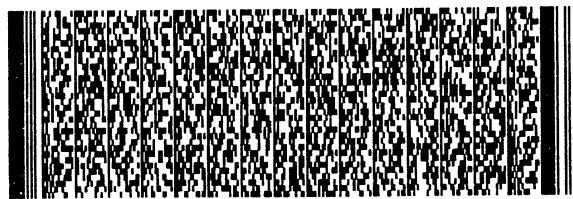
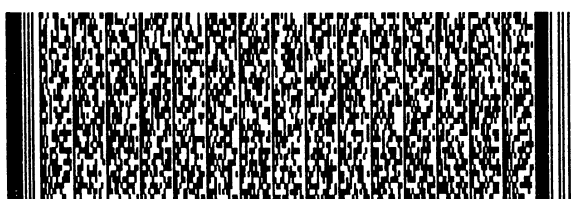
此外，本實施例之主動式矩陣基板上，閘極匯流排1和共電極13上係覆蓋有第1保護膜105，並去除a-Si層104及閘極絕緣膜103。藉此，相較於第4實施例，共電極13附近之第1保護膜105之平坦性則得以提昇。櫛齒狀畫素電極11，係成於用以增進平坦性之第1保護膜105之上，所以能夠提高櫛齒狀電極之長期可靠度。又，由於能夠提昇主動式矩陣基板表面之平坦度，所以能夠提昇液晶配向之控制性。

如同前述第2實施例，透過加厚第1、第2保護膜之厚度、適當地變化 SiO_2 之成膜條件，沈積而得具有相異材質之膜，藉此而達到平坦化之目的。

以上，雖係針對本發明較佳之實施形態進行說，但本發明並非限定於此，在未脫離出本發明主旨之範圍內，當可能進行適當之變形及變更。例如，在前述實施例中，雖係記載透明畫素電極之使用，除了ITO膜之外，亦可以使用 ZnO ，亦即對於將ITO中之Sn成分以 ZnO 取代後之化合物等，亦能使用作為畫素電極。

【發明之效果】

如上所述，依據本實施例之主動式矩陣基板，閘極電極、汲極電極及畫素電極係利用絕緣膜而成為層間分離之配置，同時積層體之a-Si層之表面及側壁，均為第1保護膜和第2保護膜所覆蓋。因此，傳統技術中a-Si層之側面



五、發明說明 (47)

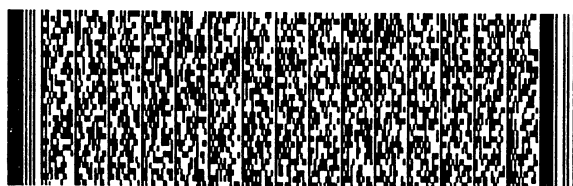
和ITO膜形成接觸之問題能夠予以防止，並且能夠提高薄膜電晶體及此薄膜電晶體所形成之主動式矩陣基板之長期可靠度。此外，作為液晶顯示裝置構成之場合中，避免了a-Si層之側面和ITO膜形成接觸之問題。

又，依據本發明之製造方法，僅使用4道光罩即能夠使閘極電極、汲極電極及畫素電極藉著絕緣膜來達到相互的層間分離；並且，a-Si層104之表面及側壁均為第1保護膜105及第2保護膜107所覆蓋，故能夠形成通道保護型主動式矩陣基板之目的，並能實現主動式矩陣基板之低價化。

原因在於，將閘極電極層、閘極絕緣膜及a-Si層以連續方式製成膜，使用同一遮罩一併進行蝕刻，並且以畫素電極膜作為遮罩對a-Si層和閘極絕緣膜進行蝕刻，所以能夠減少製程步驟，而且因為第1和第2保護膜能夠將a-Si層完全覆蓋之故。

此外，依據本發明之製造方法，使用像 SiO_2 之無機絕緣膜與像丙烯酸樹脂之有機絕緣膜所構成之積層構造作為第2保護膜，藉此方式能夠將薄膜電晶體部之不平坦性(段差)予以減小；藉此，能夠讓對向基板間之液晶配向狀態達到均一之效果。又依據本發明，不僅可用以製造縱電場方式之主動式矩陣基板，亦可用以製造橫電場方式之主動式矩陣基板。

於透明絕緣基板101上，使用電漿CVD法等形成 SiN_x 等之第1保護膜105，以及使用濺鍍法等形成由沈積Cr、Ti、



五、發明說明 (48)

Mo 等底層金屬和Al的積層膜而得到之汲極電極層106。之後，如第10圖(b)所示，使用第2光罩將汲極匯流排4以外之金屬予以乾蝕刻法去除，接著在基板上全面形成第2保護膜107。

在第1實施例中，將第2保護膜107用以保護，其厚度係為 $0.2\ \mu\text{m}$ ；在第2實施例中，第2保護膜107之上更沈積了有機層間膜107a，以同時對基板進行平坦化。

有機層間膜107a，例如係使用丙烯樹脂、BCB(苯並環丁烯)、聚亞胺等有機材料，沈積 $0.2\sim 1.0\ \mu\text{m}$ 之厚度而得；如第10圖(c)所示，藉此達成平坦化基板之目的。藉由上述有機層間膜107a之設置，可以避免肇始於TFT之不平坦所產生液晶配向狀態不均一之問題。

亦即，藉由上述有機層間膜107a之設置，能夠減輕TFT之不平坦，讓液晶配向狀態達到均一。

【圖式之簡單說明】

第1圖顯示本發明第1實施例相關之TN方式液晶顯示裝置所使用之主動矩陣基板之電路圖。

第2圖顯示本發明第1實施例之主動矩陣基板製造流程之第1佈局圖。

第3圖顯示本發明第1實施例之主動矩陣基板製造流程之第2佈局圖。

第4圖顯示本發明第1實施例之主動矩陣基板製造流程之第3佈局圖。

第5圖顯示本發明第1實施例之主動矩陣基板製造流程



之第4佈局圖。

第6圖(a)~(d)顯示本發明第1實施例之主動矩陣基板之製造流程剖面圖，亦即第2圖至第5圖中之A-A'線標示處之剖面。

第7圖(a)~(d)顯示本發明第1實施例中主動矩陣基板之間極端子部之製造流程剖面圖。

第8圖(a)~(d)顯示本發明第1實施例中主動矩陣基板之汲極端子部之製造流程剖面圖。

第9圖(a)~(d)顯示本發明第1實施例中主動矩陣基板之貯存電容部之製造流程剖面圖(B-B'間)。

第10圖(a)~(d)顯示本發明第2實施例之主動矩陣基板之製造流程剖面圖(相當於A-A'間)。

第11圖顯示本發明第3實施例之主動矩陣基板製造流程之第1佈局圖。

第12圖顯示本發明第3實施例之主動矩陣基板製造流程之第2佈局圖。

第13圖顯示本發明第3實施例之主動矩陣基板製造流程之第3佈局圖。

第14圖顯示本發明第3實施例之主動矩陣基板製造流程之第4佈局圖。

第15圖(a)~(d)顯示本發明第3實施例之主動矩陣基板之製造流程剖面圖(C-C'間)。

第16圖(a)~(d)顯示本發明第3實施例中主動矩陣基板之貯存電容部之製造流程剖面圖(D-D'間)。



五、發明說明 (50)

第17圖顯示本發明第4實施例之IPS方式液晶顯示裝置所使用之主動矩陣基板之電路圖。

第18圖顯示本發明第4實施例之主動矩陣基板製造流程之第1佈局圖。

第19圖顯示本發明第4實施例之主動矩陣基板製造流程之第2佈局圖。

第20圖顯示本發明第4實施例之主動矩陣基板製造流程之第3佈局圖。

第21圖顯示本發明第4實施例之主動矩陣基板製造流程之第4佈局圖。

第22圖(a)~(d)顯示本發明第4實施例之主動矩陣基板之製造流程剖面圖(E-E'間)。

第23圖顯示本發明第5實施例之TN方式液晶顯示裝置所使用之主動矩陣基板之電路圖。

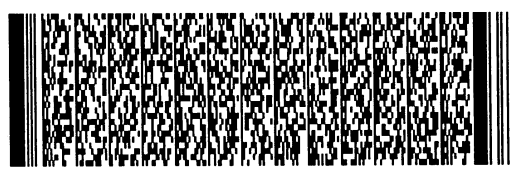
第24圖顯示本發明第5實施例之主動矩陣基板製造流程之第1佈局圖。

第25圖顯示本發明第5實施例之主動矩陣基板製造流程之第2佈局圖。

第26圖顯示本發明第5實施例之主動矩陣基板製造流程之第3佈局圖。

第27圖顯示本發明第5實施例之主動矩陣基板製造流程之第4佈局圖。

第28圖(a)~(c)顯示本發明第5實施例之主動矩陣基板之製造流程剖面圖(H-H'間)。



第29圖(a)~(b)顯示本發明第5實施例中主動矩陣基板之閘極匯流排及閘極電極之製造流程剖面圖(H-H'間)。

第30圖(a)~(d)顯示本發明第5實施例中主動矩陣基板之製造流程剖面圖(F-F'間)。

第31圖(a)~(d)顯示本發明第5實施例中主動矩陣基板之閘極端子部之製造流程剖面圖。

第32圖(a)~(d)顯示本發明第5實施例中主動矩陣基板之汲極端子部之製造流程剖面圖。

第33圖(a)~(d)顯示本發明第5實施例中主動矩陣基板之貯存電容部之製造流程剖面圖(G-G'間)。

第34圖顯示本發明第5實施例中主動矩陣基板之閘極-汲極接續部之構造剖面圖。

第35圖顯示本發明第6實施例之主動矩陣基板製造流程之第1佈局圖。

第36圖顯示本發明第6實施例之主動矩陣基板製造流程之第2佈局圖。

第37圖顯示本發明第6實施例之主動矩陣基板製造流程之第3佈局圖。

第38圖顯示本發明第6實施例之主動矩陣基板製造流程之第4佈局圖。

第39圖(a)~(d)顯示本發明第6實施例之主動矩陣基板之製造流程剖面圖(I-I'間)。

第40圖(a)~(d)顯示本發明第6實施例主動矩陣基板之貯存電容部之製造流程剖面圖(J-J'間)。



第41圖顯示本發明第7實施例之主動矩陣基板製造流程之第1佈局圖。

第42圖顯示本發明第7實施例之主動矩陣基板製造流程之第2佈局圖。

第43圖顯示本發明第7實施例之主動矩陣基板製造流程之第3佈局圖。

第44圖顯示本發明第7實施例之主動矩陣基板製造流程之第4佈局圖。

第45圖顯示本發明第7實施例之主動矩陣基板之製造流程之第5佈局圖。

第46圖顯示本發明第7實施例中主動矩陣基板之製造流程之第6佈局圖。

第47圖(a)~(d)顯示本發明第7實施例中主動矩陣基板之製造流程剖面圖(K-K'間)。(前半)

第48圖(a)~(b)顯示本發明第7實施例中主動矩陣基板之製造流程剖面圖(K-K'間)。(後半)

第49圖(a)~(d)顯示本發明第7實施例中主動矩陣基板之開極端子部之製造流程剖面圖。(前半)

第50圖(a)~(b)顯示本發明第7實施例中主動矩陣基板之開極端子部之製造流程剖面圖。(後半)

第51圖(a)~(d)顯示本發明第7實施例中主動矩陣基板之汲極端子部之製造流程剖面圖。(前半)

第52圖(a)~(b)顯示本發明第7實施例中主動矩陣基板之汲極端子部之製造流程剖面圖。(後半)



第53圖(a)~(d)顯示本發明第7實施例中主動矩陣基板之貯存電容部之製造流程剖面圖(L-L'間)。(前半)。

第54圖(a)~(b)顯示本發明第7實施例中主動矩陣基板之貯存電容部之製造流程剖面圖(L-L'間)。(後半)。

第55圖顯示本發明第7實施例中主動矩陣基板之閘極-汲極接續部之構造剖面圖。

第56圖顯示本發明第9實施例之液晶顯示裝置所使用之主動矩陣基板之電路圖。

第57圖顯示本發明第9實施例之主動矩陣基板製造流程之第1佈局圖。

第58圖顯示本發明第9實施例之主動矩陣基板製造流程之第2佈局圖。

第59圖顯示本發明第9實施例之主動矩陣基板製造流程之第3佈局圖。

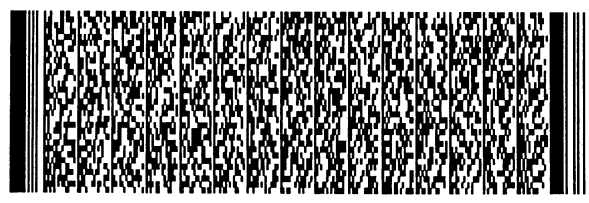
第60圖顯示本發明第9實施例之主動矩陣基板製造流程之第4佈局圖。

第61圖(a)~(d)顯示本發明第9實施例之主動矩陣基板之製造流程剖面圖(M-M'間)。

第62圖(a)~(d)顯示習知技術中主動矩陣基板製造方法之流程剖面圖。

【符號說明】

- | | |
|-----------|-----------|
| 1~ 閘極匯流排； | 2~ 閘極電極； |
| 3~ 島； | 4~ 汲極匯流排； |
| 5~ 接觸孔洞； | 6~ 汲極開口部； |
| 7~ 源極開口部； | 8~ 狹長切口； |



五、發明說明 (54)

- 9~汲極電極；
 10~源極電極；
 11~畫素電極；
 12~貯存電容器用開口部；
 13~共電極；
 14~閘極端子部；
 15~汲極端子部；
 16~電晶體部；
 17~液晶；
 18~貯存電容部；
 19~共電極電位提供端子；
 20~彩色濾光片層；
 21~黑矩陣；
 22~保護單元部；
 23~保護匯流排(共匯流排)；
 24~保護端子部；
 101~透明絕緣基板；
 102~閘極電極層；
 103~閘極絕緣膜；
 104~a-Si膜；
 105~第1保護膜；
 106~汲極電極層；
 107~第2保護膜；
 107a~有機層間膜；
 108~ITO膜；
 109~n⁺型a-Si膜；
 110~容量電極層(蓄積容量電極)；
 111~光阻層；
 112~彩色濾光片層(色層)；
 113~黑矩陣；
 114~平坦化膜。



478156

四、中文發明摘要 (發明之名稱：主動式矩陣基板及其製造方法)

【課題】提供主動式矩陣基板及其製造方法，僅使用4道光罩即能夠使閘極電極、汲極電極、及畫素電極藉著絕緣膜來達到相互的層間分離，能夠形成通道保護型主動式矩陣基板。

【解決方式】在透明絕緣基板上，閘極電極層和閘極絕緣膜和a-Si層係以同一形狀加工，以形成閘極電極層及TFT區域；在上層形成第1保護膜；於第1保護膜之上形成汲極電極層；在上層形成第2保護膜，其上具有分別貫通第1及第2保護膜之開口部、以及僅僅貫通第2保護膜之開口部；在最上層配置ITO膜藉此形成接續配線層和畫素電極。此外，畫素電極另外與一電極層，包夾第1和第2保護膜而構成貯存電容部。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種主動式矩陣基板，包括：

在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；

第2保護膜，形成於上述汲極配線及上述第1保護膜之上層；

源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；

開口部，貫通上述第2保護膜，而到達上述汲極配線；

設置於上述第2保護膜上之畫素電極膜；以及

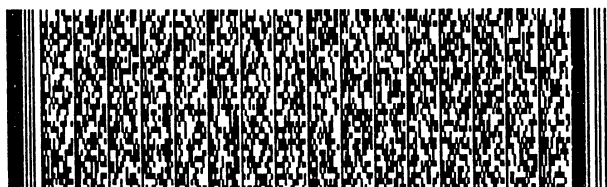
藉著上述畫素電極膜形成之通過上述開口部用以接續之配線層。

2. 一種縱電場型主動式矩陣基板，包括：

在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；

第2保護膜，形成於上述汲極配線及上述第1保護膜之



六、申請專利範圍

上層；

源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；

開口部，貫通上述第2保護膜，而到達上述汲極配線；

設置於上述第2保護膜上之畫素電極膜；

藉由上述畫素電極膜形成之通過上述開口部用以接續之配線層、及接續上述源極開口部之畫素電極；以及

蓄積容量部，設置於上述畫素電極上；該畫素電極和同上述閘極同層面形成之電極層之間包夾有上述第1及第2保護膜，構成上述蓄積容量部。

3. 一種縱電場型主動式矩陣基板，包括：

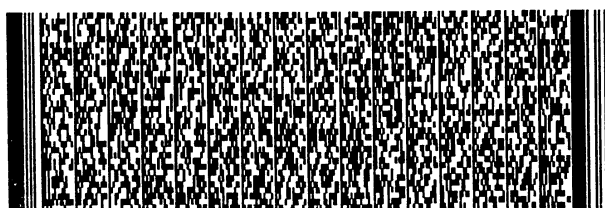
在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；

第2保護膜，形成於上述汲極配線及上述第1保護膜之上層；

源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；

開口部，貫通上述第2保護膜，而到達上述汲極配線；



六、申請專利範圍

設置於上述第2保護膜上之畫素電極膜；

藉由上述畫素電極膜形成之通過上述開口部用以接續之配線層、及接續上述源極開口部之畫素電極；以及

蓄積容量部，設置於上述畫素電極上；接續於該畫素電極之上述非晶矽半導體層和同上述閘極同層面形成之電極層之間包夾有上述第1保護膜，構成上述蓄積容量部。

4. 一種橫電場型主動式矩陣基板，包括：

在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、櫛齒狀共電極、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；

第2保護膜，形成於上述汲極配線及上述第1保護膜之上層；

源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；

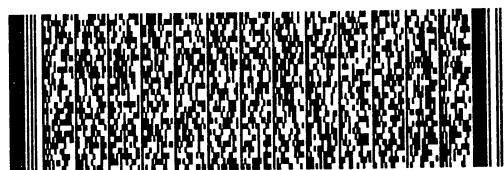
開口部，貫通上述第2保護膜，而到達上述汲極配線；

設置於上述第2保護膜上之畫素電極膜；

藉由上述畫素電極膜形成之通過上述開口部用以接續之配線層、及接續上述源極開口部之畫素電極。

5. 一種主動式矩陣基板，包括：

在絕緣基板上，從基板之法線方向上，具有閘極電極



六、申請專利範圍

層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、櫛齒狀共電極、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體之第1保護膜；上述第1保護膜係介於汲極配線和上述基板之間；

第2保護膜，形成於上述汲極配線及上述第1保護膜之上層；

源極/汲極開口部，貫通上述第1保護膜和上述第2保護膜，而到達上述非晶矽半導體層；

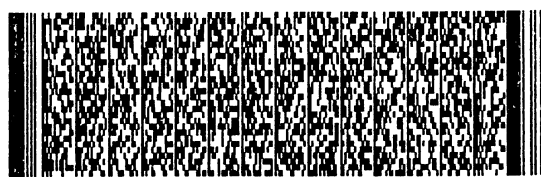
開口部，貫通上述第2保護膜，而到達上述汲極配線；

藉由上述畫素電極膜形成通過上述開口部用以接續之配線層、及接續上述源極開口部之畫素電極；上述畫素電極膜係以櫛齒狀形成位在前述共電極上方之前述第1保護膜之上，且為上述第2保護膜所覆蓋。

6. 如申請專利範圍第1項至第5項中任一項所述之主動式矩陣基板，上述第2保護膜之表面係實質地予以平坦化，而在此平坦化之表面上設置上述畫素電極膜。

7. 如申請專利範圍第2項或第3項所述之主動式矩陣基板，上述電極層，透過在未留存有前述第1保護膜之前述第2保護膜之上所形成之開口部而接續上述畫素電極膜。

8. 如申請專利範圍第1項至第5項中任一項所述之主動式矩陣基板，上述第2保護膜係選擇與前述非晶矽半導體層和前述閘極絕緣膜具有高蝕刻選擇比之材料而構成。



六、申請專利範圍

9. 如申請專利範圍第8項所述之主動式矩陣基板，上述第2保護膜係選擇自矽氧化膜、或由矽氧化膜及有機層間膜構成之積層體。

10. 一種主動式矩陣基板，包括：

在絕緣基板上，從基板之法線方向上，具有閘極電極層、閘極絕緣層及非晶矽半導體層以大體上重疊之堆積方式構成之積層體，並形成有閘極電極、閘極配線、及薄膜電晶體區域；

汲極配線、及用以覆蓋上述積層體及閘極配線之保護膜；上述保護膜係介於汲極配線和上述基板之間；

黑矩陣，在位於上述閘極配線、上述積層體及上述汲極配線上方之前述保護膜之上形成；

色層，形成於被上述黑矩陣所包圍之區域上；

平坦化膜，覆蓋上述保護膜及上述黑矩陣；

源極/汲極開口部，貫通上述保護膜、上述黑矩陣及上述平坦化膜，而到達上述非晶矽半導體層；

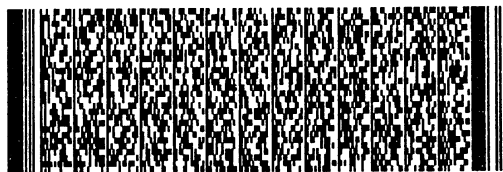
開口部，貫通黑矩陣及平坦化膜，而到達上述汲極配線；

設置於上述平坦化膜上之畫素電極膜；以及

藉由上述畫素電極膜形成之通過上述開口部用以接續之配線層。

11. 如申請專利範圍第10項所述之主動式矩陣基板，更包括：

由上述畫素電極膜形成之接續上述源極開口部之畫素



六、申請專利範圍

電極；

容量電極層，形成位於前述閘極配線上之保護膜之上；

上述容量電極層透過形成於上述黑陣列及平坦化膜之開口部而接續上述畫素電極。

12. 如申請專利範圍第1 ~ 5、10、11項中之任一項所述之主動式矩陣基板，其中，上述閘極電極係從上述閘極配線分歧而出。

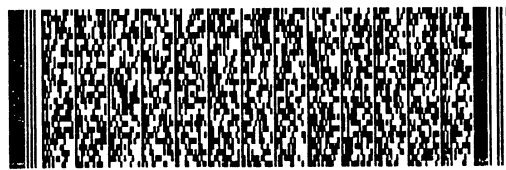
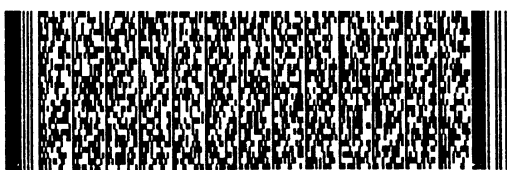
13. 如申請專利範圍第1 ~ 5、10、11項中之任一項所述之主動式矩陣基板，其中，上述畫素電極係由透明電極膜所形成，上述畫素電極之一端係延伸至上述閘極配線之上方。

14. 如申請專利範圍第1 ~ 5、10、11項中之任一項所述之主動式矩陣基板，其中，在上述開口中露出之非晶矽半導體層之表層上，摻入磷而形成 n^+ 層，上述汲極配線或畫素電極透過上述 n^+ 層而接續上述非晶矽半導體層。

15. 一種主動式矩陣基板之製造方法，包括如下步驟：

(a) 在絕緣基板上，依序形成閘極電極層、閘極絕緣層、及非晶矽(a-Si)層，使用第1光罩形成閘極電極、閘極配線、及薄電晶體區域；

(b) 形成第1保護膜及汲極電極層於上述閘極電極上，使用第2光罩去除位於既定區域之上述汲極電極層，而形成汲極配線；



六、申請專利範圍

19. 如申請專利範圍第15項至第18項之任一項所述之主動式矩陣基板之製造方法，在完成上述(c)步驟之後、進行(d)步驟之前，更進行將前述第2保護膜之表面予以實質平坦化之步驟；上述(d)步驟中，上述透明電極層係形成於上述經平坦化後之第2保護膜上。

20. 如申請專利範圍第15項至第18項之任一項中所述之主動式矩陣基板之製造方法，在上述(a)步驟中，一方面留存上述閘極電極上之前述閘極絕緣膜及上述非晶矽層，而選擇性去除上述閘極配線上之前述閘極絕緣膜及上述非晶矽層。

21. 一種主動式矩陣基板之製造方法，包括如下步驟：

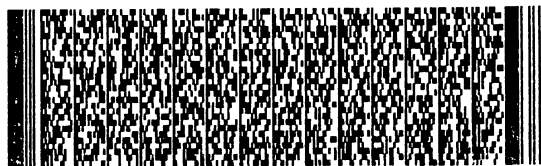
(a) 在絕緣基板上，依序形成閘極電極層、閘極絕緣層、及非晶矽層，使用第1光罩形成閘極電極、閘極配線、及薄電晶體區域；

(b) 形成保護膜及汲極電極層於上述閘極電極上，使用第2光罩去除位於既定區域之上述汲極電極層，而形成汲極配線；

(c) 形成黑矩陣於位在上述閘極配線和上述汲極配線上之上述保護膜上，並且在上述保護膜上形成之黑矩陣所包圍之區域上，形成色層；

(d) 形成平坦化膜，覆蓋上述黑矩陣及上述色層；

(e) 使用第3光罩，用以形成接續源極/汲極電極之開口部，上述源極/汲極電極開口部係貫穿在前述非晶矽層



六、申請專利範圍

之既定位置上所形成之保護膜；並且形成開口部，貫穿位於上述汲極配線上之黑矩陣及上述平坦化膜；以及

(f) 形成透明電極層於上述平坦化膜及開口部上層，使用第4光罩，形成汲極配線用以接續露出於上述汲極電極用開口之非晶矽層，並且將由前述透明電極層得來之畫素電極、與露出於上述汲極電極用開口之非晶矽層予以接續。

22. 如申請專利範圍第21項所述之主動式矩陣基板之製造方法，在上述(b)步驟中，形成上述汲極配線時，也一同形成蓄積容量電極於上述閘極配線上之上述保護膜上；在上述(e)步驟中，使用第3光罩形成用以接續畫素電極之開口部，上述開口部係貫穿上上述平坦化膜和位於上述容量電極膜上之黑矩陣；在上述(f)步驟中，使用前述第4光罩，接續由前述透明電極層得來之畫素電極與露出於開口部之容量電極膜。

23. 如申請專利範圍第15 ~ 18、21、22項之任一項中所述之主動式矩陣基板之製造方法，在上述(d)步驟或(f)步驟之形成透明電極層之前，在由上述開口部露出之上述非晶矽層上進行形成歐姆接觸層之步驟，將上述透明電極透過上述歐姆接觸層而接續上述非晶矽層。

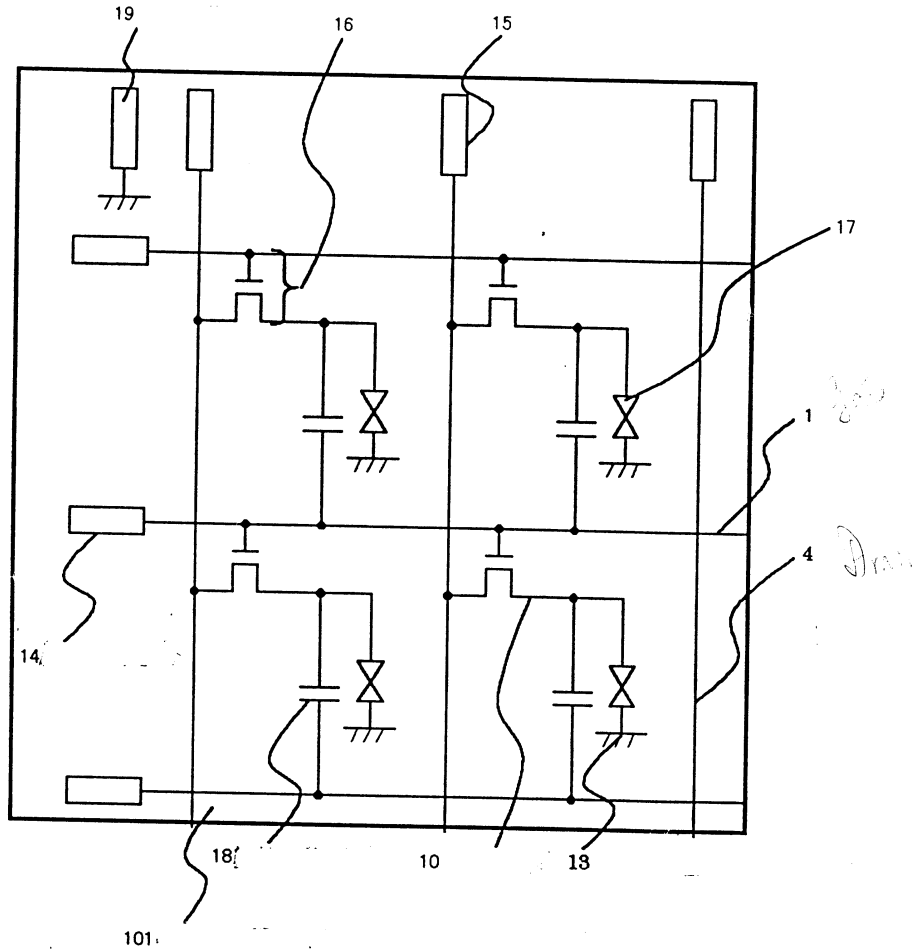
24. 如申請專利範圍第15 ~ 18、21、22項之任一項中所述之主動式矩陣基板之製造方法，上述第2保護膜係選擇與前述非晶矽半導體層和前述閘極絕緣膜具有高蝕刻選擇比之材料而構成。



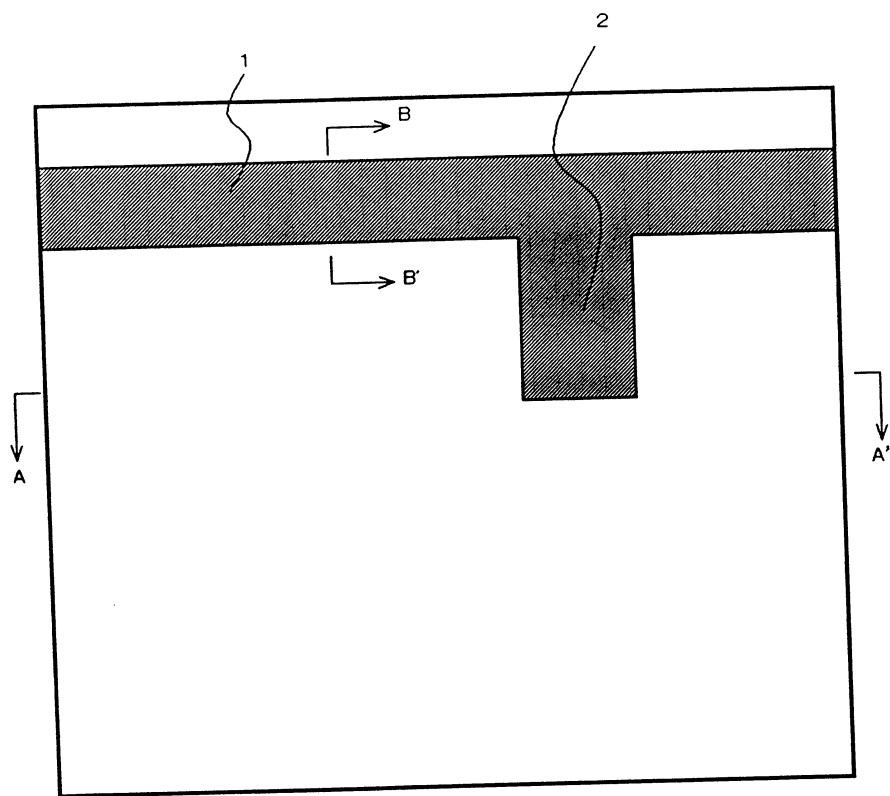
六、申請專利範圍

25. 如申請專利範圍第24項所述之主動式矩陣基板之製造方法，上述第2保護膜係選擇自矽氧化膜、或由矽氧化膜及有機層間膜構成之積層體。

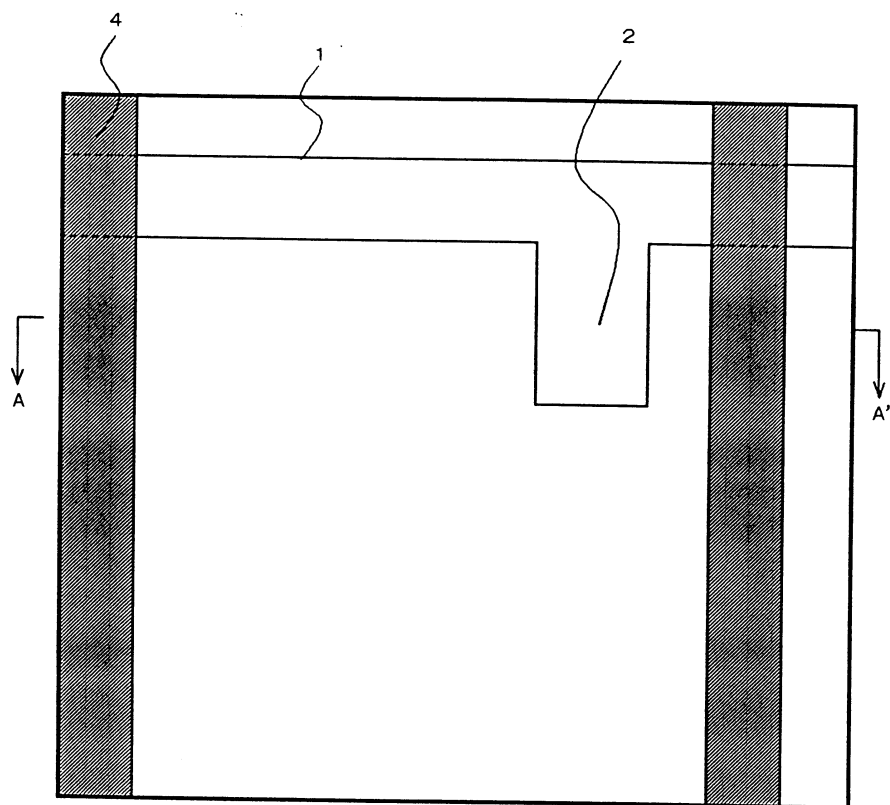




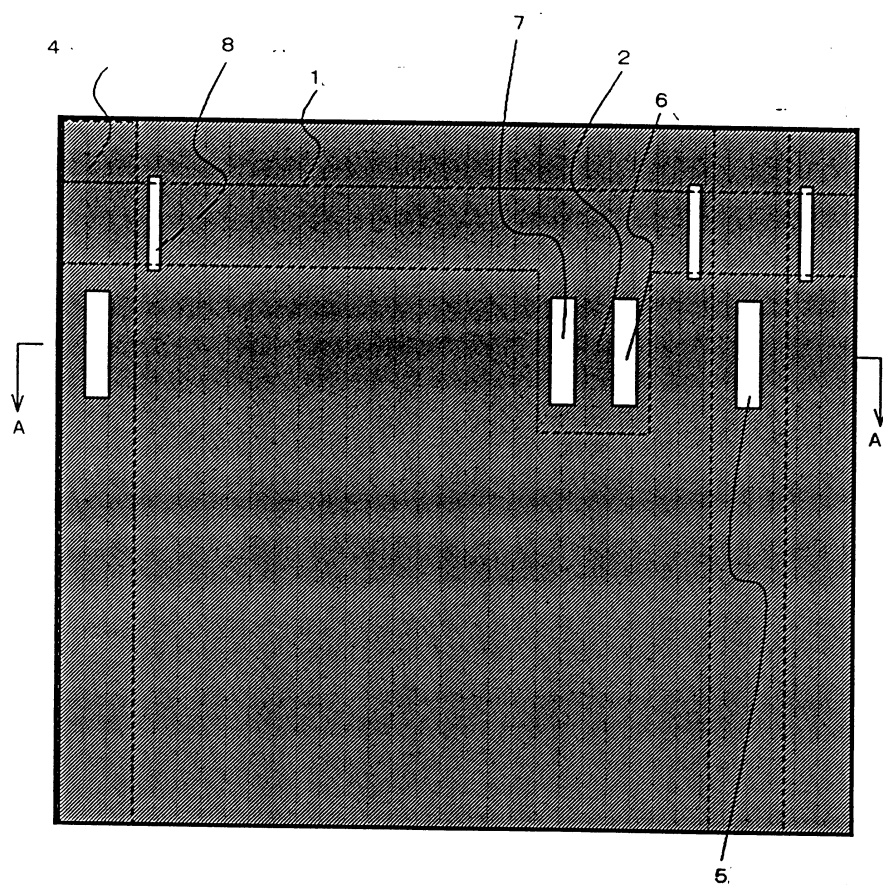
第 1 圖



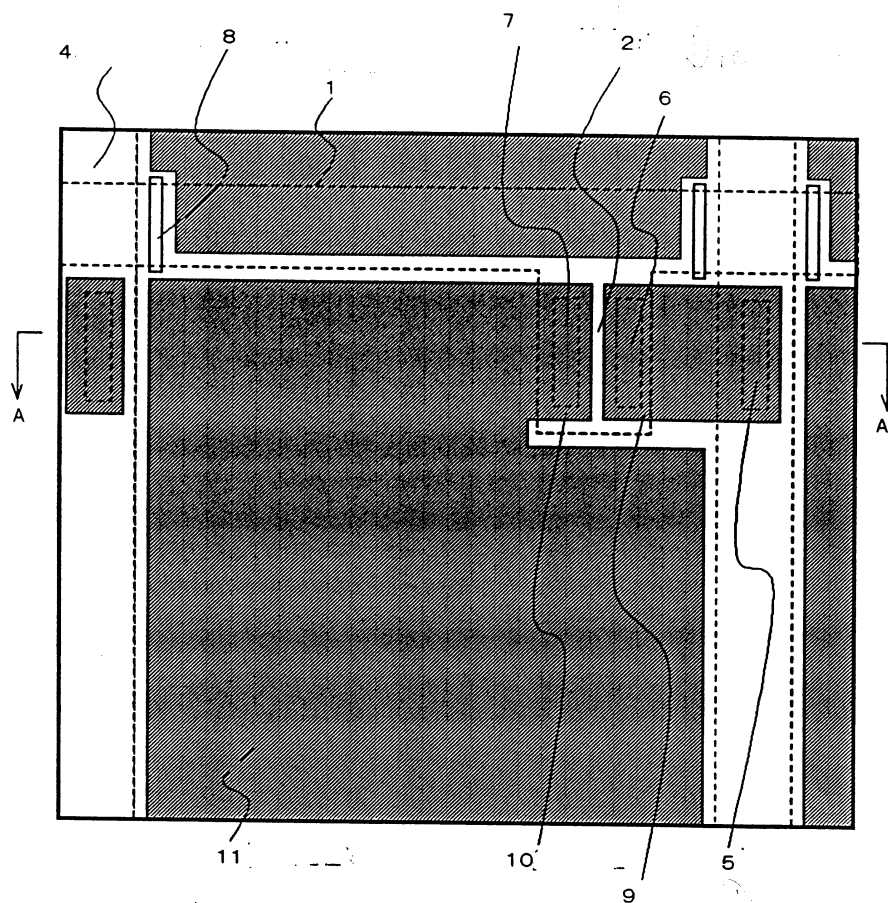
第 2 圖



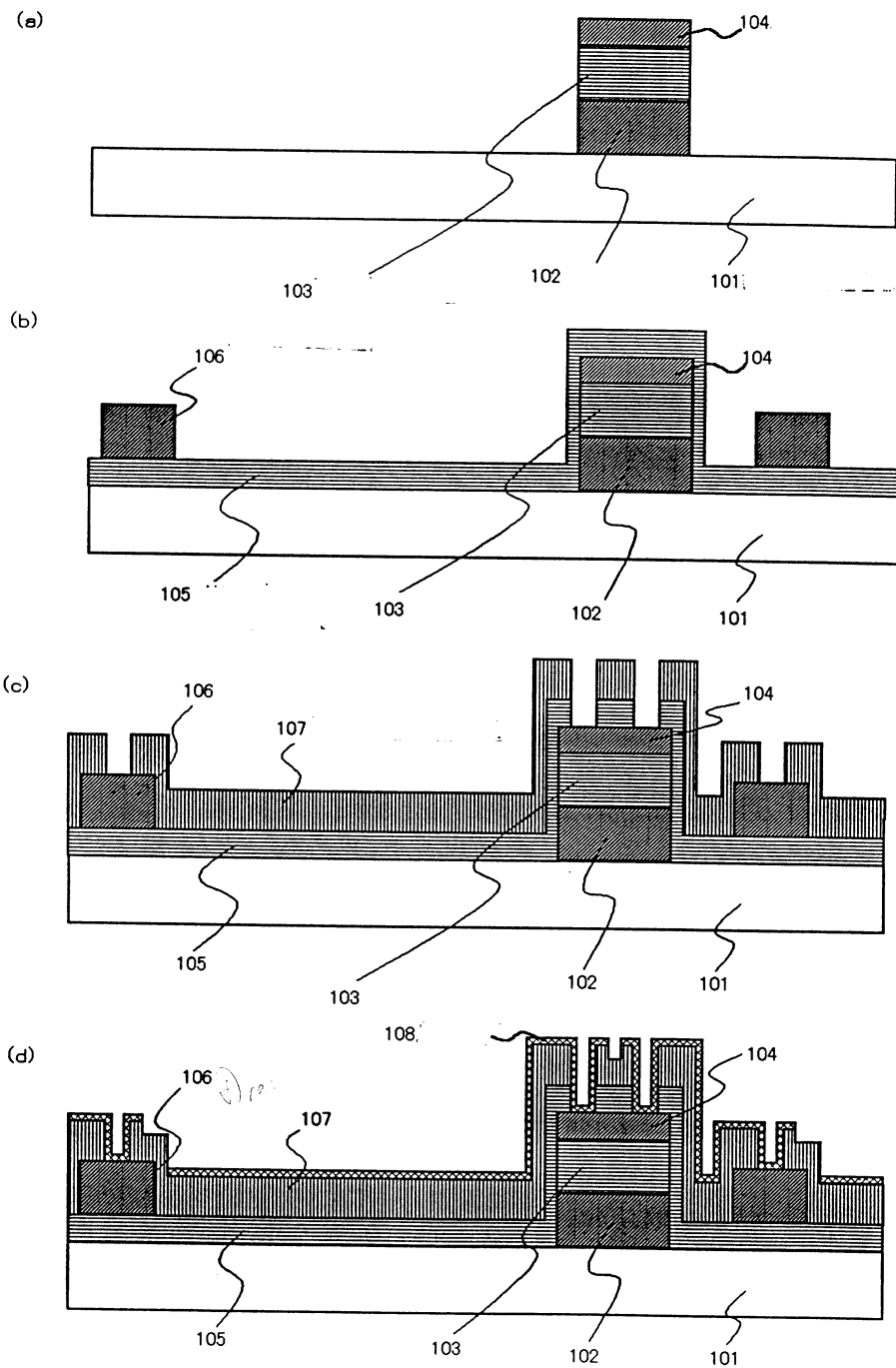
第 3 圖



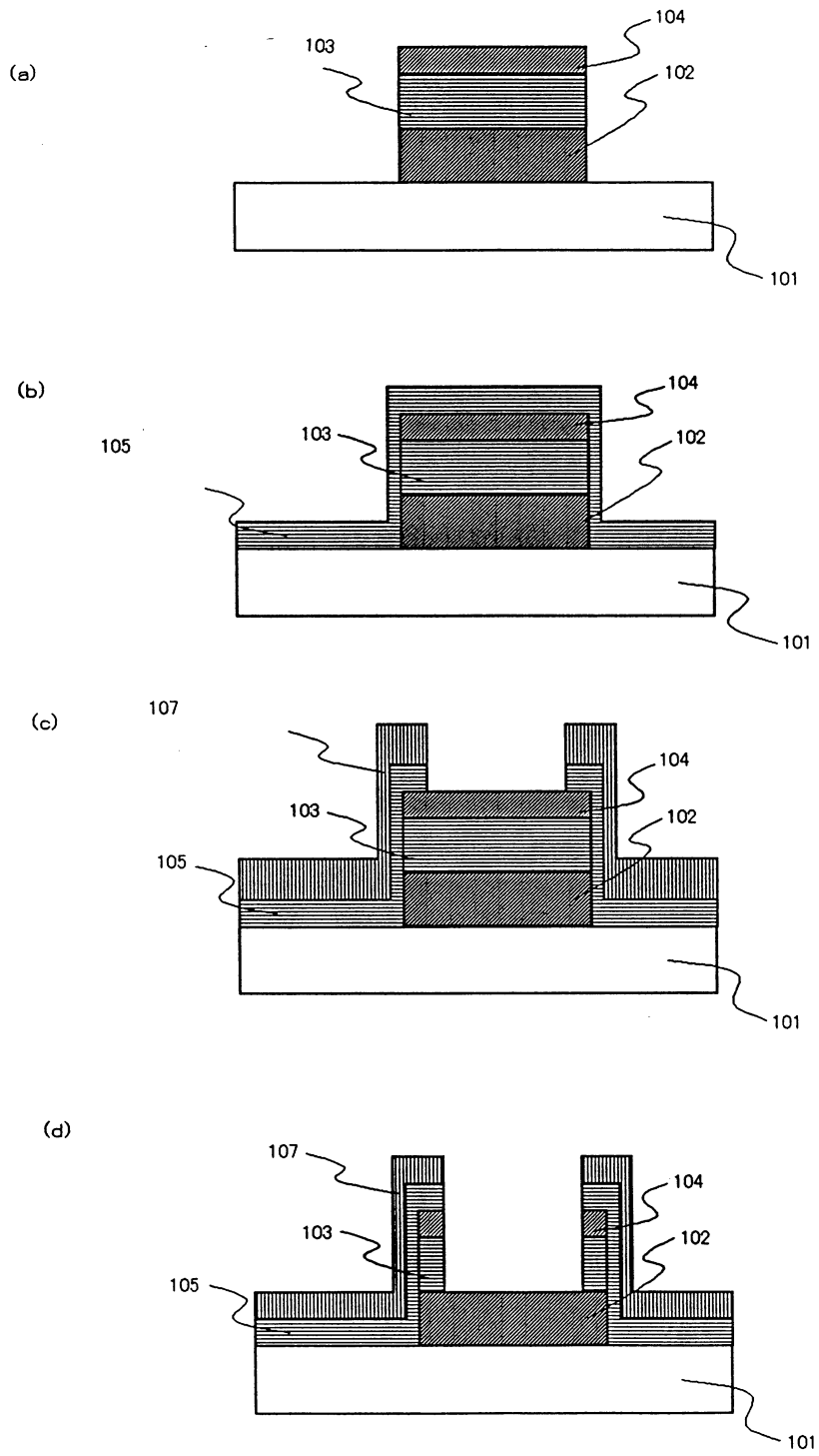
第 4 圖



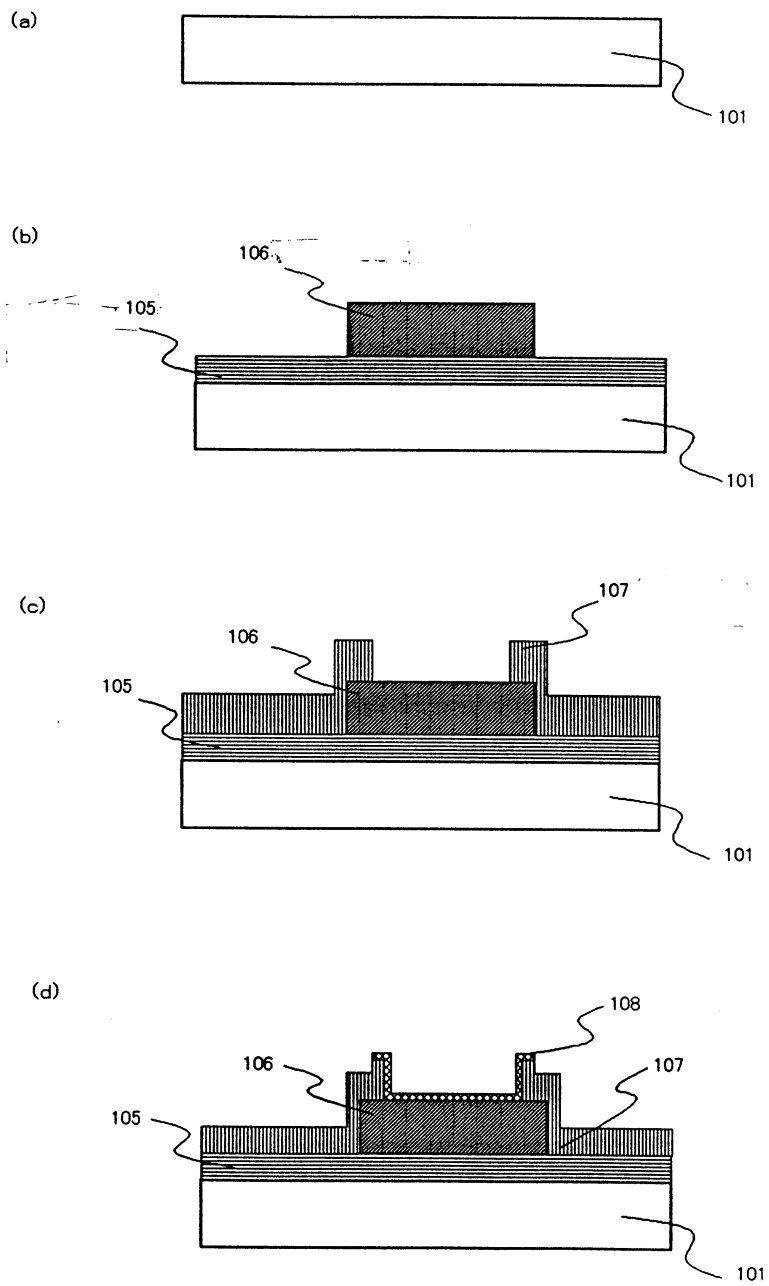
第 5 圖



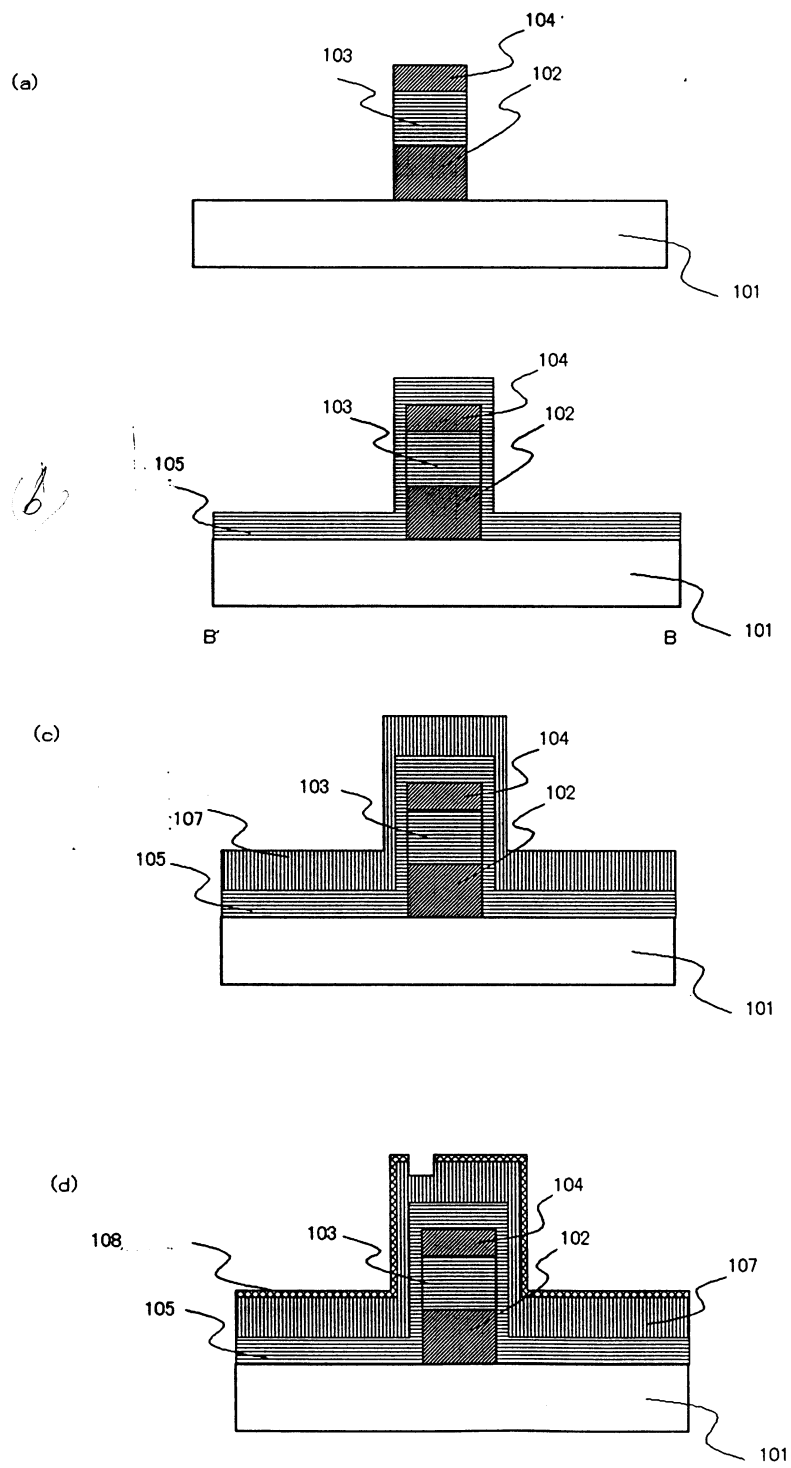
第 6 圖



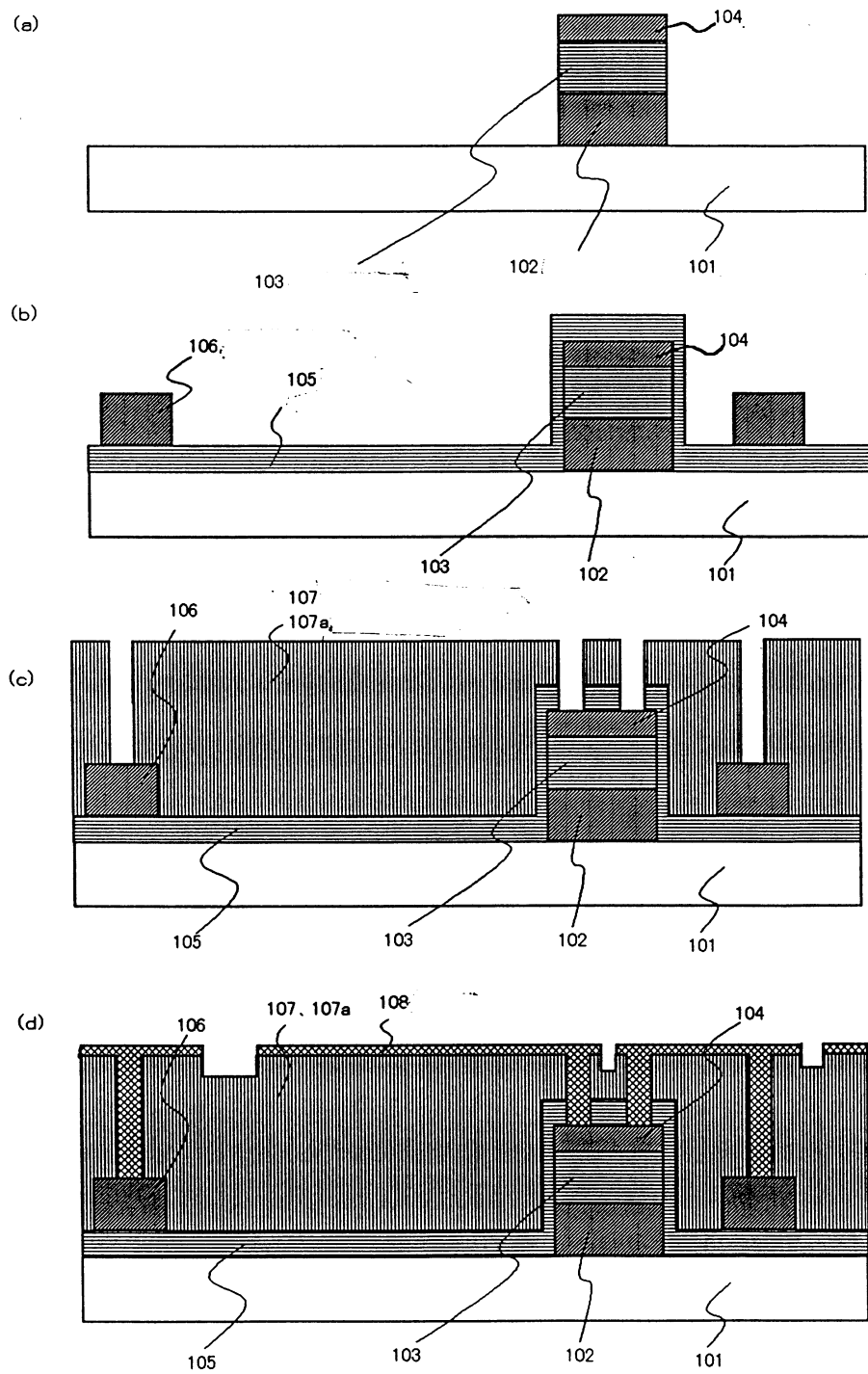
第 7 圖



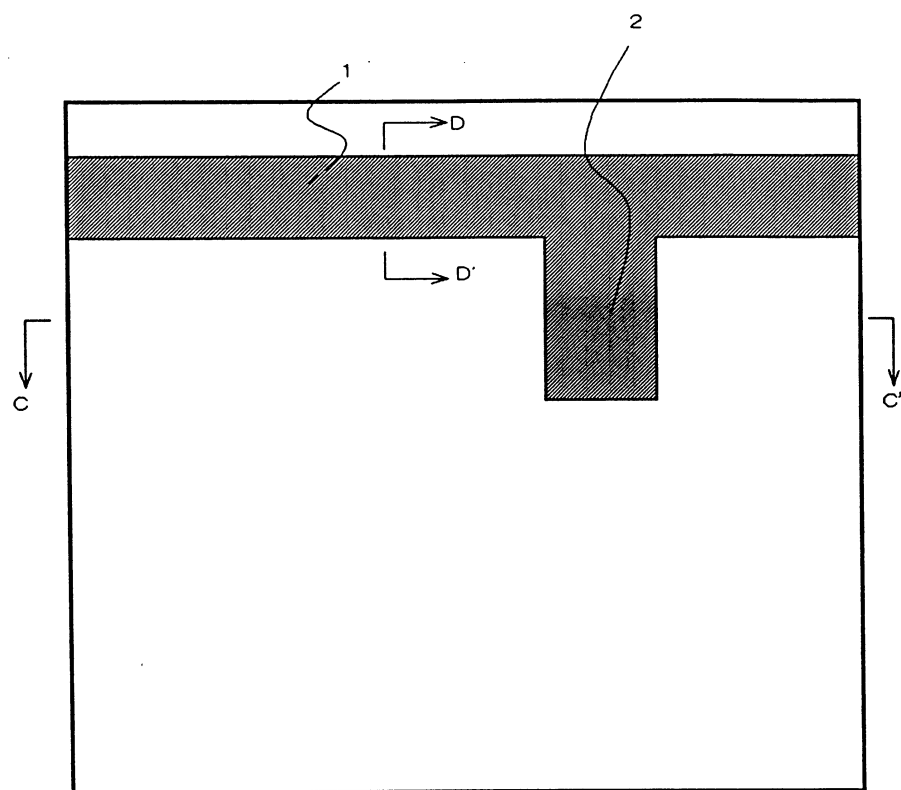
第 8 圖



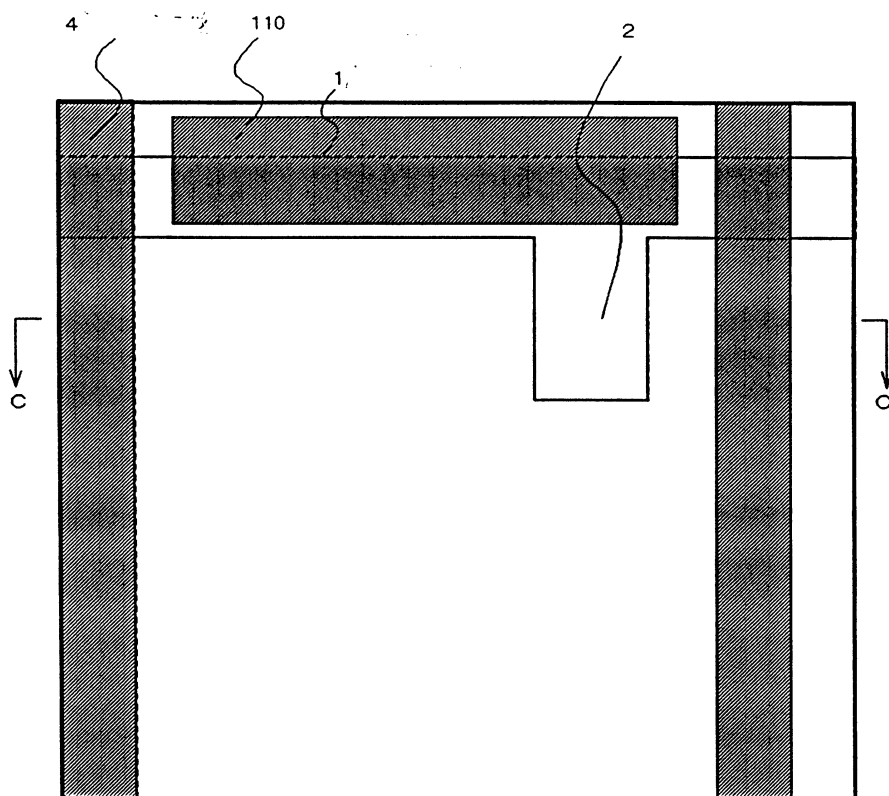
第 9 圖



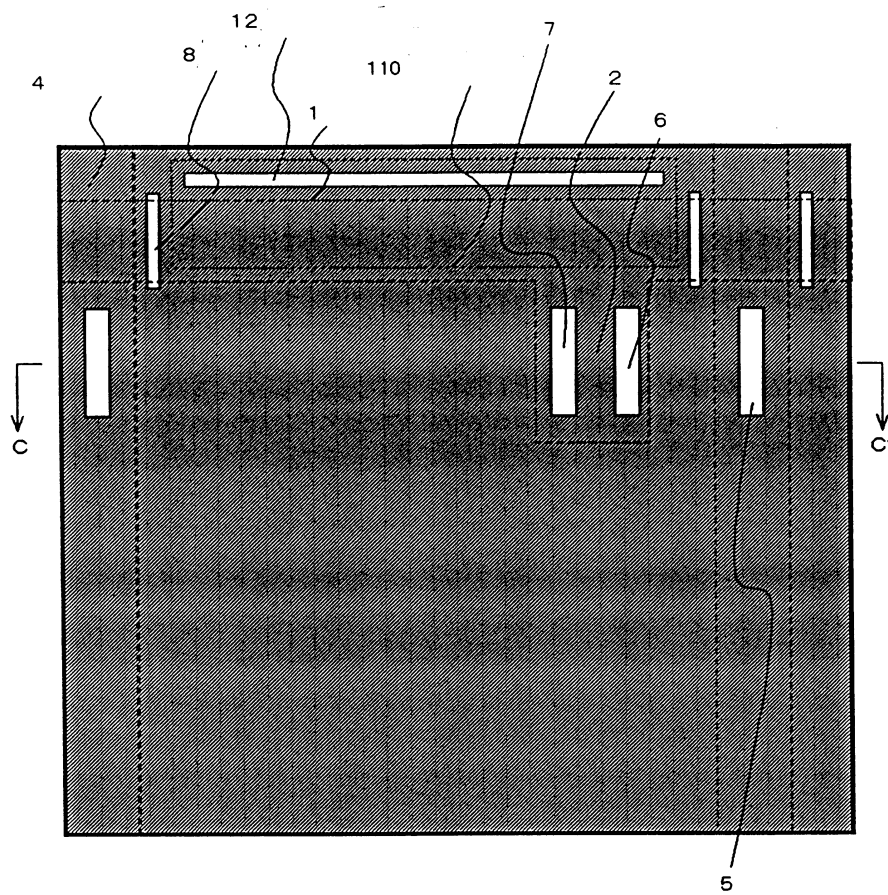
第 10 圖



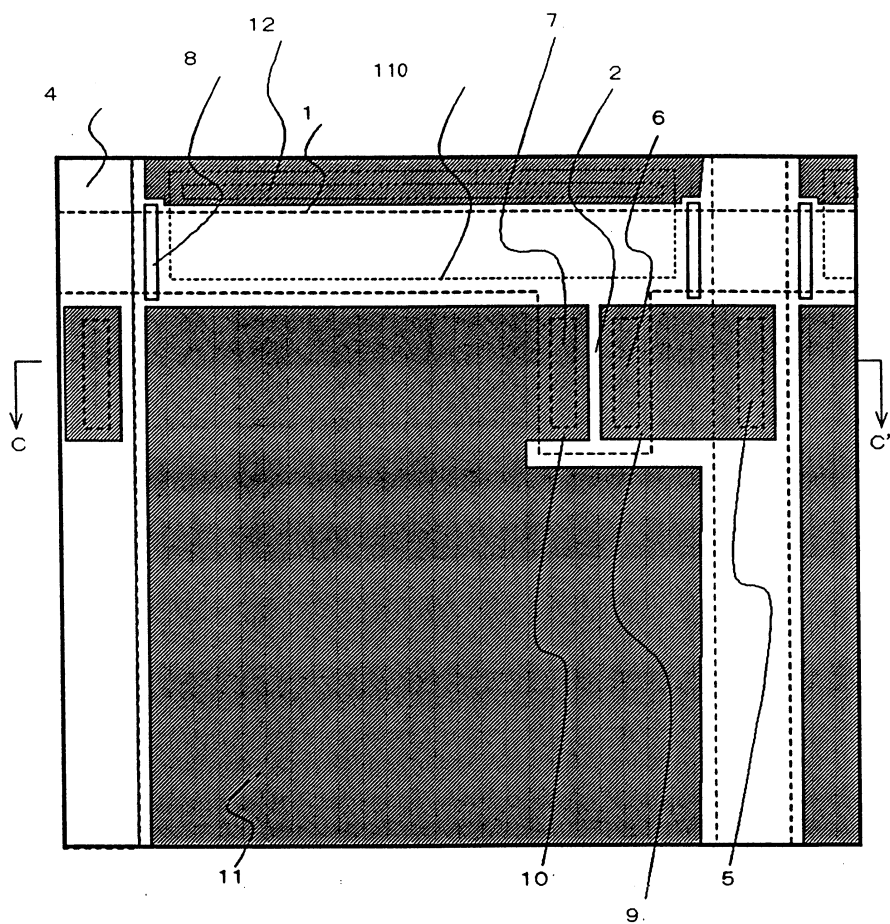
第 11 圖



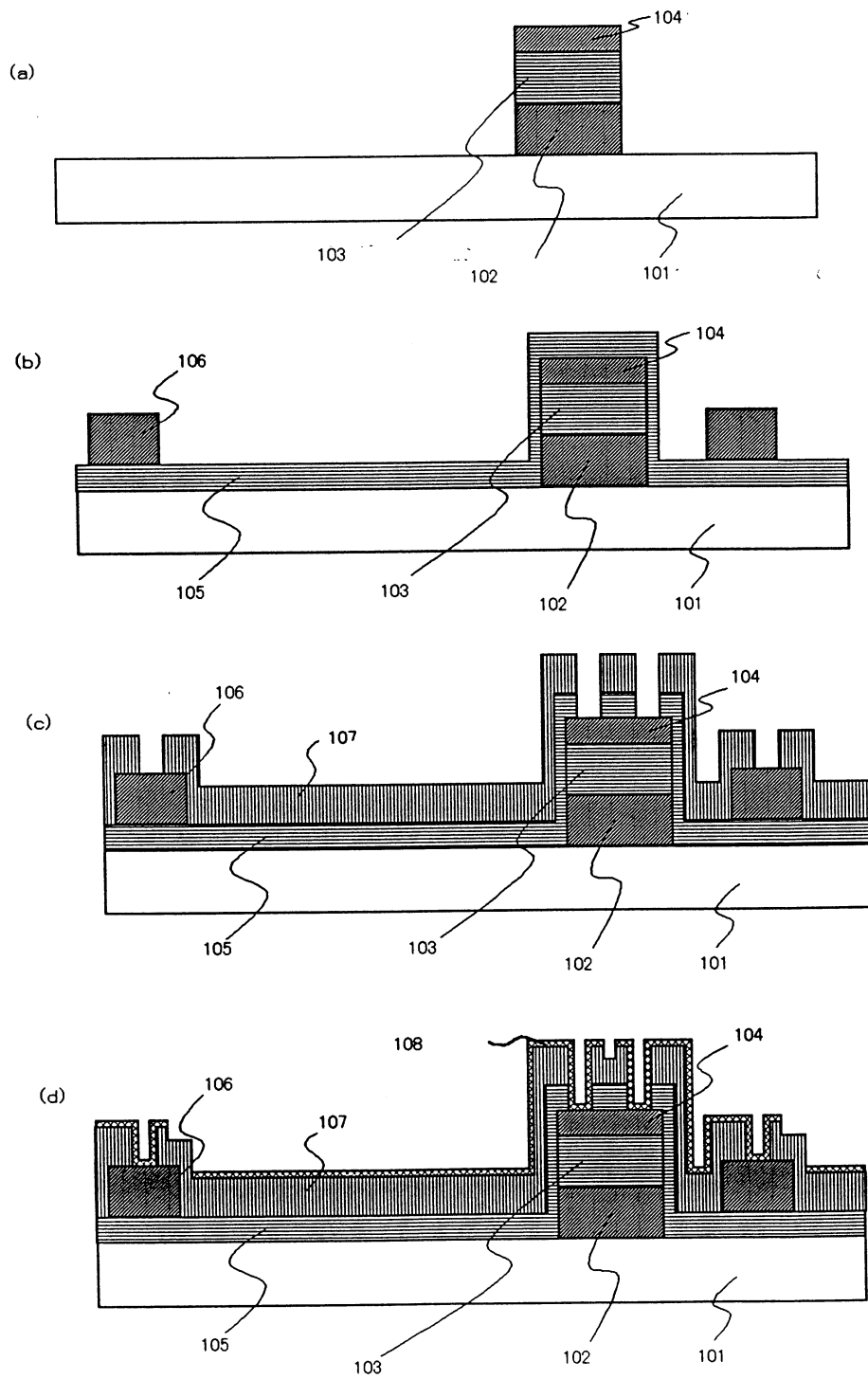
第 12 圖



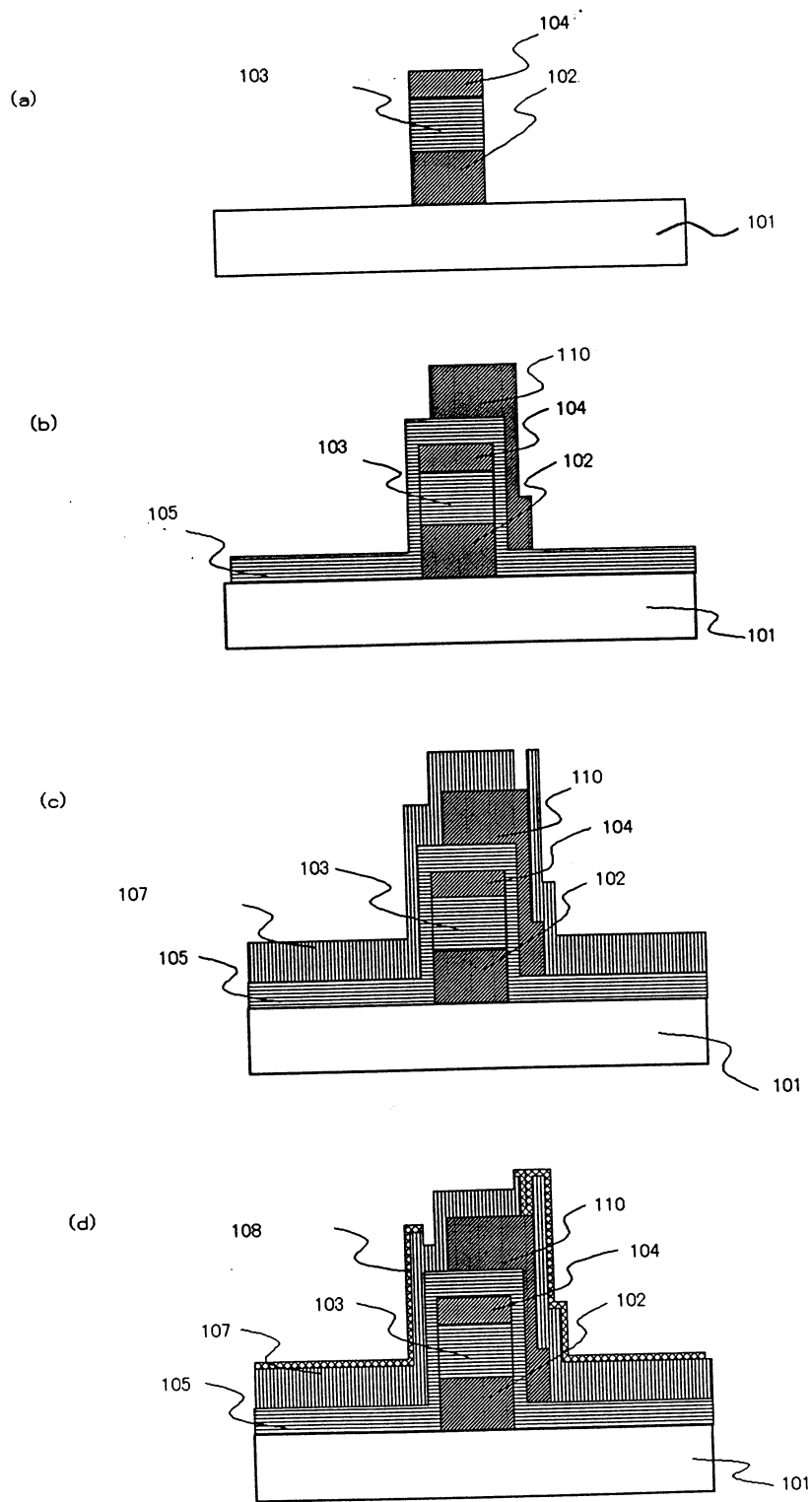
第 13 圖



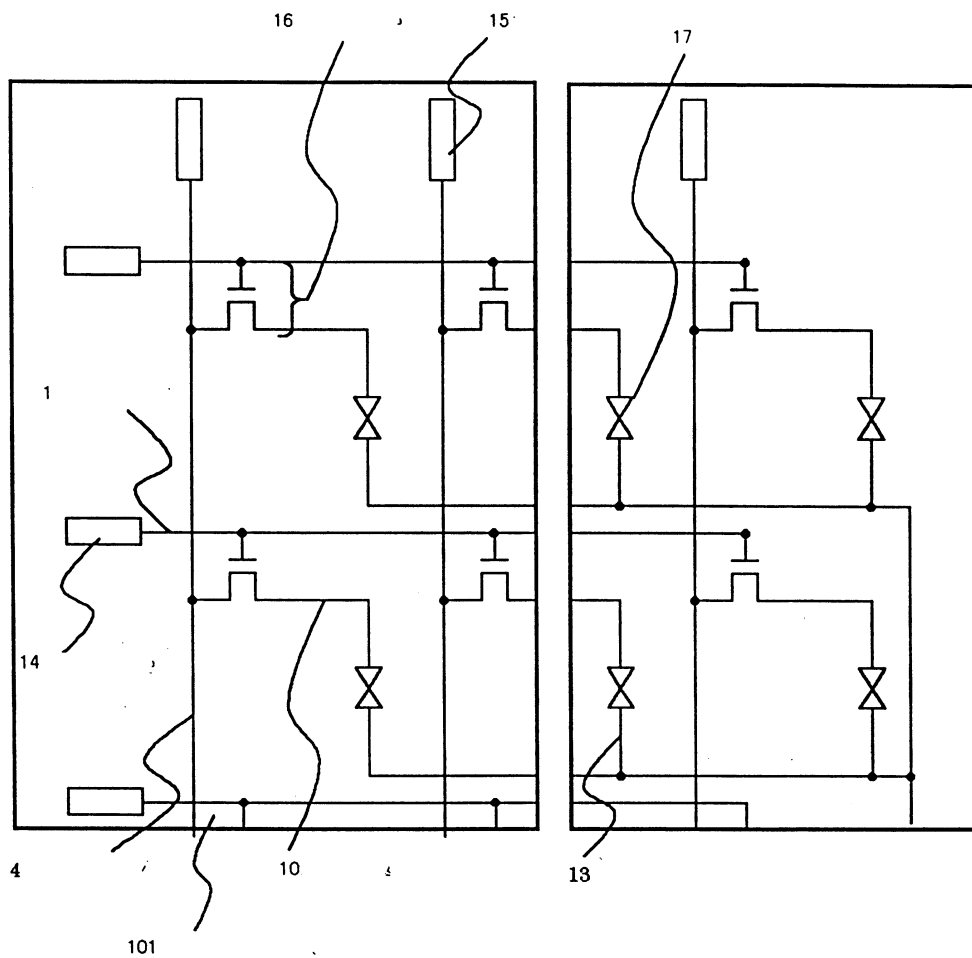
第 14 圖



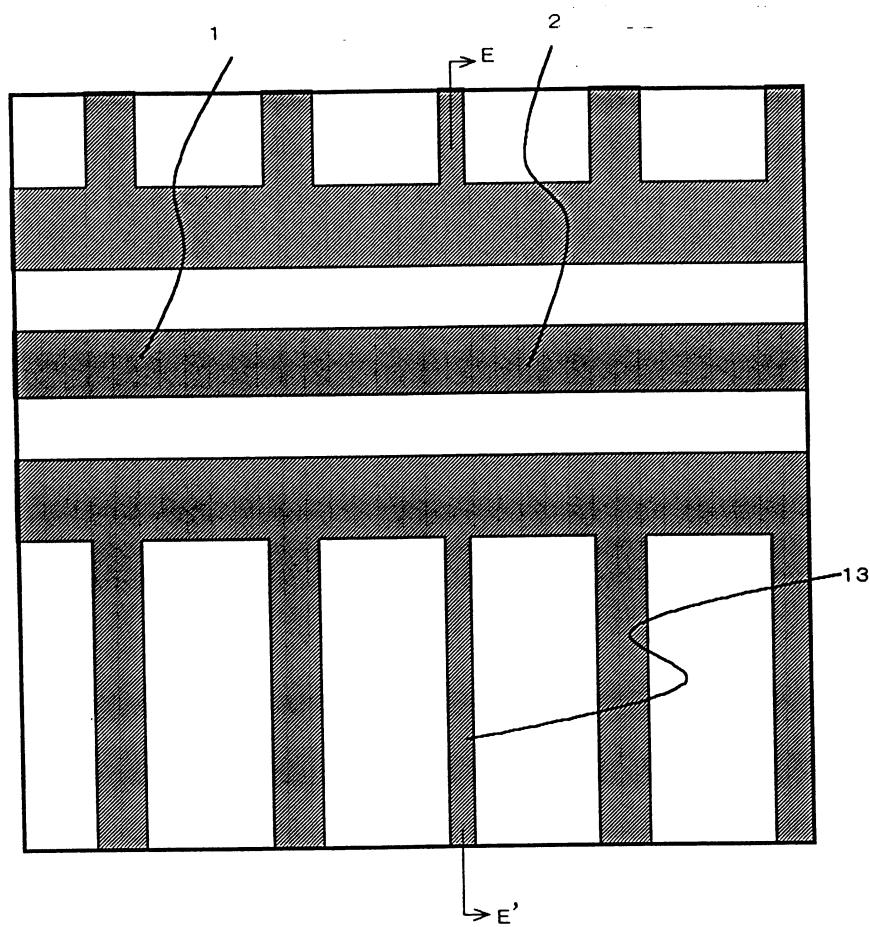
第 15 圖



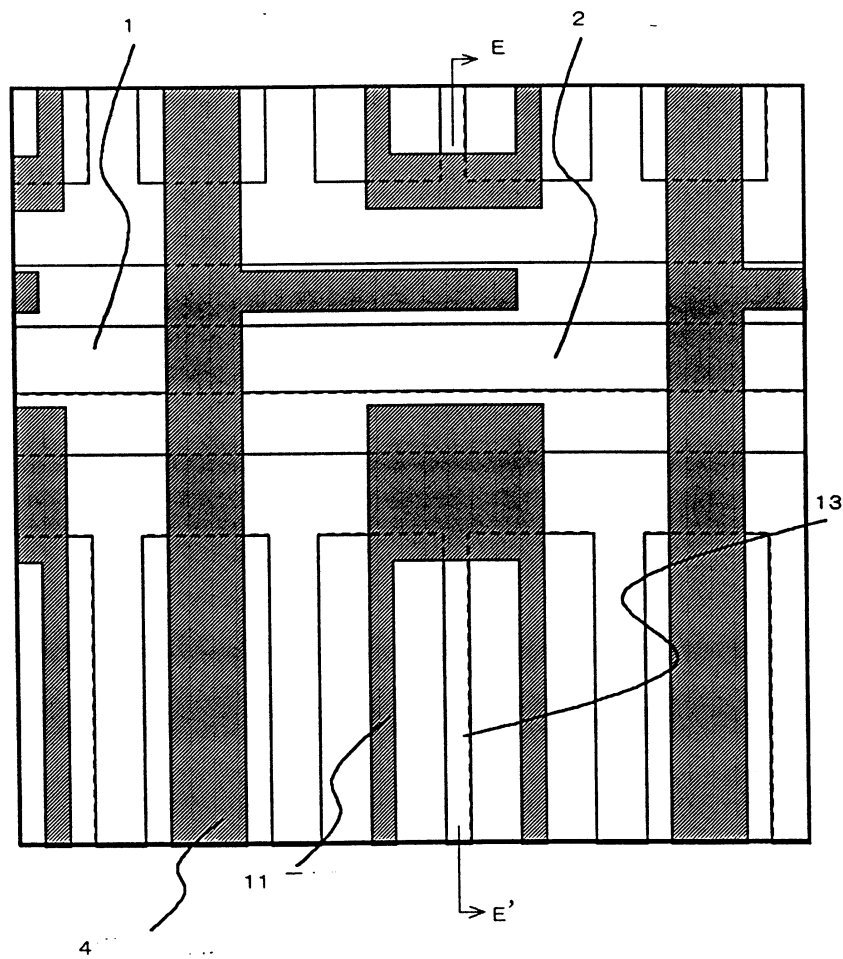
第 16 圖



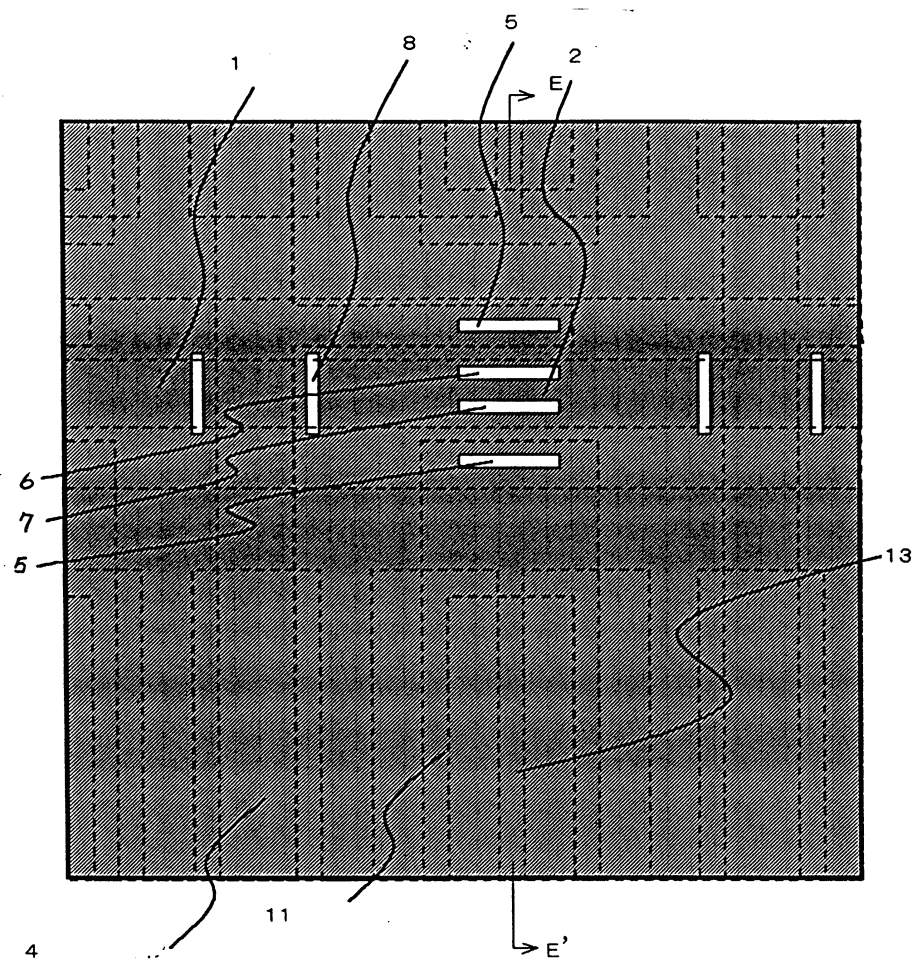
第 17 圖



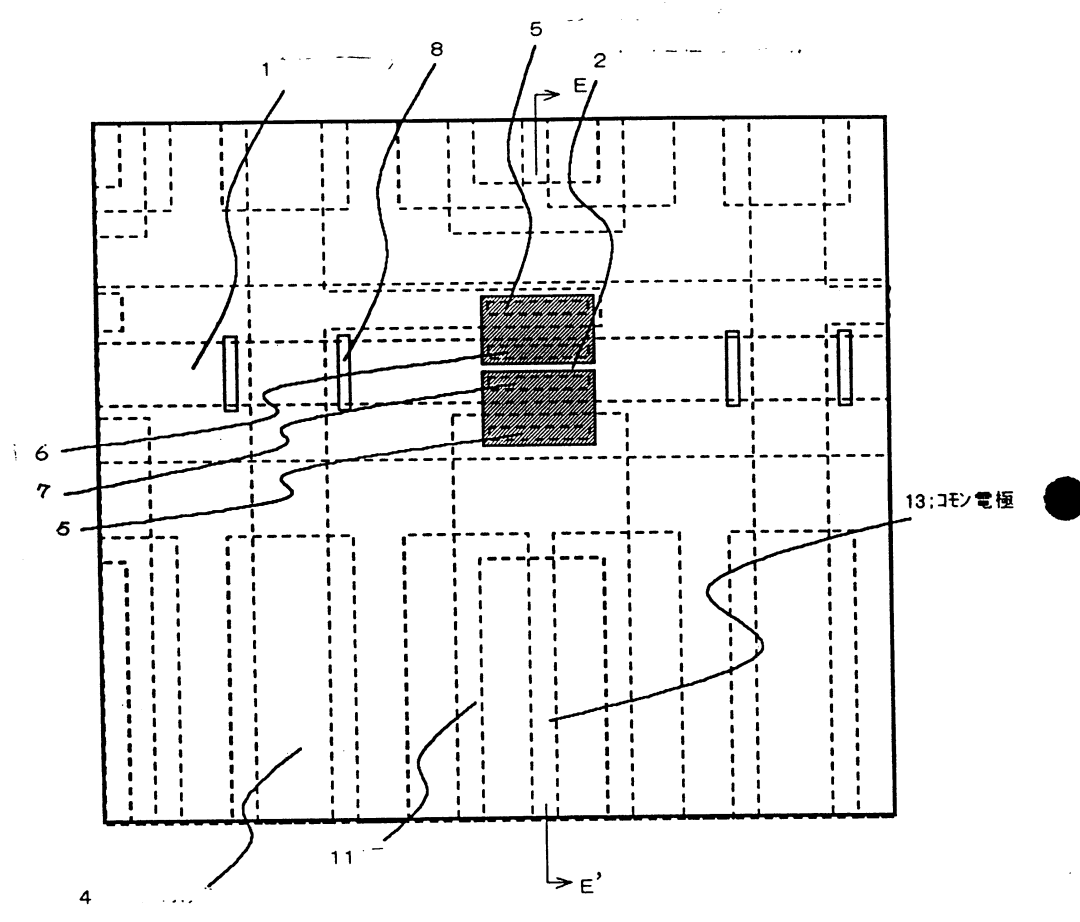
第 18 圖



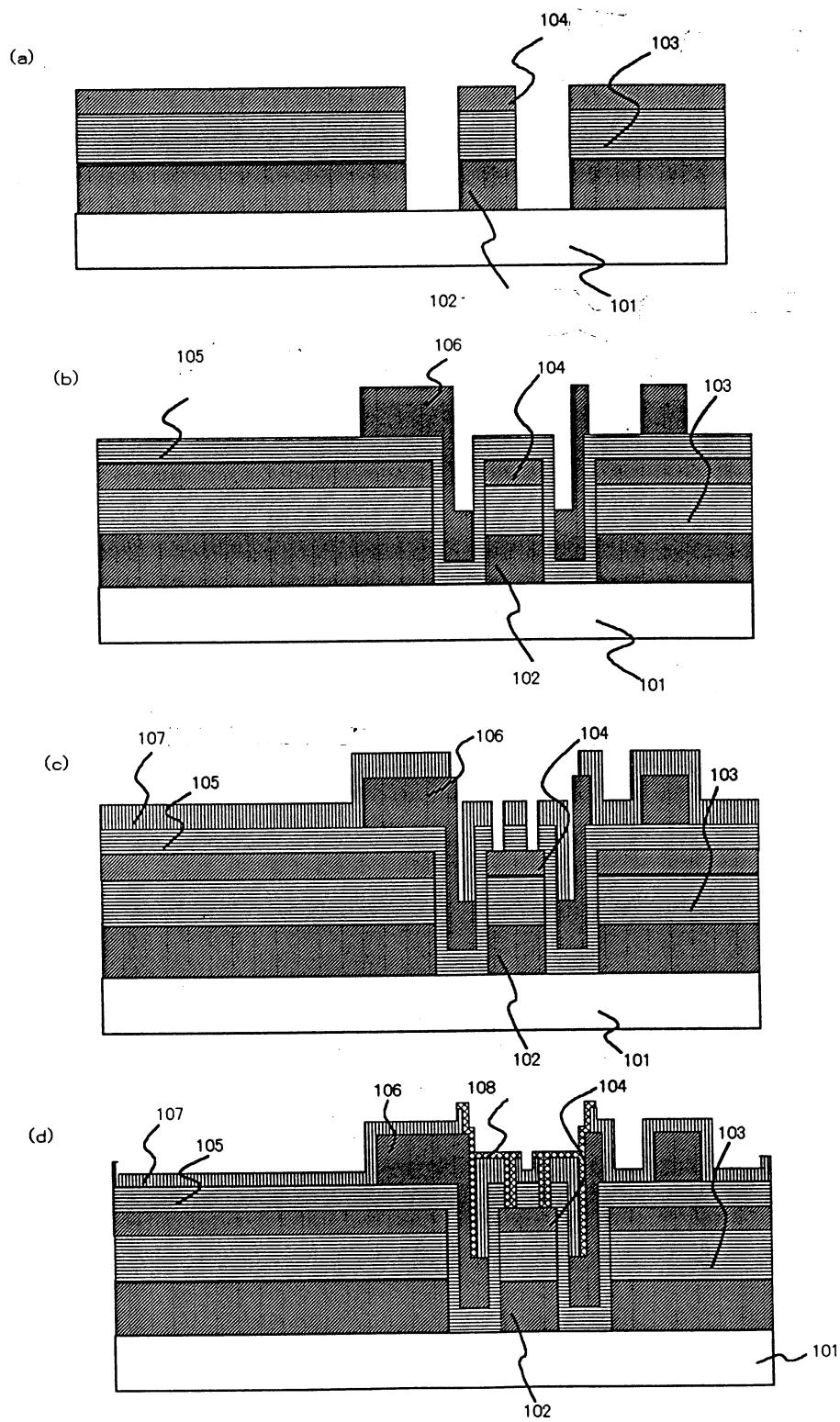
第 19 圖



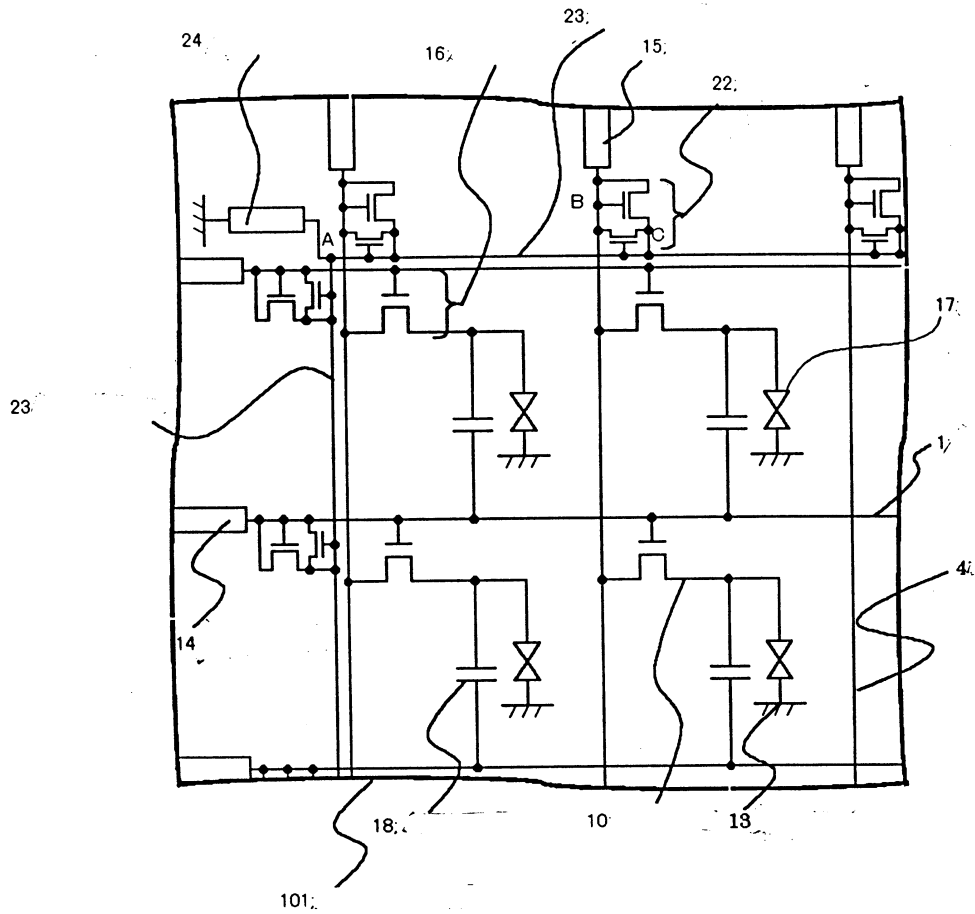
第 20 圖



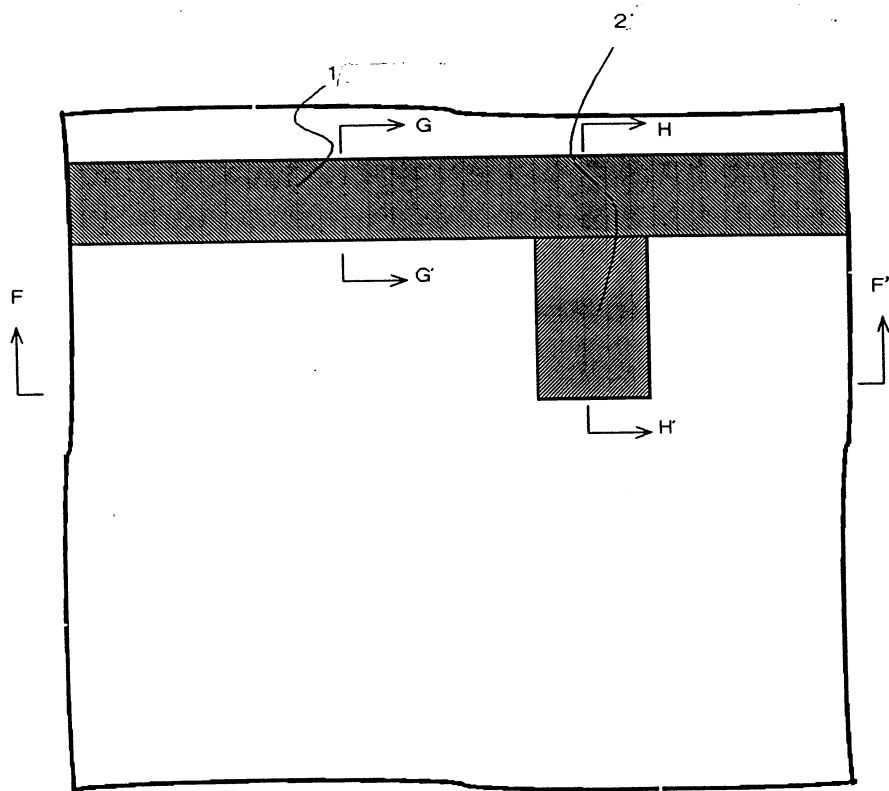
第 21 圖



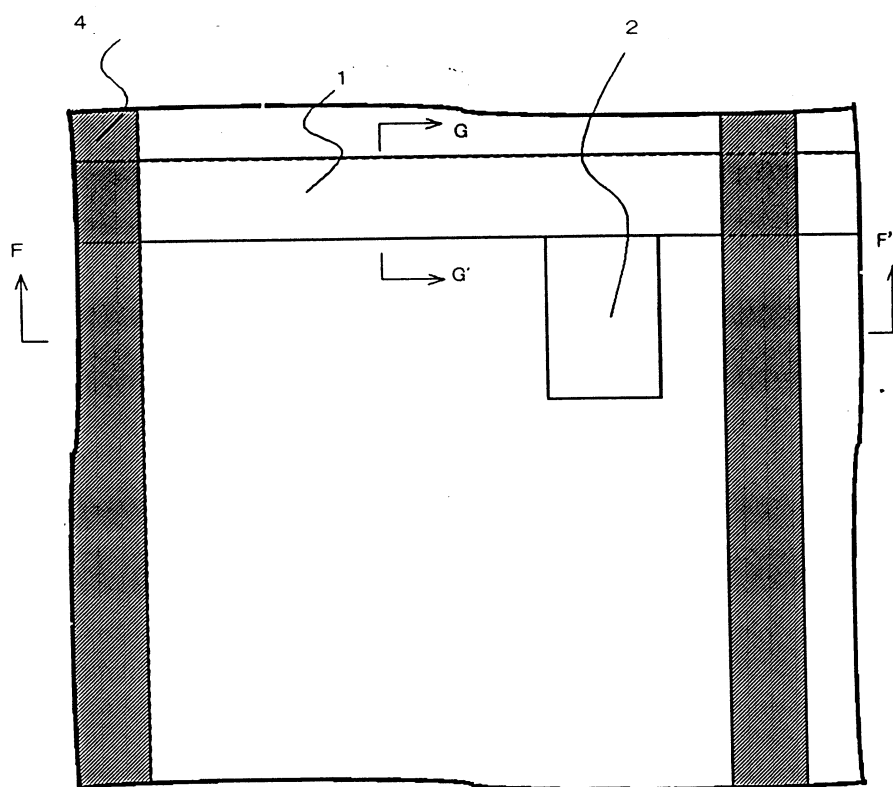
第 22 圖



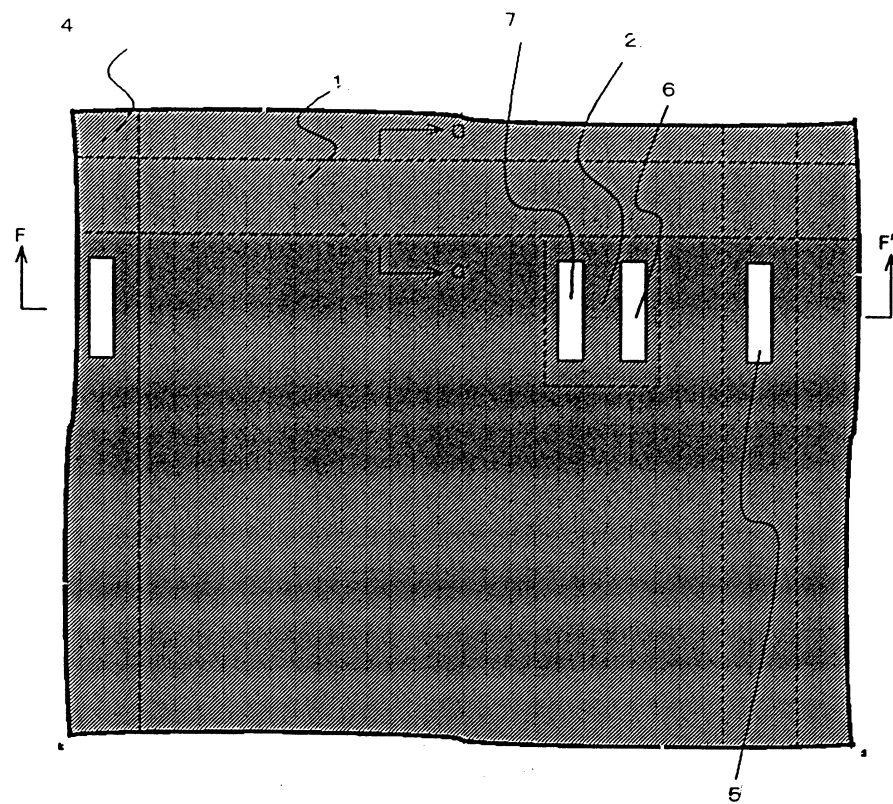
第 23 圖



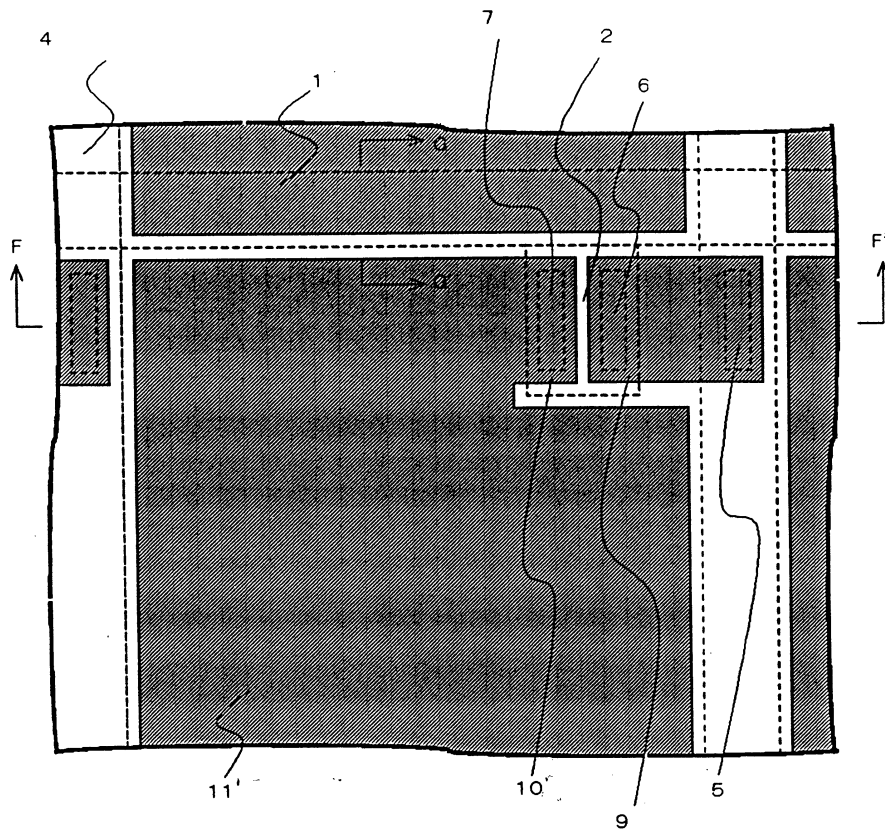
第 24 圖



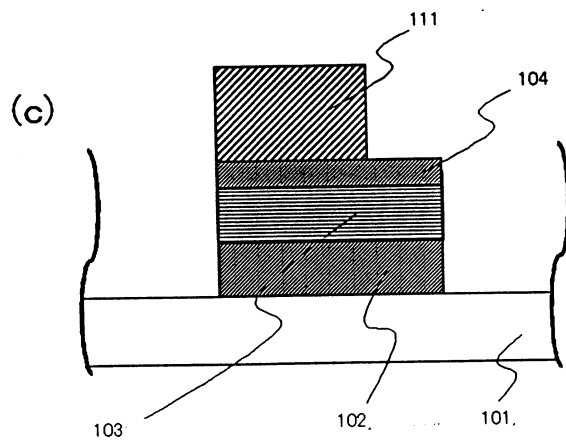
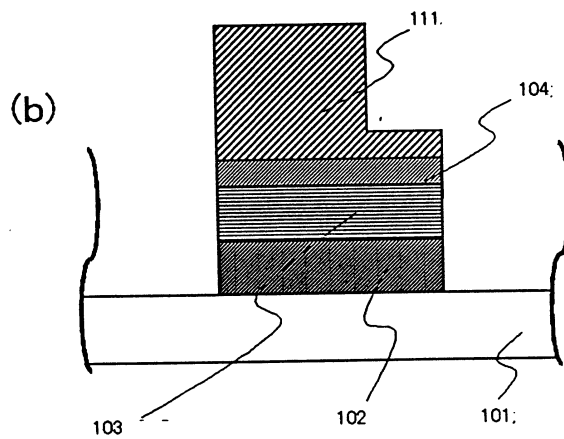
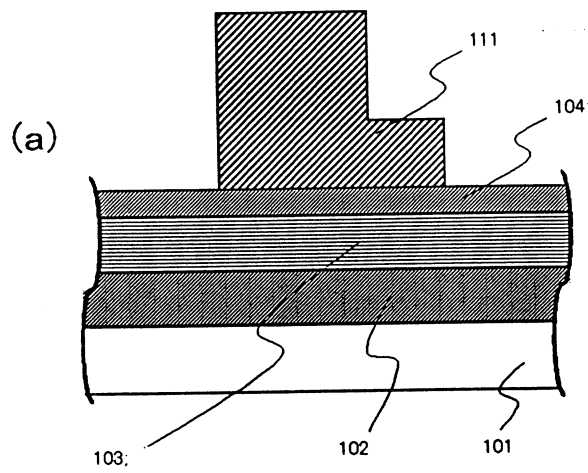
第 25 圖



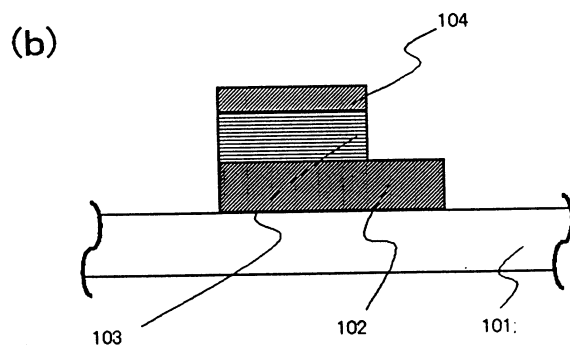
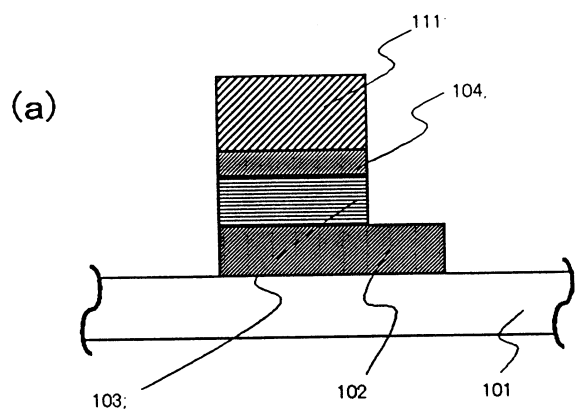
第 26 圖



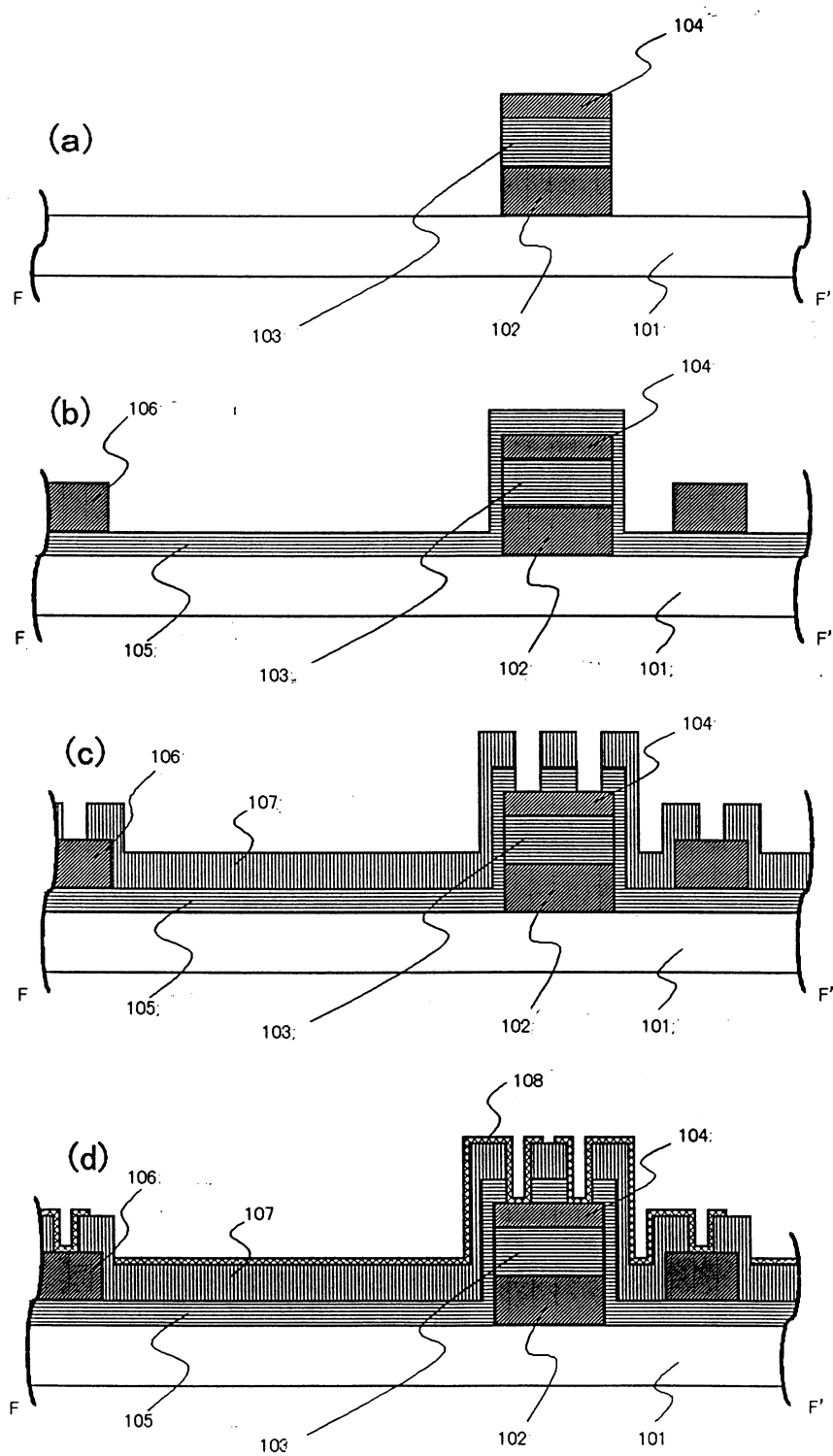
第 27 圖



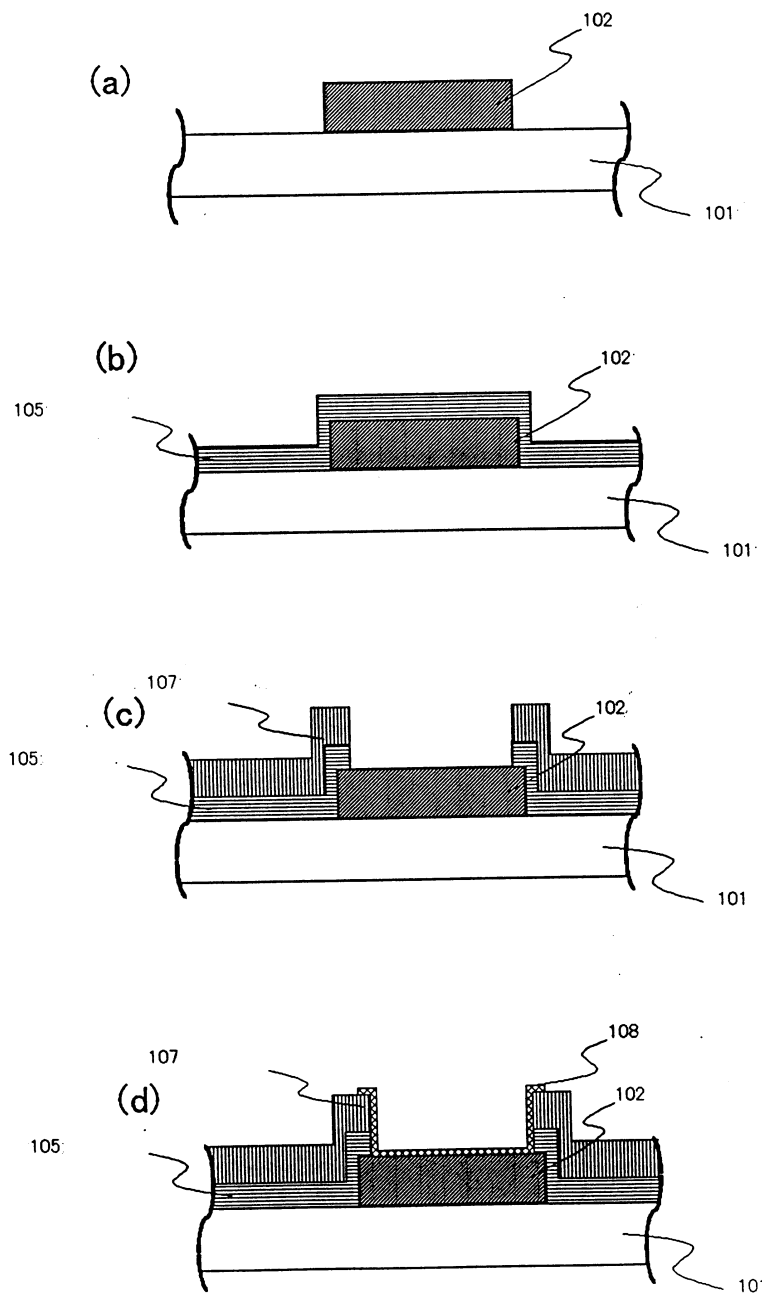
第 28 圖



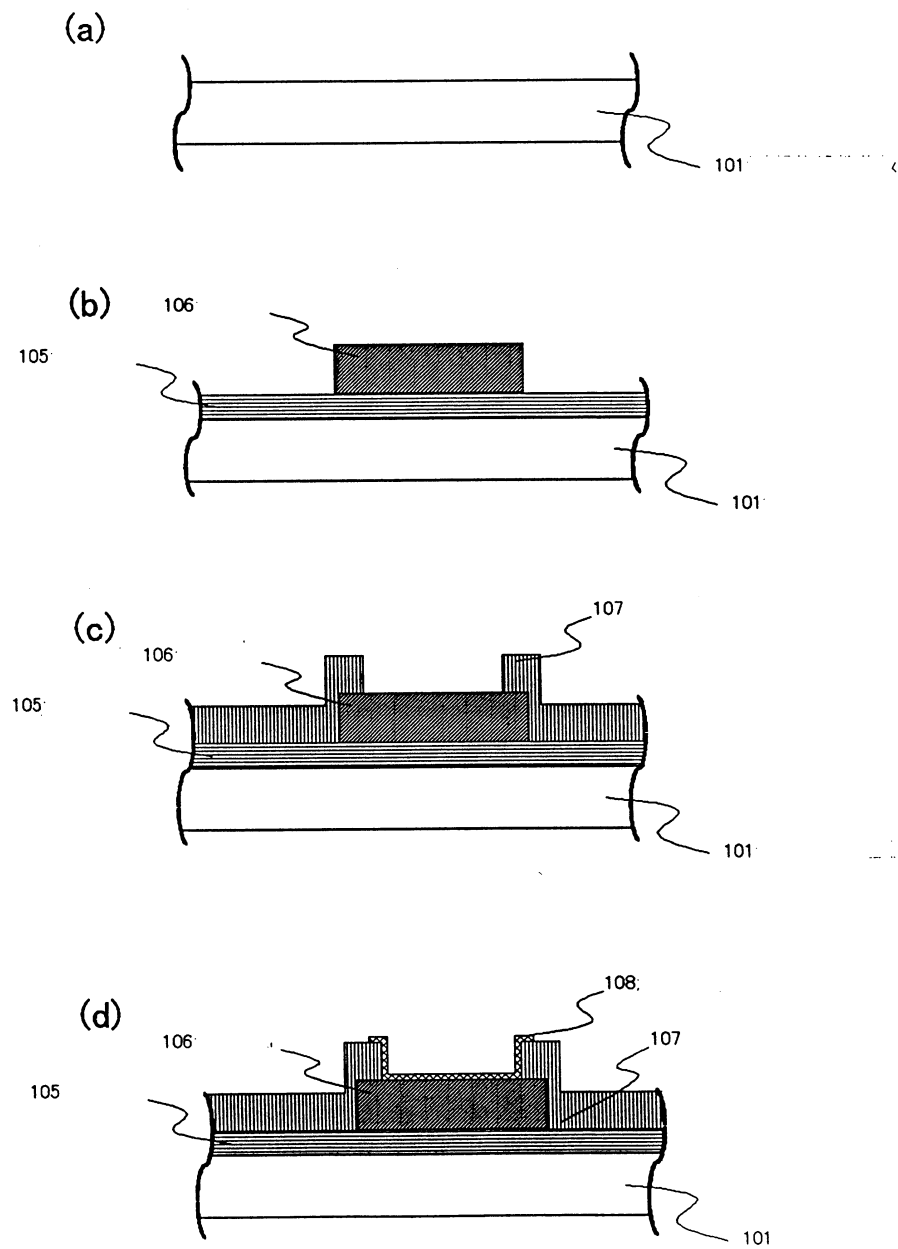
第 29 圖



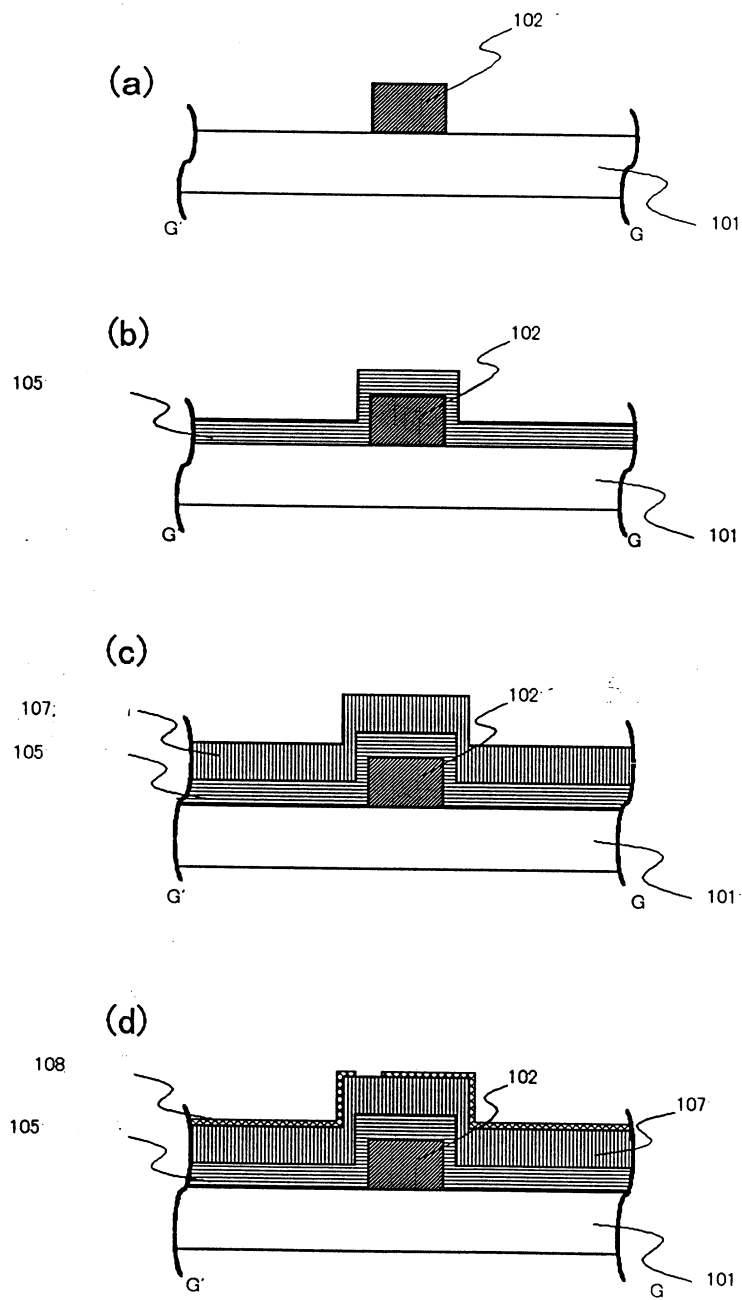
第 30 圖



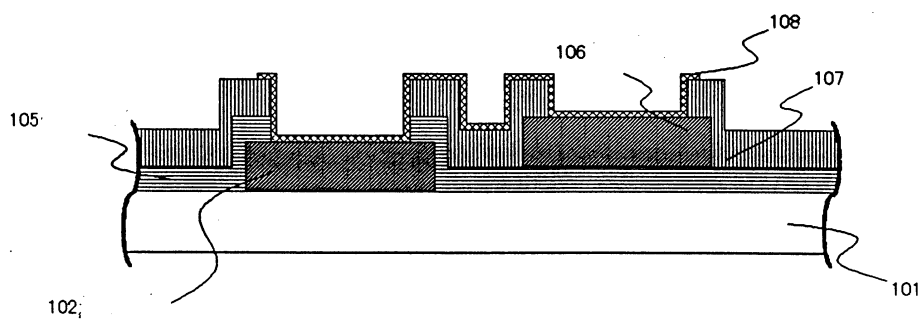
第 31 圖



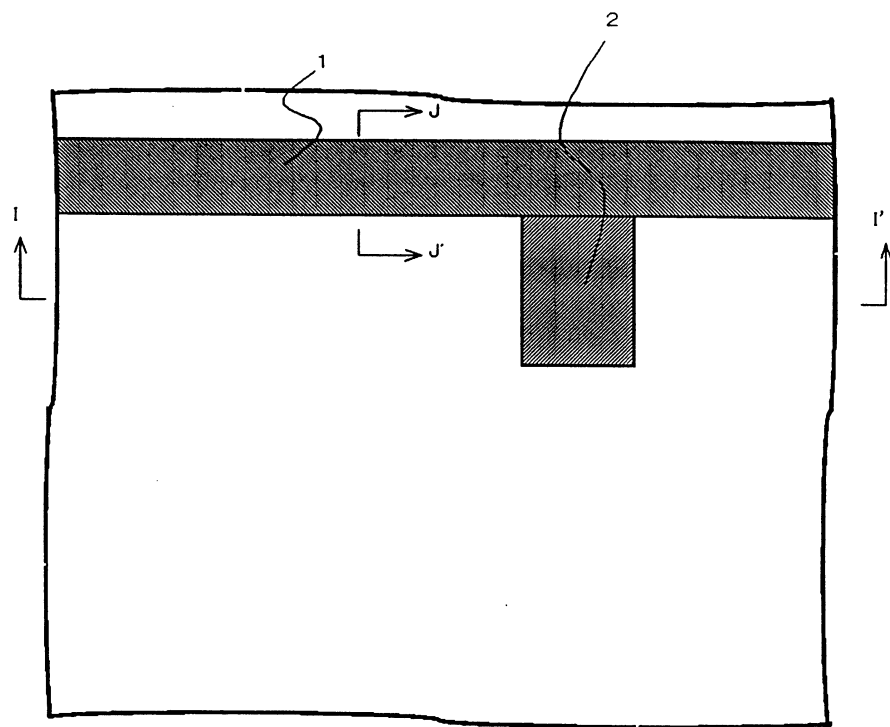
第 32 圖



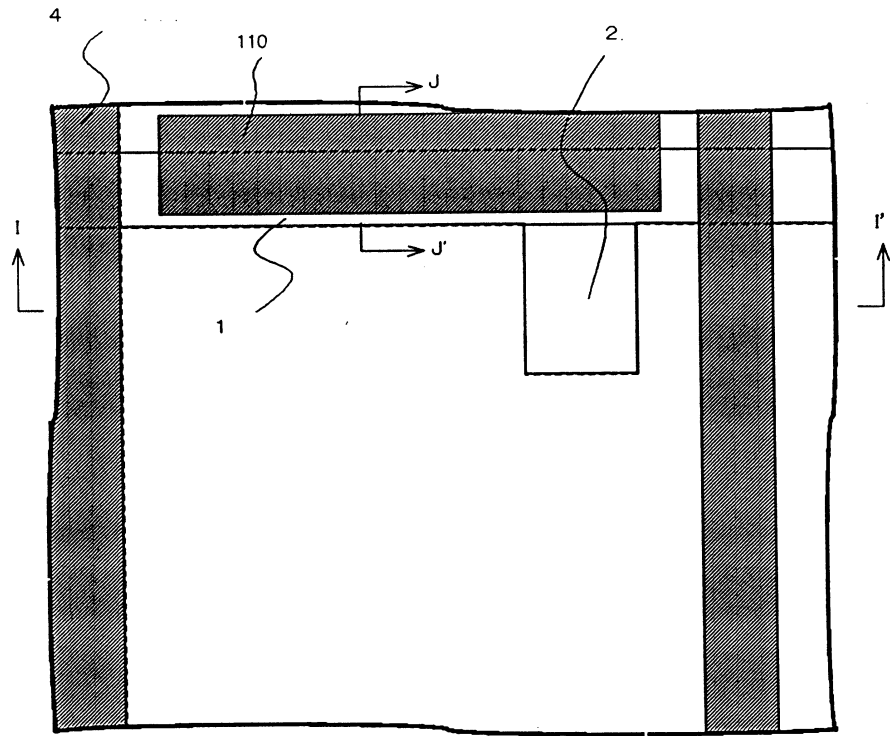
第 33 圖



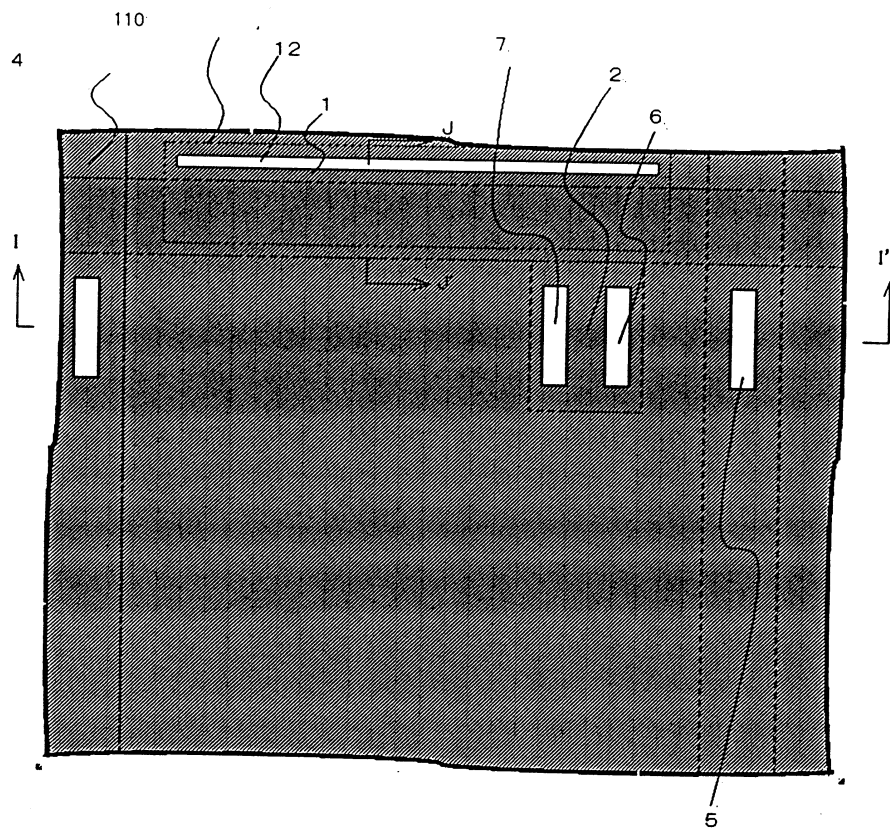
第 34 圖



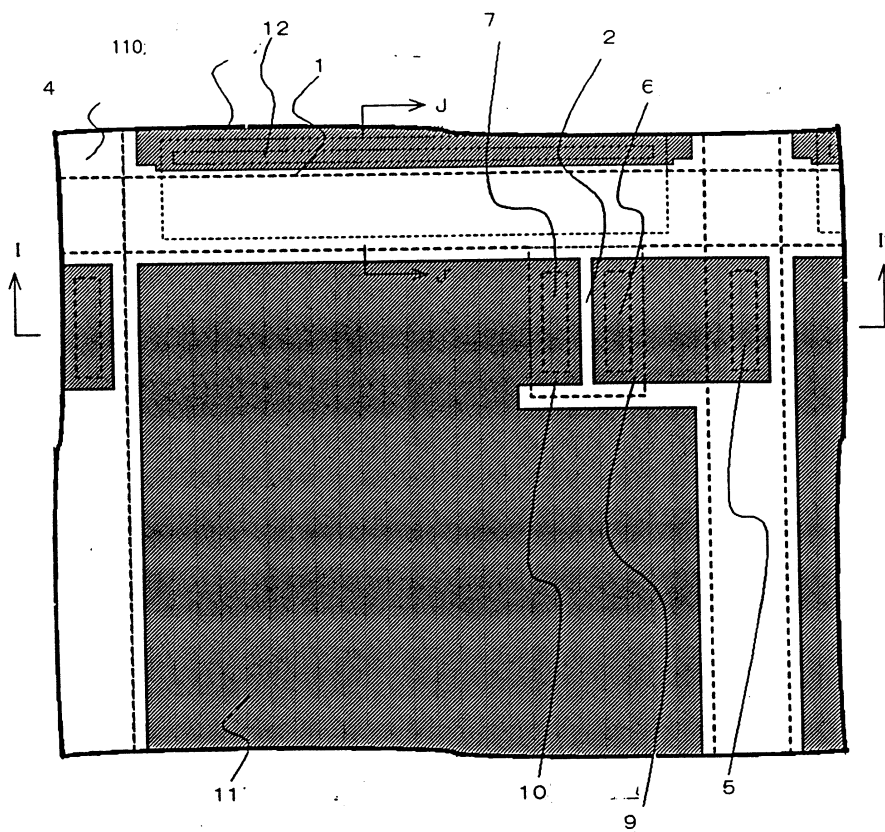
第 35 圖



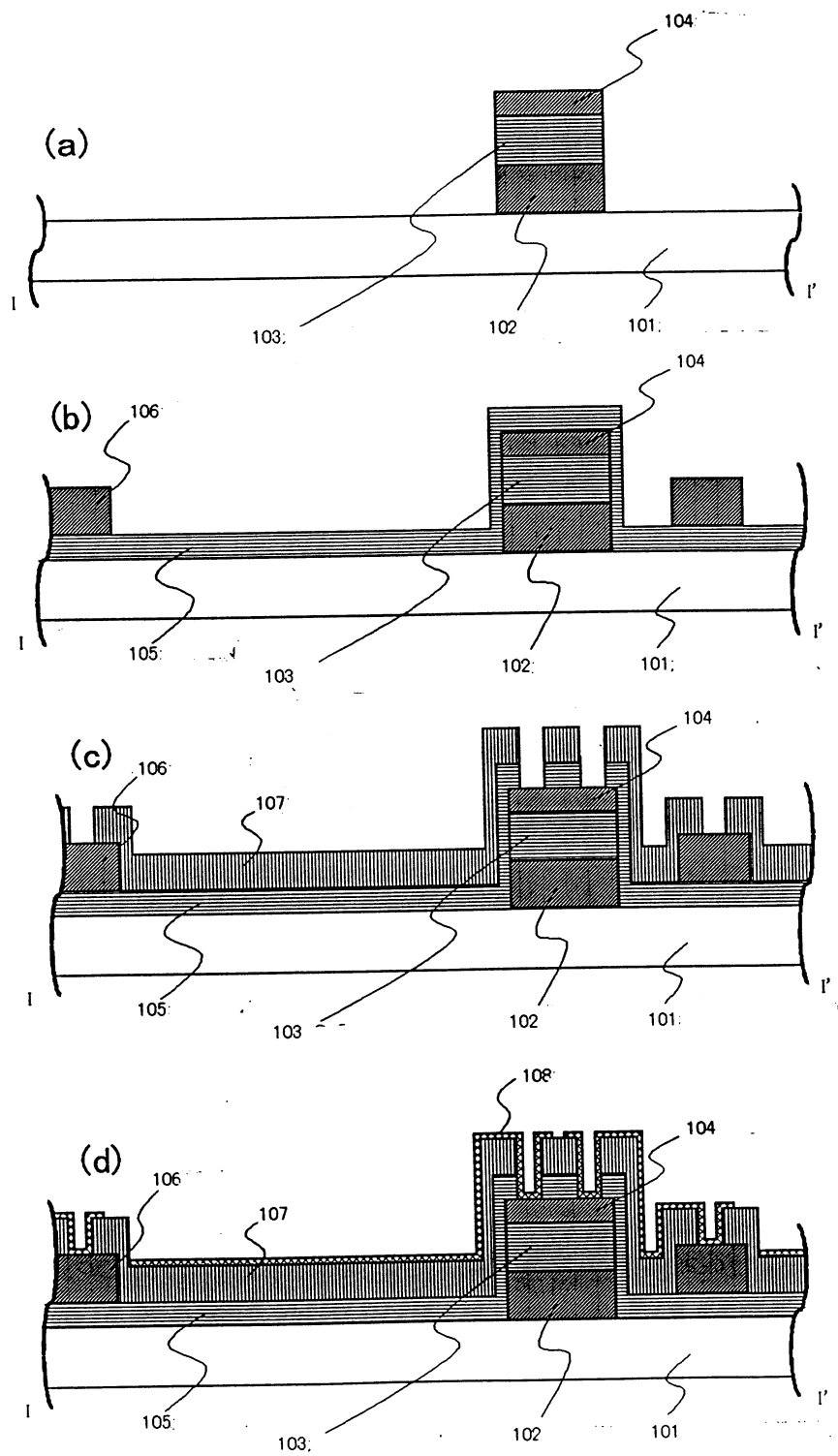
第 36 圖



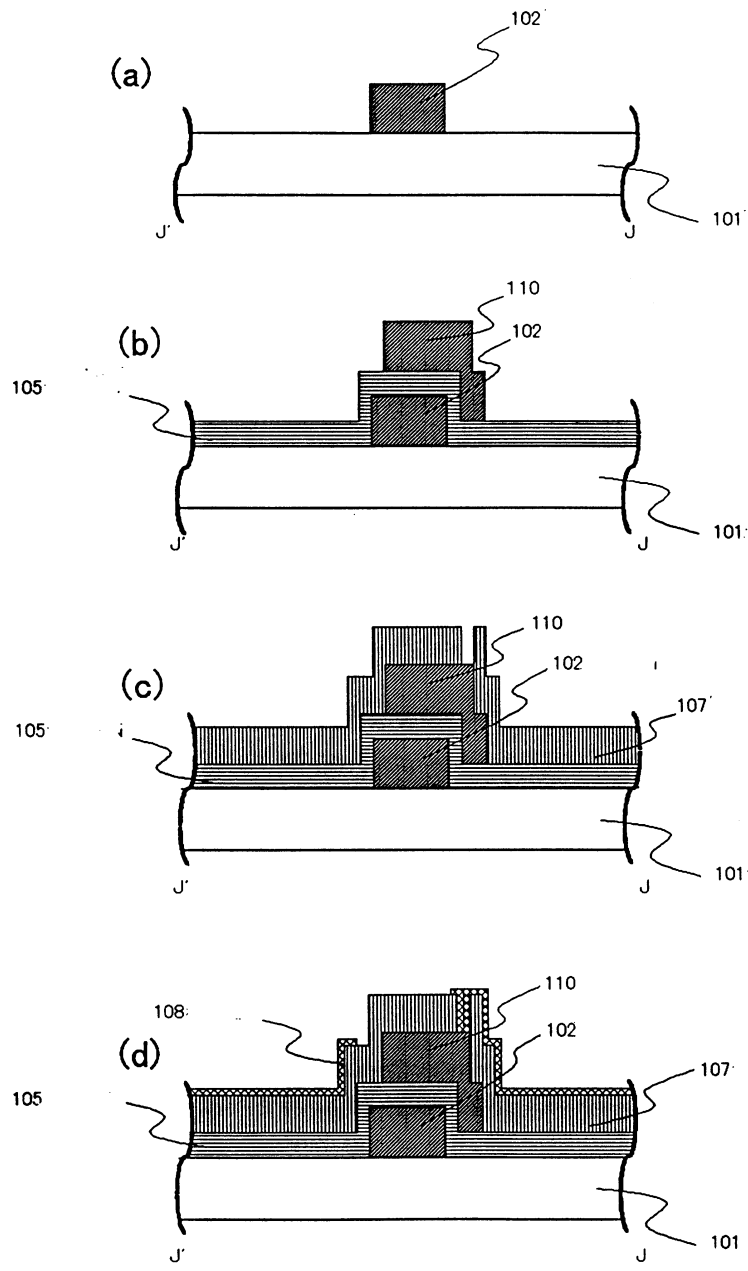
第 37 圖



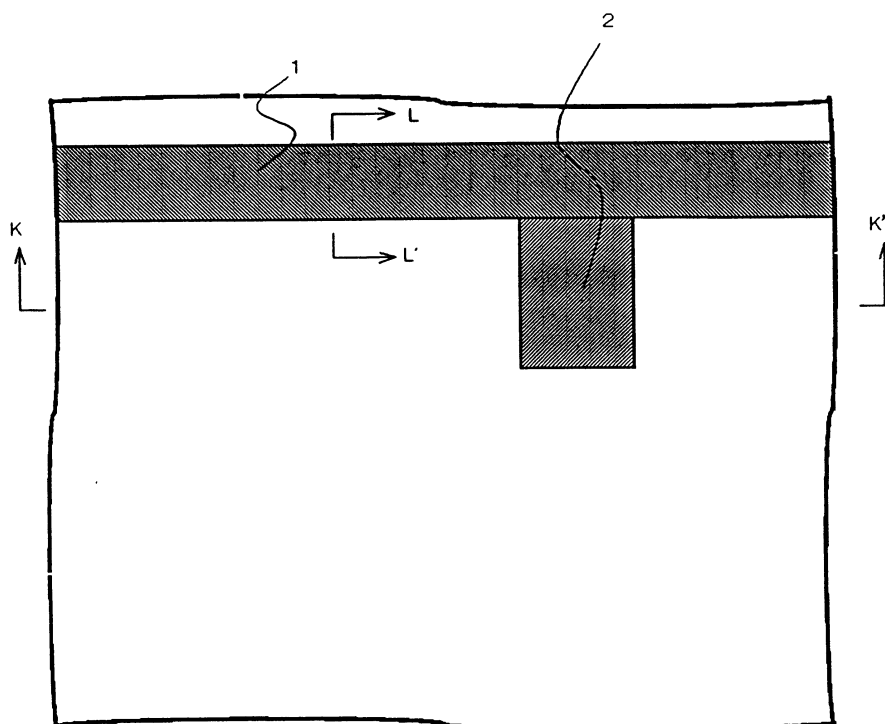
第 38 圖



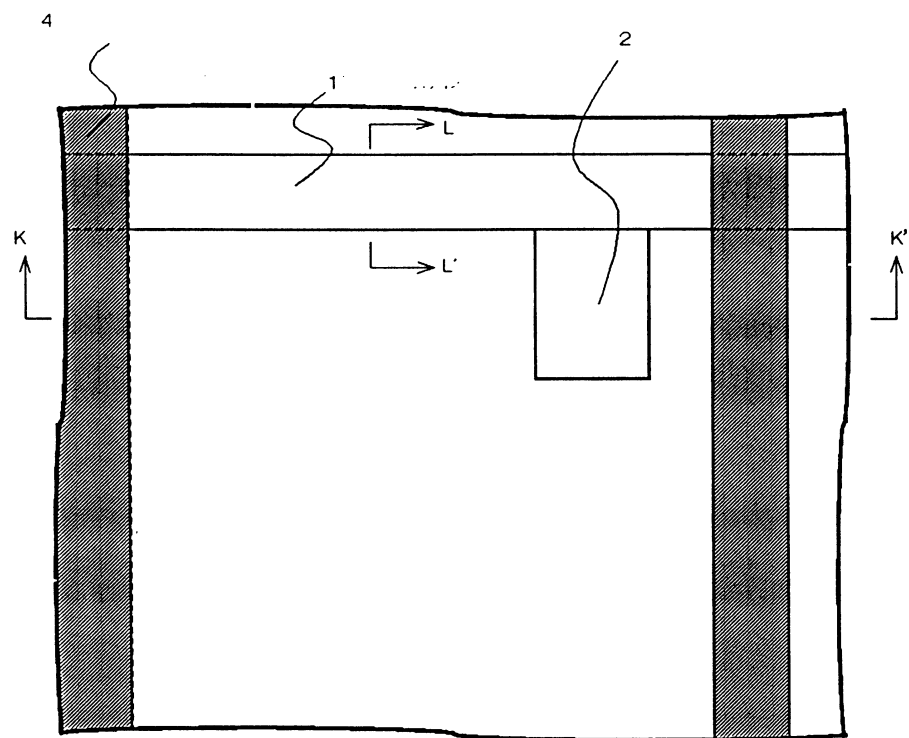
第 39 圖



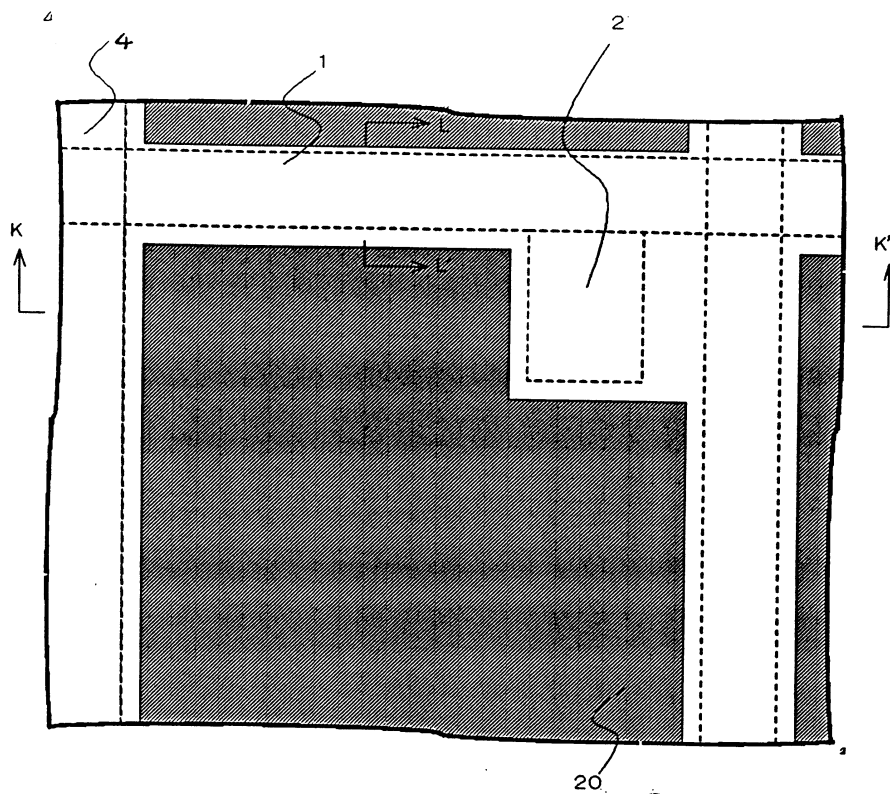
第 40 圖



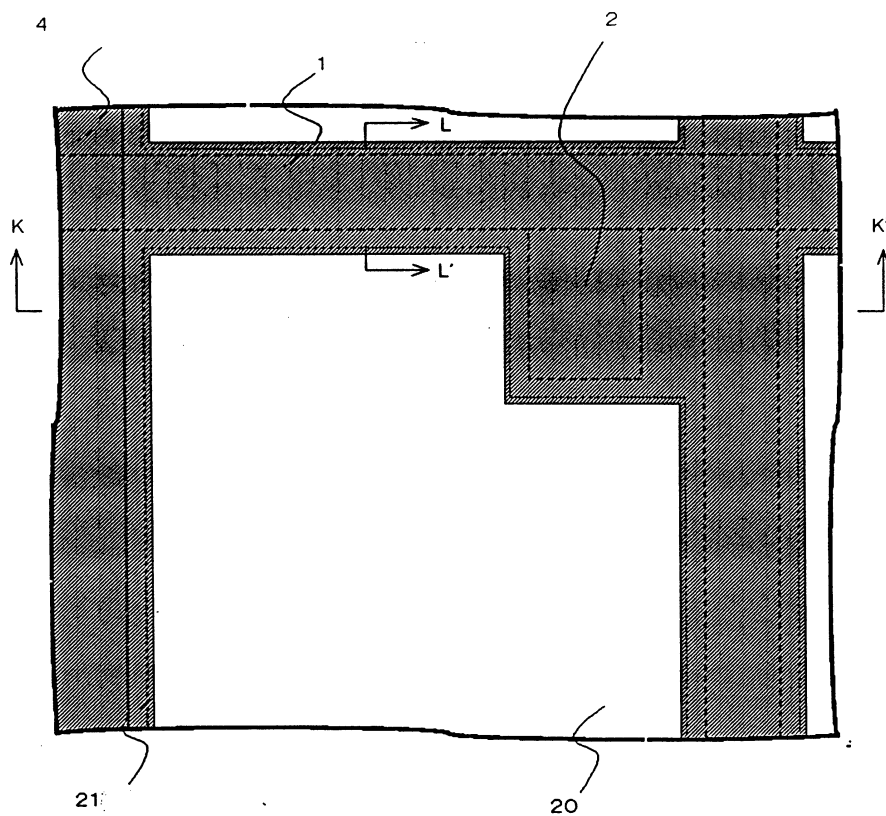
第 41 圖



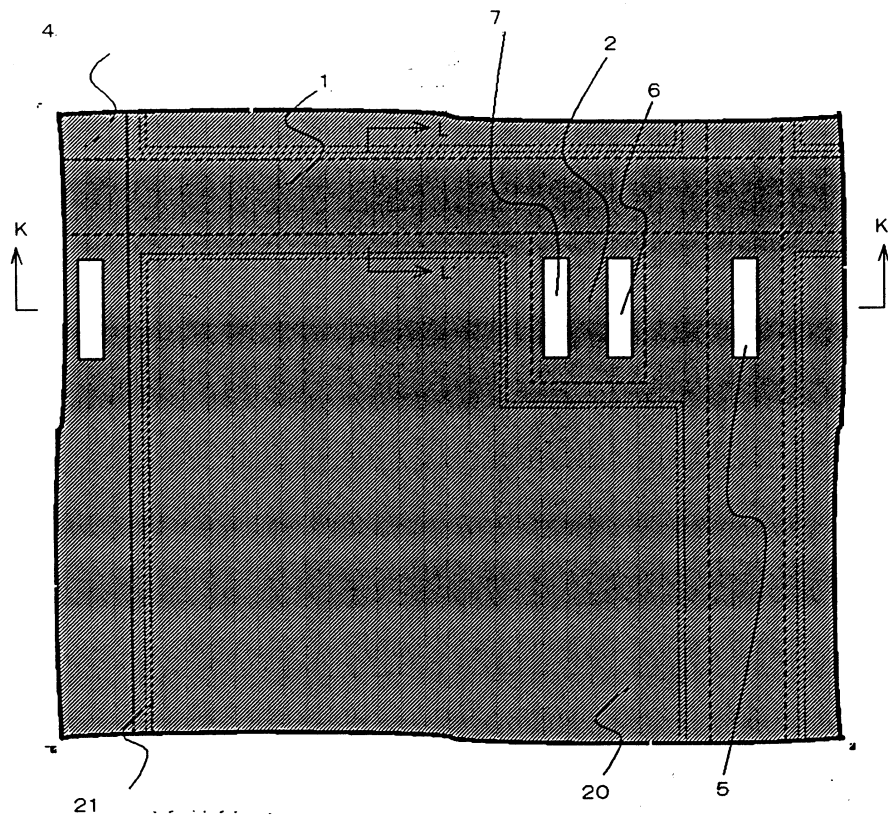
第 42 圖



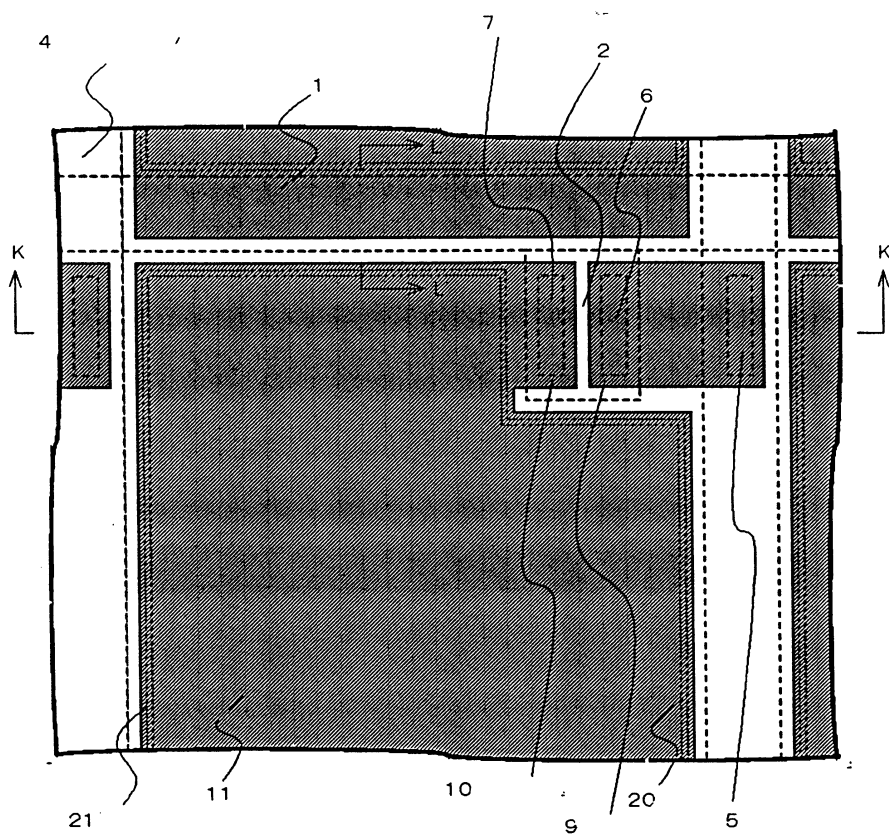
第 43 圖



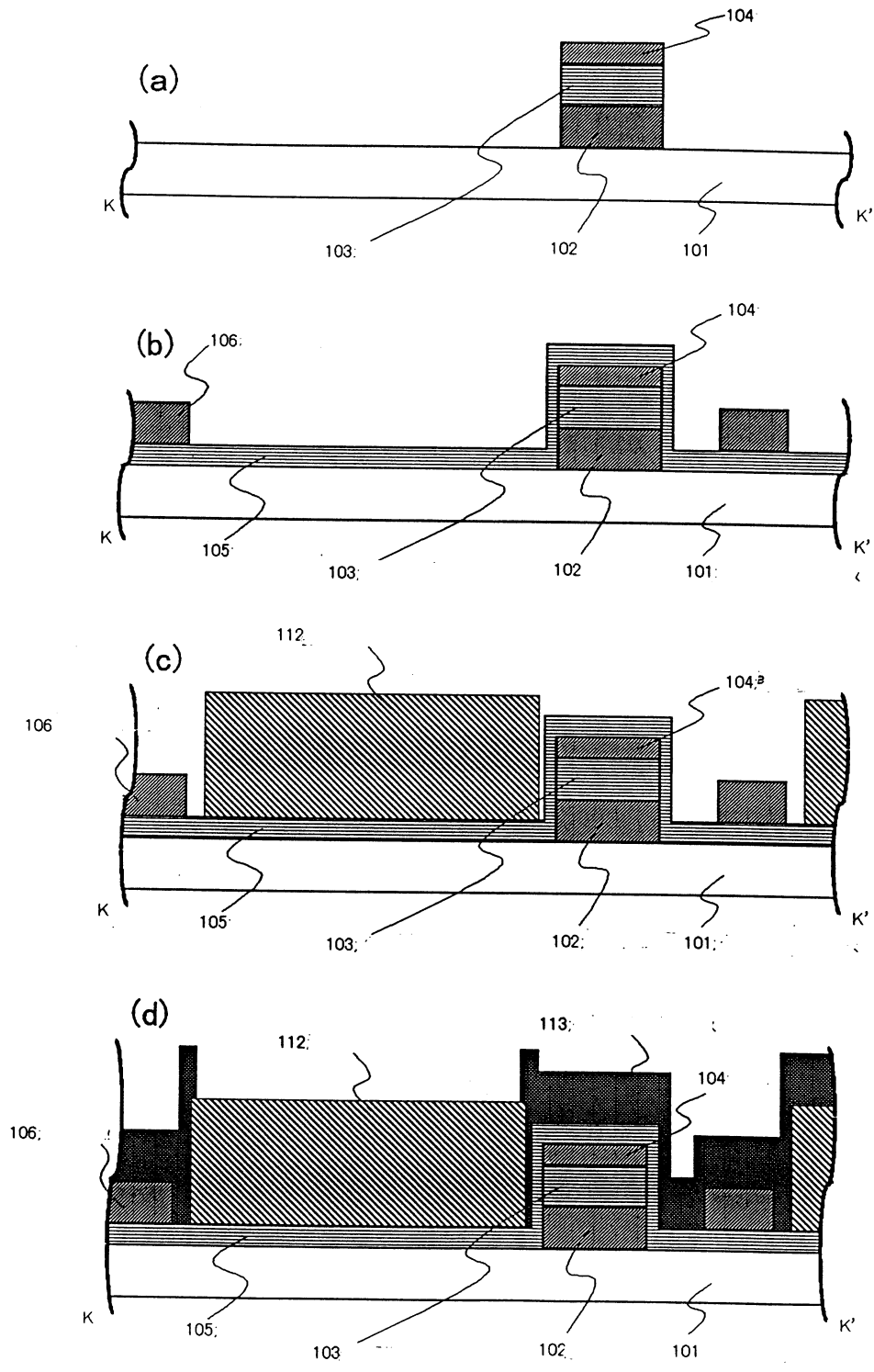
第 44 圖



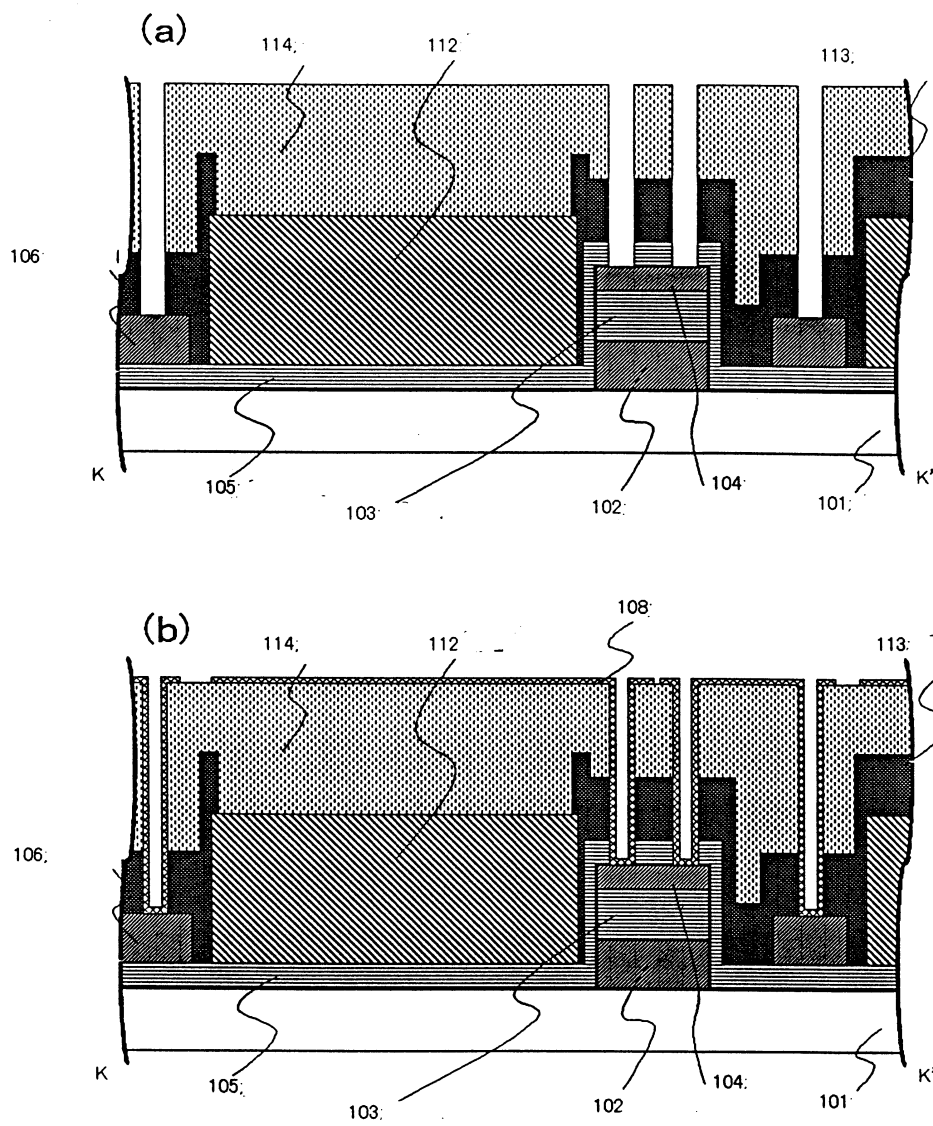
第 45 圖



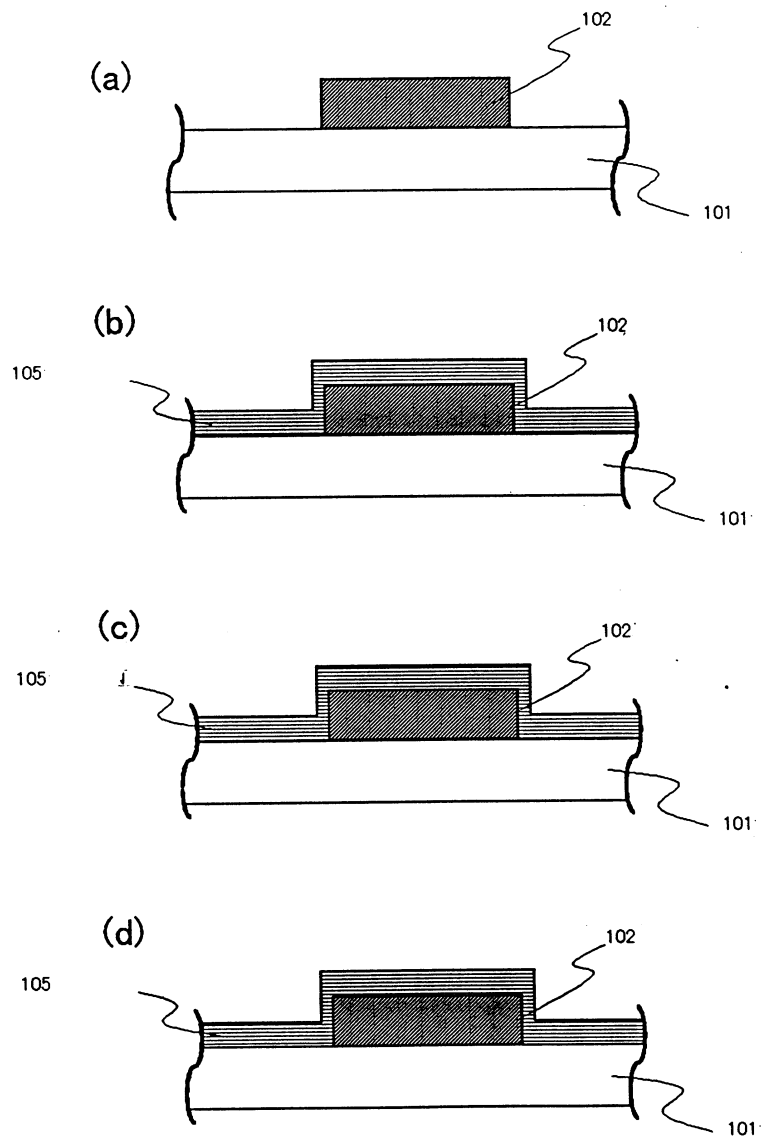
第 46 圖



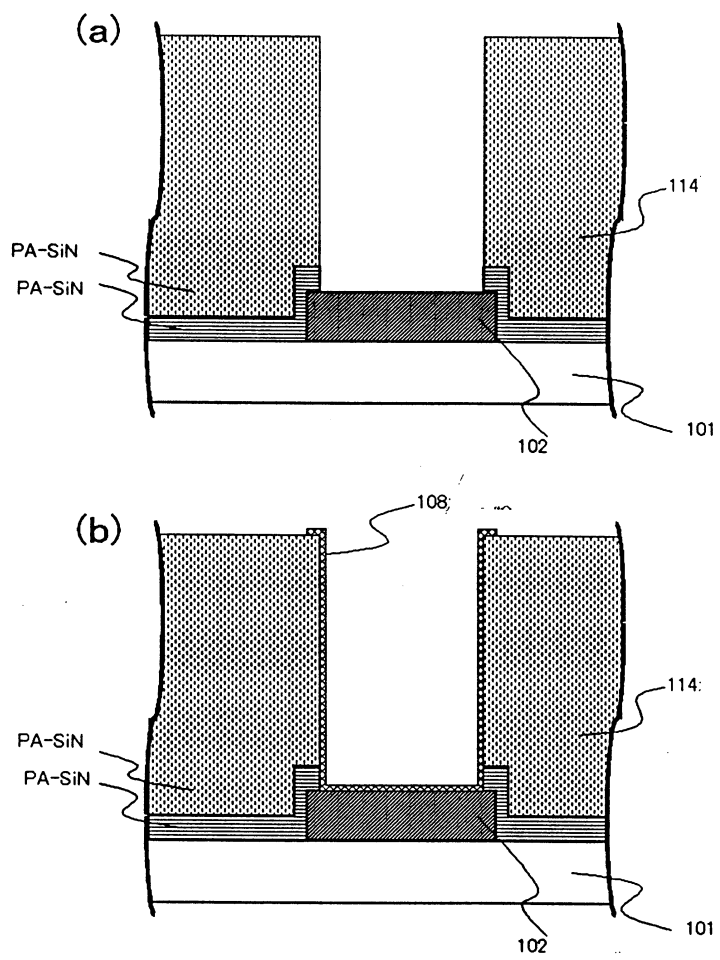
第 47 圖



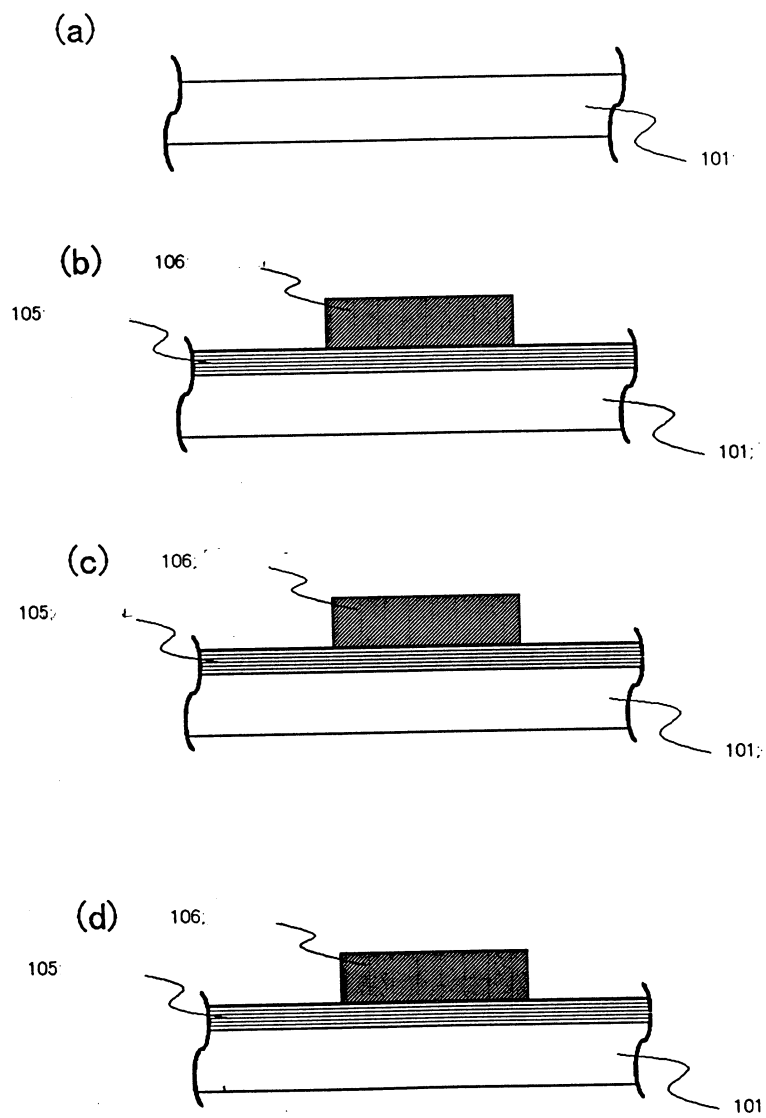
第 48 圖



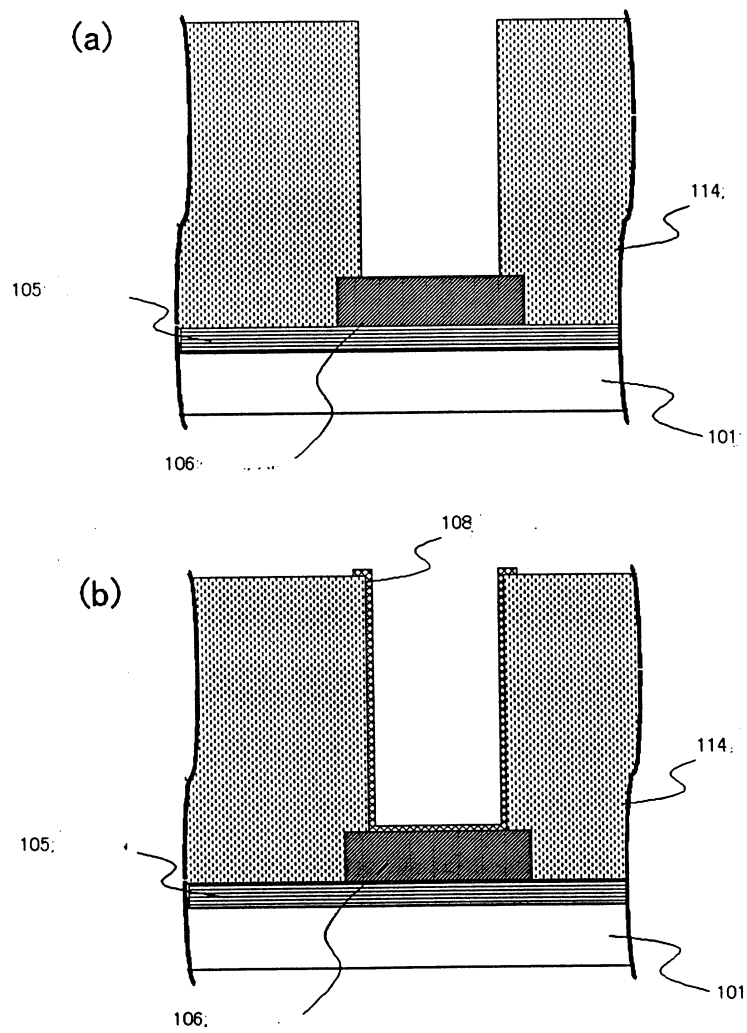
第 49 圖



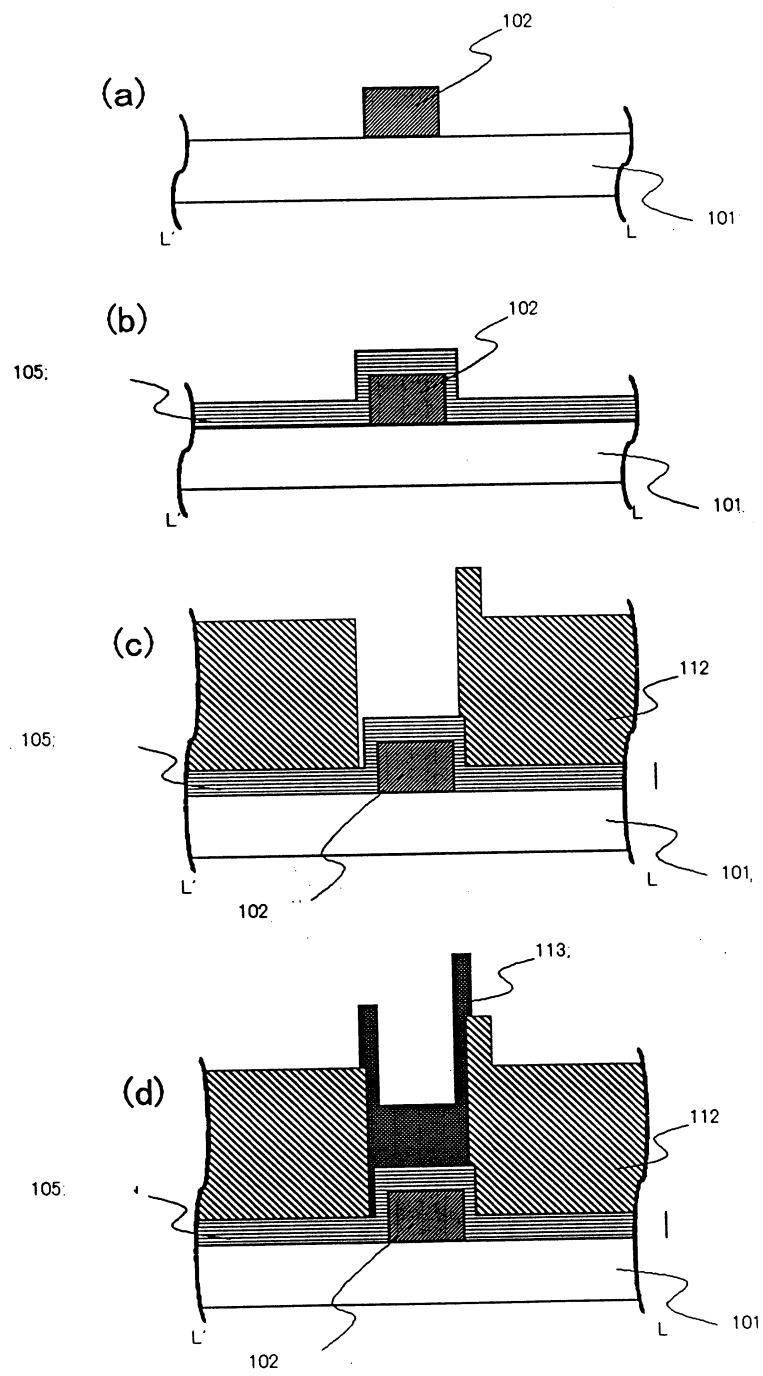
第 50 圖



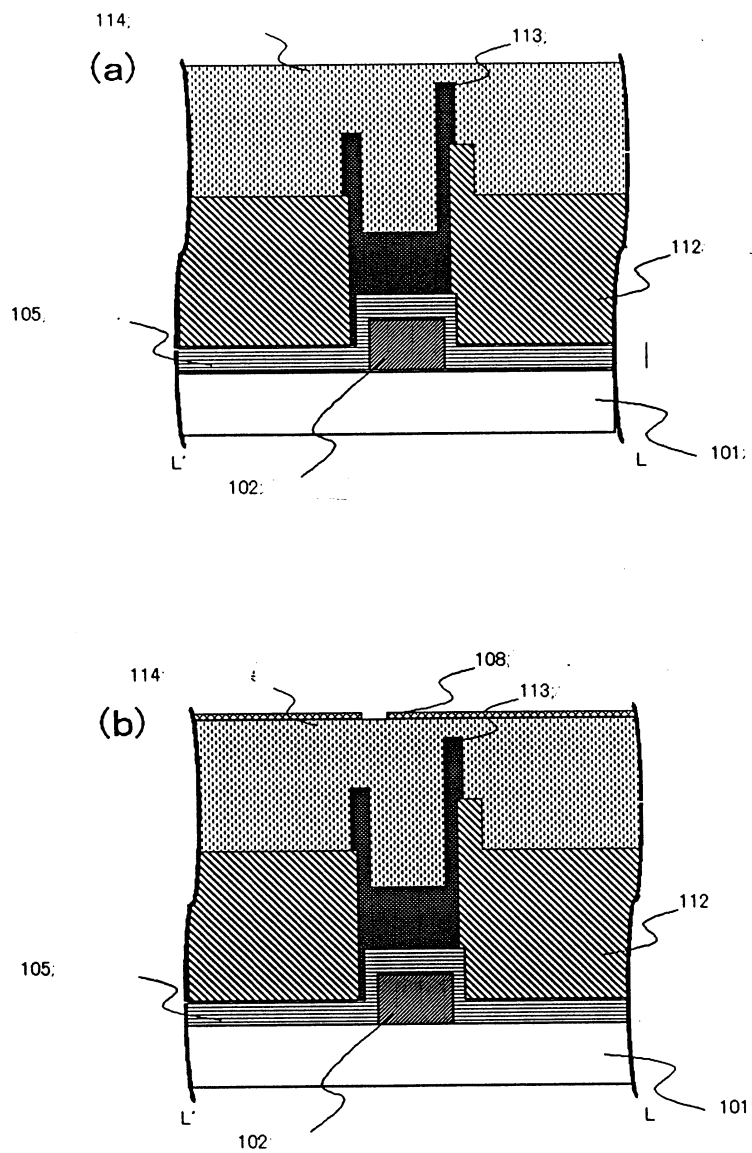
第 51 圖



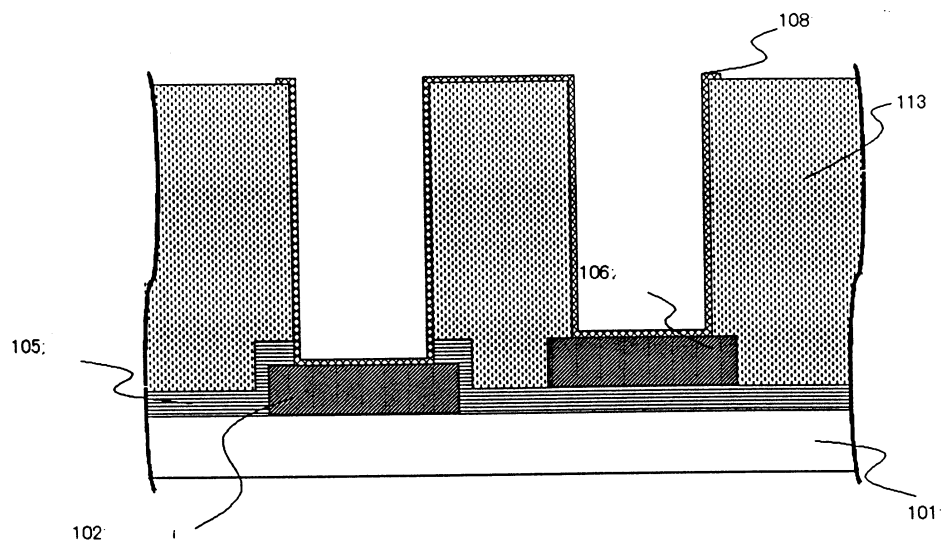
第 52 圖



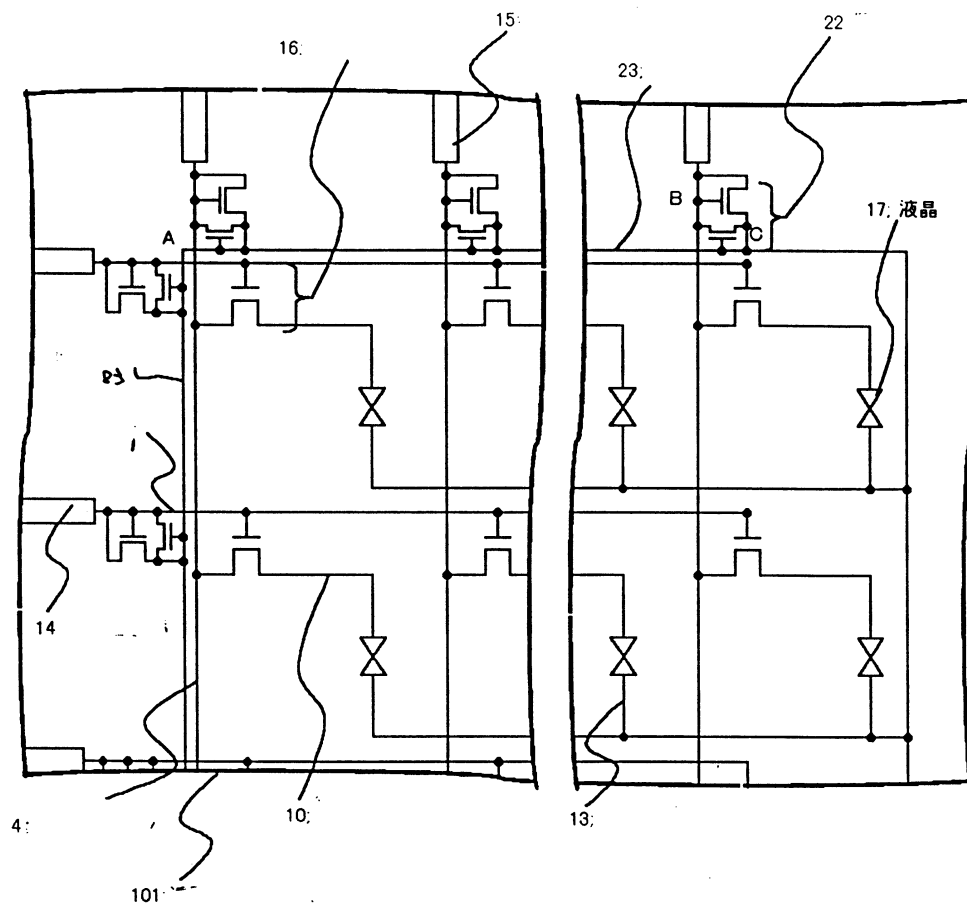
第 53 圖



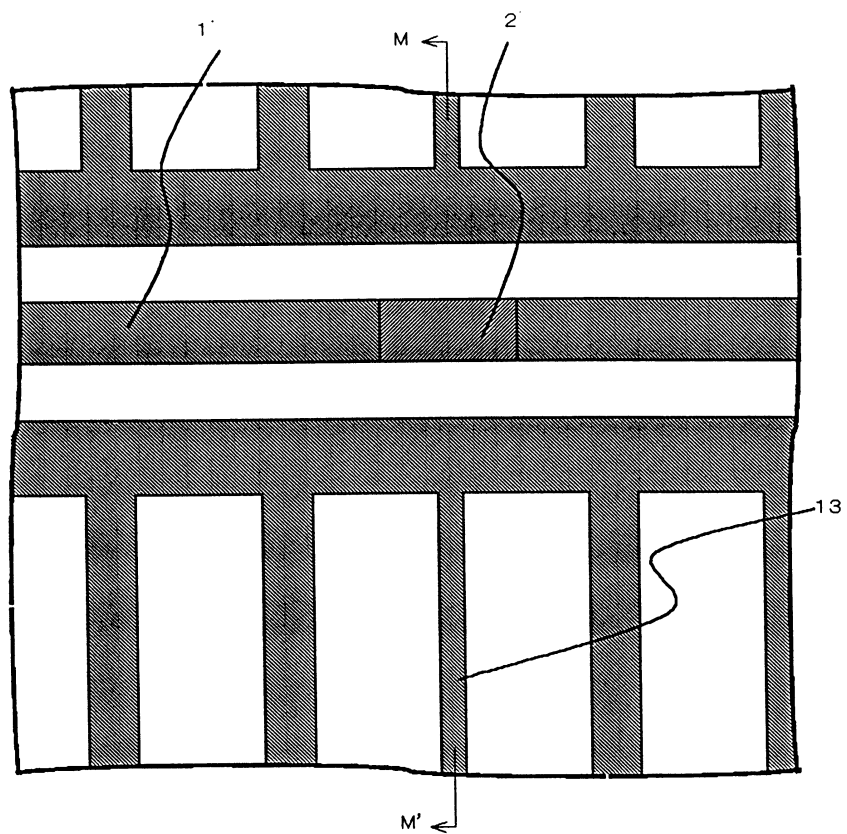
第 54 圖



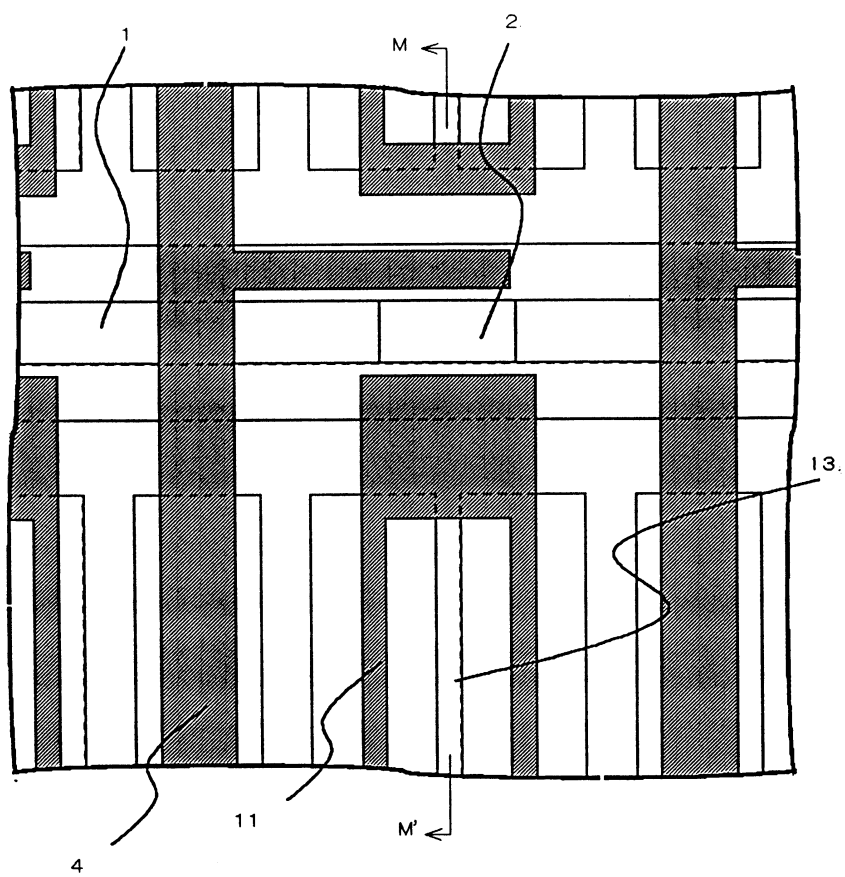
第 55 圖



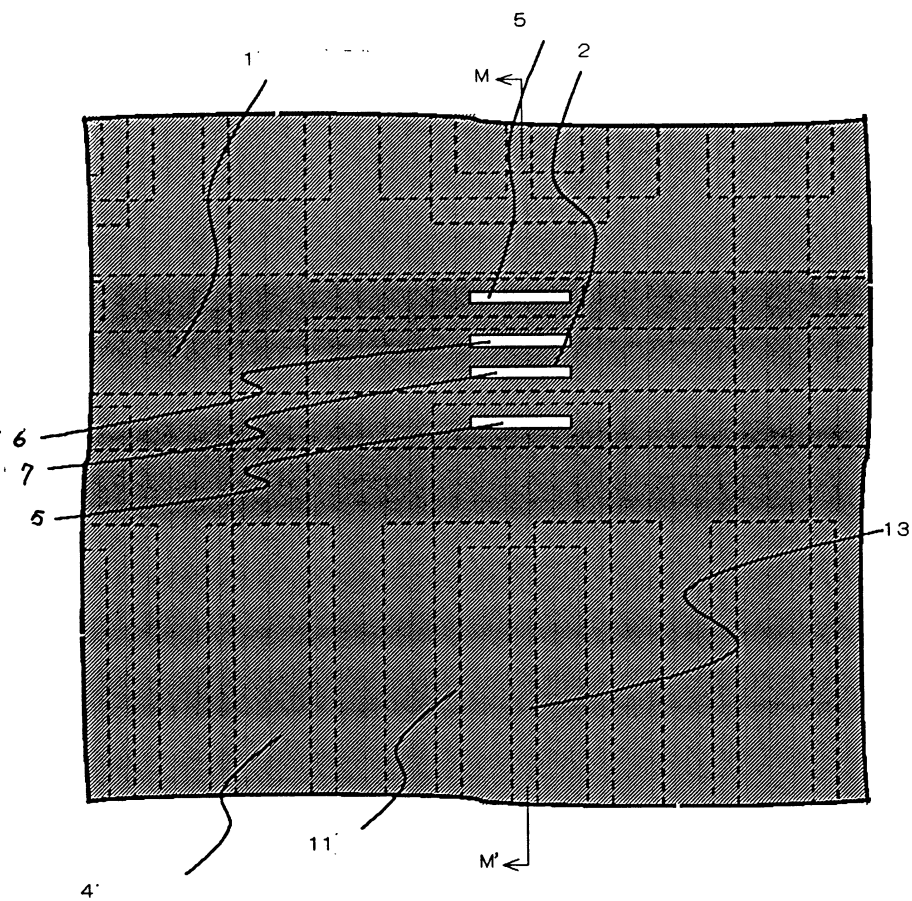
第 56 圖



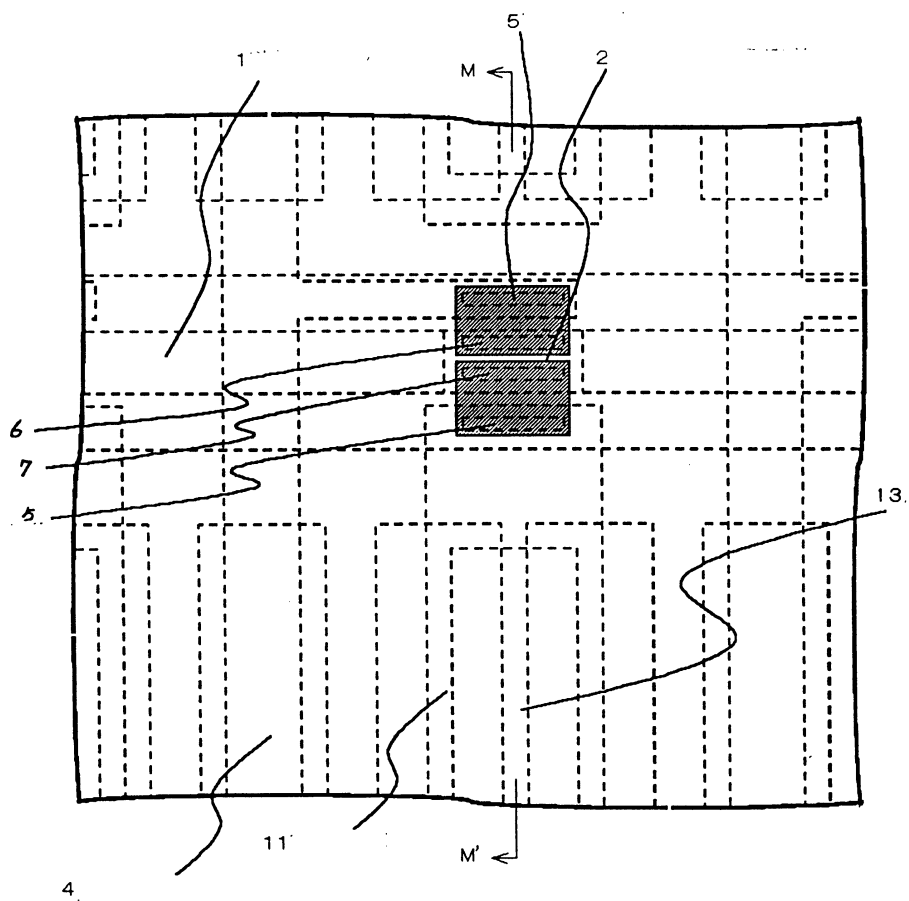
第 57 圖



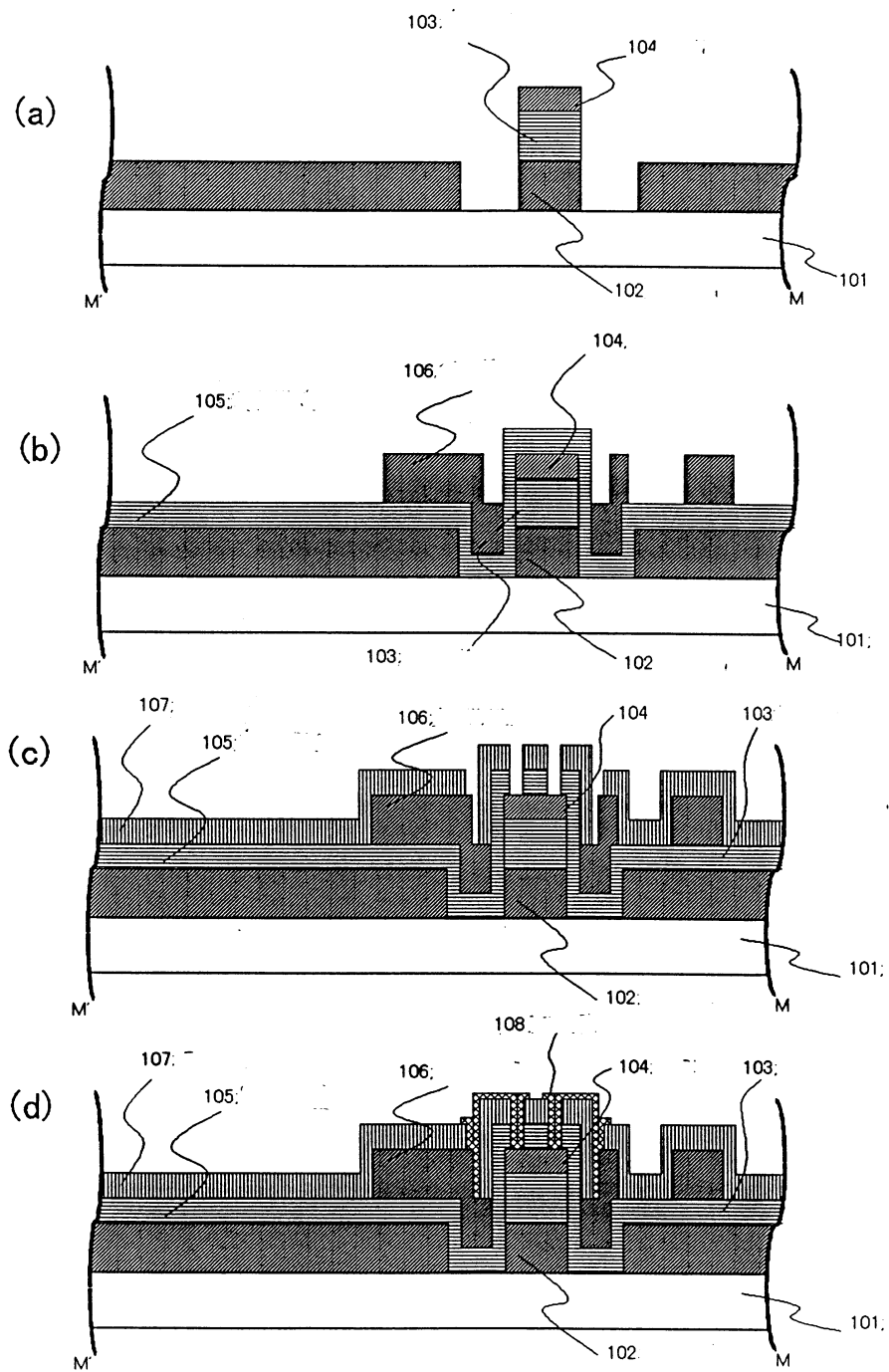
第 58 圖



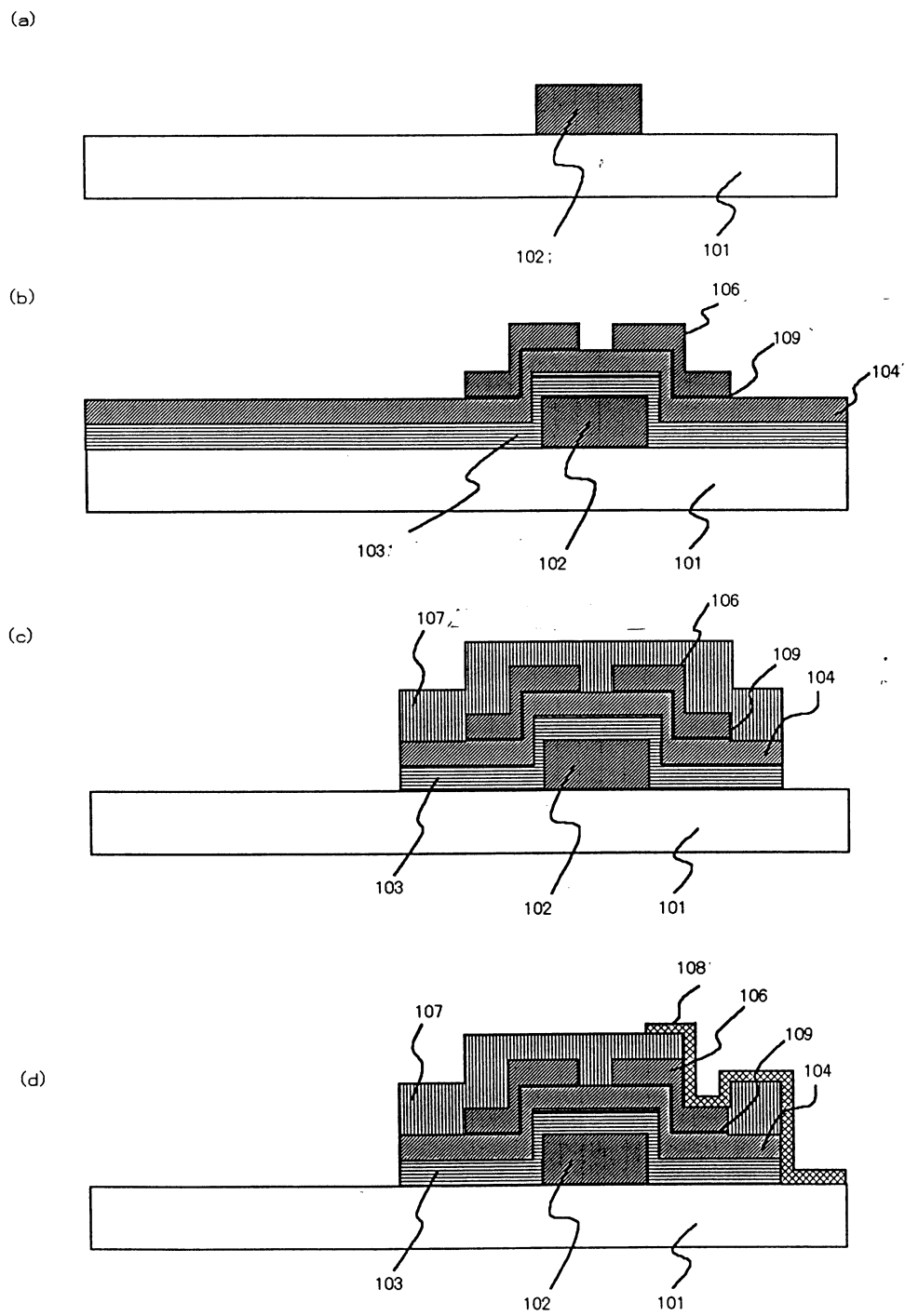
第 59 圖



第 60 圖



第 61 圖



第 62 圖