

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-536680
(P2007-536680A)

(43) 公表日 平成19年12月13日(2007.12.13)

(51) Int. Cl.	F I	テーマコード (参考)
G11C 13/00 (2006.01)	G11C 13/00 A	5F083
H01L 27/10 (2006.01)	H01L 27/10 451	
H01L 27/28 (2006.01)	H01L 27/10 449	
H01L 51/05 (2006.01)	H01L 45/00 Z	
H01L 45/00 (2006.01)	H01L 49/00 Z	

審査請求 有 予備審査請求 未請求 (全 78 頁) 最終頁に続く

(21) 出願番号	特願2007-511326 (P2007-511326)	(71) 出願人	506368648 ユニティ・セミコンダクター・コーポレーション
(86) (22) 出願日	平成16年5月3日(2004.5.3)		
(85) 翻訳文提出日	平成18年12月28日(2006.12.28)		
(86) 国際出願番号	PCT/US2004/013836		UNITY SEMICONDUCTOR CORPORATION
(87) 国際公開番号	W02005/117021		アメリカ合衆国 カリフォルニア州94085-4510 サニーベイル, ノース・ウォルフ・ロード, 250
(87) 国際公開日	平成17年12月8日(2005.12.8)	(74) 代理人	110000028 特許業務法人明成国際特許事務所
		(72) 発明者	シュヴァリエ・クリストフ・ジェイ. アメリカ合衆国 カリフォルニア州94301 パロ・アルト, テニーソン・アベニュー, 168

最終頁に続く

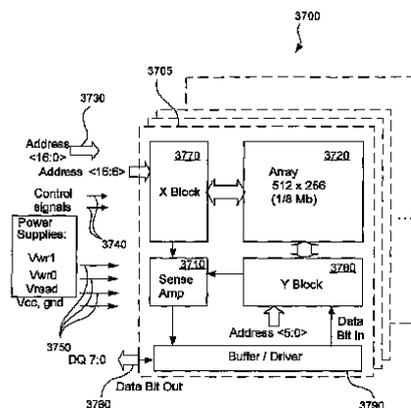
(54) 【発明の名称】 不揮発性プログラマブルメモリ

(57) 【要約】

【課題】

【解決手段】 メモリ(3700)が提供される。メモリは、不揮発性メモリセルアレイ(3720)を含み、各セルは、第1の書き込み電圧パルスを印加されると第1の抵抗状態から第2の抵抗状態へと切り替わるとともに第2の書き込み電圧パルスを印加されると第2の抵抗状態から第1の抵抗状態へと可逆的に切り替わる2端子メモリプラグを含む。

【選択図】 図37A



【特許請求の範囲】

【請求項 1】

不揮発性メモリであって、
複数の X 方向伝導性アレイ線および複数の Y 方向伝導性アレイ線と、
複数の 2 端子メモリプラグと、
基板と
を備え、

前記 2 端子メモリプラグは、

前記伝導性アレイ線をほぼ直交する向きに互いに交差させた交点に配置され、クロス
ポイントメモリアレイを形成し、各 2 端子メモリプラグは、

(i) 前記 X 方向伝導性アレイ線の 1 本に接続される第 1 の電極と、

(ii) 前記 Y 方向伝導性アレイ線の 1 本に接続される第 2 の電極と、

(iii) 前記第 1 の電極と前記第 2 の電極との間に、これらの電極と電氣的に通信す
るように配置され、第 1 の極性の第 1 の書き込み電圧パルスの印加によって、第 1 の I -
V 曲線を示す第 1 の状態から前記第 1 の曲線と異なる第 2 の曲線を示す第 2 の状態へと書
き込み可能であるとともに、前記第 1 の極性と反対の第 2 の極性の第 2 の書き込み電圧パ
ルスの印加によって、前記第 2 の状態から前記第 1 の状態へと可逆的に書き込み可能であ
り、いずれの書き込み電圧パルスよりも低振幅の読み出し電圧パルスを受けたときは状態
を変化させず、電力が欠如するときは状態を変化させない、少なくとも 1 枚の伝導性酸化
物の層と、

(iv) 前記第 1 の電極と前記第 2 の電極との間に、これらの電極と電氣的に通信する
ように配置され、半分選択されたメモリプラグに高抵抗を付与するように動作可能である
とともに、選択されたメモリプラグに低抵抗を付与するように動作可能である、非オーミ
ックデバイスと

を含み、

前記基板は、前記伝導性アレイ線と電氣的に通信しており前記クロスポイントメモリア
レイを駆動するように動作可能であるアクティブ回路構成を含み、当該基板上に前記ク
ロスポイントメモリアレイを形成することにより、結果的に前記クロスポイントメモリア
レイの下に位置する

不揮発性メモリ。

【請求項 2】

請求項 1 に記載の不揮発性メモリであって、
前記伝導性酸化物は、ペロブスカイトを含む不揮発性メモリ。

【請求項 3】

請求項 1 に記載の不揮発性メモリであって、
前記非オーミックデバイスは、1 対の B T B (back-to-back) ダイオードを含む、不揮
発性メモリ。

【請求項 4】

請求項 1 に記載の不揮発性メモリであって、
前記非オーミックデバイスは、少なくとも 1 枚の絶縁層と少なくとも 1 枚の伝導層とを
含む複数の薄膜層を含む不揮発性メモリ。

【請求項 5】

請求項 4 に記載の不揮発性メモリであって、
前記複数の薄膜層は、伝導性材料の第 1 の薄膜層と、絶縁性材料の薄膜層と、伝導性材
料の第 2 の薄膜層とを含む金属 - 絶縁体 - 金属構造を含む不揮発性メモリ。

【請求項 6】

請求項 1 に記載の不揮発性メモリであって、
前記第 1 および第 2 の電極は、金属と、耐熱金属と、貴金属と、伝導性酸化物とからな
る群より選択される少なくとも 1 枚の材料層を含む不揮発性メモリ。

【請求項 7】

10

20

30

40

50

請求項 6 に記載の不揮発性メモリであって、

前記少なくとも 1 枚の材料層は、拡散障壁と、接着層と、糊層と、シード層と、応力除去層とからなる群より選択され、選択した層の機能を発揮する不揮発性メモリ。

【請求項 8】

請求項 1 に記載の不揮発性メモリであって、

前記少なくとも 1 枚の伝導性酸化物の層は、同じ種類の材料で作成され、同じ種類のドーパントを異なる濃度でドーピングされた、第 1 の伝導性金属酸化物層および第 2 の伝導性金属酸化物層を含む不揮発性メモリ。

【請求項 9】

請求項 1 に記載の不揮発性メモリであって、

前記少なくとも 1 枚の伝導性酸化物の層は、ほぼ同じ材料で作成された、伝導性金属酸化物の層、伝導性金属酸化物の最上層、および伝導性金属酸化物の最下層を含み、前記伝導性金属酸化物の層は、前記伝導性金属酸化物の最上層と前記伝導性酸化物の最下層との間に配置され、前記伝導性金属酸化物の最上層および前記伝導性金属酸化物の最下層は、反対のタイプの可動キャリアを有するドーパントでドーピングされる不揮発性メモリ。

10

【請求項 10】

請求項 1 に記載の不揮発性メモリであって、

前記アクティブ回路構成は、更に、適応プログラミング回路を含み、該適応プログラミング回路は、

書き込み操作の対象として選択されたメモリプラグに結合され、前記メモリプラグの抵抗状態を検出して前記抵抗状態を示す表示信号を出力するように動作可能である、検出部と、

20

前記検出部に結合され、書き込みコマンドおよび書き込みデータを検出するように動作可能であり、前記表示信号を前記書き込みと比較し、前記表示信号と前記書き込みデータとが対応しない場合にのみアクティブ化信号を生成する、制御部と、

前記制御部および前記メモリプラグに結合され、前記アクティブ化信号に応じて、前記書き込みデータを示す所望の抵抗状態に前記メモリプラグを駆動するように動作可能である、駆動部と

を含む不揮発性メモリ。

【請求項 11】

30

請求項 1 に記載の不揮発性メモリであって、

前記アクティブ回路構成の少なくとも一部は、前記クロスポイントメモリアレイの下に配置される不揮発性メモリ。

【請求項 12】

請求項 11 に記載の不揮発性メモリであって、更に、

特定の X 方向伝導性アレイ線を駆動するように動作可能である複数の X 方向ドライバセットと、

特定の Y 方向伝導性アレイ線を駆動するように動作可能である複数の Y 方向ドライバセットと

を備える不揮発性メモリ。

40

【請求項 13】

請求項 12 に記載の不揮発性メモリであって、

前記 X 方向ドライバセットおよび前記 Y 方向ドライバセットは、相互嵌合型または非相互嵌合型のうちのいずれかである不揮発性メモリ。

【請求項 14】

請求項 1 に記載の不揮発性メモリであって、

前記クロスポイントメモリアレイは、複数のメモリプラグ層を含む積層型クロスポイントメモリアレイである不揮発性メモリ。

【請求項 15】

請求項 14 に記載の不揮発性メモリであって、

50

少なくとも2枚のメモリプラグ層が、前記複数のX方向伝導性アレイ線または前記複数のY方向伝導性アレイ線を共有する不揮発性メモリ。

【請求項16】

メモリデバイスであって、

複数のX方向伝導性アレイ線と、

複数のY方向伝導性アレイ線と、

前記伝導性アレイ線をほぼ直交する向きに互いに交差させた交点に配置され、クロスポイントメモリアレイを形成する複数の2端子メモリプラグと、

基板と

を備え、

10

前記2端子メモリプラグの各々は、

(i) 前記X方向伝導性アレイ線の1本に接続される第1の電極と、

(ii) 前記Y方向伝導性アレイ線の1本に接続される第2の電極と、

(iii) 前記第1の電極と前記第2の電極との間に、これらの電極と電気的に通信するように配置され、第1の極性の第1の書き込み電圧パルスの印加によって、第1のI-V曲線を示す第1の状態から前記第1の曲線と異なる第2の曲線を示す第2の状態へと書き込み可能であるとともに、前記第1の極性と反対の第2の極性の第2の書き込み電圧パルスの印加によって、前記第2の状態から前記第1の状態へと可逆的に書き込み可能であり、いずれの書き込み電圧パルスよりも低振幅の読み出し電圧パルスを受けたときは状態を変化させず、電力が欠如するときは状態を変化させない、少なくとも1枚の伝導性酸化物の層と、

20

(iv) 前記第1の電極と前記第2の電極との間に、これらの電極と電気的に通信するように配置され、半分選択されたメモリプラグに高抵抗を付与するように動作可能であるとともに、選択されたメモリプラグに低抵抗を付与するように動作可能である、非オーミックデバイスと

を含み、

前記基板は、前記伝導性アレイ線と電気的に通信しており前記第1の書き込み電圧パルス、前記第2の書き込み電圧パルス、および前記読み出し電圧パルスを印加するように動作可能である周辺回路構成を含み、該周辺回路構成は、少なくとも1つのメモリプラグを選択し、前記選択されたメモリプラグに前記読み出し電圧パルスを印加することによって、前記選択されたメモリプラグの抵抗状態を決定するように動作可能であるとともに、もし、前記選択されたメモリプラグへの書き込み操作が望まれ且つ前記書き込み操作に関連した書き込みデータが前記選択されたメモリプラグの前記抵抗状態を変化させるならば、前記選択されたメモリプラグに前記書き込み電圧パルスを印加することによって、前記選択されたメモリプラグの前記抵抗状態を変化させるように動作可能であり、

30

前記クロスポイントメモリアレイは、前記基板上に形成されることにより、結果的に前記基板は、クロスポイントメモリアレイの下に位置する

メモリデバイス。

【請求項17】

請求項16に記載のメモリデバイスであって、

40

前記クロスポイントメモリアレイを上形成された前記基板は、該基板の上に作成されたマイクロプロセッサを含む、メモリデバイス。

【請求項18】

請求項16に記載のメモリデバイスであって、更に、

前記クロスポイントメモリアレイに対する書き込み操作を望まれるときに、書き込み許可信号パルスを運び、該書き込み許可信号パルスは終端を有する制御バスと、

選択された1つのメモリプラグまたは選択された1つのメモリプラグ群を示す信号を運ぶアドレスバスと、

前記選択された1つのメモリプラグまたは前記選択された1つのメモリプラグ群に関連する書き込みデータを示す信号を運ぶデータバスと

50

を備え、

前記周辺回路構成は、前記選択された1つのメモリプラグまたは前記選択された1つのメモリプラグ群の前記抵抗状態を変化させるように動作可能である前記第1および第2の書き込み電圧パルスを、前記書き込み許可信号パルスが終了した後に印加する

メモリデバイス。

【請求項19】

請求項16に記載のメモリデバイスであって、

データは、ページモードとバーストモードとからなる群より選択されるモードで前記クロスポイントメモリアレイから読み出される、または前記クロスポイントメモリアレイに書き込まれるメモリデバイス。

10

【請求項20】

請求項16に記載の不揮発性メモリであって、

前記伝導性酸化物は、ペロブスカイトを含む不揮発性メモリ。

【請求項21】

再書き込み可能な不揮発性メモリセルであって、

第1の電極および第2の電極を含むメモリプラグと、

前記第1の電極と前記第2の電極との間に、これらの電極と電気的に通信するように配置され、第1の極性の第1の書き込み電圧パルスの印加によって、第1のI-V曲線を示す第1の状態から前記第1の曲線と異なる第2の曲線を示す第2の状態へと書き込み可能であるとともに、前記第1の極性と反対の第2の極性の第2の書き込み電圧パルスの印加によって、前記第2の状態から前記第1の状態へと可逆的に書き込み可能であり、いずれの書き込み電圧パルスよりも低振幅の読み出し電圧パルスを受けたときは状態を変化させず、電力が欠如するときは状態を変化させない少なくとも1枚の伝導性酸化物の層と、

20

前記第1の電極と前記第2の電極との間に、これらの電極と電気的に通信するように配置され、前記メモリプラグが読み出し操作または書き込み操作の対象として選択されなかったときは前記メモリプラグに高抵抗を付与するように動作可能であるとともに、前記メモリプラグが読み出し操作または書き込み操作の対象として選択されたときは前記メモリプラグに低抵抗を付与するように動作可能である非オーミックデバイスと

を備える再書き込み可能な不揮発性メモリセル。

【請求項22】

請求項21に記載の不揮発性メモリであって、

前記伝導性酸化物はペロブスカイトを含む不揮発性メモリ。

30

【請求項23】

請求項21に記載の不揮発性メモリであって、

前記非オーミックデバイスは、1対のBTB (back-to-back) ダイオードを含む不揮発性メモリ。

【請求項24】

請求項21に記載の不揮発性メモリであって、

前記非オーミックデバイスは、少なくとも1枚の絶縁層と少なくとも1枚の伝導層とを含む複数の薄膜層を含む不揮発性メモリ。

40

【請求項25】

請求項24に記載の不揮発性メモリであって、

前記複数の薄膜層は、伝導性材料の第1の薄膜層と、絶縁性材料の薄膜層と、伝導性材料の第2の薄膜層とを含む金属-絶縁体-金属構造を含む不揮発性メモリ。

【請求項26】

請求項21に記載の不揮発性メモリであって、

前記第1および第2の電極は、金属と、耐熱金属と、貴金属と、伝導性酸化物とからなる群より選択される少なくとも1枚の材料層を含む不揮発性メモリ。

【請求項27】

請求項26に記載の不揮発性メモリであって、

50

前記少なくとも1枚の材料層は、拡散障壁と、接着層と、糊層と、シード層と、応力除去層とからなる群から選択され、該選択した層の機能を発揮する不揮発性メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にはメモリに関するものである。本発明は、より詳細には、書き換え可能な不揮発性メモリに関するものである。

【0002】

[関連技術の説明]

メモリは、揮発性または不揮発性のいずれかに分類することができる。揮発性メモリは、電源がオフになると内容を失うメモリである。これに対して、不揮発性メモリは、連続的に電力を供給せずとも情報を保持できるメモリである。ほとんどの不揮発性メモリは、メモリ素子として固体メモリデバイスを使用している。

10

【0003】

固体メモリデバイスとしては、例えば、特定の伝導性金属酸化物(CMO)を使用することができる。CMOは、電子パルスをかけられた後、ある一定の抵抗状態を維持することができる。電子パルスは、2つの端子を通じて供給される。2001年3月20日に発行されたLiuらによる米国特許第6,204,139号には、このような特性を示すいくつかのペロブスカイト材料が記載されている。また、「Electro-pulse-induced reversible resistance change effect in magnetoresistive films」(磁気抵抗膜における、電気パルスによる可逆的抵抗変化の効果)、Applied Physics Letters, Vol. 76, No. 19, 8 May, 2000、および2001 Non-Volatile Memory Technology Symposium(2001不揮発性メモリ技術シンポジウム)の資料「A New Concept for Non-Volatile Memory: The Electric-Pulse Induced Resistive Change Effect in Colossal Magnetoresistive Thin Films」(不揮発性メモリの新しい概念: 巨大磁気抵抗薄膜における、電気パルスによる抵抗変化の効果)にも、同じ研究者によって、ペロブスカイト材料についての記載がある。しかしながら、前掲の米国特許第6,204,139号に記載されているこれらのペロブスカイト材料は、小さい寸法に縮小された場合に、高速アクセス時間のメモリを構成するには大きすぎる抵抗を示すと考えられるので、一般に、RAMメモリには適用できない。

20

30

【0004】

Hsuらによる米国特許第6,531,371号「Electrically programmable resistance cross point memory」(電氣的にプログラム可能な抵抗クロスポイントメモリ)には、抵抗性クロスポイントメモリデバイスが、その製造方法および使用方法とともに開示されている。このメモリデバイスは、上部電極と下部電極との間に配置されたペロブスカイト材料の活性層を有する。

【0005】

同様に、IBMチューリッヒ研究所も、メモリ用途における金属酸化物材料の使用を考察した3本の技術論文を発表している。すなわち、「Reproducible switching effect in thin oxide films for memory applications」(メモリ用途のための、酸化物薄膜における再現性のスイッチング効果)、Applied Physics Letters, Vol. 77, No. 1, 3 July, 2000、「Current-driven insulator-conductor transition and nonvolatile memory in chromium-doped SrTiO₃ single crystals」(電流によって起こされる絶縁体-導体転移、およびクロムドープドSrTiO₃単結晶の不揮発性メモリ)、Applied Physics Letters, Vol. 78, No.23, 4 June 2001、ならびに「Electric current distribution across a metal-insulator-metal structure during bistable switching」(双安定スイッチング中の、金属-絶縁体-金属構造における電流分布)、Journal of Applied Physics, Vol. 90, No. 6, 15 September 2001である。

40

【0006】

しかしながら、特定のCMOが有する抵抗変化特性の発見は、比較的最近のことであり

50

、市販のメモリ製品にはまだ導入されていない。このため、真の不揮発性RAM (nvRAM) を市場に持ち込むための不断の努力が続けられている。

【0007】

[好ましい実施形態の詳細な説明]

以下の説明では、本発明の完全な理解を可能にするために、多くの詳細が特定されている。しかしながら、当業者ならば明らかなように、本発明は、これらの一部または全部の詳細を特定しなくても実施されうる。また、本発明が不必要に不明瞭になるのを避けるため、周知のプロセス工程の詳細な説明は省略される。

【0008】

<クロスポイントメモリアレイ> :

従来の不揮発性メモリは、MOSFETをベースにした3端子デバイスを必要とする。 f を最小の特徴サイズとすると、このようなデバイスのレイアウトは、一般に、少なくとも $8f^2$ の面積を必要とするので非理想的である。しかしながら、必ずしも全てのメモリ素子が3端子を必要とは限らず、例えば、もしメモリ素子が電圧パルスに応じて電気特性(例えば抵抗率)を変化させられる場合は、必要なのは2端子のみである。2端子のみならば、1セルを $4f^2$ の大きさに製造することを可能にするクロスポイントメモリアレイのレイアウトを利用することができる。

【0009】

図1は、単一のメモリ層を使用した、典型的なクロスポイントメモリアレイ100の斜視図である。下層のX方向伝導性アレイ線105は、上層のY方向伝導性アレイ線110に直交する。X方向伝導性アレイ線105およびY方向伝導性アレイ線110は、互いが交差する点に位置する複数のメモリプラグ115に対してそれぞれ第1の端子および第2の端子として機能する。伝導性アレイ線105, 110は、メモリプラグ115に電圧パルスを供給すること、およびメモリプラグ115に電流を流れさせることによって、メモリプラグ115の抵抗状態を決定するために使用される。

【0010】

伝導性アレイ線の層105, 110は、一般に、アルミニウム、銅、タングステン、または特定のセラミックス等の任意の伝導性材料で構成することができる。1本の伝導性アレイ線は、一般に、材料に応じて64~8192本の直交する伝導性アレイ線と交差する。製造技術、特徴サイズ、および材料の抵抗率次第で、更に短い、または長いアレイ線にしてもよい。X方向およびY方向の伝導性アレイ線は、同じ長さ(正方形のクロスポイントメモリアレイを形成する)でも、または異なる長さ(長方形のクロスポイントメモリアレイを気伊勢する)でもよく、異なる長さの場合は、抵抗率の異なる複数の材料でアレイ線を作成する場合に有用である可能性がある。

【0011】

図2は、クロスポイントメモリアレイ100における1つのメモリセル215の選択を示している。1本のX方向伝導性アレイ線205と、1本のY方向伝導性アレイ線210との交差点は、1つのメモリセル215を一意的に特定する。図3は、選択されたメモリセル215の境界を示している。メモリセルは、一次元に、二次元に、ひいては三次元に理論的に拡張できる反復可能な単位である。メモリセルをZ方向(XY平面に直交する方向)に反復させる方法は、1つには、伝導性アレイ線105, 110の下面および上面の両方を使用して積層型のクロスポイントメモリアレイを形成する方法である。

【0012】

クロスポイントメモリアレイ100を構成する反復可能なセルは、メモリプラグ305に、メモリプラグ305の周りの空間の1/2を加え、更にX方向伝導性アレイ線205の1/2とY方向伝導性アレイ線210の1/2を加えたものだと見なすことができる。伝導性アレイ線は、使用されるのが片面であるか両面であるかにかかわらず、同じ幅に製造されるので、ここで言う伝導性アレイ線の1/2とは、当然ながら、単なる理論上の構成概念である。したがって、最上層および最下層(片面のみを使用される)の伝導性アレイ線も、他の全ての層の伝導性アレイ線と同じ大きさに製造されるのが一般的である。

10

20

30

40

50

【0013】

<積層型クロスポイントメモリアレイ> :

図4Aおよび図4Bは、4枚のメモリ層405, 410, 415, 420を使用した典型的な積層型クロスポイントメモリアレイ400を示している。メモリ層: ML_0 , 405, ML_1 , 410, ML_2 , 415、および ML_3 , 420は、交互するX方向伝導性アレイ線: X_0 層425, X_1 層430, および X_2 層435と、Y方向伝導性アレイ線: Y_0 層440および Y_1 層445との間に挟まれている。このような積層によって、メモリデバイスは、クロスポイントメモリアレイ400の実装面積を増大させずとも記憶容量を増加させることができる。本明細書で使用される「メモリ層」とは、必ずしも材料の均質層であるとは限らず、メモリプラグの層であることも可能である。メモリプラグは、後ほど説明されるように、複数の異なる材料の層で作成することができる。「プラグ」とは、概して、相補的な伝導性アレイ線と伝導性アレイ線との間の任意の積層体または構成体を意味しており、いかなる製造プロセスにも限定されない。

10

【0014】

各メモリ層405, 410, 415, 420は、X方向伝導性アレイ線の層425, 430, 435のいずれか一層と、Y方向伝導性アレイ線の層440, 445のいずれか一層とに関連付けられる。伝導性アレイ線の最上層435および最下層425は、それぞれ単一のメモリ層420および405に電圧を供給するためだけに使用されるが、伝導性アレイ線のその他の各層430, 440, 445は、それぞれ対応する上下両方のメモリ層405, 410, 415, 420に電圧を供給するために使用することができる。

20

【0015】

もし、中間にある伝導性アレイ線の各層が、それぞれ2枚ずつのメモリ層に対して使用されるならば、N枚のメモリ層は、概して、N+1枚の伝導性アレイ線の層を必要とする。しかしながら、クロスポイントメモリアレイのメモリプラグが、いずれも2本ずつの伝導性アレイ線を必要とする一方で、伝導性アレイ線の各層は、必ずしも個別の回路構成を必要とするとは限らない。1つのメモリプラグを選択するには、1本のX方向伝導性アレイ線と1本のY方向伝導性アレイ線とをアクティブにする必要があるので、1枚のメモリ層のみをアクティブにできる限りは、どの方向にも複数の伝導性アレイ線をアクティブにしてよい。

30

【0016】

例えば、積層型クロスポイントメモリアレイ400において、X方向伝導性アレイ線の最上層および最下層(X_0 層425および X_2 層435)は、メモリ素子に対するアクセスについて論理的に関係してよく、更には、同じ選択ロジックを共有するだけでなく、同じ回路構成を共有することも可能である。表1は、特定の1メモリ層上の1メモリ素子をアクティブにするために使用できるX方向伝導性アレイ線とY方向伝導性アレイ線との組み合わせを示している。

【0017】

【表1】

X_0	X_2	X_1	Y_0	Y_1	メモリ層
	X		X		ML_0
		X	X		ML_1
		X		X	ML_2
X				X	ML_3

40

【0018】

したがって、 ML_1 , 410上のメモリセルにアクセスするためには、例えば、 X_1 層430の伝導性アレイ線を1本と、 Y_0 層440の伝導性アレイ線を1本とを選択する必要

50

がある。

【0019】

同様に、図5は、8枚のメモリ層505, 510, 515, 520, 525, 530, 535, 540を使用した積層型クロスポイントメモリアレイ500の構成を示している。X方向伝導性アレイ線の層545, 550, 555, 560, 565は、全て、2本のスルー570, 575のいずれかに接続されており、したがって、復号化ロジックを共有している。ここで言う「スルー」とは、概して、複数の金属層間においてメモリプラグの層を迂回する垂直の伝導性経路として定義されるが、その他の点ではバイアおよびコンタクトに機能的に極めて類似したものである。しかしながら、Y方向伝導性アレイ線の層580, 585, 590, 595は、それぞれ独自の復号化ロジックによって駆動される。

10

【0020】

【表2】

X_0	X_2	X_4	X_1	X_3	Y_0	Y_1	Y_2	Y_3	メモリ層
	X				X				ML ₀
			X		X				ML ₁
			X			X			ML ₂
X						X			ML ₃
X							X		ML ₄
			X				X		ML ₅
			X					X	ML ₆
X								X	ML ₇

20

【0021】

30

< 周辺回路構成 > :

クロスポイントメモリアレイのメリットの1つは、クロスポイントメモリアレイ(例えば100、400、または500)を駆動するアクティブ回路構成をクロスポイントメモリアレイの下方に配置することによって、半導体基板上で必要とされる実装面積を低減させられる点にある。図6Aは、4枚のメモリ層を積層してなるクロスポイントメモリアレイ400の X_0 層430、 X_1 層430、および X_2 層435の特定のX方向伝導性アレイ線を選択するために使用されるX方向ドライバセット605, 610, 615を示している。 X_0 ドライバ605と X_2 ドライバ615とは、(例えば表1に示されるように)同一のロジックを使用できるが、 X_1 層430を X_1 ドライバ610に接続しているスルー640を X_0 ドライバ605に迂回させるのは困難であるので、図中では、別々のドライバとして示されている。

40

【0022】

図6Bは、Y方向伝導性アレイ線の層440, 445の特定のY方向伝導性アレイ線を選択するために使用されるY方向ドライバセット620, 625を示している。 Y_0 ドライバセット620は、 Y_0 層440に接続するために、1枚のメモリ層405を横断するスルー630を使用する。 Y_1 ドライバセット625は、 Y_1 層445に接続するために、3枚のメモリ層405, 410, 415を横断するスルー635を使用する。

【0023】

図7Aは、積層型クロスポイントメモリアレイ400に関連したX方向およびY方向のドライバセット605, 610, 615, 620, 625のレイアウトの概略を示してい

50

る。図7Bは、図7Aをより抽象化して表したものである。各ドライバセットを構成するドライバは全て同じ側にあるので、レイアウトは全体として非対称的なL字型を形成している。

【0024】

しかしながら、設計次第では、ある伝導性アレイ線を制御するドライバが片方の側に置かれ、次の伝導性アレイ線を制御するドライバが反対の側に置かれるように、ドライバ回路構成を相互嵌合型にすることが可能である。

【0025】

<相互嵌合型のドライバセット>：

図8Aおよび図8Bは、単層型クロスポイントメモリアレイ100を駆動する相互嵌合型のX方向ドライバ805および相互嵌合型のY方向ドライバ810のレイアウトを示している。ドライバ805と810とを相互に嵌め合わせると、単層型クロスポイントメモリアレイ100の対称性を向上させるだけでなく、より大きな寸法のドライバを作成することも可能になる。

【0026】

ドライバは、同じ層の伝導性アレイ線が複数の異なる位置から交互に駆動される場合に相互嵌合型であると見なすことができる。相対する側から駆動されるアレイ線は、互い違いである、すなわち偶数番号の線が一方の側から駆動され、奇数番号の線が反対の側から駆動されてもよいし、またはペアごとにグループ化される、すなわち隣り合う2本の線が一方の側から駆動され、続く2本の線がもう一方の側から駆動されてもよいし、または2 × Nセルのピッチで配置され且つN本の線を駆動するドライバの使用を可能にする任意の布置を取るようにグループ化されてもよい。拡大解釈すれば、ドライバ自体は必ずしも相互に嵌め合わされる必要はなく、相互に嵌め合わされた線を駆動する任意のドライバセットを「相互嵌合型ドライバセット」と称するものとする。

【0027】

図9Aおよび図9Bは、積層型クロスポイントメモリアレイ400のための相互嵌合型のドライバセット605、610、620、625のレイアウトを示している。X方向ドライバセット605、610の構成は、図10Aおよび図10Bに示されている。図10Aの構成は、1本のX方向伝導性アレイ線ごとに図10Bの構成と入れ替わるので、X₀ドライバ605およびX₁ドライバ610は、位置する側を交互に変化させる。

【0028】

また、X₁層430をX₁ドライバ610に接続するスルー640と、X₂層435をX₀ドライバ605に繋げるスルー645とを相対する側に配置すれば、最下層のX₀層425をX₂層435に直接に繋ぐことが可能である。したがって、1つのX₀ドライバ605を、最下層のX₀層425および最上層のX₂層435の両方に使用することができる。

【0029】

図7B、図8B、および図9Bに示された配置図は、ドライバ605、610、615、620、625、805、810がいずれもクロスポイントメモリアレイ100または400の外側に配置されると仮定している。しかしながら、もしクロスポイントメモリアレイの下基板を使用して周辺回路構成を引くならば、メモリチップ全体の実装面積を低減させることが可能である。

【0030】

図11A～11Cは、単層型クロスポイントメモリアレイ100の下に一部を配置されたX方向ドライバセット805およびY方向ドライバセット810の各種レイアウトを示している。各レイアウトでは、クロスポイントメモリアレイ100の下にいくらかの未使用空間が存在しうるにもかかわらず、ドライバの一部が単層型クロスポイントメモリアレイ100の外側に据え置かれている。図11Aは、クロスポイントメモリアレイ100をX方向に超過した長方形を形成したレイアウトである。図11Bは、クロスポイントメモリアレイ100をY方向に超過してH字型を形成したレイアウトである。図11Cは、X

10

20

30

40

50

方向およびY方向の両方向にクロスポイントメモリアレイ100を超過してより対称的なパターンを形成した非対称形のレイアウトである。

【0031】

図12は、相互に嵌め合わされた部分と相互に嵌め合わされていない部分とを有するX方向ドライバセット805およびY方向ドライバセット810のもう1つのレイアウトを示している。各ドライバセット805, 810の一部は、依然として単層型クロスポイントメモリアレイ100の外側にある。各ドライバを共通の寸法で作成したと仮定すると、相互に嵌め合わされなかったドライバは、同じピッチで2倍の数の線を駆動するので、より多くの回路構成を必要するので、やはり一部がクロスポイントメモリアレイ100を超過することになる。

10

【0032】

しかしながら、ドライバ805, 810のいずれも相互に嵌め合わされていない場合は、周辺回路構成全体が単層型クロスポイントメモリアレイ100の下に配置される可能性がある。

【0033】

<非相互嵌合型のドライバセット>:

図13Aは、単層型クロスポイントメモリアレイ100の下に完全に収まる場合のX方向ドライバ805およびY方向ドライバ810のレイアウトを示している。図13Bは、より対称的なレイアウトを使用する場合のX方向ドライバ805およびY方向ドライバ810のもう1つのレイアウトを示している。

20

【0034】

非相互嵌合型ドライバセットを使用する概念は、積層型クロスポイントメモリアレイにも拡張することができる。図14Aおよび図14Bは、非相互嵌合型のドライバセット605, 610, 620, 625のレイアウトを示している。なお、各ドライバセット605, 610, 620, 625は、必ずしも一定の比率で描かれているとは限らず、各層に含まれる伝導性アレイ線の数と、各ドライバに使用される回路構成とに応じて、積層型クロスポイントメモリアレイ400の下にぴったり収まってよいし、または図14Bに示されるように積層型クロスポイントメモリアレイ400の下に隙間を残してもよいし、または積層型クロスポイントメモリアレイ400の実装面積を超過してもよい。

【0035】

図15Aおよび図15Bは、図14Aまたは図14Bのレイアウトに使用できるドライバセット605, 610, 620, 625として可能な1つの構成を示している。X₀ドライバセット605がX₀層425に直接に接続することができ(そしてスルー645を介してX₂層435に接続することができ)、且つX₁ドライバセット610およびY₁ドライバセット625が各自のスルー640およびスルー635を介してX₁層430およびY₁層445に直接に接続することができる一方で、Y₀ドライバセット620は、Y₀層440の周辺回路構成に接続するスルー630に直接に接続することができない。その代わりに、Y₀ドライバセット620は、周辺回路構成の部分に余分の金属層1505を使用することによって、Y₁ドライバセット625の回路構成の上を横切ってスルー630に接続する。余分の金属層1505は、ドライバの回路構成を構成するのに必要な任意の金属層に追加で使用されるものである。

30

40

【0036】

図16は、X方向ドライバセット605, 610, 615のもう1つの構成を示している。Y方向ドライバ620, 625に関連して余分の金属層1505が使用されているので、同図の構成も、やはり余分の金属層1505を使用する。X₀ドライバセット605をX₂ドライバセット615から切り離せば、たとえ両者が同じロジックを使用する場合でも、X₀ドライバにかかる負荷は軽減される。この変更形態は、層425, 435に対するアクセス時間を向上させることができる。

【0037】

図17は、余分の金属層1505の必要性を排除するために使用できる、Y方向ドライ

50

バセット 620, 625 の更にもう 1 つの構成を示している。この構成では、 X_0 層 425 から 1 本の伝導性アレイ線を排除して、 Y_0 ドライバセット 620 を Y_0 層 440 に接続するスルー 630 に Y_0 ドライバセット 620 を直接に接続可能にするアレイカットを作成する。 ML_0 層 405 からは、一列のメモリプラグが排除されるが、これらの欠如は、積層型クロスポイントメモリアレイ 400 に含まれるメモリプラグ全体のほんの僅かな割合を占めるに過ぎないので、余分な金属層 1505 を使用せずにすむ周辺回路構成の設計の見返りとして妥当である。排除された ML_0 メモリ層のセルの真上に位置する ML_1 層 410、 ML_2 層 415、および ML_3 層 420 のセルは、排除してもよいし、または機能しないダミーセルとしてそのまま維持してもよい。こうして、4 枚のアレイ層は対称的になる。あるいは、最下層の ML_0 メモリ層において、欠けた線に取って代わる冗長線を使用することも可能である。

【0038】

また、 Y_0 ドライバセット 620 を積層型クロスポイントメモリアレイ 400 の中ほどに移動させれば、 Y_0 層 440 に対するアクセス時間を向上させることができる。もし Y_0 ドライバセット 620 が伝導性アレイ線の一方の端に位置すると、電流は、最悪の場合、アクティブメモリセルに達するために反対側の端まで伝わる必要がある。しかしながら、もし Y_0 ドライバセット 620 が伝導性アレイ線の中ほどに位置すれば、電流は、最悪の場合でも、伝導性アレイ線の長さの半分だけ伝わればよい。したがって、 Y_0 ドライバセット 620 を伝導性アレイ線の中ほどに配置すれば、アクセス時間を向上させることができる。

【0039】

図 18A は、ともに単層型クロスポイントメモリアレイ 100 の下に中央寄せされた場合の X 方向ドライバ 805 および Y 方向ドライバ 810 のレイアウトを示している。Y 方向ドライバ 810 は、Y 方向伝導性アレイ線 110 の中ほどに達するためのアレイカットを使用することができ、X 方向ドライバ 805 は、別のドライバと重ならない限り、X 方向伝導性アレイ線 105 の下のどこにでも配置することができる。ドライバ 805, 810 を対応する伝導性アレイ線 105, 110 のほぼ中ほどに持ってこれば、メモリプラグ層 115 へのアクセス時間を更に短縮することができる。

【0040】

このような配置は、単層型クロスポイントメモリアレイに使用する場合、または積層型クロスポイントメモリアレイの最下層に使用する場合に最も効果的である。積層型クロスポイントメモリアレイに使用場合は、 X_0 ドライバセット 605 および Y_0 ドライバセット 620 をクロスポイントメモリアレイ 400 のほぼ中ほどに配置する一方で、それより上層の伝導性アレイ線のためのその他のドライバセットはそれぞれの伝導性アレイ線の端に接続させるのが一般的である。

【0041】

図 18B は、最下のメモリ層がそれより上のメモリ層より高速のアクセス時間を有する積層型クロスポイントメモリアレイ 400 に使用される場合のドライバセットのレイアウトを示している。用途次第では、メモリの一部に対してメモリの他の部分よりも高速のアクセスを必要とする場合がある。例えば、大容量ストレージデバイスは、ファイルアロケーションテーブル (FAT) に対してその他の格納データよりも高速にアクセス可能であることを望まれる場合がある。

【0042】

< 非相互嵌合型のドライバの設計 > :

図 13A ~ 18B は、いずれも、非相互嵌合型のドライバの使用を想定している。図 19 は、非相互嵌合型ドライバに必要とされる線ピッチ内に線ドライバを収められるものとして可能な X_0 ドライバセット 605 のレイアウトを示している。各ドライバは、特定の 1 本の伝導性アレイ線 (または、もしそのドライバセットが複数のメモリ層に電圧を供給する場合は特定の 1 つの伝導性アレイ線集団) に電圧を供給する責任を負う。したがって、もし X_0 層 425 上に 256 本の伝導性アレイ線が存在するならば、 X_0 ドライバセッ

10

20

30

40

50

ト605には、256のドライバが存在する。これらのドライバは、金属相互接続1905を通して伝導性アレイ線に電圧を送る。各金属相互接続1905は、伝導性アレイ線と同じ幅に作成されることが好ましい。図19の各ドライバは、4つの金属相互接続に跨っているため、ドライバを4層の深さに積み重ねれば、X₀ドライバセット605全体を所要のパラメータ内に確実に収めることができる。一般論として、もし1つの線ドライバ群にN個の線ドライバが含まれ、且つ1つのメモリセルが幅Wに作成されたとすると、これらのドライバをクロスポイントメモリアレイの下に完全に収めるためには、線ドライバ群はN×Wを超える幅を有してはならない。

【0043】

なお、ドライバだけでなく、追加の周辺回路構成も必要とされる場合がある点に留意する必要がある。例えば、ドライバは、一次デコーダおよび二次デコーダの両方へのアクセスを必要とする場合がある。一次デコーダは、例えば8つのドライバからなる等の1つのドライバ群（例えば1910）を選択することはできるが、特定の1つのドライバを選択することはできず、二次デコーダは、1つのドライバ（例えば1915）を選択することはできるが、8つのドライバからなる特定の1つのドライバ群を選択することはできない。図19には、二次デコーダの接続は示されていないが、一次デコーダは、金属相互接続配線1920を通して8ドライバからなるドライバ群をアクティブにする。一次デコーダによって、例えば16ドライバからなるドライバ群が選択された場合は、金属相互接続配線1920は、8ドライバからなる別の1ドライバ群の金属相互接続配線に繋がれる。そして、二次デコーダによって、16ドライバからなるそのドライバ群の中から1ドライバが選択される。追加の周辺回路構成に関しては、後ほど更に詳述される。もしクロスポイントメモリアレイの下に余裕があるならば（例えば図14Bに示された構成）、一次デコーダおよび二次デコーダのために必要とされる追加の周辺回路構成の少なくとも一部をクロスポイントメモリアレイの下に配置することが可能である。

【0044】

図20Aは、一次デコーダ、二次デコーダ、およびアース（または他の基準電圧）へのアクセスを必要とするドライバ1915として可能なドライバ概略を示している。ドライバ1915は、パステデバイス（1つのPチャネルトランジスタ2005および1つのNチャネルトランジスタ2010）と、接地トランジスタ2015とで構成される。接地トランジスタ2015は、パステデバイスにどのように接続されるかに応じてnチャネルトランジスタおよびpチャネルトランジスタのいずれかでよい。

【0045】

図20Bは、ドライバ1915を構成する3つのトランジスタ2005、2010、2015の1レイアウトを示している。パステデバイスを構成する一方のトランジスタ2005は、pチャネルトランジスタであるため、半導体基板のnドープト部分2020に作成する必要がある。場所を節約するため、各トランジスタ2005、2010、2015は、8ドライバからなるドライバ群1910の中の別の1ドライバ1925の各トランジスタとの間でノード2025、2030、2035を共有する。これらのノードを共有できるのは、8ドライバからなるドライバ群1910において、各ドライバのパステデバイスが一次デコーダからの同じ入力1920を受信し、且つドライバの第3のトランジスタが接地されているからである。

【0046】

周知のプロセス工程を通じて各種の接続形態を実現することができる。図21Aは、第1の金属層を堆積させた後のドライバ1915を示している。第1の金属層は、ドライバ1915から他の周辺回路構成および/または他のドライバへの垂直接続2105、2110、2115、2120を提供するものである。接地トランジスタ2015は、その接地垂直接続2115を、ドライバ1915、1925と水平位置を同じくする全ての接地トランジスタとの間で共有することができる。しかしながら、負荷を軽減するためには、これらのドライバを全て繋ぎ合わせることもない別の配置を取ることにも可能である。同様に、二次デコーダからの入力を受けるドライバ1915の各トランジスタ2005、20

10

20

30

40

50

10, 2015のゲートも、8ドライバからなるドライバ群1910との関連において同じ位置を占める他のドライバのゲートとの間で垂直接続2105, 2110, 2115を共有することができる。図21Aには示されていないが、接地トランジスタ2015のゲートとpチャネルトランジスタ2005のゲートとは、図20Aに示されるように、二次デコーダからの同じ入力によって駆動される。

【0047】

図中には、各トランジスタ2005, 2010, 2015を対応する各垂直接続2105, 2110, 2115, 2120に接続するものとして、単一のバイア2125, 2130, 2135, 2140が示されている。しかしながら、性能の向上を図るために、複数のバイアを使用することも可能である。同様に、やはり性能の向上を図るために、1つの特徴のサイズよりも幅広の他の設計の垂直接続2105, 2110, 2115, 2120を使用することも可能である。

10

【0048】

図21Bは、第2の金属層を堆積させた後のドライバ1915を示している。第2の金属層は、3つのトランジスタ2005, 2010, 2015を論理的に接続する水平接続2145, 2150, 1920を提供する。パステバイスのトランジスタ2005, 2010は、2つの水平コネクタ2145, 1920によって繋ぎ合わされる。また、パステバイスのノード2025, 2030を接続する、2つのドライバ1915, 1925に共通する水平コネクタ1920は、ドライバ1915の境界を越えて、8ドライバからなるドライバ群1910の他のドライバにまで達しており、一次デコーダからの信号を運ぶ働きをする。

20

【0049】

水平コネクタ2150は、接地トランジスタ2015を、パステバイスのトランジスタ2005, 2010に接続する。一実施形態では、コネクタ2145, 2150を同一の線にすることによって、3つ全てのトランジスタ2005, 2010, 2015を確実に繋ぎ合わせる。水平コネクタ2150は、ドライバ1915を対応する伝導性アレイ線に連結する金属相互接続線の開始点であるので、伝導性アレイ線と同じ線ピッチであることが好ましい。図19に示されるように、第2の金属層上には、8ドライバからなるドライバ群1910の中の他のドライバからの他の金属相互接続も形成される。より多くの金属層を使用する他の実施形態も可能であるが、そのような設計は、製造プロセスを更に高コスト化する結果となるのが一般的である。

30

【0050】

ドライバの最後の列1930のレイアウトは、先行する3つの列1935, 1940, 1945とは僅かに異なる。回路構成は、最小ピッチとされる8アレイの線ピッチで配置され、且つ8本の伝導性アレイ線を駆動するので、パステバイスの共通ノードを駆動する線1920のためのスペースが残されていない。図22は、最後の列1930のドライバのレイアウトを示している。パステバイス2225のゲート2205, 2210, 2215, 2220は、エクステンション2230, 2235, 2240, 2245によって延長される。パステバイス2225の延長は、最後の列1930の幅を広くする。しかしながら、このように延長すれば、第1の金属層を、パステバイス2225内の水平接続および垂直接続の両方に使用することが可能になる。

40

【0051】

図23Aは、第1の金属層を堆積させた後の、最後の列1930のドライバを示している。垂直接続2310, 2315, 2320, 2325は、パステバイス2225の外側に位置しているので、水平コネクタ2305は、パステバイス2225の共通ノードに直接に接続することができる。また、水平コネクタ2305は、バイア2330の開始点に達しているので、こうして、最後の列1930は、一次デコーダからの入力1920を受信することができる。

【0052】

図23Bは、第2の金属層を堆積させた後の、最後の列1930のドライバを示してい

50

る。一次デコーダからの入力 1920 は、バイア 2330 を通してパステデバイス 2225 に信号を送る。バイア 2330 は、第 1 の金属層上の水平接続 2305 に接続している。このようにして、一次デコーダからの入力 1920 を第 1 の金属層のレベルに下げれば、第 2 の金属層上に追加の配線を設けることが可能になるので、したがって、8 ドライバからなるドライバ群 1910 からの 8 つ全ての金属相互接続 1905 を最小の線ピッチでびたりと収めることができる。

【0053】

<クロスポイントメモリアレイの設計> :

これらの基板工程 (Front end of line, FEOL) プロセス (上述された例では、図 21B および図 23B で説明された金属配線層を含む) が完了すると、次は、アクティブ回路構成の上にクロスポイントメモリアレイを作成することができる。図 24 は、上側 2 層の X 方向伝導性アレイ線 430, 435 にスルー 2405, 2410 を使用した場合の、典型的な積層型クロスポイントメモリアレイ 400 を示している。当業者ならば理解できるように、周辺回路構成を Y 方向伝導性アレイ線 440, 445 に接続する場合も、やはり同様のスルーを使用することができる。

10

【0054】

X₁ 層 430 を周辺回路構成に接続するスルー 2405 は、少なくとも 2 枚の層間絶縁膜 (ILD) 層 2415, 2420 を通る。ILD 層は、伝導性アレイ線と伝導性アレイ線とを分離すること、および伝導性アレイ線が何もない空間を跨がなくてよいように伝導性アレイ線のための基板を提供することを含む、いくつかの機能を提供する。

20

【0055】

X₂ 層 435 を周辺回路構成に接続するスルー 2410 は、少なくとも 4 枚の ILD 層 2415, 2420, 2425, 2430 を通る。スルー 2405, 2410 は、メモリ層の場合と同じ処理工程を一部共有できるものの、伝導性アレイ線を周辺回路構成に接続するために、伝導性材料 2435 を使用する必要がある。伝導性材料 2435 は、一般に、予定される領域をメモリ層の堆積時にマスクで覆うことを含む、別個の処理工程を経て堆積される。

【0056】

<ドライバの設計> :

図 25A および図 25B の典型的な実施形態に図示されるように、各伝導性アレイ線 205, 210, 220, 225, 230, 235, 240 は、パステデバイス 2505, 2510, 2515, 2520, 2525, 2530, 2535 (1 つの n 型トランジスタと 1 つの p 型トランジスタとからなる) に関連付けられている。各トランジスタのゲート電圧は、選択された伝導性アレイ線 205, 210 が一次デコーダ 2540 からの電圧を引き渡し可能であるように調整することができる。引き渡される電圧は、書き込み操作中における一次デコーダ 2540 からの全電圧 (例えば大きさ 3 ボルト)、読み出し操作中における部分電圧 (例えば大きさ 2 ボルト)、または選択されなかった非選択モードの線のための無電圧のいずれかであることが可能である。したがって、パステデバイス 2505 は、ある種の変調回路として、復号化回路構成の一部として機能することによって、1 本の伝導性アレイ線を読み出し電圧または書き込み電圧によってオン (「選択状態」) にするとともに、その他の伝導性アレイ線をオフ (「非選択状態」) にすることができる。図 25A は、その論理的接続を示しており、図 25B は、論理的接続は同じだが物理的レイアウトが異なる (パステデバイスを伝導性アレイ線の両端に互い違いに配置している) 場合の接続を示している。

30

40

【0057】

あるいは、パステデバイス 2505, 2510, 2515, 2520, 2525, 2530, 2535 の代わりに単一のトランジスタを使用することもできる。ただし、このようなトランジスタは、ゲート電圧として大振幅の電圧を引き渡し可能である必要がある。例えば、n チャネルトランジスタは、そのゲートが閾値電圧に 3 V を加えた電圧に保持される場合に、全電圧 3 V を引き渡す。単一のトランジスタは、部分的にのみオンにする操作

50

によって、やはり変調回路として機能することができる。

【0058】

もう1つの実施形態では、ゲート回路の上流側で変調を実施することによって、ゲート回路への入力に既に適切な読み出し電圧または書き込み電圧であるようにする。この実施形態では、ゲート回路は、第1の選択モード（ほぼ全入力電圧を引き渡すモード）および非選択モード（ほぼ無電圧を引き渡すモード）のみを有する。

【0059】

選択されなかった伝導性アレイ線220, 225, 230, 235, 240は、定電圧に保持されていない場合にフローティングしていると見なされる。これは、回路の設計上、一般に推奨されない状態である。具体的に言うと、例えば、もし、選択されなかった1本のY方向伝導性アレイ線240が-3ボルトでフローティングしていると、問題が生じる。もし、選択されたX方向伝導性アレイ線205が3ボルトで且つ選択されたY方向伝導性アレイ線210が-3ボルトである場合は、2つのセル215, 2545で6ボルトの降下が見られる。これは、両セルの抵抗状態に支障をきたす恐れがある。

10

【0060】

図26Aは、選択されなかった伝導性アレイ線220, 225, 230, 235, 240が望ましくない電圧でフローティングするのを阻止するための1つのメカニズムを示している。読み出し操作または書き込み操作に先立つ時点では、各パステデバイス2505, 2510, 2515, 2520, 2525, 2530, 2535は各自のトランジスタを両方ともオンにされ、一次デコーダ2540は非アクティブにされ、基準電圧生成器2605は何らかの基準電圧にある（接地されていると見なされる）。したがって、伝導性アレイ線205, 210, 220, 225, 230, 235, 240は、全て、基準電圧にプルされている。読み出し操作中または書き込み操作中の時点では、基準電圧生成器2605は非アクティブにされ、一次デコーダ2540はアクティブにされ、適切なパステデバイス2505, 2510のみがオンにされる。その結果、選択された伝導性アレイ線205, 210はドライバ電圧になる。選択されなかった伝導性アレイ線220, 225, 230, 235, 240は、読み出し操作中または書き込み操作中の時点でフローティング状態にあるものの、通常の読み出しサイクルまたは書き込みサイクルに必要とされる期間中、各自の寄生容量によって基準電圧に維持されると考えられる。しかしながら、寄生容量は、側方に結合された容量によって不利な影響を受ける。その結果、選択された伝導性アレイ線205, 210に隣接する選択されなかった伝導性アレイ線220, 225, 230, 235にかかる電圧が引き上げられる。

20

30

【0061】

図26Bは、選択されなかった伝導性アレイ線220, 225, 230, 235, 240が望ましくない電圧にフローティングするのを阻止するためのもう1つのメカニズムを示している。各伝導性アレイ線205, 210, 220, 225, 230, 235, 240は、アクティブにされると対応する各アレイ線を接地することができる接地パステデバイス2610, 2615, 2620, 2625, 2630, 2635, 2640に関連付けられている。

【0062】

接地パステデバイス2610, 2615, 2620, 2625, 2630, 2635, 2640は、（図26Aに関連して上述された操作と同様に）読み出し操作もしくは書き込み操作に先だつてアクティブにされてもよいし、1本の伝導性アレイ線の選択によってトリガされてもよいし、または常にオン状態に維持されてもよい。もし常にオン状態にある場合は、接地パステデバイス2610, 2615, 2620, 2625, 2630, 2635, 2640は、大地へのリークによる影響が小さく抑えられるように、復号化パステデバイス2505, 2510, 2515, 2520, 2525, 2530と比べて相対的に小さい必要がある。

40

【0063】

もし、接地パステデバイス2610, 2615, 2620, 2625, 2630, 263

50

5, 2640が1本の伝導性アレイ線の選択によってトリガされる場合は、1本のX方向伝導性アレイ線205を選択するプロセスは、選択された伝導性アレイ線205に関連付けられた復号化パスデバイス2505をアクティブにし且つ接地パスデバイス2610を非アクティブにする一方で、選択されなかった伝導性アレイ線220, 225に関連付けられた復号化パスデバイス2515, 2520を非アクティブにし且つ接地パスデバイス2635, 2640をアクティブにする。同様に、1本のY方向伝導性アレイ線210を選択するプロセスは、選択された伝導性アレイ線210に関連付けられた復号化パスデバイス2510をアクティブにし且つ接地パスデバイス2615を非アクティブにする一方で、選択されなかった伝導性アレイ線230, 235, 240に関連付けられた復号化パスデバイス2525, 2530を非アクティブにし且つ接地パスデバイス2620, 2625, 2630をアクティブにする。

【0064】

図26Cは、図26Bを改善したものである。ただし、この形態では、パスデバイス2610, 2615, 2620, 2625, 2630, 2635, 2640の代わりに単一のトランジスタ2645, 2650, 2655, 2660, 2665, 2670, 2675が使用されている。トランジスタ2645, 2650, 2655, 2660, 2665, 2670, 2675がnチャネルデバイスである場合は、これらは、各自のゲート電圧が閾電圧以上に保持された場合にのみオンにされる。同様に、もしトランジスタ2645, 2650, 2655, 2660, 2665, 2670, 2675がpチャネルデバイスである場合は、これらは、各自のゲート電圧が負の閾値電圧以下に保持された場合にのみオンになる。したがって、適切なゲート電圧によって、伝導性アレイ線を完全に放電することができる。

【0065】

この単一のnチャネル(またはpチャネル)トランジスタの実施形態は、サイクルの初めに使用するか、または復号化パスデバイス2505, 2510, 2515, 2520, 2525, 2530, 2535のnチャネル(またはpチャネル)部分用のアクティブ化信号の逆によって使用するか、のいずれかであり、図26Dに示されるように、いくつかの実施形態では、単一のnチャネル(またはpチャネル)トランジスタのアクティブ化信号として、単純に復号化パスデバイス2505, 2510, 2515, 2520, 2525, 2530, 2535のpチャネル(またはnチャネル)部分のアクティブ化信号を使用している。

【0066】

図26Eは、選択されなかった伝導性アレイ線220, 225, 230, 235, 240が望ましくない電圧でフローティングするのをトリステート出力ドライバ(以下、3出力ドライバ)2680の使用によって阻止するための1つのメカニズムを示している。3出力ドライバ2680は、全ての復号化パスデバイス2505, 2510, 2515, 2520, 2525, 2530, 2535に対して電圧を送るので、このようなメカニズムは、特定の伝導性アレイ線が選択されている状態では使用することができない。したがって、3出力ドライバ2680は、読み出し操作または書き込み操作のいずれかに先立ってフローティング電圧を放電するために使用することができる。あるいは、3出力ドライバ2680は、選択されなかった列に関して使用される場合に限り、読み出し操作中または書き込み操作中に使用することができる。

【0067】

図27は、3出力ドライバ2680として可能な1つの構成を示しており、pチャネルトランジスタ2705とnチャネルトランジスタ2710とが直列に配置されている。nチャネルトランジスタ2710は、基板を負の電圧に繋がれるので、CMOSロジックとは別のウェルであり、pチャネルトランジスタ2705のソースは、 $+1/2V_{DD}$ (例えば+3V)の電圧源に接続され、nチャネルトランジスタ2710のソースは、 $-1/2V_{DD}$ (例えば-3V)の電圧源に接続される。いずれのトランジスタのドレインも、復号化パスデバイス2505, 2510, 2515, 2520, 2525, 2530, 253

5の全ておよび接地トランジスタ2715の両方に接続される。線全体を放電するためには、接地トランジスタ2715が、図26Cに関連して説明されたような適切なゲート電圧を有するか、またはパステデバイスであるかのいずれかである必要がある。3出力ドライバ2680は、トランジスタ2705, 2710, 2715のいずれか1つのみがオンで且つ残りの2つがオフである場合に機能する。

【0068】

実施形態に応じて、ドライバ2540または3出力ドライバ2680のいずれかが、復号化パステデバイス2505, 2510, 2515, 2520, 2525, 2530, 2535に $+1/2V_w$ もしくは $-1/2V_w$ を供給できなければならない。なぜならば、ある方向($+V_w$)に電圧パルスを印加すると、メモリセルの抵抗状態は R_0 から R_1 に減少し、反対の方向($-V_w$)に電圧パルスを印加すると、メモリセルの抵抗状態は R_1 から R_0 に増大するからである。

10

【0069】

電圧降下の極性は、読み出し中は重要でない。メモリセルの抵抗状態は、X方向伝導性アレイ線205がY方向伝導性アレイ線210と比べて V_R (例えば4V)高いのか低いのかにかかわらず検出することができる。しかしながら、長期におよぶ読み出しによってメモリ素子が受ける妨害を減らすためには、読み出しの極性を交互に変化させることが望ましい。

【0070】

また、書き込みが必要であることを保証するために、書き込み操作に先だって読み出し操作を行うことができる。すなわち、 $+V_w$ は、 R_0 抵抗状態にあるメモリプラグにのみ印加されることが望ましく、 $-V_w$ は、 R_1 抵抗状態にあるメモリプラグにのみ印加されることが望ましい。メモリセルが状態の変化を必要とする場合にのみ電圧パルスが使用されるようにすれば、メモリセルは、 R_1 より低い抵抗状態もしくは R_0 より高い抵抗状態になることも、または特定のメモリセル内で生じる任意の劣化に影響されることもなくなる。また、書き込み操作が回避されれば、非選択セルへの妨害が軽減され、選択セルの耐久性が向上されるので、そうして、クロスポイントメモリアレイに及ぼされる不必要なストレスを回避することができる。しかしながら、適応プログラミング方式を使用すれば、書き込み操作に先立つ読み出し操作の必要性を排除することができる。適応プログラミング方式については後述される。

20

30

【0071】

書き込み操作に先立って読み出し操作が使用される場合は、読み出しの極性は、もし必要であれば、続く書き込み操作と同じ極性であってよい。例えば、もし、書き込まれるデータが「0」である場合は、選択されたX方向伝導性アレイ線205は+3Vであり、選択されたY方向伝導性アレイ線210は-3Vである。したがって、もし、書き込みに先立つ読み出しで、選択されたX方向伝導性アレイ線205に+2V、Y方向伝導性アレイ線210に-2Vが使用された場合は、回路構成は、伝導性アレイ線205, 210でそれぞれ1Vずつの切り替えを行えばよい。これは、合計5Vの電圧切り替えを必要とする他のケース(選択されたX方向伝導性アレイ線205に-2V、Y方向伝導性アレイ線210に+2Vが使用されたケース)よりも好ましい。

40

【0072】

<放電のタイミング>:

メモリセルは、非常に小さい電流によってプログラム可能であるので、伝導性アレイ線をフローティングさせた状態は、妨害条件を生じる恐れがある。もし、選択されなかった伝導性アレイ線が何らかの事情で充電状態に留まっていると、そのアレイ線の電圧は、そのアレイ線上の非選択セルの状態に影響しうる十分な高さの電圧になる可能性がある。

【0073】

電圧の印加後に、選択された伝導性アレイ線を放電することは、妨害条件を回避するのに有用であるだけでなく、伝導性アレイ線を1つの状態から別の状態へと素早く駆動するのに十分な強さの線ドライバを持たない他のアーキテクチャでも必要となると考えられる

50

。前述のように、再プログラム可能なメモリは、少なくとも3種類の異なる操作電圧を印加される。すなわち、 $-V_W$ （高い状態へとプログラムされる）、 $+V_W$ （低い状態へとプログラムされる）、および V_R （セル内のデータを読み出す）である。各伝導性アレイ線は、一般に、全電圧の半分を帯びるので、アレイのなかの選択されたセルのみが全電圧を引加される。このようなシステムでは、伝導性アレイ線は、 $+V_W/2$ に保持された直後に $-V_W/2$ に駆動されるように求められる可能性がある。

【0074】

最もよくある基準電圧は大地であるので、基準電圧の印加は「放電」と称される。しかしながら、線を等化する（すなわちコモンノードに繋ぎ合わせる）ことによって、同じ目的を実現することも可能である。

【0075】

図28は、アレイ線を放電するために使用される書き込み選択信号（「書き込み許可#」と表示されている）の立ち下がり示したタイミング図である。実際の書き込み操作は、アドレス信号およびデータ信号をラッチされている状態で、書き込み許可#信号の立ち上がりによってトリガされる。この立ち下がりを使用すると、伝導性アレイ線は、書き込み操作に先立って放電される。書き込み操作に関連したデータ情報およびアドレス情報は、伝導性アレイ線が放電されるまで、メモリアレイに供給されない。

【0076】

図29は、伝導性アレイ線を放電するために使用される書き込み選択信号の立ち下がり示したタイミング図である。書き込み選択信号が状態を変化させるとき、データ信号およびアドレス信号は、大抵は、既に供給され安定した状態になっている。しかしながら、書き込み操作は、放電時間ぶんだけ遅延される。その結果、書き込み操作は遅延され、メモリチップの性能は低速化されるので、これは、一部のアーキテクチャでは好ましくない可能性がある。

【0077】

図30は、書き込み操作の終わりに伝導性アレイ線が放電される場合のタイミング図である。書き込み操作が長引くと、メモリ素子が飽和する、または損なわれる恐れがあるので、内部書き込み操作を終結させるために、タイマが使用される。内部書き込みタイマパルスの立ち下がり、放電パルスをトリガするために使用される。タイマを使用することによって、アレイ線は、書き込み操作後に充電されることなく更なる操作に備えられることを保証される。

【0078】

図31は、書き込みモードの選択時、および内部書き込みタイマパルスによって定められる書き込み操作の終了時の両方でアレイ線が放電される場合のタイミング図である。当業者ならば理解できるように、他にも多くの放電方式を同様に組み合わせ、操作の向上を図ることが可能である。

【0079】

図32は、書き込み選択信号の立ち下がり、およびデータまたはアドレスの遷移によってアレイ線が放電される場合のタイミング図である。このような放電パルスは、図34に関連して後ほど詳述される信号遷移検出器によって得られる。このような方式は、書き込み選択信号の切り替わり時以外で放電が必要とされる場合、または1つのアドレス信号または1つのデータ信号のみが切り替わる場合にとりわけ有用である可能性がある。

【0080】

図33は、複数の異なる時点でアドレスが切り替わる場合のタイミング図である。アドレスの変化は、複数の信号遷移パルスを生成する。これらのパルスは、論理ORの形で組み合わせられて遷移検出パルスを生成する。論理OR演算された遷移信号は、放電信号として機能する、または放電信号をトリガすることができる。

【0081】

第1のアプローチでは、アドレスが復号化されている最中に、放電信号が伝導性アレイ線に供給される。アドレスバスは、複数の異なる時点で切り替わる複数のアドレス信号を

10

20

30

40

50

有しており、放電パルス生成回路構成は、内部遅延を生じる可能性があるため、選択されなかったアレイ線の一部は、図33の「X, Yアレイ線」で示されるように、瞬間的に切り替わって誤ったメモリセルを一時的に選択する可能性がある。読み出し操作中は、このような切り替えノイズが後続の読み出し操作を妨害する可能性がある。

【0082】

第2の、より好ましいアプローチでは、アレイ線のデコーダに送られるアドレス信号が十分に遅延されるので、アレイ線は放電パルス期間中に切り替わる。このような方式は、選択されなかったメモリセルを誤って選択することのないクリーンな操作を伝導性アレイ線に保証することによって、図33の「アドレスを遅延されたX, Yアレイ線」で示されるように、切り替えノイズを低減させる。このような方式は、更に、メモリチップが書き込みモードにある間に新しい書き込みが新しいデータまたはアドレスによってトリガされるような、連続的な書き込み操作に使用することができる。アドレスの遷移がクリーンであること、そして途中でアレイ線が選択されないことを保証することによって、選択されなかったメモリセルを妨害することなく書き込みサイクルを実現することができる。

10

【0083】

検出回路は、様々に作成することができる。図34Aは、検出回路3400の典型的な概略図である。検出回路は、論理ANDゲート3405であり、入力信号3410（エッジを検出される）と、同信号3410を遅延させ且つ反転させた後の信号3415とを比較する。この信号3410が遷移を生じると、遅延され且つ反転された遷移3415は、信号3410自体よりも遅れてANDゲート3405に到着する。ゲートの出力3420は、遅延された信号がANDゲートに達しない間に切り替えを生じてパルス生成する。図34Bは、検出回路のタイミングを示している。

20

【0084】

立ち上がりおよび立ち下りの両方を検出する場合は、このような回路を2つ組み合わせ、反転入力とOR演算出力を複数ずつ設けることが可能である。いずれかのエッジ（立ち上がりまたは立ち下り）のみでトリガしたい場合は、このような回路を1つだけ使用すればよい。

【0085】

このような組み合わせは、全てのアドレス信号および制御信号について繰り返すことができ、更に、これらの回路からの全ての出力を論理OR演算すれば、どの信号に遷移が生じた場合でもパルス生成することができる。上述されたように、こうして得られたパルスは、アレイ線を放電するのに適した幅のパルスをトリガするために使用することができる。そして、この遷移検出パルスは、メモリ回路の複数の異なる素子を制御するために使用することができる。

30

【0086】

<単一トランジスタアレイの設計>：

クロスポイントメモリアレイは、2端子メモリ素子と併用できる唯一のタイプのメモリアレイではない。図35は、二次元トランジスタメモリアレイ3500の形に並べられたメモリセルの概略図である。トランジスタメモリアレイ3500の各メモリセルは、選択線3505, 3510, 3515の1本と、データ線3520, 3525, 3530, 3535の1本と、基準線3540, 3545の1本とに接続される。ある一実施形態では、全ての基準線3540, 3545が、同じ電圧に保持される、あるいはことによると互いに繋ぎ合わされている。したがって、1本の選択線3510と1本のデータ線3525とは、1つのメモリセル3550を一意的に定める。

40

【0087】

選択線3505, 3510, 3515を電界効果トランジスタ(FET)のゲートに接続することによって、選択線3505, 3510, 3515は、データ線3520, 3525, 3530, 3535からの電流がメモリプラグを流れられるか否かを制御することができる。トランジスタメモリアレイ3500では、メモリプラグ(例えば3555)へのアクセスを制御するものとして、nチャネルFETが描かれているが、他の多くの半導

50

体デバイスを使用することが可能である。このようなデバイスとしては、pチャネルFET、pnptランジスタ、npnトランジスタ、ダイオード、そして、p型基板内のp接合およびNウェルとからなる縦型の寄生バイポーラトランジスタ等の他の多くのデバイスが挙げられる。

【0088】

また、半導体デバイスは、メモリプラグ3555と基準線3540との間、またはメモリプラグ3555とデータ線3525との間のいずれかに配置することができる。いずれの構成の場合も、半導体デバイスは、オフにされたときに、メモリプラグがデータ線3525と基準線3540との間の電圧降下を受けないように阻止することができる。ただし、前者の場合は、メモリプラグは、依然としてデータ線3525の変化に関連した電圧の変化を受ける。しかしながら、電圧降下は受けずに済む。それに対して、図35の構成では、メモリプラグは、半導体デバイスが非アクティブである限り、データ線3525の電圧から絶縁されている。

10

【0089】

データ線3520, 3525, 3530, 3535は、読み出し操作の際に、メモリセルからのデータを運ぶとともに、書き込み操作の際に、メモリプラグの抵抗状態を変化させるのに適した電圧パルスを提供する。データ線3520, 3525, 3530, 3535のなかから特定の1本を選択するために使用される選択回路構成は、一般に、選択トランジスタメモリアレイ3500の外側に配置される。

20

【0090】

表3は、本発明として考えられる一実施形態においてアレイに印加することができる操作電圧を示している。

【0091】

【表3】

	選択された データ線	選択されなかった データ線	選択された 選択線	選択されなかつ た選択線	基準線
読み出し	1V	フローティン グまたは 0V	3V	-2V	0V
書き込み 1	-2V	フローティン グまたは 0V	3V	-2V	0V
書き込み 0	2V	フローティン グまたは 0V	3V	-2V	0V

30

【0092】

表3の実施形態では、基準線3540, 3545は、接地された状態を維持する。一度に2つ以上のセルをアクティブにすると、寄生抵抗に起因した電圧降下が生じる可能性がある。この問題を回避するために使用できる技術は、1つには、全ての基準線(例えば3540と3545)を一定間隔で繋ぎ合わせる技術である。例えば、データ線に平行する線を64セルごとに含ませれば、望ましくないあらゆる電圧降下を改善できる可能性がある。使用される技術如何にかかわらず、基準線は、一般に、定電圧に維持されることが望ましい。

40

【0093】

読み出し操作中において、選択されたメモリセルは、 V_R' の電圧降下を受ける。なお、電流は、選択された選択線3510に沿った選択されなかったメモリプラグにも流れる

50

。選択された選択線 3510 に沿った選択されなかったメモリセルは、 n チャネル FET をアクティブにされ、その結果、電流を流れさせる。しかしながら、復号化回路構成は、選択されたデータ線 3525 からのみ情報を読み出すので、選択されなかったデータ線 3520, 3530, 3535 を流れる電流は、選択されたメモリセル 3550 に格納された値の決定と無関係である。しかしながら、フローティングしている選択されなかったデータ線 3520, 3530, 3535 の電圧は、選択されなかったメモリセルの抵抗状態を変化させることができる正の閾電圧 (V_{wth}) または負の閾電圧 ($-V_{\text{wth}}$) のいずれも超えてはならない。あるいは、もし、寄生容量または他の何らかの相関メカニズムが、高すぎるまたは低すぎる電圧フローティングを阻止するのに十分であると見なされないならば、選択されなかったデータ線 3520, 3530, 3535 は、 V_{wth} と $-V_{\text{wth}}$ との間の何らかの電圧 (基準電圧等) に保持される場合がある。

【0094】

その他の選択されなかったメモリプラグの n チャネル FET は、所要の閾値ゲート電圧を超えるゲート電圧を有さないので、電流は、これらのその他の選択されなかったメモリプラグを流れることはない。選択されたデータ線 3525 に沿った選択されなかったメモリセルは、 -2V のゲート電圧を有する。これは、 1V である選択されたデータ線 3525 の電圧よりも、 0V である基準電圧よりも低い。読み出し操作中の選択されなかった選択線 3505, 3515 としては、もちろん、 0V またはそれ未満の任意の値を使用することも可能である。理解できるように、 -2V の値は、読み出し操作から書き出し 1 操作への素早い遷移を可能にするために使用される。同様に、選択されなかったデータ線 3535 および選択されなかった選択線 3515 の両方に沿った選択されなかったメモリプラグ 3565 は、 -2V のゲート電圧を有する。これは、 -2V 未満にフローティングできない選択されなかったデータ線よりも、 0V である基準電圧よりも低い。

【0095】

書き込み 1 操作は、メモリセルを R_1 状態にする。同様に、書き込み 0 操作は、メモリセルを R_0 状態にする。選択されなかったメモリセルは、対応するゲートがアクティブにされないか、または対応するラインが V_{wth} と $-V_{\text{wth}}$ との間でフローティングするだけかのいずれかであるので、書き込み操作による影響を受けない。

【0096】

内部書き込み電圧を生成するため、2つのオンチップ電圧変換器は、通常 3V または 1.8 であるチップ電源を、所要の値に変換することができる。一方の電圧変換器は、例えば 2V 信号を生成することができ、もう一方の電圧変換器は、 -2V 信号を生成することができる。

【0097】

図 36 は、トランジスタメモリアレイ 3500 で使用できるメモリセル 3550 を図式化した断面図である。各メモリセル 3550 は、トランジスタ 3605 と、メモリプラグ 3610 とを有する。トランジスタ 3605 は、自身のゲートでもある選択線 3510 に適切な電圧を印加された際に、データ線 3525 からの電流をメモリプラグ 3610 に流れさせるために使用される。もし、隣り合う 2 つのセルが互いの鏡像を成しているならば、基準線 3540 は、それら 2 つのセルに跨ることができる。

【0098】

製造プロセス (例えば、溶液ベースのスピンとそれに続く高温アニール、パルスレーザ堆積、スパッタリング、および有機金属化学気相成長) 次第では、メモリプラグ 3610 の下に形成される選択線 3505, 3510, 3515 やいくつかのバイアス 3620, 3625 等の層として、ポリシリコン、シリサイド、および / または耐熱金属等の物質の使用を必要とする製造温度を伴う場合がある。ポリシリコンおよびシリサイドが $3 \sim 30 / \mu\text{m}$ の抵抗を有するのに対して、銅金属線の抵抗は $0.1 / \mu\text{m}$ 未満であるのが一般的である。したがって、ポリシリコンまたはシリサイドを使用した特定の実施形態では、選択線方向よりもデータ線方向にかなり長いチップを有する場合がある。

【0099】

10

20

30

40

50

メモリプラグ 3610 を堆積させた後に、これ以上の高温プロセスが必要とされない限りは、基準線 3540、メタルプラグ 3635、3640、バイア 3615、3630、3645、3650、およびデータ線 3525 等の後続の層として、より標準的な伝導性金属を使用する（例えばバイアとして銅またはタングステンを使用する等）ことができる。メタルプラグ 3635、3640 は、メモリプラグ 3610、3655 の堆積後にバイア 3615、3630、3645、3650 を接続するために使用できる技術の 1 つである。

【0100】

なお、図示されているメモリプラグ 3610、3655 の形状は、単なる一実施形態に過ぎず、どのトランジスタメモリアレイ 3500 でも同じとは限らない。例えば、特定の
10 プロセスでは、メモリプラグ 3610、3655 を、下にくるバイア 3620、3625 と同寸法に作成してよい。更に他のプロセスでは、トランジスタのドレイン上にメモリプラグ 3610、3655 を直接に堆積させてよく、したがって、メモリプラグ 3610、3655 の下のバイア 3620、3625 は不要である。

【0101】

<メモリチップの構成>：

図 37A は、典型的な 1MB メモリ 3700 の代表的な一実装形態を表したブロック図
20 である。物理的レイアウトは様々に異なってよいが、各メモリビットブロック 3705 は、一般に、半導体基板上の個別の部分にそれぞれ形成される。なお、メモリチップは、メモリアレイを使用できる唯一のタイプのチップではなく、他にも多くのタイプのチップが、同じ基板上に形成されたメモリの恩恵に授かることができる。例えば、多くの携帯機器用途では、高速不揮発性 L1 キャッシュにアクセスできるマイクロプロセッサが有益である。

【0102】

図 37A に示されるように、メモリ 3700 に対する入力信号は、アドレスバス 3730 と、制御バス 3740 と、いくつかの電源 3750 と、データバス 3760 とを含むことができる。制御バス 3740 は、一般に、チップを選択するための信号と、書き込み操作または読み出し操作のいずれが実施されるべきかを知らせるための信号と、チップが読み出しモードにある際に出力バッファを有効にするための信号とを含む。アドレスバス 3730 は、メモリアレイ内のどの位置がアクセスされるかを指定する。一部のアドレスは、水平アレイ線の 1 本を選び出すために、X ブロック 3770（一般にプリデコーダと X
30 デコーダとを含む）に進む。その他のアドレスは、特定の垂直アレイ線に適切な電圧を印加するために、Y ブロック 3780（一般にプリデコーダと Y デコーダとを含む）に進む。各メモリビットブロック 3705 は、メモリチップデータバス 3760 の 1 線上で動作する。

【0103】

メモリアレイ 3720 からのデータの読み出しは、比較的端的である。すなわち、X アレイ線が通電され、検出回路 3710 によって電流が検出され、ビット表示の情報に変換される。図 37B は、複数のビットを読み出し可能な検出回路 3715 を有する典型的なメモリのブロック図である。複数ビットを同時に読み出すプロセスは、複数の Y アレイ線
40 から同時に電流を検出することを伴う。

【0104】

書き込み操作中、データは、データバス 3760 から入力バッファ & データドライバ 3790 へと、そして選択された垂直線、すなわちビット線へと供給される。具体的に言うと、メモリチップ 3700 に 2 値情報が送信されると、その情報は、回路 3790 内のラッチ回路に格納される。Y アレイ線は、各自それぞれ関連のドライバ回路 3790 を有することも可能であるし、あるいは、もし選択されなかったとある 1 つの Y アレイ線群が、対応する選択されなかったメモリプラグにいかなる抵抗変化も生じさせることのない定電圧に保持されるならば、その Y アレイ線群で単一のドライバ回路 3790 を共有することも可能である。次いで、ドライバ回路 3790 は、適切なサイクル期間中に適切なメモリ
50

プラグに1または0を書き込む。例えば、1024本のYアレイ線が1つのクロスポイントメモリアレイに含まれ、且つそのページレジスタに8つのラッチが含まれる場合がある。このような場合は、Yブロックは、128本のYアレイ線のなかの1本を復号化して、この選択された線をブロック3790に接続する。後述されるように、特定のメモリプラグは、相異なる複数の安定した抵抗状態を有することができる。このようなマルチレベルの抵抗を有するメモリプラグを使用すれば、ドライバ回路は、書き込み電圧振幅またはパルス長を変化させることによって、例えば00、01、10、または11等の状態をプログラムすることができる。

【0105】

なお、このようなアーキテクチャは、複数のアレイを有する場合、または前述のように複数のメモリビットブロックを有する場合と相対するものとして、1つのアレイによってデータバス全体のビットを扱うメモリを構成する場合にも拡張することができる。例えば、もし、データバス、またはデータ幅とも称されるメモリデータ編成が、16ビット幅である場合は、1つのクロスポイントメモリアレイのYブロックを、16本の線を同時に復号化するように構成することができる。1つのアレイのみを有するこのようなメモリチップは、同時読み出しおよび2サイクル書き込みの技術の適用によって、16ビットワードの読み出しおよびプログラムを行うことができる。

【0106】

< ページモードおよびバーストモード > :

ページデータの出力または入力に使用される技術には、「ページモード」および「バーストモード」としばしば称される、2つの一般的な技術がある。これらのモードは、いずれも、メモリの内部アーキテクチャを上手く活用したものである。このようなモードでは、連続したアドレスを有する複数のワードに、より高速にアクセスすることができる。なぜならば、X/Y選択は一度だけ実施され、「ページ」を構成する複数のワードに関するデータは一度に1ワードずつではなく、全て一度に読み出されるまたは書き込まれるからである。これら複数の連続したワードは、一度に一緒に読み出され、一般に、「ページ」または「情報セット」と称される。

【0107】

ページモードでは、アドレスの下位側のビットを使用することによって、個々のビットの読み出し順序または書き込み順序を決定することができる。したがって、これらアドレスのビットの組み合わせによって選択されるワードは、任意の順序であってよく、なかには、読み出しされないまたは書き出しされないワードがある場合もある。

【0108】

バーストモードは、内部の読み出し操作または書き込み操作についてはページモードと同様であるが、ページを構成するワードを順次に入力するまたは出力するために外部クロックが使用される。検出ブロックに続く復号化ブロックは、外部バーストクロックからのトリガ信号の受信に応じて単純に順次情報を出力するように構成することができる。こうすれば、トリガ信号の受信に応じて、自動的に、復号化ブロックから情報を読み出すまたはクロスポイントメモリアレイに情報を書き込むことができる。バーストモードがページモードよりも優れている点は、同じページ内の後続のワードを入力または出力するためにアドレスを復号化する必要がないことにある。この技術は、したがって、より高速のアクセス時間を可能にする。バーストモードがページモードよりも劣る点は、ページワードに対して決められた順序でしかアクセスできないことにある。

【0109】

ページモードまたはバーストモードの読み出しは、複数のYアレイ線を選択すること、それらのYアレイ線を検出回路に接続すること、そして、検出回路の出力を検出ブロックに続く復号化ブロックに接続してメモリ集積回路のピンに引き渡すのに適したデータを選択することによって実現することができる。ページモードまたはバーストモードの書き込みは、複数のYアレイ線を選択すること、それらのYアレイ線を同数のドライバに接続すること、そして、データ極性を同じくする全てのビットを並行して書き込む2サイクルシ

10

20

30

40

50

ーケンス（例えば、第1のサイクル中に2進数の1を全て書き込み、第2のサイクル中に2進数の0を全て書き込む）でドライバを通電することによって実現することができる。このとき、ドライバステージに先立つ復号化ステージが、メモリ集積回路のデータピンからのデータが適切なラッチで読み込まれることを保証する。

【0110】

図38Aは、2サイクル書き込み操作を実現するために使用できる典型的なラッチ3810、ドライバ3830、3840、および検出回路3850を示している。この回路は、1ビットの情報を格納するためのページラッチ3810と、ページラッチ3810および入力3880、3890からの信号を受信するANDゲート3860、3870と、インバータ3820と、2つのドライバ3830、3840とを含む。ページラッチ3810は、信号（1または0のいずれが受信されるかに応じて高信号または低信号のいずれかである）を保持するように構成される。同様に、入力3880、3890は、図38Bに示される信号シーケンスを受信するように構成される。当業者ならば理解できるように、書き込み1信号は、書き込みコマンドが受信された部分のサイクルでのみ高く、書き込み0信号は、書き込み1のサイクルの直後にくる部分のサイクルでのみ高い。なお、書き込み0操作および書き込み1操作の負荷サイクルは、システムクロックに対応する、またはシステムクロックの分数もしくは倍数に対応する、または非同期であることが可能である。

10

【0111】

高信号または低信号の受信に応じて、ページラッチ3810は、2サイクル書き込みを完了するのに必要とされる期間にわたって対応する高信号または低信号を発しつつける。この1または0を適切なメモリプラグに書き込むことを要求されると、回路構成は、図38Bの信号を各ANDゲート3860、3870に伝送する。具体的に言うと、第1のサイクル中は、1ドライバ3830に取り付けられたANDゲート3860の入力3880に高信号が送られ、次いで、第2のサイクル中は、もう1つの入力3890に高信号が送られる。すると、当業者ならば理解できるように、図38Cの表に示されるように、1ドライバ3830または0ドライバ3840のいずれかがトリガされ、Yアレイ線に書き込み電圧が印加される。要するに、ページラッチ3810に1つのビットが書き込まれると、このビットを2サイクルで関連のメモリプラグに書き込むために、1ドライバ3830または0ドライバ3840のいずれかがYアレイ線に+2Vまたは-2Vを印加する。また、1つのワードまたは他のメモリプラグ群の各Yアレイ線を、ドライバ回路群に電氣的に接続すれば、そのワードまたはデータ群の全体を2サイクルで書き込むことが可能になる。すなわち、2進数の1を1サイクル内に書き込み、2進数の0を別の1サイクル内に書き込むことが可能になる。

20

30

【0112】

これらのドライバ回路は、2サイクル書き込み操作を可能にするが、他方では、読み出しおよび書き込みを更に高速化するために、ページモードおよびバーストモードの両方で読み出し操作および書き込み操作を実施することも望まれている。前述のように、ページモードでの読み出し操作は、メモリセルから検出回路3850へと複数のワード（または複数の他のデータ群）を読み出すことによって実現される。すると、検出回路3850は、特定のワードを識別する1つまたは複数のアドレスビットの受信に基づいて、適切なワードを出力する、あるいは必要の際に出力できるようにデータを一時的に格納する。

40

【0113】

バーストモードで読み出し操作を実施する場合は、まず、複数のワードまたは他のデータをバッファに読み込み、次いで、そのワードまたはデータを、バーストクロックまたは特定の時点でトリガ信号を生成する他の既知のデバイスからの信号の受信に応じて順次に出力する。バーストクロック信号は、一般に、ワードまたは他のデータ群を例えば左のYアレイ線から右のYアレイ線へと1本ずつのように規則正しく出力するように回路ブロックをトリガする。

【0114】

50

書き込み操作は、入力 3880, 3890 に送られる信号にしたがってページモードまたはバーストモードで実施される。各ビットブロックは、図 38B で説明された信号の状態にしたがって、書き込み 1 サイクルまたは書き込み 0 サイクルのいずれかを同時に実施する。このように、複数のドライバ回路は、ページモードであれバーストモードであれ、それぞれの情報を同時に 1 つのメモリアレイに書き込む。なお、書き込み 1 サイクル信号 3880 および書き込み 0 サイクル信号 3890 は、選択された X アレイ線の極性を例えば第 1 のサイクルでの -2V から第 2 のサイクルでの +2V へのように切り替えるように X ブロック 3770 (図 37 に示される) を制御することも行う。

【0115】

図 39A は、ページモードまたはバーストモードでの読み出し中のメモリチップの動作を更に説明したものである。書き込み許可信号は、低く設定される。これは、チップを読み出し操作に適した状態に設定する。アドレスバス上にとあるアドレスがアサートされ、ページ内のその所定のアドレスにある全てのビットが内的に読み出される。第 1 のデータは、第 1 のアクセス時間に相当する遅延の後に出力される。データの出力方式は、バーストモードとページモードとで異なる。

【0116】

バーストモードでは、ページアドレスは特定されないものの、センスアンプ 3710 が、そのデータをページレジスタ内の 1 組の論理回路に送る。これらの論理回路は、データバス 3760 にも接続されている。そして、論理回路をトリガして、データバス 3760 へのページデータビットの出力を順序付けるために、外部バーストクロック信号 3910

【0117】

ページモードでは、ページ内のどのビットが出力されているかを特定するページアドレス 3920 が用意される。より具体的に言うと、ページレジスタ内では、ページアドレス信号を受信するため、そして、これらのアドレス信号を復号化し、データバス 3760 にビットを出力するべき順序を得るために、既知のデコーダ回路が使用される。

【0118】

図 39A には、バーストクロック信号およびページアドレス信号の両方が示されているが、どの所定の 1 モードでも、これらの信号の一方のみが使用される。当業者ならば、第 1 のアドレスがページの境界にあるか否かについて、またはバーストクロックの厳密な形状およびタイミングについて、多くのヴァリエーションを推測できるであろう。それらのヴァリエーションは、基本的に、メモリチップにおけるページモードまたはバーストモードでの操作の範囲を変えるものではない。

【0119】

図 39B は、ページモードまたはバーストモードでの書き込み中のメモリチップの動作を更に説明したものである。バーストモードでは、データバス 3760 を通して論理回路へと情報が送られる。バーストクロック信号は、繰り返してグルすることによって、連続したビットのデータをラッチするように論理回路をトリガする。更なるデータを入力するためには、更なるバーストクロックパルスと、随意の書き込み許可信号とが使用される。最後のバーストクロックパルスが入力されたとき、すなわち、例えば 4 ワード長の内部ページの場合に 4 番目のパルスが入力されたときは、上記のような 2 サイクル書き込みであってよい内部書き込み操作がトリガされる。上述されたように、ページモードでは、ページレジスタは、アドレス回路とデコーダ回路とを含む。これらの回路は、ページデータ信号およびページアドレス信号がメモリチップに入力される間に、プログラムされるべきデータが一連の書き込み許可パルスにしたがってバス 3760 から伝送され、メモリチップに入力されるページアドレスでページレジスタに読み込まれることを保証する。ページレジスタが満杯になると、または任意の他の信号(制御信号または複数信号の組み合わせなど)を受けると、メモリチップは、図 38B の信号シーケンスにしたがって、ページレジスタ/バッファ/ドライバ 3795 およびデコーダ回路 3770, 3780 をトリガして、所望のメモリ位置を選択するとともに関連のドライバ回路に情報を送信する。

10

20

30

40

50

【0120】

図39Bには、バーストクロック信号およびページアドレス信号の両方が示されているが、どの所定の1モードでも、これらの信号の一方のみが使用される。データおよびアドレスの形式について、および実際の書き込み操作がどのようにトリガされるかについては、本発明の範囲から逸脱しない範囲で多くのヴァリエーションを考案することが可能である。

【0121】

<適応プログラミング>：

図40には、本発明の適応プログラミング回路のハイレベル概念図が示されている。適応プログラミング回路4000は、結合された、検出部4010と、制御部4020と、駆動部4030とを含む。検出部4010は、メモリセルに結合され、セル抵抗 R_d を検出する機能と、マルチレベル抵抗セット(R_1, R_2, \dots, R_M)のなかから R_d に対応する R_j を識別する表示信号を出力する機能とを有する。ここで、 $M \geq 2$ である。 R_j の識別は、マルチレベル抵抗セット(R_1, R_2, \dots, R_M)のなかから R_d に最も近い抵抗を見つけ出すことによって実現することができる。

10

【0122】

制御部4020は、検出部4010に結合され、書き込みデータを伴う書き込みコマンドと上記の表示信号とを検出する機能と、書き込みを要求されたときにアクティブ化信号を生成する機能とを有する。駆動部4030は、再書き込み可能メモリおよび制御部4020に結合され、アクティブ化信号がアクティブ状態にある間だけメモリを所望の抵抗値に駆動する機能を有する。制御部4020は、更に、下記のようなアクティブ化ロジック機能を有することもできる。

20

(a) 書き込みコマンドが欠如している(または読み出しコマンドが存在している)場合は、アクティブ化信号を非アクティブ状態に設定することによって、メモリデバイスが駆動部4030によって駆動されないように保証する。

(b) 書き込みコマンドが存在している場合は、表示信号と書き込みデータとの比較をアクティブ化する。そして、

(b1) 表示信号と書き込みデータとが非対応関係にある場合は、機能(b)を継続させながらアクティブ化信号をアクティブ状態に設定する。すると、駆動部4030は、再書き込み可能メモリデバイスを駆動し、メモリセルの抵抗をマルチレベル抵抗セットのうちで望ましい抵抗に切り替える。

30

(b2) 表示信号と書き込みデータとが対応関係にある場合は、アクティブ化信号を非アクティブ状態に設定し、プログラミングのサイクルを終了させる。

【0123】

なお、上述されたロジック要素(b2)は、適応プログラミング回路4000の持つ適応的な機能を実現するだけでなく、冗長なプログラミングサイクルを回避する働きもする。冗長なプログラミングサイクルとは、メモリセルの抵抗状態がプログラミングサイクル前に既に書き込みデータに対応しているようなプログラミングサイクルである。冗長なプログラミングサイクルの繰り返しは、メモリデバイスの動作寿命を縮める恐れがある。

【0124】

プログラムが不当に困難である、または不当に長いプログラミングサイクル時間を必要とする、または単に時間的に機能不全に陥っているような再書き込み可能メモリデバイスを扱うために、制御部4020は、更に、既定の最大許容プログラミング時間 T_{max} と、書き込みコマンドの発生の瞬間から先のプログラミングサイクルの経過時間 T_{ip} を感知するタイマとを含むことができる。これに対応して、上述されたアクティブ化ロジックは、まずは、ロジック障害信号(LFS)を含むように修正することができる。例えば、LFS=1は障害状態を、LFS=0は非障害状態を、それぞれ意味することができる。具体的に言うと、アクティブ化ロジックは、 $T_{ip} > T_{max}$ ならばLFS=1に設定するロジックを機能(b)に追加することができる。アクティブ化ロジックは、更に、以下の変更を含むこともできる。

40

50

1. ロジック要素 (a) は、L F S を 0 にする無条件の追加の初期化条件を含む。

2. ロジック要素 (b 1) は、以下の 2 つのロジック要素に置き換えられる。

(b 1 1) 表示信号と書き込みデータとが非対応関係にあり、且つ L F S = 0 である場合は、機能 (b) を継続させながらアクティブ化信号をアクティブ状態に設定する。すると、駆動部 4 0 3 0 は、再書き込み可能メモリデバイスを駆動し、メモリセルの抵抗をマルチレベル抵抗セットのうちで望ましい抵抗に切り替える。

(b 1 2) 表示信号と書き込みデータとが非対応関係にあるが、L F S = 1 である場合は、アクティブ化信号を非アクティブ状態に設定し、プログラミングのサイクルを終了させる。

【 0 1 2 5 】

実際の実装の簡略化を図り、メモリセルの抵抗を検出する機能と、マルチレベル抵抗セット (R_1, R_2, \dots, R_M) のなかから R_d の対応する R_j を識別する表示信号を出力する機能とを実現するために、検出部 4 0 1 0 は、等価信号 S_{eq} 発生器を含む。この等価信号 S_{eq} 発生器の値は、既定の関数 : $R_d = f (S_{eq})$ を通じて R_d に対応している。

【 0 1 2 6 】

検出部 4 0 1 0 は、更に、書き込みデータに応じて等価参照信号セット ($REF_1, REF_2, \dots, REF_M$) を選択する。基準となる参照信号は、一般に、適応プログラミング回路 4 0 0 0 への入力であるか、または適応プログラミング回路 4 0 0 0 内の抵抗回路構成から得られるかのいずれかである。また、検出部 4 0 1 0 は、 S_{eq} を、等価参照信号セット ($REF_1, REF_2, \dots, REF_M$) からの適切な参照信号と比較する。

【 0 1 2 7 】

例えば、駆動部 4 0 3 0 は、アクティブ化信号によって切り替え可能な、出力電圧 V_{CS} を伴う電圧源としても良く、等価信号 S_{eq} 発生器は、メモリデバイスに結合され、メモリデバイスの電流 I_d を等価信号 S_{eq} として提供する電流検出器としてもよい。即ち、 $S_{eq} = I_d$ である。従って、既定の関数 : $R_d = f (S_{eq})$ は、オームの法則によって、簡単に $R_d = V_{CS} / I_d$ で表すことができる。出力電圧 V_{CS} が定電圧である場合に、マルチレベル抵抗セットのうちで所望の R_d 切り替えを実現するには、当然ながら、出力電圧 V_{CS} の振幅が各閾電圧を超えている必要がある。 V_d が高いほど、デバイスのプログラミングサイクル時間は短くなる。したがって、閾電圧の高い再書き込み可能メモリデバイスについては、既定の時間間隔内に V_{CS} が各閾値を超えることによってプログラミングサイクル時間を短縮化できるように、 V_{CS} を振幅増加型の時変性の電圧ランプまたは電圧ステップの形に設定することができる。もちろん、時変性の電圧ランプの初期値を、再書き込み可能メモリデバイスの対応する閾電圧以上に設定することによって、プログラミングサイクル時間の更なる短縮を図ることも可能である。

【 0 1 2 8 】

また、例えば、駆動部 4 0 3 0 は、アクティブ化信号によって切り替え可能な、出力電流 I_{CS} を伴う電流源であってよく、等価信号 S_{eq} 発生器は、書き込み可能メモリデバイスに結合され、メモリデバイスの電圧 V_d を等価信号 S_{eq} として提供する電圧検出器であってよい。すなわち、 $S_{eq} = V_d$ である。したがって、既定の関数 : $R_d = f (S_{eq})$ は、やはりオームの法則によって、簡単に $R_d = V_d / I_{CS}$ で表すことができる。出力電圧 I_{CS} が定電流である場合に、マルチレベル抵抗セットのうちで所望の R_d 切り替えを実現するには、出力電流 I_{CS} の振幅は、当然ながら、対応する V_d に各閾電圧を超えさせる大きさである必要がある。一般に、 V_d が高いほど、デバイスのプログラミングサイクル時間は短くなる。したがって、閾電圧の高い再書き込み可能メモリデバイスについては、対応する V_d が既定の時間間隔内に各閾値を超えてプログラミングサイクル時間を短縮化できるように、 I_{CS} を振幅増加型の時変性の電流ランプまたは電流ステップの形に設定することができる。もちろん、時変性の電流ランプの初期値を、対応する V_d が再書き込み可能メモリデバイスの対応する閾電圧以上になるように設定することによって、プログラミン

10

20

30

40

50

グサイクル時間の更なる短縮を図ることも可能である。

【0129】

既に明らかになったように、適応プログラミング回路4000は、適応プログラミング回路であるだけでなく、適応プログラミング回路の上記属性に論理的に対応した一連の工程を伴う再書き込み可能メモリデバイスのプログラミング方法にも等しく適用可能である。また、やはり明らかであるように、読み出しコマンドの検出に応じて R_d の対応する R_j を識別する表示信号を出力して読み出し操作を実現する場合も、 V_d を各閾値未満に留まらせて R_d の切り替えを回避する点を除いて、基本的に、同じ適応プログラミング回路を適用することができる。また、以下では、検出部4010、制御部4020、および駆動部4030のより詳細な実施形態を、図式的に説明するものとする。

10

【0130】

図41Aは、典型的な適応プログラミング回路の第1の詳細な実施形態4100を示している。この場合、マルチレベル抵抗セット R_j は、2つの別々の抵抗レベル $R_1 < R_2$ のみからなる。すなわち、 $M = 2$ である。検出部4010の一部として、等価参照信号セットセクタは、参照データソース4110と連動してコンパレータ4115のノードBに等価参照信号 REF_1 を提供する参照ドライバ4105を含む。駆動部4030は、プログラムサプライ4120とデータドライバ4125とを含む。プログラムサプライ4120は、書き込みデータを出力する。データドライバ4125は、書き込みデータに応じてメモリデバイスの実際のプログラミングを行うための、出力電圧 V_{CS} を伴う電圧源である。等価信号 S_{eq} 発生器は、電流検出器4130であり、メモリデバイスに結合され、ノードAに等価信号 $S_{eq} = I_d$ を提供する。結果として、既定の関数 $R_d = F(S_{eq})$ は $R_d = V_{CS} / I_d$ である。したがって、この特定の実施形態は、原則的に、電流比較技術を用いたものであり、コンパレータ4115の出力は、論理的に、マルチレベル抵抗セット(R_1, R_1)のなかから R_d の対応する R_j を識別する表示信号である。この場合の制御部4020は、単一のフィードバック信号経路であり、表示信号と書き込みデータとの間の対応関係に応じてデータドライバ4125をアクティブまたは非アクティブにする機能を有する。

20

【0131】

更に、数値例を挙げて現比較技術の説明を行う。ここで、プログラミングの対象として選択された再書き込み可能メモリデバイスは、 R_d が R_1 に対応する低抵抗状態にあるものとする。最初に書き込み電圧 V_w を印加されたときのセルは、何らかの抵抗切り替えが生じるまでは $I_d = 40 \mu A$ である。コンパレータ4115は、 $20 \mu A$ に設定された参照電流を有する、すなわち、選択されたメモリデバイス用の負荷回路に類似した参照電流用の負荷回路と、電圧コンパレータとを含む。これらの負荷回路は、基本的に、電圧源 V_{CS} に接続された抵抗回路網である。参照電流は $20 \mu A$ であり、選択されたメモリデバイスの電流は $40 \mu A$ であるので、ノードAにかかる電圧はノードBにかかる電圧より低く、これは、電圧コンパレータの出力を高くする。コンパレータは、あるいは、異なる極性の入力に接続してもよく、この場合は出力が低くなる。これは、しかしながら、発明の性質を変えるものではない。書き込み電圧 V_w が、選択されたメモリデバイスの抵抗の切り替えを開始すると、そのメモリデバイスの電流 I_d は、 $40 \mu A$ から減少しはじめ、やがて、参照電流 $20 \mu A$ に達する。この時点で、ノードAの電圧はノードBの電圧に等しい。選択されたメモリデバイスのプログラミングが更に進行するにつれ、ノードAの電圧はノードBの電圧より高くなり、これは、電圧コンパレータを低出力電圧の状態へとトリップさせる。したがって、電圧コンパレータの出力は、データドライバ4125を非アクティブにして、選択されたメモリデバイスに印加される書き込み電圧 V_w をオフにすることができる。

30

40

【0132】

反対に、もし、プログラミングの対象として選択されたメモリデバイスが、既に R_d が R_2 に対応する高抵抗状態にあり、プログラミング操作の開始時に、例えば $I_d = 15 \mu A$ であるならば、コンパレータの出力は低く維持され、データドライバは非アクティブ状

50

態に留まる。

【0133】

なお、上記の回路は適切な初期化を必要とする点に留意する必要がある。もし、書き込みサイクルの開始時に、ノードAの電圧がノードBの電圧よりも高い値から始まるならば、電圧コンパレータの出力は低く、データドライバ4125は使用不可状態に留まる。その結果、プログラム操作はいつまでたっても始まらない。この問題を回避するためには、放電回路および初期化パルスを使用して、各プログラム操作の開始時にノードA電圧を強制的に低くすることが可能である。

【0134】

また、上記の例で最小限の機能を果たすには、1つの参照電流レベルだけでよいものの、これは、実際の抵抗値 R_1 および R_2 をより正確な解像度で提供するものではない点に留意する必要がある。したがって、もし必要ならば、追加の参照電流レベルを適応プログラミング回路構成に含ませて、各抵抗レベルの検出マージンの向上を図ることも可能である。

【0135】

既述のように、プログラミング電圧パルスは、必ずしも一定振幅の方形波でなくてもよい。更なる改善案では、プログラミング電圧として、低い初期電圧値からスタートして時間とともに増大するランプを使用する。初期電圧は、読み出し電圧以上の何らかの値からスタートし、回路構成の許す限り高くなることができる。クロスポイントメモリアレイの場合は、選択されたアレイ線上の選択されなかったメモリデバイスを妨害しない電圧であるべきことを意味する。この技術を比較の技術と組み合わせて使用することによって、高速のプログラミングサイクル時間のメモリデバイスは、比較的低電圧で素早くプログラムされることを保証される。他方で、低速のプログラミングサイクル時間のメモリデバイスは、書き込み電圧として定電圧を印加された場合よりも高速にプログラムすることができる。また、非常に高い書き込み閾電圧を有するメモリデバイスは、通常定電圧駆動下では永遠にプログラムされないが、このようなメモリデバイスの場合は、書き込み電圧を増大させることによってプログラム可能になる。しかしながら、アレイに含まれる全てのメモリデバイスをこのような増大された書き込み電圧でプログラムすると、より低い電圧レベルで容易にプログラム可能なメモリデバイスを早期に摩耗させたり、ひいては破損したりする恐れがあるので、これは、望ましくないと考えられる。

【0136】

図41Bは、典型的な適応プログラミング回路の第2の詳細な実施形態4150を示している。マルチレベル抵抗セット R_j は、やはり、2つの個別の抵抗レベル $R_1 < R_2$ のみからなる。すなわち、 $M = 2$ である。検出部4050の一部として、等価参照信号セットセクタは、コンパレータ4115のノードBに等価参照信号 REF_1 を提供する参照データソース4110を含む。駆動部4030は、プログラムサプライ4120と、検出された再書き込み可能メモリデバイス電圧 V_d をノードAに出力する電圧検出機能付きデータドライバ4155とを含む。プログラムサプライ4120は、書き込みデータを出力する。電圧検出機能付きデータドライバ4155は、書き込みデータに応じて再書き込み可能メモリデバイスの実際のプログラミングを行うための、出力電流 I_{cs} を伴う電流源を含む。したがって、等価信号 S_{eq} 発生器は、再書き込み可能メモリデバイスに結合され、ノードAに等価信号 $S_{eq} = V_d$ を提供する上記の電圧検出器である。したがって、この特定の実施形態は、原則的に、電圧比較技術を用いたものであり、コンパレータ4115の出力は、論理的に、マルチレベル抵抗セット(R_1, R_1)のなかから R_d の対応する R_j を識別する表示信号である。この場合の制御部4020は、単一のフィードバック信号経路であり、表示信号と書き込みデータとの間の対応関係に応じて電圧検出機能付きデータドライバ4155をアクティブまたは非アクティブにする働きをする。

【0137】

図42は、バイポーラ電圧ドライバと、電流比較回路と、アクティブ化ロジックとを伴う典型的な適応プログラミング回路の第3の実施形態4200を回路図レベルで示してい

10

20

30

40

50

る。この回路図は、2つの参照を使用しているため、プログラムされた抵抗状態 R_1 、 R_2 は、既定のマージンだけ隔てられている。これに対応して、適応プログラミング回路 4200 は、必要とされる正電圧ドライバを提供するための上半分の回路構成と、必要とされる負電圧ドライバを提供するための、基本的に上半分の回路構成の鏡像である下半分の回路構成とを含む。便宜上、上半分の回路構成は正の駆動回路構成とも称され、下半分の回路構成は負の駆動回路構成とも称される。正の駆動回路構成も負の駆動回路構成も、いずれも書き込みコマンドパルス 4205 によって論理的に駆動されるが、正の駆動回路構成は、書き込みデータ R_2 信号 4210 によってのみアクティブにされ、負の駆動回路構成は、書き込みデータ R_1 信号 4215 によってのみアクティブにされる。このようにすれば、正電圧による駆動を伴うプログラミング操作中、負の駆動回路構成は、正の駆動回路構成へのあらゆる干渉を避けるために、非アクティブにされた高インピーダンス状態にあり、逆の場合もまた同様である。

10

【0138】

正の駆動回路構成の詳細に着目する。制御部 4020 は、アクティブ化ロジック 4225 を含む。このアクティブ化ロジック 4225 は、デバイスプリドライバ 4220 を駆動するとともに、 R_2 参照プリドライバ 4235 を通して R_2 参照ドライバ 4240 を駆動する。デバイスプリドライバ 4220 は、 $+V_{wth}$ デバイスドライバ 4230 を駆動し、この $+V_{wth}$ デバイスドライバ 4230 の出力は、再書き込み可能メモリアレイのなかの選択された再書き込み可能メモリデバイスを駆動する。これと並行して、 $+V_{wth}$ デバイスドライバ 4230 の出力は、ノード A における信号の分岐を通してコンパレータ 4260 の負端子にも供給される。 R_2 参照ドライバ 4240 の出力は、 R_2 参照抵抗 4250 と相まって、コンパレータ 4260 の正端子に供給される等価参照信号 REF_1 をノード B において確立する。既に明らかになったように、負の駆動回路構成は、 $-V_{wth}$ デバイスドライバ 4280 を伴う負電圧領域での動作を除いて、上記の正の駆動回路構成と同様の回路接続形態および機能を有することによって、所望の適応プログラミング機能を実現する。また、図 42 には、バイポーラ電圧駆動を伴う一実施形態が示されているが、 $+V_{wth}$ デバイスドライバ 4230 と $-V_{wth}$ デバイスドライバ 4280 との間には、僅かなドレイン - ソース間電圧降下が存在する点に留意する必要がある。更に、このドレイン - ソース間電圧降下それ自体は、メモリデバイス電流 I_d に依存する。したがって、この駆動回路は、電圧源と電流源との複合混合として特徴付けることもできる。

20

30

【0139】

最後に、当業者にとって、図 42 の回路接続形態は、2つの参照レベルによって隔てられた2つのレベル間で R_d を検出することによって、 R_d の検出分解能を向上させ、それに対応して正しいロジック決定の余裕を広げるために使用される。

【0140】

図 43 は、再書き込み可能なメモリアレイに本発明を適用した場合の、信号およびメモリデバイス電流の典型的なタイミング図を示している。この例では、再書き込み可能メモリアレイの第1のデバイス A は低抵抗状態にプログラムされ、同アレイの第2のデバイス B は低抵抗状態にプログラムされ、同アレイの第3のデバイス C は高抵抗状態にプログラムされる。なお、可変のパルス幅を有するアクティブ化信号の自己適応特性は、プログラムされる個々のメモリデバイスにそれぞれ対応する。すなわち、デバイス A は、 $t_{A2} - t_{A1}$ の標準のプログラミングサイクルを示し、セル B は $t_{B2} - t_{B1}$ の高速のプログラミングサイクルを示し、セル C は $t_{C2} - t_{C1}$ の低速のプログラミングサイクルを示す。

40

【0141】

図 44 は、適応プログラミング回路のもう1つの実施形態であって、電圧によって3抵抗レベル以上に切り替え可能なマルチレベル抵抗セットを有する再書き込み可能メモリデバイスでの一般的な使用に拡張された場合の実施形態を示している。本発明の不必要にありまいな側面を回避するため、図中には、適応プログラミング回路 4400 のセクション j のみが示されている。ここで、 $j = (1, 2, \dots, M-1)$ 、 $M \geq 3$ 、 $R_1 < R_2 < \dots < R_M$ である。更に、類似の全てのセクションが、ノード A を共通接続

50

にして並列に配される点に留意する必要がある。まず、適応プログラミング回路 4400 のセクション j 全体が、セクション j 選択信号 4405 によって選択される。ここで、 j は、所望される特定の 1 状態であるとする。もし j 状態がメモリプラグの初期抵抗状態より高いならば、セクション j 選択信号 4405 は、 R_j プログラミングのために、参照 $R_{j,low}$ 発生器 4410 をアクティブにし、ノード B1 において、コンパレータ 4415 の第 1 の入力端子に供給される等価参照信号 $REF_{j,low}$ を確立する。コンパレータ 4415 の出力は、アクティブ状態にある間に、フィードバック信号経路 4425 を通して低 R_d デバイスドライバ 4420 をアクティブにし、再書き込み可能メモリアレイのなかの選択されたメモリデバイスを駆動して、 R_d を R_j 状態に切り替わらせる。これと並行して、低 R_d デバイスドライバ 4420 の出力は、ノード A における信号の分岐を通してコンパレータ 4415 の第 2 の入力端子にも供給され、抵抗 R_j についての適応プログラミングロジックを完了させる。同様に、もし j 状態がメモリプラグの初期抵抗状態よりも低いならば、セクション j 選択信号 4405 は、 $R_{j,high}$ プログラミングのために、参照 R_{j+1} 発生器 4430 をアクティブにして、ノード B2 において、コンパレータ 4435 の第 1 の入力端子に供給される等価参照信号 $REF_{j,high}$ を確立する。コンパレータ 4435 の出力は、アクティブ状態にある間に、フィードバック信号経路 4445 を通して高 R_d デバイスドライバ 4440 をアクティブにし、再書き込み可能メモリアレイのなかの選択されたメモリデバイスを駆動して、 R_d を R_{j+1} 状態に切り替わらせる。これと並行して、高 R_d デバイスドライバ 4440 の出力は、ノード A における信号の分岐を通してコンパレータ 4435 の第 2 の入力端子にも供給され、抵抗 R_j についての適応プログラミングロジックを完了させる。書き込みの開始時に、もし選択されたセル抵抗が $R_{j,high}$ を上回るならば、低 R_d ドライバ 4420 がオンにされる。もし選択されたセル抵抗が $R_{j,low}$ を下回るならば、低 R_d ドライバ 4440 がオンにされる。書き込み操作の終了時には、選択されたセルの抵抗は、 $R_{j,low}$ と $R_{j,high}$ との間になる。

10

20

【0142】

もう 1 つの実施形態として、図 45 は、典型的な適応プログラミング回路のもう 1 つの実装形態 4500 のブロック図を示している。状態 j 選択信号 4505 は、 M 個の状態のうちどれが所望の状態であるかを回路に通知するものであり、一般に、 $M = 2^k$ であるように k 本の線を含む。状態 j 選択信号 4505 は、2 つの参照発生器 4510, 4530 と、更に場合によってはデバイスドライバ 4520, 4540 とに印加することができ、そして、これらの参照発生器およびデバイスドライバを、それぞれの出力が状態 j のプログラミングに適した所望のレベルに等しくなるように調整することができる。図 44 の実施形態と異なり、このアプローチは、2 つのコンパレータ 4515, 4535 と、2 つの調整可能な参照 4510, 4530 と、2 つの調整可能なドライバ 4520, 4540 とだけを必要とする。これは、マルチレベル抵抗セット (R_1, R_2, \dots, R_M) のプログラミングのためにセクション j 回路を複製しなくてすむ、という点で好都合である。

30

【0143】

<メモリプラグ> :

各メモリプラグは、製造上または機能的に望ましい複数の材料層を含む。例えば、望ましい機能の 1 つは、非オーミック特性である。非オーミック特性は、特定の範囲の電圧 (V_{N0-} から V_{N0+}) に対して非常に高い抵抗体制を示し、その特定の範囲を下回る電圧およびその特定の範囲を上回る電圧に対して非常に低い抵抗体制を示す。クロスポイントメモリアレイにおいて、もし読み出し電圧および書き込み電圧の両者の半分が V_{N0-} から V_{N0+} までの範囲にあるならば、非オーミック特性は、読み出し中および書き出し中のリークを阻止することができる。もし各伝導性アレイ線が $1/2 V_w$ を帯びているならば、電流の経路は、それぞれ $1/2 V_w$ を帯びている 2 本の伝導性アレイ線の交点に位置するメモリプラグである。その他のメモリプラグは、非オーミック特性ゆえに高い抵抗を示すので、半選択状態のプラグに電流が流れることはない。

40

【0144】

50

メモリプラグに非線形の抵抗特性を示させるために、非オーミックデバイスを使用することができる。典型的な非オーミックデバイスとしては、3膜からなる複数の金属-絶縁体-金属(MIM: metal-insulator-metal)構造および直列に接続されたBTB(back-to-back)ダイオードが挙げられる。しかしながら、独立した非オーミックデバイスは不要である。特定のメモリプラグ製造プロセスでは、メモリセルに非オーミック特性を付与する場合がある。非オーミック特性は、特定のアレイでは望ましくても、他のアレイでは不要である場合がある。

【0145】

電極は、一般に、メモリプラグにとって望ましい構成要素である。例えば、メモリプラグのメモリ素子を挟む1対の電極等が挙げられる。もしこれらの電極が金属相互拡散を阻止する障壁として機能することのみを目的とするならば、例えばTiN、Ta₂N₅、Pt、Au等の非反応性金属や特定の金属酸化物等の薄膜を使用することができる。しかしながら、電極は、金属相互拡散に対する単なる障壁としての機能を越えた他の利点も提供することができる。電極(単一層または複数層のいずれかの形態で作成される)は、金属、酸素、水素、および水の拡散を阻止すること、他の層との間に優れた格子整合を形成するためのシード層として機能すること、接着層を提供すること、熱膨張係数のばらつきに起因する応力を軽減させること、ならびにその他のメリットを提供することを含む様々な機能を実施することができる。

【0146】

例えば、伝導性酸化物電極は、酸素空孔の形成および移動を加減することができる。酸素空孔は、実施形態によっては、メモリプラグの電気特性を劣化させる恐れがある。伝導性酸化物電極は、また、高温処理にも耐えることができる。非耐熱金属の多くは、400°Cを超える温度で酸化または隣接材料との結合を開始する。したがって、これらの温度を超える製造プロセスを、高温処理と見なすことができる。また、伝導性酸化物電極は、動作中に劣化しない。通常、金属電極は、電場によって引き起こされる金属移動や、金属原子とメモリ材料原子との間の相互作用が原因で劣化する可能性がある。

【0147】

伝導性酸化物の例として、LaSrCoO₃、RuO₂、IrO₂、SrRuO₃、LaNiO₃、およびドーパントチタン酸ストロンチウム(STO)が挙げられる。STOに使用されるドーパントは、チタン原子を置換するNbもしくはTaか、またはストロンチウム原子を置換するLaもしくはPr等の任意の希土類かのいずれかでよい。概して、伝導性酸化物電極は、1 μm未満の抵抗率を有する金属性である。

【0148】

伝導性酸化物電極は、直接製造してもよいし、または最初は酸化物でない材料を使用し、後続の更なる処理もしくは工程の最中に酸化することによって作成してもよい。RuおよびIrは、いずれも、処理または工程の最中に酸化できる材料の例である。

【0149】

また、材料によっては、有限速度で酸化して二重層を形成できるものがある。例えば、Irは、下にくる伝導性アレイ線の層との接触に特によく適している。Ir層は、酸化によって頂部がIrO₂になる。IrO₂は、有限速度で成長するので、Ir/IrO₂の二重層が形成されるように酸化を制御することが可能になる。このような二重層は、未酸化の底部によって優れた接触を提供する一方で、酸化された頂部の上に酸素障壁を形成することができる。

【0150】

更に、伝導性酸化物電極には、他の層との間に優れた格子整合を形成して、これらの層の結晶化温度を低下させるものがある。例えば、もし伝導性電極の頂部にSTO等の酸化物を堆積させる場合は、優れた格子整合を可能にする伝導性酸化物電極として考えられるのは、ドーパントSTO、LaSrCoO₃、およびSrRuO₃である。もし酸化物がPCMOである場合は、伝導性酸化物電極として考えられるのは、STO電極、およびLaNiO₃である。金属薄膜層の頂部には、しばしばシード層が使用される。シード層は、そ

10

20

30

40

50

の上に成長されるまたは堆積される層の形成を助ける。例えば、シード層は、Pt、Ru、Ir、またはTiNの上に形成することができる。シード層と金属層との組み合わせとしては、Ptの上にLaNiO₃またはSrRuO₃、Irの上にIrO₂、Ruの上にRuO₂、TiNの上にPt等を挙げられる。

【0151】

特定の伝導性酸化物電極に見られるもう1つのメリットは、伝導性酸化物電極の熱膨張係数を酸化物のそれに近づけることによって、応力を軽減できることにある。酸化物と伝導性酸化物電極との間に、100未満の、例えば薄いプラチナ等の金属薄膜層を使用すれば、電極を更に改善できる可能性がある。このような実装形態は、伝導性酸化物との間に優れたショットキー障壁を提供してセルのリーク電流を最小限に抑えるとともに、隣接する金属層との間に優れた接触を提供することができる。ショットキー障壁は、非オーミックデバイスに所望の非線形性を付与することができる。

10

【0152】

障壁層は、一般に、異なる複数種の材料を堆積させた後に原子の相互拡散を阻止するのに有用である。例えば、障壁層は、金属、酸素、水素、または水の拡散をブロックすることができる。高温処理には、2つの元素を有する二価の酸化物または窒化物、および3つの元素を有する三価の酸化物または窒化物が特に適している。酸化して非伝導性になるチタン等の通常の電極と異なり、窒化チタンは、伝導性を維持するうえに、約500に達するまで酸化しない。三価の窒化物にいたっては、一般に、二価の窒化物より約50高い更なる高温で酸化する。酸化速度は、温度および酸素分圧に依存する。

20

【0153】

二価の窒化物の例としては、窒化チタン、窒化タンタル、および窒化タングステンが挙げられる。三価の窒化物の例としては、窒化チタンシリコン、窒化タンタルアルミニウム、窒化タンタルシリコン、および窒化ルテニウムチタンが挙げられる。三価の酸化物の一例としては、酸化ルテニウムタンタルが挙げられる。

【0154】

当業者ならば理解できるように、電極は、正しく機能するために、他の層を必要とする可能性がある。例えば、接着層が必要とされる場合がある。接着層は、基板の薄膜層の接着を向上させるために、基板と薄膜層との間で使用される。Ptは、SiO₂によく付かないので、PtとSiO₂の間には、よりよい接着のために、TiまたはTiO₂等の糊層が使用される。同様に、犠牲層は、犠牲層がなければ酸化物等の他の層に拡散する可能性があるあらゆる酸素を獲得することを唯一の目的に堆積される酸化物の層である。電極は、必要に応じて、任意の接着障壁層または犠牲障壁層を含むものと見なされる。

30

【0155】

例えば、電極は、優れた金属障壁特性および酸素障壁特性を有するように、TiNまたはTiAlN層と、Ir層と、IrO₂層とを含むと考えられる。しかしながら、これらの追加の層は、必要な程度に応じて使用されれば十分である。特定の伝導性酸化物電極は、複数の機能を提供する場合がある。例えば、1つの要素がルテニウムまたはイリジウムで且つもう1つの要素がタンタルまたはチタンである三価の窒化物および酸化物は、障壁層としても犠牲高温酸素層としても機能することができる。

40

【0156】

また、選択された各電極層は、メモリプラグのメモリ効果特性に影響を及ぼす可能性があり、この場合は、メモリ素子の一部を構成することができる。

【0157】

<メモリ効果>：

メモリ効果は、非破壊読み出しを可能にしつつ電圧の印加に対して抵抗状態の変化を示すヒステリシスである。非破壊読み出しとは、読み出し操作がメモリ素子の抵抗状態に何ら影響を及ぼさないことを意味する。メモリセルの抵抗の測定は、一般に、メモリセルが既知の電圧に保持された後の電流または既知の電流がメモリセルに流れた後の電圧のいずれかを検出することによって実現される。したがって、-V_wの印加に際して高抵抗状態

50

R_0 になるとともに $+V_W$ の印加に際して低抵抗状態 R_1 になるメモリセルは、 $-V_R$ または $+V_R$ で実施される読み出し操作によって影響されないと予想される。このような材料では、読み出し操作後の書き込み操作は不要である。なお、 $|-V_R|$ の振幅は、必ずしも $+V_R$ の振幅に等しい必要はない。場合によっては、電圧パルスの詳細がメモリプラグの抵抗に実質的に影響することがある。例えば、J. G. SimmonsおよびR. R. Verberによる論文「New Conduction and Reversible Memory Phenomena in Thin Insulating Films」(絶縁薄膜における新たな伝導および可逆的なメモリ現象) 301 Proc. Roy. Soc. A. 77-102 (1967) は、電圧パルスの幅および高さの詳細による制御を受ける特定のMIM構造におけるメモリ効果について記載している。このようなシステムにおいて、MIM構造を特定の電圧にして次いでその電圧を素早くゼロに降下させると、MIM構造を上記と同じ電圧にして次いでその電圧をゆっくりゼロまで減少させる場合と異なる抵抗状態が実現される。このようなシステムでは、異極性のシステム電圧パルスは不要である。

10

【0158】

メモリプラグの R_1 状態は、 $10k \sim 100k$ の最良値を有すると考えられる。もし R_1 状態の抵抗が $10k$ を大幅に下回る場合は、セル電流が高くなり、電流消費が増大するので、寄生抵抗の効果が増大する。もし R_1 状態の値が $100k$ を大幅に上回る場合は、RC遅延によってアクセス時間が増大される。しかしながら、 $5k$ のように低い抵抗や、 $1M$ のように高い抵抗でも、有効な単一状態抵抗値を実現できることがある。一般に、単一状態のメモリは、大きさが10倍規模で異なる複数の動作電圧 R_0 , R_1 を有する。

20

【0159】

例えば、もし読み出し電圧 (V_R) として1ボルトが使用されるならば、 R_1 は約 $100k$ 、 R_0 は約 $1M$ でよく、抵抗状態に応じて $10\mu A$ または $1\mu A$ の電流を生じさせる。大電流は、小寸法に作成された半導体に対して破壊的である可能性があるため、メモリ回路にとっては、大抵の場合は $100\mu A$ 以下の電流が望ましい。 V_R が識別されれば、所望の書き込み電圧 (V_W) も決定することができる。小さい電圧変動(製造の不完全性に起因する)によるメモリプラグへの影響をほぼ無視できるようにするには、 V_W は、 V_R より大きいだけでなく、 V_R から十分に遠く隔たっていることが望ましい。同様に、 V_W は、やはり同じ理由で、抵抗材料が抵抗率を変化させ始める閾値 V_{Wth} を上回ることが望ましい。典型的な V_W は約2ボルトで、 V_{Wth} は約1.5ボルトである。

30

【0160】

なお、多ビットの抵抗性メモリセルでは、メモリプラグの抵抗特性の変化が10倍を超える規模であることが望ましいと考えられる。メモリプラグは、複数の異なる抵抗状態をとることができるので、多ビットの抵抗性メモリセルが可能である。例えば、メモリプラグは、高抵抗状態 R_{00} と、中高抵抗状態 R_{01} と、中低抵抗状態 R_{10} と、低抵抗状態 R_{11} とを有することができる。多ビットメモリは、一般に、単ビットメモリよりも長いアクセス時間を有するので、 R_{11} から R_{00} への抵抗の変化を10倍を超える規模にすることは、多ビットメモリを単ビットメモリと同じくらい高速にする方法の1つである。例えば、2ビットを格納できるメモリセルでは、低抵抗状態が高抵抗状態の 100 分の1である必要があるだろう。3ビットまたは4ビットの情報を格納できるメモリセルでは、低抵抗状態が高抵抗状態の 1000 分の1であるだろう。一般に、多ビットメモリの中間抵抗状態は、高抵抗状態と低抵抗状態との間の抵抗範囲を対数スケール上で均等に分割する。例えば、もし、3ビットのメモリを保持したメモリセルが $10k$ の低抵抗状態を有する場合は、6つの中間状態は、約 $26.8k$ 、約 $72.0k$ 、約 $193k$ 、約 $518k$ 、約 $1.39M$ 、および約 $3.73M$ の抵抗状態を有すると考えられる。すると、最も高い抵抗状態は $10M$ になり、これは、低抵抗状態の値の 1000 倍である。

40

【0161】

<メモリ効果の発生> :

メモリプラグのメモリ効果特性は、キャリアトラップに支配されるように思われるが、そのほかに、酸素移動または電解質移動等の他のキャリア輸送特性も存在することができ

50

る。キャリア電荷トラップだけでも、支配的な要因として、空間電荷制限電流、熱イオン放出制限伝導、プール・フレンケル放射、またはファウラー・ノルドハイム量子トンネル現象を挙げられる。発明者によると、実験データは、主としてキャリアトラップによって生じたメモリ効果に合致しているが、メモリ効果がどのように生じるか、または本明細書内で説明された他の任意の効果がどのように機能するかに関するいかなる説明によって制約されることも望ましくない。

【0162】

また、メモリ効果に関与するメカニズムは、界面が「鑄造」されたか否かに応じて異なる。MIM構造に関する場合の鑄造（または「電気鑄造」）については、R. E. Thurstan sおよびD. P. Oxleyによる「The Electroformed metal-insulator-metal structure: a c omprehensive model」（電気鑄造された金属 - 絶縁体 - 金属構造：包括モデル）J. Phys. D: Appl. Phys. Vol. 35, pp. 802 - 809, 2 April 2002に記載されており、「電場に誘起されて生じる、誘電体を通る金属アノード材料の局所的なフィラメント移動。ここで注意すべきは、蒸着した誘電体は、その化学量論組成ゆえに空隙および逸脱を含む可能性があることである。誘電体を通るフィラメントが十分な電流を運んでいる場合は、これらのフィラメントは破裂し、誘電体に埋め込まれた状態の金属島構造を残らせる。トンネル現象の活性化によって、この構造を通じた電気伝導が可能になる。」と考えることができる。しかしながら、該文献の著者らは、「鑄造プロセスは複雑であり、本質的に可変である。また、トンネル障壁は、水蒸気、有機種、および酸素に曝されると特性を変化させやすい。・・・したがって、パッシベーションと、効果的なエンキャプシュレーションと、鑄造プロセスのダイナミクスに関するよりよい理解とをなくして、一貫したデバイス特性を実現すること、またはデバイス特性を長期間にわたって安定させることは、決して期待できない。」と警告している。

【0163】

Thurstan sおよびOxleyによる警告に反して、鑄造を指揮および制御する、ひいては鑄造なしにメモリ効果を得る特定の方法を使用することができる。例えば、反応性金属層を単純に酸化物に曝せば、鑄造なしにメモリ効果を引き起こすことができる。これらの状況では、酸化物と反応性金属層との間の界面を通じてメモリ効果が生じると考えられる。

【0164】

島状の第1の材料を、より絶縁性の高い大塊状の第2の材料の中に堆積させることによっても、鑄造構造に近い構造を得ることができる。（連続的薄膜の対語としての）島は、スパッタリング、同時スパッタリング、蒸着、分子線エピタキシャル成長、原子層成長、および注入等の複数の異なるプロセスによって形成することができ、一般に、第1および第2の材料の表面エネルギーに関係している。当業者ならば理解できるように、第1の材料は、プロセス次第で、第2の材料の表面上に島を形成できる場合とできない場合とがある。

【0165】

具体的な一実施形態では、まず、電極の上に、非有機的な半導体材料がいくらか堆積される。次いで、半導体材料の上に、伝導性の島が形成される。島が形成されたら、これらの島の上に、同じ半導体材料が更にいくらか堆積される。次いで、上部電極が形成される、または、上部電極に先だって追加の島または半導体材料の層が形成される。

【0166】

より具体的な一実施例として、ダマシンプロセスを使用することができる。このプロセスでは、下部電極の上方に空隙を形成するために、下部電極の上にSiO₂等の層間絶縁膜がパターン形成される。次いで、空隙の一部を堆積された酸化アルミニウムによって満たすために、酸化アルミニウムが堆積され、研磨によりSiO₂から除去される。次いで、酸化アルミニウム上に、少量の伝導性の金属または酸化物が形成される。形成される少量の伝導性の金属または酸化物は、酸化アルミニウム上で選択的に凝集して島の配列を形成する。次いで、空隙を更に満たすために、スパッタリングによって酸化アルミニウムの新たな層を形成することができる。その後は、新たな研磨プロセス、そして新たな島堆積

プロセスが続く。最後に、空隙を完全に満たすために、酸化アルミニウムの最後の層を堆積させることができる。次いで、 SiO_2 / 酸化アルミニウムの表面を滑らかにする最終的な研磨が実施される。

【0167】

< 界面層 > :

酸化物を反応性金属に接触させることによって生じる反応は、通常100オングストローム未満の短距離に広がることしかできないので、界面層は、非常に薄い層であるのが一般的である。界面層の厚さは、反応性金属の厚さを制限することによって制御することができる。界面層は、複数の異なる抵抗状態に置くことができるが、一般に、最低の抵抗状態ですら非常に高絶縁性である。したがって、厚い界面層は、最適な期間のあいだ、メモリセルにいったい電流を流れさせない。小寸法のデバイス（およそ何百ナノメートル）において、高速のアクセス時間（およそ何十ナノ秒、通常は100ns未満である）を可能にするためには、メモリプラグ全体が、約1・cm以下の抵抗率を有することが望ましい。

10

【0168】

酸化物は、単結晶構造にしる、多結晶構造にしる、伝導性で結晶質の金属酸化物であるのが一般的である（が、必ずしもそうとは限らない）。伝導性酸化物の分類の1つは、2種以上の金属を含むペロブスカイトであり、金属は、遷移金属と、アルカリ土類金属と、希土類金属とからなる群より選択される。ペロブスカイト（Aが1.0~1.4オングストロームの原子サイズを有し、Bが0.45~0.75オングストロームの原子サイズを有し、Xが酸素またはフッ素である場合に、一般に、 ABX_3 の構造で表される）は、マンガ酸塩（例えば $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{Pr}_{0.5}\text{Ca}_{0.5}\text{MnO}_3$ 、および、Tとしてランタンやカルシウムを用いたその他のPCMOやLCMO）、チタン酸塩（例えばSTO:Crとも表示されるCrドーブトSrTiO₃）、ジルコン酸塩（例えばSZO:Crとも表示されるCrドーブトSrZrO₃）、並びに、 $\text{Ca}_2\text{Nb}_2\text{O}_7$:Cr、 Ta_2O_5 :Cr、および高T_c超伝導体（例えばYBCOとも表示されるイットリウム・バリウム・銅酸化物）等の他の材料を含む、任意の組成であってよい。具体的に言うと、 MnO_3 は、希土類金属のLa、Pr、またはこれらの何らかの組み合わせ、およびアルカリ土類金属のCa、Sr、またはこれらの何らかの組み合わせと併用される場合に、メモリプラグでの使用に効果的であることが知られている。

20

30

【0169】

更に、もとは伝導性でない酸化物であっても、ドーパントの追加によって伝導性を帯びる場合、またはトンネル伝導を実現できる非常に薄い層（例えばおよそ数十オングストローム）である場合ならば、使用できると考えられる。したがって、当業者ならば理解できるように、絶縁体に分類されるがトンネル伝導を実現するのに十分な薄さの酸化物は、やはり伝導性酸化物と見なすことができる。メモリプラグは、低電流でスイッチング可能である必要があるので、低抵抗であることが望ましく、これが、伝導性酸化物の方が絶縁性酸化物よりも魅力的である所以である。

【0170】

金属が「反応性金属」であるか否かは、その金属が伝導性金属酸化物に対して有する関係と、その金属が酸化されて伝導性金属酸化物を還元するのに十分な強さの還元剤であるか否かと、その金属を酸化して得られた反応性金属が絶縁性であるか否かと、によって決定される。例えば、Alは、PCMOペロブスカイトを還元し、メモリ効果を有する絶縁性の界面層を形成する。その他の反応性金属としては、伝導性金属酸化物に応じて、Ta、Ti、Zr、Y、Hf、Cr、およびMgを挙げられる。

40

【0171】

とある実施形態では、界面層は、未変化の伝導性酸化物と未変化の反応性金属との間だと見なすことができる。しかしながら、もし、堆積される反応性金属の量が、その全部が酸化されるほど少量である場合は、界面層は、その上の電極と未変化の伝導性酸化物との間になる。

50

【0172】

しかしながら、反応性金属の使用は、伝導性酸化物との間にメモリ効果を生じさせる唯一の方法ではない点に留意する必要がある。メモリ効果を有する絶縁層は、ドーピング、注入、または他の技術を使用しても形成できる場合がある。

【0173】

例えば、チタン酸ストロンチウム (STO) またはジルコン酸ストロンチウム (SZO) は、結晶マトリクス内の元素を置換する際に異なる好ましい酸化状態 (異なるイオン化後の電荷) を有するような元素を追加することによって、ドーピングすることができる。ドーパントは、材料全体の分子数の10%未満を構成するのが一般的である。SZOでは、+3の酸化状態を持つクロム (Cr) によって、+4の酸化状態を持つジルコン (Zr) を置換することができる。電荷の不均衡は、適切な空孔 (例えば酸素空孔) の形成、マトリクス元素の原子価の変化、または自由キャリア (電子または正孔) の導入によって補われる。

10

【0174】

ドーパント原子は、通常は、少なくとも一部にはイオン半径の類似性に基づいて、マトリクス元素と置き換わる。したがって、SZOでは、ランタン (La) は主にストロンチウム (Sr) と置き換わり、Crは主にZrと置き換わる。SZOでは、陽イオンの空孔は稀である (すなわち、SrおよびZrの空孔はほとんどない) のに対し、陰イオンの空孔 (すなわち酸素) はたくさん見られる。したがって、CrをSZOに追加すると、酸素空孔と自由正孔の両方が生成される。しかしながら、Crの追加は、酸素空孔 (2つのCr原子あたり1つの酸素空孔) によって補われるので、材料は、基本的に絶縁性のままである。それに対して、SZOでは自由電子が主にLaを補う。したがって、Laの追加は、SZOの抵抗を劇的に下げる。同様に、タンタル (Ta) またはニオブ (Nb) は、Zrと置き換わってSZOの抵抗率を下げるることができる。

20

【0175】

更に、空孔 (陰イオンにしろ、陽イオンにしろ) は、電荷トラップを形成するように機能することもできる。空孔によって生じる電荷の不均衡は、ドーパントの計画的追加を補うメカニズムと同じメカニズムによって補うことができる。したがって、酸素空孔1つあたりを2つのCr原子によって補うと、自由キャリアは生じないが、もし完全に補えるだけのCrが存在しない場合は、酸素空孔によって自由電子が生じる。

30

【0176】

ドーパントのなかには、禁制帯内の深いエネルギー準位にセンタを形成するものがある。このようなドーパントは、電荷が脱出のために高いエネルギー準位を要するようなセンタを形成することによって、深いエネルギー準位のトラップを効果的に形成する。例えば、STOおよびSZOでは、Cr、鉄 (Fe)、またはニッケル (Ni) によってトラップを形成することができる。これに対し、イットリウム (Y)、La、Nb、およびTaは、浅いエネルギー準位にセンタを形成するが、これは、トラップにならない。

【0177】

例えばイオン注入を通して、更なる処理を施すことができる。イオン注入では、加速されたイオンが固体表面を突き抜け、イオンエネルギーによって決定される特定の深さまで達する。イオン注入は、ドーパントの導入、埋込層の形成、および固体表面の修正のために使用することができる。

40

【0178】

もう1つの処理方法は、所定の周囲条件において、所定の温度で、反応性金属または伝導性酸化物にアニール処理またはガス処理を施すことである。アニール処理には、製造に容易に組み込み可能なものがある。例えば、もしアレイが単一のメモリプラグ層のみを有する場合は、下側の層は、伝導性酸化物を適切に形成するために高温に曝されると考えられる。これに対して、上側の層は、伝導性酸化物を形成するために必要とされる温度を遙かに下回る温度で堆積させることができる。同様の結果は、一方の表面をレーザ処理することによって、または一方の表面にプラズマプロセス (プラズマエッチング等) を施すこ

50

とによっても得られる。

【0179】

もう1つの処理方法は、Arおよび/もしくはO₂、または他の不活性ガスプラズマを一般に使用して、構造全体、特定の表面層、またはその両方に物理的なスパッタリングを施すことである。スパッタリングは、表面を仕上げるためによく使用される技術である。スパッタリング室内で表面にぶつかるプラズマは、新しい膜を堆積させないので、これは、スパッタリングの逆だと見なすことができる。同様に、イオン銃を使用するなどして表面を不活性イオンに曝すことによって、イオン化されたAr等の加速された不活性イオンによって表面を打つことも可能である。

【0180】

このような処理の目標は、一般に、トラップを形成することにある。トラップは、高エネルギー放射または粒子線照射によって導入することもできる。例えば、紫外線およびX線照射は、SiO₂にトラップを導入する。また、中性子変換ドーピングを使用してシリコン内にドーパント原子を形成することもできる。更に、トラップは、電場をかけられた状態で酸化物内を酸素空孔がドリフトする電氣的初期化プロセスによって形成することができる。主となるキャリアのメカニズムは、当然ながら、界面層の処理に応じて異なることができる。

【0181】

したがって、界面層を使用したメモリプラグは、従来のMIM構造との間に多くの共通点を有する。しかしながら、界面層は、それが鑄造されたか否かにかかわらず、メモリ特性を示すものである。界面層は、非常に粗いので、多くの電流リーク経路を含む余地がある。したがって、低電流で鑄造する必要性は排除される。なお、「メモリ素子」という用語は、メモリ効果に寄与する全ての層を含む点に留意する必要がある。このような層は、実施形態に応じて、界面層、伝導性酸化物、反応性金属層、および電極のうちの1つまたは複数を含むことが可能である。

【0182】

<複数の界面>：

サンドイッチ型の構造を作る場合は、追加の界面が形成される可能性がある。例えば、反応性金属/伝導性酸化物/反応性金属のように層を堆積させた場合は、伝導性酸化物/反応性金属/伝導性酸化物のように層を堆積させた場合と同様に、2つの個々の界面が形成される(中間層全体が上側の層および下側の層と反応しないと仮定した場合は、単一の界面層のみになる)。このように、複数の界面を形成可能であるが、場合によっては、各界面にそれぞれ異なる処理を施して、メモリプラグを単一方向にバイアスすることによって、所望のヒステリシス効果を促すと好都合である。

【0183】

上側の層および下側の層の一方のみにドーパントを含ませる、またはそれぞれ異なるドーパントを使用すると、ほぼ同様の材料を使用することが可能になる。こうすれば、これらのほぼ同様の材料に、活性界面を間に構成および形成するのに十分な相違を付与しつつ、制御上の問題点を回避することができる。

【0184】

したがって、例えば、ほぼ同様の2つの伝導性金属酸化物層の間に、クロムをドーピングされた金属酸化物ジルコン酸ストロンチウムを含む伝導性金属酸化物層を挟むことができる。上側の伝導性金属酸化物層は、鉄をドーピングされたジルコン酸ストロンチウムでよく、p型の金属酸化物層になる。下側の伝導性金属酸化物層は、ニオブをドーピングされたジルコン酸ストロンチウムでよく、n型の金属酸化物層になる。

【0185】

このような層の厚さはさほど重要でなく、通常は500オングストロームが使用される。しかしながら、100~1000オングストロームの任意の厚さが適当である。唯一の制約は、メモリ素子に電圧が印加された際に、電荷が完全に使い果たされることのないように、十分な厚さを確実に持たせることである。中間層はトンネル伝導を求められるので

10

20

30

40

50

、中間層の厚さはより重要であり、メモリ素子に印加される電圧に応じて10～100オングストロームの厚さが使用される。典型的な厚さとして、30オングストロームが適切である。

【0186】

上側の金属酸化物層に超過の正孔または電子を持たせる、または下側の金属酸化物層に超過の電子または正孔を持たせる（上側の金属酸化物層の反対）ことによって、メモリ素子の電気特性に非対称性を付与することができる。非対称性は、一方の極性のプログラムパルスが常に材料をより高い抵抗に変化させ、他方の極性のプログラムパルスが常に材料をより低い抵抗に変化させることを保証する。もし上側および下側の金属酸化物材料が同一であると、非対称性がないので、メモリ材料は、最初はどちらの方向にも切り替わる可能性がある。この方向性の欠如を回避するためには、例えばメモリ材料に高電圧パルスを印加する等の前処理技術を使用することができる。しかしながら、このような初期化のステップは、僅かに異なる材料を使用することによって、最小限に抑えられる、または回避することができる。

10

【0187】

下側の金属酸化物層と上側の金属酸化物層との間に非対称性を持たせるもう1つの方法は、同種の材料の層を、すなわち、ともにn型（可動電子が過剰）の材料の層またはp型（可動正孔が過剰）の材料の層を、異なる可動キャリア濃度で使用方法である。

【0188】

とりわけ、伝導性金属酸化物層に含まれるドーパントは、低濃度で使用されるのが一般的である。伝導性金属酸化物に含まれるドーパントの量は、重量百分率にして、一般に10%未満であり、より詳細にはほぼ1%である。

20

【0189】

n型領域およびp型領域を形成するために使用されるドーパントは、以下の指針に沿って選択することができる。n型ドーパントは、置き換わる格子原子よりも高い原子価（より正の電荷）を有するので、ジルコン酸ストロンチウムまたはチタン酸ストロンチウムのZrまたはTiに置き換わるn型ドーパントとしては、NbおよびTaが挙げられる。同様に、Srに置き換わるn型ドーパントとしては、Y、La、およびあらゆるランタニド元素が挙げられる。p型ドーパントは、置き換わる格子原子よりも低い原子価（より正でない電荷）を有するので、ZrまたはTiに置き換わるp型ドーパントとしては、Cr、Mn、Fe、Co、Ni、およびAlが挙げられる。ジルコン酸ストロンチウムにおいて正孔伝導を実現するもう1つの方法は、Zrの場所をNbでドーピングし、それと同時に2つの隣接する酸素の場所を窒素でドーピングすることによって、p型の伝導性を得る方法である。

30

【0190】

本発明のもう1つの実施形態では、下側の伝導性金属酸化物材料は、Mn³⁺イオンとMn⁴⁺イオンとを一定の比率で含むプラシオジウムカルシウムマンガン酸化物（Pr_xCa_{1-x}MnO₃）によって形成される。Mn³⁺とMn⁴⁺との比率は、堆積プロセス中に、Pr原子とCa原子との比率を変化させることによって調整することができる。そして、上側の金属酸化物層と下側の金属酸化物層を異ならせるため、上側の伝導性金属酸化物は、Mn⁴⁺イオンとMn³⁺イオンとを異なる比率で含むPr_xCa_{1-x}MnO₃によって形成することができる。

40

【0191】

同様に、当業者ならば理解できるように、伝導性金属酸化物層は、本発明の範囲から逸脱することなく2層だけ使用することも可能である。具体的に言うと、下側の伝導性金属酸化物層または上側の伝導性金属酸化物層のいずれかを、メモリデバイスから排除することができる。なぜなら、残された伝導性金属酸化物層と伝導性金属酸化物層との間には、依然として活性界面が存在しており、電子または正孔の不均衡は、非対称性を提供するのに十分であるからである。このように、本発明では、任意の数の伝導性金属酸化物層を考え得るので、上述されたような3層の使用は、単なる例示に過ぎず、開示内容の範囲に対

50

するいかなる固有限界を示すものでもない。

【0192】

本発明のもう1つの例として、伝導性金属酸化物層を、複数の異なる適合性材料を用いて形成することも可能である。適合性材料は、例えば、同様の結晶構造と同様の格子定数とを有する。このような材料の一例は、ルテニウム酸ストロンチウム (SRO) とチタン酸ストロンチウム (STO) で構成することができる。このとき、SRO結晶中のSr-Ru原子間の距離と、STO結晶中のSr-Ti原子間の距離との差は、数%の範囲内である。

【0193】

適合性材料であるための他の基準は、優れたエピタキシャル成長のための基準と同じである。例えば、 Al_2O_3 の1結晶表面は、Siの結晶表面の整数倍に極めて近いので、Siは、 Al_2O_3 (サファイア) に対して適合性である。 10

【0194】

<各層の電気特性の調整> :

メモリプラグ内の各層の電気特性は、いくつかの技術を用いて調整することができる。これらの電気特性としては、材料の抵抗率およびこのような抵抗の温度感受性、電荷トラップの量または大きさ、並びに磁場依存性を挙げられるが、これらに限定されない。

【0195】

特定の金属酸化物の抵抗率は、膜厚、膜の酸素含有量、化学量論組成、元素組成、堆積の方法および条件、結晶化度、結晶サイズ、結晶方位、並びにドーピングのレベルおよびドーパントの選択のいくつかをしばしば含む各種の要因に依存することが知られている。最近の研究によれば、適度に低い抵抗率 ($1 \cdot cm$ 未満) の材料は、これらのパラメータを慎重に選択することによって得られる。 20

【0196】

本発明のメモリ用途に適した膜厚の一例は、およそ100~3000オングストロームである。膜が薄いと、シード層との僅かなズレによって生じる歪みが大きくなり、その結果、抵抗率が高くなる。膜厚については、S.I. Khartsevらによる「Colossal magnetoresistance in ultrathin epitaxial $La_{0.75}Sr_{0.25}MnO_3$ films」(極薄のエピタキシャル $La_{0.75}Sr_{0.25}MnO_3$ 膜における巨大磁気抵抗) Journal of Applied Physics, Vol. 87, No. 5, 1 March 2000に記載されている。 30

【0197】

抵抗率に影響するもう1つの要因は、膜の酸素含有量である。抵抗率は、堆積および(もしあれば)アニールの過程での酸素への暴露を適切に制御することによって制御可能である。パルスレーザ堆積法によって酸素環境のもとで堆積された1500オングストロームのランタンマンガン酸化物(LMO)膜は、真空(さもなくば同じ条件)のもとで堆積された膜よりも低い抵抗率を有することが観測されている。Y. G. Zhaoらによる「Effect of oxygen content on the structural, transport, and magnetic properties of $La_{1-d}Mn_{1-d}O_3$ thin films」($La_{1-d}Mn_{1-d}O_3$ 薄膜の構造特性、輸送特性、および磁気特性に対する酸素含有量の影響) Journal of Applied Physics, Vol. 86, No. 11, 1 December 1999を参照されたい。堆積されたばかりの膜を、酸素を含む雰囲気中で冷却すれば、膜の抵抗率を更に下げられる。 40

【0198】

更には、希土類金属とアルカリ土類金属との相対量の調整によって抵抗率を加減することも観測されている。希土類金属に対するアルカリ土類金属の比が高いと、ある程度まで(ランタンカルシウムマンガン酸化物において約50:50まで)、抵抗率を下げるることができる。Guo-Qiang Gongらによる「Colossal magnetoresistance of 1000000-fold magnitude achieved in the antiferromagnetic phase of $La_{1-x}Ca_xMnO_3$ 」($La_{1-x}Ca_xMnO_3$ の反強磁性相において実現される大きさ1000000倍の巨大磁気抵抗) Applied Physics Letters, Vol. 67, No. 12, 18 September 1995を参照されたい。

【0199】

更に、多結晶材料には、非結質および単結晶の対応物よりも抵抗率の低いものがあることが見いだされている。しかしながら、2つの抵抗状態のみを有する実際的なメモリチップを作成する場合は、大きな変化（すなわち約10倍を超える変化）は不要であるのが一般的である（ただし、複数ビットの情報を保持するメモリセルでは必要である場合がある）。

【0200】

上記の特性に加えて、プロセス上および設計上のいくつかの特徴も重要である。先ず、上面に酸化物を堆積されるシード層または他の「基板」は、酸化物の抵抗率およびその他の特性に強い影響を与える。下地となる基板の結晶方位は、多くの場合に、上層の酸化物中の元素へとエピタキシャル的に伝搬する。したがって、例えば、もし下地となる基板が100方位を有するならば、酸化物は、100方位で選択的に堆積することができる。下地となる基板は、貴金属（例えばプラチナ）等の伝導性電極、またはLaNiO₃等の相対的に伝導性の酸化物であることが好ましい。多結晶構造において、適切な結晶サイズは、約100オングストロームから約1000オングストロームまでの範囲である。

【0201】

2種以上のドーパントが使用される場合は、それらのドーパントは、各層の有する同一の特性または複数の特性を調整できる可能性がある。酸化物に対するドーピングは、酸化金属層および/または界面の電気特性をより均一化して、より予測可能にすることができる。

【0202】

具体的な1つの態様では、ドーピングによって抵抗率を変化させる。例えば、電気パルスの印加は、抵抗率を高い値から低い値へと、または低い値から高い値へと可逆的に変化させるが、材料に対するドーピングは、このような高い値と低い値との差の大きさを加減することができる。

【0203】

もう1つの態様では、ドーピングによって電荷トラップの量または大きさを変化させる、または電荷トラップの電子捕獲能力を加減することによって、メモリプラグのデータ保持能力を向上させる。すなわち、ドーピングは、メモリの動作中に電子がメモリプラグを通り抜けて電荷トラップを残留させる動きを促進すると考えられる。

【0204】

もう1つの態様では、ドーピングによって抵抗の温度感受性を更に低下させる。もう1つの態様では、ドーピングによって磁場依存性を低下させる。

【0205】

<クロスポイントメモリアレイの電気特性> :

図46は、クロスポイントメモリアレイを簡単に示した図である。選択されたXアレイ線4605と選択されたYアレイ線4610は、選択されたセル4615で交差する。選択されなかった残りのXアレイ線4620および選択されなかった残りのYアレイ線4625は、簡単のため、それぞれ1つずつのグループで表される。同様に、選択されたXアレイ線4605上の選択されなかったメモリセル4630、選択されたYアレイ線4610に接続された選択されなかったメモリセル4635、および選択されたXアレイ線4605にも選択されたYアレイ線4610にも接続されていない選択されなかったメモリセル4640も、やはり、簡単のため、それぞれ1つずつグループで表される。

【0206】

選択されなかったメモリセル4630, 4635, 4640の組み合わせは、選択されたメモリセル4615に並列に接続されるので、Xアレイ線4605にいくつかのV_xを印加し且つYアレイ線4610にいくつかのV_yを印加した際に読み出される電流は、 $(V_x - V_y) \times (R_{4615} + R_{4630} + R_{4635} + R_{4640}) / (R_{4615} \times (R_{4630} + R_{4635} + R_{4640}))$ である。ここで、R₄₆₃₀, R₄₆₃₅, R₄₆₄₀は、選択されなかったメモリセル4630, 4635, 4640の抵抗であり、R₄₆₁₅は、選択されたメモリセル4615の抵抗である。大アレイでは、選択されなかったメモリセル4630, 4635, 4640に

10

20

30

40

50

並列に組み合わせられた場合の選択されたメモリセル4615の抵抗は、選択されたメモリセル4615単独の場合の抵抗を大幅に下回る。したがって、アレイ線がフローティングして且つ選択されなかったメモリセル4630, 4635, 4640に電流が流れている状態で、選択されたメモリセル4615の抵抗を読み出すことは、非実用的である。

【0207】

選択されなかった線4620, 4625を特定の電圧にクランプすれば、選択されなかったメモリセル4630, 4635, 4640による影響を低減させられる。しかしながら、このような技術は、選択されなかったメモリセル4630, 4635, 4640を通じて電流が消費される結果となる。例えば、もし $V_y = -V_x$ であり、且つ選択されなかった線4620, 4625が0Vに保持されるならば、選択されたYアレイ線4610上の選択されなかったメモリセル4635には、 V_x / R_{4635} に等しい電流が流れる。これは、選択されなかったアレイ線の数が多い場合は大電流になる可能性がある。

10

【0208】

前述されたように、書き込み操作中は、選択されたXアレイ線4605および選択されたYアレイ線4610の両方に、より高い電圧が印加されるのが一般的である。選択された要素にとって、他の要素でのリーク電流は決定的ではないが、大アレイの場合は、リーク電流の振幅の大きさが、アレイ線ドライバから非実用的に大きい電流を必要とするほどになる可能性がある。更に、選択されなかったメモリセル4630, 4635, 4640は、それぞれを流れる不要な電流によって、メモリ状態に影響を及ぼされる可能性がある。

20

【0209】

図47は、各メモリセルがダイオードを含む場合の典型的なクロスポイントメモリアレイ4700を示している。選択されたXアレイ線4705に電圧 V_x が印加され、且つ選択されたYアレイ線4710に電圧 V_y が印加されると、ダイオードは、直列に接続された選択されなかったメモリセル4730, 4735, 4740に電流が流れないようにブロックする。選択されなかったアレイ線4720, 4725は、フローティングしたままなので、選択されたXアレイ線4705から選択されたYアレイ線4710へと流れる電流は、選択されたメモリセル4715だけを流れる。したがって、メモリセル4715の抵抗の値を正確に評価することが可能になる。

【0210】

書き込み操作中は、ダイオードは、選択されなかったメモリセル4730, 4735, 4740を通る寄生電流経路もブロックする。しかしながら、もし、選択されなかったアレイ線4720, 4725がフローティングしている場合は、これらのアレイ線は、選択されなかったメモリセル4730, 4735, 4740を流れる電流によって充電される。例えば、1ダイオードにおける順方向バイアス電圧降下を V_{fwd} とすると、選択されたXアレイ線4705と交差する選択されなかったアレイ線は $V_x - V_{fwd}$ に達する。なぜならば、選択されたXアレイ線4705は V_x （書き込み操作中は $1/2 V_w$ ）であり、電流は選択されなかったメモリセルを流れるからである。もし V_x が十分に高いと、選択されなかったメモリセルを一時的に流れる電流は、そのセルの抵抗状態に支障をきたすのに十分な大きさになる可能性がある。 V_x がダイオードの電圧降下を上回っている場合に、もし、選択されなかった線4720, 4725を固定電圧にクランプすると、いくつかのセルに定電流が流れる。このような定電流は、これらのセルの状態に徐々に影響を及ぼす可能性があるので望ましくない。

30

40

【0211】

図48は、各メモリセルがBTBダイオードを含む場合の典型的なクロスポイントメモリアレイ4800を示している。図49は、BTBダイオードの電流電圧特性、すなわち「I-V」特性を示している。 $-V_{NO}$ と $+V_{NO}$ との間の低電圧では、デバイスは伝導しない、または僅かに伝導するのみである。 V_{NO} 電圧は、非オーミック電圧と称することができ、これは、伝導が顕著になる電圧である。 $-V_{NO}$ を下回る電圧と、 $+V_{NO}$ を上回る電圧では、デバイスは伝導性である。

50

【0212】

図50は、とあるタイプの線形メモリ素子のI-V特性を示している。このメモリ素子は、両端子に正電圧を印加されているあいだ、ほぼ線形の抵抗値を有し、電圧が書き込み閾電圧 V_w に達すると、抵抗を上昇させる。メモリ素子は、両端子にかかる電圧が減少して負になってゆく間、より高い抵抗値の特性を示す。そして、両端子にかかる電圧が負の書き込み閾電圧に達すると、メモリ素子は、より低い値の抵抗状態に戻る。図51は、線形メモリ素子とBTBダイオードとを直列に繋いで使用した場合のI-V特性を示している。もう1つの実施形態では、2つのトンネルダイオード、すなわちバックワードダイオードを背中合わせに搭載して使用する。バックワードダイオードの原理については、Sze S.M.による『Physics of Semiconductor Devices』（半導体デバイスの物理学）pp. 537-539, 1981に記載されており、それぞれ約500オングストロームの1つのN+層、1つのP+層、およびもう1つのN+層によって実現することができる。

【0213】

図48に示されるように、クロスポイントメモリアレイ4800に書き込みする方法は、1つには、選択された線4805および4810に $V_x = (V_{N0} + V_w) / 2$ および $V_y = -(V_{N0} + V_w) / 2$ を印加し、且つ選択されなかった線4820, 4825を接地する方法である。その結果、選択されたメモリセル4815のメモリ素子にかかる電圧は、 $V_x - V_y - V_{N0}$ 、すなわち V_w になり、選択されなかったセル4830, 4835のメモリ素子にかかる電圧は、 $(V_{N0} + V_w) / 2 - V_{N0}$ 、すなわち $V_w / 2 - V_{N0} / 2$ になり、選択されなかったメモリセル4840のメモリ素子にかかる電圧は、0Vになる。なぜならば、この場合は、選択されなかった線4820, 4825は接地されているからである。選択されたXアレイ線4805およびYアレイ線4810に逆極性の電圧を印加した場合は、選択されたセルにおいてプログラムされるデータが反対になる。したがって、もし、 V_w を、閾書き込み電圧より高く且つ閾書き込み電圧の2倍より低く設定すれば、両端子に $V_w / 2$ をかけられている選択されなかったセルは、書き込み操作中に影響を受けず、書き込みを施されない。

【0214】

読み出し操作も、閾書き込み電圧を下回る、より低い電圧 V_R で V_w を置き換えることによって、同様に進行する。読み出しの場合は、選択されたメモリセルのメモリ素子の両端に V_R 電圧がかかり、選択されなかったメモリセルのメモリ素子の両端に $V_R / 2 - V_{N0} / 2$ がかかる。または、もし $V_R < V_{N0}$ 未満ならば0Vがかかる。

【0215】

読み出し中のもう1つの懸念は、リーク電流である。なぜならば、読み出し操作は、電圧を印加して電流を読み出すことによって、選択されたセルの抵抗値を突き止めようとするからである。読み出し電流のいかなる変動も、読み出し値に影響する可能性がある。例えば、もし線4810上の選択されなかった各セル4835が1nAのリークを生じ、メモリアレイが1アレイ線あたり1024個のセルを有するならば、アレイ線4810でのリークは、 $1023 \times 1 \text{ nA}$ 、すなわち $1.023 \mu\text{A}$ になる。 $1.023 \mu\text{A}$ は、多くのシステムにとって許容可能な大きさであるが、もし各セルが100nAのリークを生じる場合は、 $100 \mu\text{A}$ を超えるリークが引き起こされ、これは、選択されたセルの正しい読み出しに影響を及ぼす可能性がある。このような場合は、例えば1アレイ線あたり100個のセルを有する等のより小型のセルならば、 $100 \times 100 \text{ nA}$ 、すなわち $10 \mu\text{A}$ のリークで済むので、まだ機能することが可能である。

【0216】

メモリセルとBTBダイオードとを直列に接続して使用するもう1つの実施形態は、BTBダイオードをメモリ素子に埋め込み、いくつかの金属/半導体界面の非オーミック特性を上手く活用する形態である。図52は、Pt電極と、結晶性PCMOと、Al薄膜層と、もう1つのPt電極とで構成された、非オーミック作用を示す積層体の代表的なI-V曲線を示している。このような材料は、 V_{N0} 未満でいくらかのリークを示すものの、小型のアレイに対しては依然として適用可能であり、より大型のアレイで使用できるように

改善できる可能性がある。

【0217】

この実施形態を使用するためには、メモリ素子の閾書き込み電圧を調整する必要がある。ショットキー効果等の典型的な非オーミック作用は、 V_{NO} を1V未満にする。もし V_W が V_{NO} を上回る場合は、選択されなかったセルは、そのメモリ素子に $(V_W - V_{NO}) / 2$ を印加される。その結果、選択されなかったセルに望ましくない電流が流れる。この電流を回避する、または低減させるためには、 V_W を V_{NO} に近い値、または V_{NO} 未満の値に維持することが好ましい。したがって、書き込み電圧は、厚さ、酸素含有量、結晶構造、および化学量論組成等の伝導性金属酸化物の特性を変化させることによって V_{NO} 未満に調整される。

10

【0218】

<製造の方法>：

図53は、基板工程(front end of line, FEOL)を経て底部分5300まで完成された、部分処理状態の集積回路の断面図を示している。p型基板5310は、nウェル5315の下に位置し、nウェル5315は、pウェル5320の下に位置する。逆バイアスのpn接合を形成するため、pウェル5320の中には、2つのN+島状構造5325, 5330が形成される。pウェル5320の上には、第1の層間絶縁膜(ILD)5305が形成される。第1のILD5305の中には、選択線5335を形成することができる。選択線5335は、2つのN+島状構造5325, 5330間の電界効果トランジスタ(FET)式の伝導を制御可能な方式でオンにする標準的なポリシリコンゲートを有する。簡略化および製造の低コスト化を図るため、FEOLプロセスとしては、シリコン、ゲルマニウム、ガリウム砒素、シリコン・ゲルマニウム、およびシリコン・オン・インシュレータ等の多くの標準的ICプロセスのうちの任意のプロセスを選択することができる。この実施形態において、FEOLプロセスとは、デバイスの製造過程において、第1のメタライゼーションに至る直前までに半導体ウエハに対して実施され、第1のILD5305の化学機械研磨(CMP)で終了する工程として定義される。本発明の説明を簡単にするため、以下に挙げられる実施形態は、本発明の範囲が限定されないという理解のうえで、シリコンプロセスを使用して説明される。

20

【0219】

図54は、更なる処理を経て、図53のFEOL部分5300に伝導性プラグを形成された後の、集積回路5400の断面図を示している。図示されたこのプロセスでは、まず、第1のILD5305の中に、伝導性プラグを形成するのに望ましい位置にそれぞれ対応する複数のコンタクトホールが形成される。次いで、コンタクトホールの内部に、障壁/接着層5405, 5410がスパッタリングによって形成される。なお、スパッタリングは、物理蒸着法の1つの形態であることに留意する必要がある。スパッタリングの具体的な組成は、使用される伝導性プラグの材料に応じて決定され、例えば、まず100オングストロームのTiを使用して、次いで200オングストロームのTiNを使用することが可能である。次いで、コンタクトホール内の障壁/接着層5405, 5410の上に、伝導性プラグ材料を堆積させることができる。図に示されるように、伝導性プラグは、化学気相成長(CVD)によって5000オングストロームのタングステン(W)を成長させ、次いでエッチバックプロセスまたは化学機械研磨(CMP)によって第1のILD5305の表面上の余分な伝導性プラグ材料を除去して得られた、タングステン(W)プラグ5415およびタングステン(W)プラグ5420であることが可能である。

30

40

【0220】

図55は、更なる処理を経て、図54の部分処理状態の集積回路5400上に中間のメモリプラグ部分を一部形成された後の、集積回路5500の断面図を示している。まず、下部電極5505が堆積される。下部電極5505は、例えば金属相互拡散を阻止するための厚さ500オングストロームのTiAlNの障壁層、およびそれに続く500オングストロームのLaNiO₃または1000オングストロームのPt等の、複数の層で形成することが可能である。これらの層は、スパッタリングによって堆積させることができる

50

。次に、下部電極 5 5 0 5 の上に、伝導性酸化物 5 5 1 0 が堆積される。伝導性酸化物は、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO) の化学量論組成を有する 5 0 0 オングストロームの材料でよく、好ましくは、スパッタリング等の物理蒸着法によって約 6 0 0 未満の温度で堆積され、次いでアニールされる。アニール工程は、伝導性酸化物 5 5 1 0 の目的とする結晶構造および材料組成を回復させる助けとなる。次いで、スパッタリングを使用して、上部電極 5 5 1 5 を堆積させることができる。上部電極は、伝導性酸化物 5 5 1 0 の上に先ず反応性金属 (例えば 1 0 オングストロームの Al) の薄い層が形成される点を除き、下部電極 5 5 0 5 と同様の組成を有することができる。次いで、標準的なフォトリソグラフィプロセスおよび適切な多工程エッチングプロセスを使用して、下部電極層 / 伝導性酸化物層 / 上部電極層をパターン形成してメモリプラグに仕上げるることができる。任意の改善の 1 つとして、下部電極 5 5 0 5 および上部電極 5 5 1 5 の一方または両方を伝導層と障壁層とで作成して金属相互拡散を阻止することが挙げられる。

10

【0221】

中間のメモリプラグ部分の形成を更に向上させため、数々のスパッタリング技術を使用することができる。オフアクシススパッタリングプロセスでは、ターゲット表面、すなわちスパッタされる材料を供給する側と、基板表面、すなわちスパッタされる材料を受け取る側とが、互いに約 7 0 ~ 9 0 度の角度でほぼ直交している。オフアクシススパッタリングを使用する利点としては、オンアクシスの反応性イオンスパッタリングプロセスの場合にイオン衝突によって材料に及ぼされる損傷を最小限に抑えられることが挙げられる。もう一つの実装形態としては、対向ターゲットスパッタリング (FTS) のように、2 つのターゲットを対向して設ける方法が挙げられる。同時スパッタリングでは、成膜材料が 2 つ以上のターゲットから同時に弾き出され、2 種以上の材料のプラズマが生成されるので、基板表面に 2 種以上の材料が同時に堆積される。したがって、同時スパッタリングを使用する利点としては、材料組成の柔軟性を挙げられる。連続的な堆積プロセスでは、同じ 1 つの成膜室内で、真空を破ることなく複数の層が本来の位置に堆積される。この堆積技術は、例えば、スパッタリングマシン内において、基板を 1 つの位置に維持しつつターゲットの切り替えを行うことによって、または 1 つのシステム内の複数の成膜室間で切り替えを行うことによって、最も容易に実現される。真空を破らないので、空気に曝されることによって生じる多くの汚染および酸化の問題を回避することができる。

20

【0222】

上記の議論を踏まえ、伝導性酸化物 5 5 1 0 の堆積は、同時スパッタリング技術を有利に使用することができる。下部電極 5 5 0 5 のため、伝導性酸化物 5 5 1 0 のため、および上部電極 5 5 1 5 のための 3 回のスパッタリングプロセスの少なくとも 1 回に、オフアクシススパッタリング技術を使用することができる。更には、これら 3 回のスパッタリングプロセスのうち、少なくとも 2 回の連続するスパッタリングプロセスに、連続堆積技術を有利に使用することができる。これらの層は、次いで、パターン化 (フォトデファイン : photodefines) され、コンタクト 5 4 2 0 の上に積層体 5 5 0 5 , 5 5 1 0 , 5 5 1 5 を形成する。もう一つの選択肢として、PCMO を相互拡散から保護するためのエッチストップ / 拡散障壁 5 5 2 0 を堆積させることも可能である。エッチストップ / 拡散障壁 5 5 2 0 は、図に示されるように、下部電極 5 5 0 5 、上部電極 5 5 1 5 、および伝導性酸化物 5 5 1 0 の露出面を覆う。なお、エッチストップ / 拡散障壁 5 5 2 0 は、製造プロセスのエッチストップとしても作用する二重機能層である。また、エッチストップ / 拡散障壁 5 5 2 0 は、下部電極 5 5 0 5 、上部電極 5 5 1 5 、および伝導性酸化物 5 5 1 0 の側面を覆う側壁層も形成する。エッチストップ / 拡散障壁 5 5 2 0 は、2 5 0 オングストロームの Si_3N_4 、 TiO_2 、または Al_2O_3 で作成することができる。材料改善の 1 つとして、伝導性酸化物 5 5 1 0 の堆積後に、伝導性酸化物 5 5 1 0 とその後に堆積される上部電極 5 5 1 5 との間の界面特性を調整することが可能である。より詳細に言うと、イオン注入、各種ガス内での in-situ プラズマ処理、または各種ガス内での in-situ アニールによって界面特性を調整することができる。可能なガスとしては、アルゴン、酸素、または水素が考えられる。

30

40

50

【0223】

図56は、更なる処理を経て、図55の部分処理状態の集積回路5500上に中間のメモリプラグ部分を完全に形成された後の、集積回路5600の断面図を示している。IC素子を底部から上方へと数える際の明瞭化のため、中間のメモリプラグ部分は、図54に示されたような第1のILD5305の上面から第2のILD5605の上面に至るまでの全てのIC素子を含むものとする。

【0224】

第2のILD5605は、エッチストップ/拡散障壁5520の上に堆積される。第2のILD5605は、厚いSiO₂層で形成した後に化学機械研磨(CMP)によって平坦化することができる。次いで、標準的なフォトリソグラフィおよびビアエッチングによって、位置的にも幾何学的にも上部電極5515に対応する複数のビアホールを形成することができる。そして、これらのビアホールの中に、スパッタリングによって障壁/接着層5610, 5615が形成される。スパッタリングの具体的な組成としては、先ず100オングストロームのTiを使用して、次いで200オングストロームのTiNを使用することが可能である。次いで、コンタクトホール内の障壁/接着層5610, 5615の上に、伝導性のプラグ材料が堆積される。伝導性プラグは、化学気相成長(CVD)によって5000オングストロームのタングステン(W)を成長させ、次いでエッチバックプロセスまたは化学機械研磨(CMP)によって第2のILD5605の表面上の余分な伝導性プラグ材料を除去して得られた、Wプラグ5620およびWプラグ5625であることが可能である。プロセス改善の1つとして、この時点でアニール工程を実施し、中間のメモリプラグ部分の本来の結晶構造および材料組成を回復させる助けとすることができる。

【0225】

図57は、中間のメモリプラグ部分の上に上部のメタライゼーション部分を完全に形成された後の、完全処理状態の集積回路5700の断面図である。IC素子を底部から上方へと数える際の明瞭化のため、上部のメタライゼーション部分は、中間のメモリプラグ部分より上方の全てのIC素子を含むものとする。図56に示された部分処理状態の集積回路5600の上に、標準的なプロセスを使用して、1枚または2枚以上のメタライゼーション層を形成することができる。この実施例では、2枚のメタライゼーション層が示されている。第1のメタライゼーション層は、最終的に2つのWプラグ5620, 5715を接続する金属プラグ5710と、基準線5705との両方を形成するために使用することができる。Wプラグ5715は、第2のメタライゼーション層に形成されるデータ線5720を、データ線5720を支えるために使用される第3のILD5725を通して金属プラグ5710に接続するために使用される。Wプラグ5715および第3のILD5725は、前述されたのと同様のプロセスによってそれぞれ形成される。プロセス改善の1つとして、この時点でアニール工程を実施し、完成されたICの本来の結晶構造および材料組成を回復させる助けとすることができる。当業者ならば既に明らかなように、図示された基板工程後の底部分5300は、Wプラグ5420を介してメモリデバイスの下部電極5505にN+アイランド5325を接続されたFETを追加されているものの、一般には、下部電極5505に接続するために、用途に応じて他の任意のIC素子を代わりに実装することが可能である。例として、レジスタ、コンデンサ、またはダイオード等の非オーミックデバイスが挙げられる。また、メモリデバイスの空間的定位置および空間的整合を更に明瞭にするため、図55を参照にしてXYZ直交座標を設定することができる。すなわち、電極5505, 5515と伝導性酸化物5510との間の界面を概してXY平面として定めるとともに、メモリデバイスを流れる電流の方向を基本的にZ軸に平行に定めることができる。

【0226】

図58は、中間のメモリプラグ部分のメモリデバイスがハードマスク5530層およびスペーサ5525の両特徴を更に含む場合の、もう1つの完全処理状態の集積回路5800の断面図である。以下で製造プロセスを説明されるこれらの特徴を除いて、完全処理状

10

20

30

40

50

態の集積回路 5800 は、図 57 に示された完全処理状態の集積回路 5700 と同じである。スペーサ 5525 は、上部電極 5515 を覆う誘電体材料で作成することができる。誘電体材料の例としては、 Si_3N_4 、 SiO_2 、 TiO_2 、 $SiON$ 、または Al_2O_3 が挙げられる。ハードマスク 5530 は、一般に、上部電極 5515 と同様の XY 断面を有する電気伝導性の材料で作成される。ハードマスク 5530 は、下方の 1 枚または 2 枚以上の膜をプラズマエッチング室内でのエッチングから保護するためのエッチングマスクとして使用されるマスク材料である。ハードマスクの材料は、絶縁体および導体の 2 種類に分類することができる。よくある絶縁性ハードマスクは、酸化物および窒化物である。よくある伝導性ハードマスクは、 TiN 、 TaN 、 WN 等を含む二価の窒化金属、および $TiSiN$ 、 $TiAlN$ 、 $TaSiN$ 等を含む三価の窒化金属である。ハードマスクが標準的なフォトレジストより優れている点は、1 つには、高温を必要とするドライエッチングプロセスに耐えうるとい点である。一般に、貴金属または複合金属酸化物をエッチングするには、それらのエッチングに関連した、とりわけエッチング副産物の揮発性等の困難性ゆえに、高温での反応性イオンエッチング (RIE) が必要とされる。下部電極 5505、伝導性酸化物 5510、および上部電極 5515 のプロファイルを定める先行エッチング工程による影響ゆえに、伝導性酸化物 5510 の周縁部は、しばしばプラズマイオンによる損傷を受け、それに付随して、Z 方向にリーク電流伝導を引き起こすことがある。このリーク電流は、大塊状の伝導性酸化物 5510 を通る電流伝導をショートさせる可能性があるため、メモリデバイスの操作にとって望ましくなく且つ有害である。スペーサ 5525 の導入は、伝導性酸化物 5510 の XY 平面に沿った断面積を、伝導性酸化物 5510 のそれより小さくする。スペーサ 5525 は、上部電極 5515 の側部と伝導性酸化物 5510 の端部との間に抵抗を生成する。したがって、スペーサ 5525 の XY 方向の実装面積は、上部電極 5515 の側部と伝導性酸化物 5510 の端部との間の抵抗が十分に高く、したがってリーク電流伝導による影響をごくわずかに抑えられるように、十分に大きく作成することができる。

10

20

30

40

【0227】

図 59A ~ 図 59E は、図 58 に示したメモリデバイス 5800 のハードマスク 5530 特徴およびスペーサ 5525 特徴を形成するために使用可能な典型的な一連の処理工程を詳細に示している。図 59A は、下部電極層 5505 をスパッタリングする工程と、伝導性酸化物 5510 をスパッタリングする工程と、上部電極層 5515 をスパッタリングする工程と、ハードマスク層 5530 を堆積させる工程とを経た後の、1 つのメモリデバイスのみを示している。ハードマスク層は、化学気相成長、スピン塗布、またはスパッタリング等の各種手段によって堆積させることができる。前述されたのと同様に、伝導性酸化物 5510 の堆積後は、伝導性酸化物 5510 とその後に堆積される上部電極 5515 との間の界面特性を調整することが可能である。より詳細には、界面特性の調整は、イオン注入、in-situ アルゴンプラズマ処理、in-situ 酸素プラズマ処理、アルゴン内での in-situ アニール、または酸素内での in-situ アニールによって実施することが可能である。図 59B および図 59C は、フォトレジスト 5535 を使用してハードマスク層 5530 および上部電極層 5515 をフォトリソグラフィエッチングする工程を示している。これらの層は、いずれも、後ほどパターン形成される伝導性酸化物 5510 よりも小さい断面積を有する。次いで、スペーサ 5525 を形成するために、上部に誘電体材料が堆積される。図 59D は、Z 方向のエッチング速度が X 方向および Y 方向のエッチング速度を大幅に上回る異方性ドライエッチングを誘電体材料に施され、上部電極 5515 およびハードマスク 5530 の側面を覆う側壁スペーサ 5525 を形成された後の、メモリデバイスを示している。最後に、図 59E は、伝導性酸化物層 5510 および下部電極層 5505 をエッチングされた後のメモリデバイスを示している。損傷を受けた伝導性酸化物 5510 の周縁部を更に除去するための随意的な処置の 1 つとして、ウェットエッチングによる追加のクリーンアップ工程を実施して、伝導性酸化物の側面の材料を 50 ~ 150 オングストロームだけ選択的に除去し、アンダカットを形成することが可能である。

【0228】

50

図60は、中間のメモリプラグ部分のメモリデバイスがアンダカット5540を含む場合の、もう1つの完全処理状態の集積回路6000の断面図である。幾何学的に、下部電極5505のXY断面は、伝導性酸化物5510のそれより大きい。同様に、上部電極5515のXY断面も、やはり伝導性酸化物5510のそれより大きい。アンダカット5540を除いて、完全処理状態の集積回路6000は、図57に示された完全処理状態の集積回路5700と同じである。図55および付随の説明にあるように、下部電極/伝導性酸化物/上部電極の各層をパターン形成してメモリプラグに仕上げた後は、ウェットエッチングによる随意的な仕上げ工程を実施して、伝導性酸化物5510の側面の材料を50~150オングストロームだけ選択的に除去し、図60に示されたようなアンダカット5540を形成することが可能である。アンダカット5540の目的は、損傷を受けたマルチレベル抵抗状態素子5510の周縁部を直接的に除去することにある。このような周縁部は、さもないと、上述されたように、Z方向にリーク電流伝導を引き起こす可能性がある。

10

【0229】

< 高温製造 > :

前述のように、メモリプラグに使用される技術は、メモリプラグの下層(例えば、トランジスタメモリアレイの選択線や、クロスポイントメモリアレイのドライブ回路構成および下部の伝導線など)の要件に従うのが一般的である。特定の製造プロセス(溶液ベースのスピンとそれに続く高温アニール、パルスレーザ堆積、スパッタリング、および有機金属化学気相成長)は、高温を必要とするので、これらの層としては、温度に耐えられるように耐熱金属を使用することができる。

20

【0230】

集積回路で使用される一般的な金属配線は、アルミニウムまたは銅で作成される。しかしながら、これらの金属は、低めの融点を有しており、もし融解を許されると、形成された金属配線の構造的完全性を損なわれる。更に、これらの材料は、自身の融点未満の温度にすら耐えることができない。例えばアルミニウムは、融点が660であるが、一般に、400を超える温度には曝さないことが望ましい。このような温度では、アルミニウム原子は、他の領域への拡散を開始し、基板上の他の半導体素子と反応してこれらの素子の特性に支障をきたす可能性がある。このような拡散は、温度の上昇とともに増大し、450でほとんど動作不能になる。

30

【0231】

したがって、もし、普通の低温伝導線(すなわちアルミニウムまたは銅)を使用するならば、第1の金属線の上にくるあらゆる材料は、それらが「安定した」金属だと見なされる温度に制限される。しかしながら、多くの製造プロセスは、マルチレベル抵抗状態素子の結晶構造または多結晶構造を成長させるために高温を必要とする。このようなプロセスの高温は、一般に、600~800である。

【0232】

したがって、場合によっては、高温に耐えうる伝導線を使用することが求められる。高融点金属は、通常は耐熱金属と称され、タングステン、モリブデン、タンタル、ニオブ、クロム、バナジウム、およびレニウム、ならびに、より一般的でないものとして、ジルコン、テクネチウム、ルテニウム、ロジウム、ハフニウム、オスミウム、およびイリジウムを含む。後者の金属の一部は、しかしながら、集積回路のプロセスで使用するには実際的でないことがある。耐熱金属は、また、高融点を有する任意の化合物および合金も含む。また、多くの用途では、メモリアクセス時間を向上させ、且つより長いアレイ線を可能にするために、低抵抗率の材料を使用することが好まれる。

40

【0233】

また、一般には、所望のプロセス温度を少なくとも100上回る融点を持つ任意の伝導性材料を使用することができる。例えばアルミニウムの場合は、所望のプロセス温度は、アルミニウムの融点を200下回ることが好ましい。したがって、最適な伝導性アレイ線は、使用される高温処理の温度を少なくとも100上回る融点を有する低抵抗率の

50

耐熱金属である。

【0234】

伝導線は、高温処理に耐える必要がある唯一の素子ではなく、一般に、これらの高温から逃れられるのは、メモリプラグの高温処理後に堆積される層のみである。メモリプラグの形成後は、高温工程は不要であるので、メモリ上部の層は、高融点を有さなくてよい。したがって、このような層は、アルミニウム、銅、または、アルミニウムシリコン、アルミニウムシリコン銅、もしくはアルミニウム銅等のアルミニウム合金で作成することができる。

【0235】

高温処理に耐える必要がある素子としては、マルチレベル抵抗状態の材料と、可能性のある非オーミックデバイスと、適切な電極と、伝導性アレイ線の下層と、メモリセルの電極を伝導性アレイ線に接続するコンタクトプラグとを挙げられる。貴金属、二価または三価の酸化物および窒化物、ならびに伝導性金属酸化物で作成された電極は、耐熱性である。犠牲層として機能できる耐熱性材料の例としては、酸化ルテニウムタンタル、酸化ルテニウムチタン、酸化イリジウムタンタル、または酸化イリジウムチタン等の三価の酸化物、ならびに窒化ルテニウムタンタル、窒化ルテニウムチタン、窒化イリジウムタンタル、または窒化イリジウムチタン等の三価の窒化物を挙げられる。

【0236】

<抵抗状態を格納するメカニズム>：

格納されたまたは捕獲された電荷の使用は、不揮発性メモリセルにデータを格納するための主要なメカニズムである。デバイスの動作中、これらの捕獲された電荷は、例えば、FETのシリコン表面の伝導性を变化させる働きをする。対応する一般的なデバイス構成が、図61に示されている。FET6100は、コントロールゲート6110によって分離されたソース6130とドレイン6120を含む。このFET6100は、n型またはp型のいずれかでよい。簡単のため、ここではn型FETについて説明する。したがって、ドレイン6120およびソース6130は、いずれもnドープト半導体材料で作成され、基板6140は、pドープト半導体材料で作成される。コントロールゲート6110に正の電圧が印加されると、基板6140の中の電子はコントロールゲート6110に引き寄せられ、基板6140内のコントロールゲート6110の下方に位置する「チャンネル」と称される領域に、反転層6150を形成する。チャンネルは、すると、ドレイン6120とソース6130との間に電流を流れさせる。

【0237】

上記の説明にもかかわらず、酸化物6170内のコントロールゲート6110と基板6140との間の領域に捕獲された電荷の存在は、反転層6150を形成するためにコントロールゲート6110に印加しなければならない電圧の値を变化させる。捕獲された電荷6160が負である場合は、捕獲された電荷が大きいほど必要な電圧も高くなる。なぜならば、酸化物の中に捕獲された負の電荷は、チャンネルから電子を追い払うので、この作用を打ち消すためには、より高い正の電圧をコントロールゲート6110に印加する必要があるからである。

【0238】

上述された各デバイスでは、捕獲される電荷の大きさを各種のメカニズムを通じて変えることができる。そして、反転層を形成するために必要とされる電圧を検出することによって、データ検索を実現することができる。同様に、本発明で使用されるメモリ材料も、やはり、捕獲される電荷によって抵抗状態を变化させる。前述のように、メモリ材料は、様々な材料のうちの任意の材料であってよく、最も一般的には、処理を経て伝導性を付与された絶縁体または半導体である。

【0239】

電流キャリアは、負に帯電した電子または正に帯電した正孔のいずれでもよい。電流キャリアの捕獲位置は、または単純にトラップは、メモリ材料の禁制帯内に局在的なエネルギー準位を存在させる、メモリ材料内の領域である。これらのトラップは、したがって、メ

10

20

30

40

50

メモリ材料の中の電流キャリアを捕獲する、すなわち動かなくして、メモリ材料の抵抗に影響を及ぼすことができる。

【0240】

更に、トラップの帯電または放電の度合いは、禁制帯内の局在的エネルギー準位に依存する。また、キャリアの占有度も、メモリ材料にかかる電場によって影響され、それに対応して電流の流れを伴うことがある。一般に、電場は、キャリアの占有度に影響を及ぼす前に、特定の閾値を超えている必要がある。したがって、適切に設計されたメモリプラグの抵抗は、印加される電圧閾値の数に対応して複数の値のあいだで切り替わることができる。以下では、これらのトラップを形成および構成する手段について説明する。

【0241】

結晶性メモリ材料の場合は、トラップは、結晶格子内に位置してよい。しかしながら、多結晶性メモリ材料の場合は、トラップは、粒界内または分子構造内のいずれかに位置してよい。

【0242】

トラップの形成を促進するため、ドーパントと称される微量の外来材料をメモリ材料に導入することができる。一般に、ドーパントは、材料全体の分子数の10%未満である。いくつかのドーパントは、結果として、禁制帯内の深いエネルギー準位に捕獲センタを形成する。すなわち、これらの捕獲センタに捕獲された電流キャリアは、可動性を回復するために十分な量のエネルギーを得る必要がある。例えば、Cr、Fe、またはNiの元素は、STOおよびSXOの中の深いエネルギー準位にトラップを形成することができる。反対に、Y、La、Nb、およびTaの元素は、主として浅いエネルギー準位に捕獲センタを形成し、このようなセンタは、トラップとして機能しないのが一般的である。P. Koidlらによる「Photochromism in Ni-doped SrTiO₃」(NiドーパトSrTiO₃におけるフォトクロミズム) Physical review B, Vol. 14, No. 7, Oct. 7, 1976 PP. 2703 - 2708、およびS. A. Basunらによる「Photoinduced Phenomina in Sr_{1-x}Ca_xTiO₂, 0 ≤ x ≤ 0.12」(Sr_{1-x}Ca_xTiO₂, 0 ≤ x ≤ 0.12における光誘起現象) Ferroelectrics, 1996, Vol. 183, PP. 255 - 264の技術論文を参照されたい。

【0243】

トラップは、また、高エネルギー放射または粒子線照射によってメモリ材料に導入することも可能である。例えば、紫外線およびX線照射は、SiO₂にトラップを導入する。また、中性子変換ドーピングを使用してシリコン内にドーパント原子を形成することもなされてきた。

【0244】

トラップは、また、メモリ材料内に内在するものとして、メモリ材料とともに形成することも可能である。このようなメカニズムの例は、既に説明済みである。更に、トラップは、電場をかけられた状態で複合金属酸化物内を酸素空孔がドリフトする電氣的初期化プロセスによって形成することもできる。参照文献として、Rainer Waserらによる「DC Electrical Degradation of Perovskite-Type Titanates (Ceramics, Single Crystal, A Model of the Mechanism): I, II & III」(ペロブスカイトタイプのチタン酸塩のDC電氣的劣化(セラミック、単結晶、メカニズムのモデル): I、II、& III) J. Am. Ceram. Soc., 73 [6] 1990 PP. 1645-1663、並びにJ.G. Simmons および R. R. Verderberによる「New conduction and reversible memory phenomena in thin insulating films」(絶縁薄膜における新たな伝導および可逆的なメモリ現象) Proc. Roy. Soc. A. 301, 1967 PP. 77-102を参照されたい。

【0245】

トラップされた電荷の存在は、大塊状のメモリ材料の伝導率を加減する、または改める。一例として、図62Aには、電荷トラップ6210を有するメモリ材料6200の一部が示されている。図中、各電荷トラップ6210は、一定量の負の電荷を帯びている。このとき、電荷トラップ6210は、近くを移動中の電子を寄せ付けないことによって、電子の流れを低減させる働きをする。その一方で、同じ電荷トラップ6210は、近くを移

10

20

30

40

50

動中の正孔を引き寄せることによって、正孔の流れを増大させることができる。したがって、捕獲された電荷は、その極性に依りて、付近にある自由電流キャリアの濃度を高めるか、または奪うかのいずれかの働きをすることができる。対応するエネルギー帯図を示された図6-2-Bには、伝導帯ECおよび価電子帯EVの局所的な上昇6-2-2-0が示されている。

【0246】

捕獲された電荷の存在は、上部電極がメモリ材料と接触する面または下部電極がメモリ材料と接触する面におけるショットキー障壁の高さを、電荷の種類に依りて上昇させる、または下降させる。捕獲された電荷は、類似の電荷極性を持つ自由キャリアに対しては、接触面に対抗性の電場を導入することによって、ショットキー障壁を上昇させる。他方で、捕獲された電荷は、反対の極性を持つ自由キャリアに対しては、接触面に増強性の電場を導入することによって、ショットキー障壁を下降させる。したがって、より高いショットキー障壁は、電荷捕獲式メモリデバイスの抵抗を増大させる働きをし、逆もまた同様である。図6-3には、対応するショットキー障壁のエネルギー帯図が示されている。図の左側は、帯電したトラップがない場合で、図の右側は、帯電したトラップ6-3-0-0がある場合であり、この場合の自由キャリアは電子である。

10

【0247】

金属電極とCMO膜との間の界面には、ショットキー障壁のような空乏領域がある可能性がある。そして、そのような界面にあるトラップは、伝導に影響を及ぼす可能性がある。トラップホッピングは、双極的伝導を生じている間、捕獲された電荷の存在に影響される。図6-4には、対応するエネルギー帯図が、捕獲された電荷がない場合(左側)と、捕獲された電荷がある場合(右側)とについて示されている。

20

【0248】

フレンケル・プール伝導は、電場に誘発される、適度に深いトラップからの熱イオン放出である。このとき、他のエネルギーレベルに捕獲された電荷は、電流キャリアの放出に関与しない間も抵抗に影響を及ぼす可能性がある。このメカニズムの下では、2種類のトラップが存在する。すなわち、フレンケル・プール伝導に関与しているトラップと、抵抗メモリ効果を担う帯電したトラップとの2種類である。捕獲された関連の電荷は、上述されたのと同様のメカニズムで、障壁の高さを加減することによって抵抗に影響を及ぼす。図6-5には、フレンケル・プール伝導に対応するエネルギー帯図が、帯電したトラップがない場合(上側)と、帯電したトラップがある場合(下側)とについて示されている。

30

【0249】

トンネル伝導は、ショットキーに似た構造において、電流キャリアが電極から伝導帯(電子用)または価電子帯(正孔用)へと直接に通り抜ける場合に生じる。ここで、空乏領域に捕獲された電荷は、上述されたショットキー障壁の場合と同様のメカニズムで抵抗に影響を及ぼすことができる。図6-6には、ショットキー接合を通じて生じるトンネル伝導に対応するエネルギー帯図が、帯電したトラップがない場合(左側)と、帯電したトラップがある場合(右側)とについて示されている。

【0250】

軌道の秩序化は、結晶格子内の電子軌道に、通常は秩序パターン内で好ましい1方向をとらせることによって、秩序パターンが帯電したトラップの追加によって破壊する場合よりも、結晶格子の抵抗率を高くするメカニズムである。

40

【0251】

直接トンネル現象は、半導体内の伝導帯からの電子が絶縁体を通して直接的に(すなわちエネルギーを変化させることなく)導体の伝導帯へと移動するメカニズムである。直接トンネル現象が生じる確率は、電子が通り抜ける障壁(すなわち、酸化物の厚み、界面層、または他の絶縁構造)の幅の非常に強い関数である。

【0252】

電荷捕獲式の伝導性金属酸化物メモリを不揮発性にするためには、捕獲された電荷を、意図的にその数を減らされるときまで捕獲状態に留まらせる必要がある。電場によって誘

50

起されるトンネルプロセスによってトラップ内の電荷を増減させる場合は、エネルギー準位を固定されたトラップでは不揮発性をもたらすことができない。なぜならば、この場合は、外から電圧バイアスをかけなくてもトラップを放電させる（または帯電させる）ことが可能だからである。しかしながら、「レベルシフト式」トラップを酸化物に導入すれば、不揮発性の電荷捕獲式の伝導性金属酸化物メモリを作成することができる。レベルシフト式トラップは、トラップの電荷を増やされた（または減らされた）直後に生じる緩和プロセスによって、トラップの電荷を減らすために必要とされるエネルギーを、同トラップの電荷を増やすために必要とされるエネルギーよりも大きくされたトラップである。不揮発性のため、レベルシフト式の電子トラップは、電荷を減らされる場合はフェルミ準位より上のエネルギー準位を、そして電荷を増やされる場合はフェルミ準位より下のエネルギー準位を有する必要がある。

10

【0253】

このようなレベルシフトをもたらすものとして、いくつかの緩和メカニズムが考えられる。このようなメカニズムは、1つには、トラップの帯電状態の変化（電子光子相互作用）によって生じる局所的な電場変化の結果としてもたらされる非対称性の格子ひずみである。このメカニズムは、イオン性の固体においてとりわけアクティブである。これに関連する現象が、ヤーン・テラー効果と称される非対称性のひずみである。また、結合生成等の電子的プロセスも、トラップのエネルギー準位をシフトさせることができる。双極子の分極も、やはり、トラップのエネルギー準位をシフトさせる働きがある。

【0254】

20

図62Aから図66に示された電荷およびエネルギー帯図は、主に、伝導帯EC付近の電子伝導について示されている。しかしながら、当業者ならば明らかなように、価電子帯EV付近の正孔伝導にも、上述されたのと同じメカニズムを等しく適用可能である。

【0255】

したがって、トラップは、様々なメカニズムによって帯電したり放電したりすることができ、どのメカニズムも、メモリ材料の抵抗を変化させる可能性がある。例えば、高電場のもとでは、電流キャリアは、電極からトラップへと、または隣り合うトラップ間を、通り抜けることができる。別の一例では、トラップは、より低いエネルギーの自由電流キャリアを捕獲することによって帯電することもできる。また、トラップの濃度も、分子数、重量、または体積のいずれを基準とするかにかかわらず、明らかに、メモリ材料の抵抗に対する正味の総合的効果を決定する。

30

【0256】

以下の解析表示は、S. M. Szeによる『Physics of Semiconductor devices』 2nd Edition (『半導体デバイスの物理学』第2版) John Wiley & Sons 出版 1981に記載されたいくつかのモデル表示を、完全な形ではないものの、上記の放出を説明するために掲載したものである。

【0257】

【数 1】

ショットキー放出:

$$J = A^* T^2 \exp \left[\frac{-q(\phi_B - \sqrt{q\xi / 4\pi\epsilon_i})}{kT} \right]$$

電圧・温度依存性は、 $\sim T^2 \exp(+a\sqrt{V}/T - q\phi_B/kT)$

フレンケル・プール放出:

$$J \sim \xi \exp \left[\frac{-q(\phi_B - \sqrt{q\xi / \pi\epsilon_i})}{kT} \right]$$

電圧・温度依存性は、 $\sim V \exp(+2a\sqrt{V}/T - q\phi_B/kT)$

トンネル放出または電界放出:

$$J \sim \xi^2 \exp \left[-\frac{4\sqrt{2m^*}(2q\phi_B)^{3/2}}{3qh\xi} \right]$$

電圧・温度依存性は、 $\sim V^2 \exp(-b/V)$

オーミック伝導:

$$J \sim \xi \exp(-\Delta E_{ae}/kT)$$

電圧・温度依存性は、 $\sim V \exp(-c/T)$

イオン伝導:

$$J \sim (\xi/T) \exp(-\Delta E_{ai}/kT)$$

電圧・温度依存性は、 $\sim \frac{V}{T} \exp(-d^2/T)$

ここで、 A^* = 有効リチャードソン定数、 ϕ_B = 障壁の高さ、 ξ = 電場、 ϵ_i = 絶縁体の動的誘電率、 m^* = 有効質量、 d = 絶縁体の厚さ、 ΔE_{ae} = 電子の活性化エネルギー、 h = 低減されたプランク定数、 ΔE_{ai} = イオンの活性化エネルギーである。そして、 $a \equiv \sqrt{q/(4\pi\epsilon_i d)}$ 、 $V = \xi d$ 、 J = 電流密度、 V = 終端電圧である。 V または T に依存しない正定数は、 b 、 c 、および d である。

【0258】

基本的に、各膜の厚さが 10 μm 未満の多層薄膜構造である、上述された電荷捕獲式のメモリ素子の製造は、(1) 下部電極材料を先ず上に形成するための、基板を用意すること、(2) 様々な処理方式または調整方式のいずれかを使用して、メモリ材料を形成する、または堆積させること、(3) 上部電極材料を形成する、または堆積させること、および、(4) 得られた構造を様々な手段によって調整すること、を含む。このようなメモリ

10

20

30

40

50

素子のための具体的な製造プロセスのいくつかとして、溶液ベースのスパインとそれに続く高温アニール、パルスレーザ堆積 (P L D)、スパッタリング、および有機金属化学気相成長 (M O C V D) を挙げられる。

【 0 2 5 9 】

ダイオードの追加によって、上部電極とメモリ素子との接触面および下部電極とメモリ素子との接触面の一方または両方を非オーミックにする場合は、追加されるダイオードは、(i) 非晶質半導体、微結晶半導体、多結晶半導体、もしくは単結晶半導体 (例えば、S i、G e、S i G e、G a A s、I n P 等) で作成された P N 接合ダイオード、(ii) 金属半導体接合型ショットキーダイオード、(iii) ゲートをソース (もしくはドレイン) に接続された接合型電界効果トランジスタ、(iv) ゲートをフローティングされた、ゲートをソースに接続された、もしくはゲートをドレインに接続された M O S F E T、(v) ツェナーダイオード、アバランシェダイオード、もしくはトンネルダイオード、(vi) 4 層ダイオード (S C R)、または (vii) 非晶質半導体、微結晶半導体、多結晶半導体、もしくは単結晶半導体で作成された P I N ダイオードであってよい。もう 1 つの実装形態は、金属 - 絶縁体 - 金属 (M I M) トンネルデバイスである。

10

20

【 0 2 6 0 】

以上では、現時点で考えられる最良の形態に基づいて発明の説明を行ってきたが、当業者の能力および技能の範囲内で、且つ更なる発明力を行使することなしに、他に多くの形態および操作モードに想到する余地があることは明らかである。例えば、いくつかの技術は、比較的小量の電流または電荷で素早く切り替わる、カルコゲナイドメモリ、銀デンドライトメモリ、分子メモリ、ポリマメモリ、または有機メモリ等の他のタイプのメモリに適用可能である。したがって、特許証によって保護を受けようとする範囲は、特許請求の範囲に明記されており、特許請求の範囲の趣旨および範囲の範囲内のあらゆる変更および変形を含むものとする。

【 図面の簡単な説明 】

【 0 2 6 1 】

【 図 1 】 単一のメモリ層を使用した典型的なクロスポイントメモリアレイの斜視図である。

【 図 2 】 図 1 に示されたクロスポイントメモリアレイにおける 1 つのメモリセルの選択を示した平面図である。

30

【 図 3 】 図 2 に示された選択されたメモリセルの境界を示した斜視図である。

【 図 4 A 】 4 枚のメモリ層を使用した典型的な積層型クロスポイントメモリアレイの斜視図である。

【 図 4 B 】 図 4 A に示された典型的な積層型クロスポイントメモリアレイの概略図である。

【 図 5 】 8 枚のメモリ層を使用した積層型クロスポイントメモリアレイの概略図である。

【 図 6 A 】 図 4 A の積層型クロスポイントメモリアレイに関連した X 方向ドライバセットの概略図である。

【 図 6 B 】 図 4 A の積層型クロスポイントメモリアレイに関連した Y 方向ドライバセットの概略図である。

40

【 図 7 A 】 図 4 A の積層型クロスポイントメモリアレイ 4 0 0 に関連した X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示す概略図である。

【 図 7 B 】 図 7 A をより抽象化した説明図である。

【 図 8 A 】 図 1 に示された単層型クロスポイントメモリアレイに関連した相互嵌合型の X 方向ドライバおよび Y 方向ドライバのレイアウトを示す概略図である。

【 図 8 B 】 図 8 A をより抽象化した説明図である。

【 図 9 A 】 図 4 A の積層型クロスポイントメモリアレイに関連した相互嵌合型の X 方向ドライバおよび Y 方向ドライバのレイアウトを示す概略図である。

【 図 9 B 】 図 9 A をより抽象化した説明図である。

【 図 1 0 A 】 図 4 A の積層型クロスポイントメモリアレイに関連した交互方式の X 方向ド

50

ライバセットの概略図である。

【図 1 0 B】図 4 A の積層型クロスポイントメモリアレイに関連した交互方式の X 方向ドライバセットの概略図である。

【図 1 1 A】図 1 の単層型クロスポイントメモリアレイの下に一部を配置された X 方向ドライバセットおよび Y 方向ドライバセットの各種レイアウトを示した説明図である。

【図 1 1 B】図 1 の単層型クロスポイントメモリアレイの下に一部を配置された X 方向ドライバセットおよび Y 方向ドライバセットの各種レイアウトを示した説明図である。

【図 1 1 C】図 1 の単層型クロスポイントメモリアレイの下に一部を配置された X 方向ドライバセットおよび Y 方向ドライバセットの各種レイアウトを示した説明図である。

【図 1 2】図 1 の単層型クロスポイントメモリアレイの下に一部を配置されるように相互に嵌め合わされた部分と相互に嵌め合われていない部分とを有する X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示した説明図である。 10

【図 1 3 A】図 1 の単層型クロスポイントメモリアレイの下に完全に収まる場合の X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示した説明図である。

【図 1 3 B】図 1 の単層型クロスポイントメモリアレイの下に完全に収まる場合の X 方向ドライバセットおよび Y 方向ドライバセットのもう 1 つのレイアウトを示した説明図である。

【図 1 4 A】図 4 A の積層型クロスポイントメモリアレイの下に完全に収まる場合の X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示した説明図である。

【図 1 4 B】おなじく図 4 A での X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示した説明図である。 20

【図 1 5 A】図 4 A の積層型クロスポイントメモリアレイに関連した X 方向ドライバセットの概略図である。

【図 1 5 B】図 4 A の積層型クロスポイントメモリアレイに関連した Y 方向ドライバセットの概略図である。

【図 1 6】図 4 A の積層型クロスポイントメモリアレイに関連した X 方向ドライバセットのもう 1 つの概略図であり、同一のロジックで動作する別々のドライバを使用する場合を示す概略図である。

【図 1 7】図 4 A の積層型クロスポイントメモリアレイに関連した Y 方向ドライバセットのもう 1 つの概略図であり、追加の金属層の必要性を排除した場合を示す概略図である。 30

【図 1 8 A】図 1 に示された単層型クロスポイントメモリアレイに接続する X 方向ドライバセットおよび Y 方向ドライバセットのレイアウトを示した説明図である。

【図 1 8 B】図 4 A の積層型クロスポイントメモリアレイに接続する複数の X 方向ドライバセットおよび複数の Y 方向ドライバセットのレイアウトを示した説明図である。

【図 1 9】必要な線ピッチ内に収まる X 0 ドライバセットのレイアウトを示した説明図である。

【図 2 0 A】一次デコーダ、二次デコーダ、および基準電圧へのアクセスを必要とするドライバの概略図である。

【図 2 0 B】図 2 0 A に示された 3 つのトランジスタのレイアウトを示した説明図である。 40

【図 2 1 A】第 1 の金属層を堆積された後の図 2 0 B のドライバを示した説明図である。

【図 2 1 B】第 2 の金属層を堆積された後の図 2 1 A のドライバを示した説明図である。

【図 2 2】ドライバの最終段階のレイアウトを示した説明図である。

【図 2 3 A】第 1 の金属層を堆積された後の図 2 2 のドライバを示した説明図である。

【図 2 3 B】第 2 の金属層を堆積された後の図 2 3 A のドライバを示した説明図である。

【図 2 4】図 4 A の積層型クロスポイントメモリアレイの断面図である。

【図 2 5 A】メモリプラグの選択に寄与する各種システムの論理的接続を示したブロック図である。

【図 2 5 B】メモリプラグの選択に寄与する各種システムの物理的接続を示したブロック図である。 50

【図 2 6 A】選択されなかった伝導性アレイ線が望ましくない電圧でフローティングするのを阻止するための 1 つのメカニズムを示したブロック図である。

【図 2 6 B】選択されなかった伝導性アレイ線が望ましくない電圧でフローティングするのを阻止するためのもう 1 つのメカニズムを示したブロック図である。

【図 2 6 C】図 2 6 B に示された、選択されなかった伝導性アレイ線が望ましくない電圧でフローティングするのを阻止するためのメカニズムを改善したものを示したブロック図である。

【図 2 6 D】図 2 6 C に示された、選択されなかった伝導性アレイ線が望ましくない電圧でフローティングするのを阻止するためのメカニズムを改善したものを示したブロック図である。

【図 2 6 E】選択されなかった伝導性アレイ線が望ましくない電圧でフローティングするのを 3 出力ドライバの使用によって阻止するためのもう 1 つのメカニズムを示したブロック図である。

【図 2 7】3 出力ドライバとして可能な 1 つの構成を示したブロック図である。

【図 2 8】アレイ線を放電するために使用される書き込み選択信号の立ち下がりを示したタイミング図である。

【図 2 9】伝導性アレイ線を放電するために使用される書き込み選択信号の立ち下がりを示したタイミング図である。

【図 3 0】書き込み操作の終わりに伝導性アレイ線が放電される場合のタイミング図である。

【図 3 1】書き込みモードの選択時、および内部書き込みタイマパルスによって定められる書き込み操作の終了時の両方でアレイ線が放電される場合のタイミング図である。

【図 3 2】書き込み選択信号の立ち下がり、およびデータまたはアドレスの遷移によってアレイ線が放電される場合のタイミング図である。

【図 3 3】複数の異なる時点でアドレスが切り替わる場合のタイミング図である。

【図 3 4 A】検出回路の典型的な概略図である。

【図 3 4 B】図 3 4 A の検出回路のタイミングを示したタイミング図である。

【図 3 5】二次元トランジスタメモリアレイの形に並べられたメモリセルの概略図である。

【図 3 6】図 3 5 のトランジスタメモリアレイで使用できるメモリセルを図式化した断面図である。

【図 3 7 A】典型的な 1 M B メモリの代表的な一実装形態を表したブロック図である。

【図 3 7 B】複数のビットを読み出し可能な検出回路を有する典型的なメモリのブロック図である。

【図 3 8 A】本発明の一実施形態にしたがってページモードおよびバーストモードで情報を書き込むためのページラッチ回路を示した回路図である。

【図 3 8 B】本発明の一実施形態にしたがってページモードおよびバーストモードで情報を書き込むための書き込みコマンド信号を示した説明図である。

【図 3 8 C】本発明の一実施形態にしたがってページモードおよびバーストモードで情報を書き込む場合の書き込み信号入力および対応する出力を示した説明図である。

【図 3 9 A】ページモードまたはバーストモードで情報を読み出すための入力信号およびデータ信号を示したタイミング図である。

【図 3 9 B】ページモードまたはバーストモードで情報を書き込むための入力信号およびデータ信号を示した説明図である。

【図 4 0】本発明の適応プログラミング回路のハイレベル概念図である。

【図 4 1 A】コンパレータを使用する適応プログラミング回路の第 1 の詳細な実施形態を示した説明図である。

【図 4 1 B】コンパレータを使用する適応プログラミング回路の第 2 の詳細な実施形態を示した説明図である。

【図 4 2】バイポーラ電圧ドライバと、電流比較回路と、アクティブ化ロジックとを伴う

10

20

30

40

50

適応プログラミング回路の第3の実施形態を回路図レベルで示した説明図である。

【図43】再書き込み可能メモリアレイに本発明を適用した場合の、信号およびデバイス電流の典型的なタイミング図である。

【図44】マルチレベルメモリに使用できる適応プログラミング回路のもう1つの実施形態を示した説明図である。

【図45】適応プログラミング回路の更にもう1つの実施形態を示した説明図である。

【図46】クロスポイントメモリアレイを簡単に示した説明図である。

【図47】各メモリセルがダイオードを含む場合の典型的なクロスポイントメモリアレイを示した説明図である。

【図48】各メモリセルがBTBダイオードを含む場合の典型的なクロスポイントメモリアレイを示す説明図である。 10

【図49】BTBダイオードの電流電圧特性、すなわち「I-V」特性を示したグラフである。

【図50】とあるタイプの線形メモリ素子のI-V特性を模式的に示したグラフである。

【図51】線形メモリ素子とBTBダイオードとを直列に繋いで使用した場合のI-V特性を示したグラフである。

【図52】非オーミック作用を示す積層体の代表的なI-V曲線を示したグラフである。

【図53】一部の処理を経て基板工程(FEOL)による底部分まで完成された集積回路の断面図である。

【図54】図53から更なる処理を経て複数の伝導性プラグを形成された後の集積回路の断面図である。 20

【図55】図54から更なる処理を経て基板工程部分の上に中間のメモリプラグ部分を一部形成された後の集積回路の断面図である。

【図56】図55から更なる処理を経て基板工程部分の上に中間のメモリプラグ部分を完全に形成された後の集積回路の断面図である。

【図57】図56から完全なる処理を経て中間のメモリプラグ部分の上に上部のメタライゼーション部分を完全に形成された後の集積回路の断面図である。

【図58】中間のメモリプラグ部分がハードマスク層特徴およびスペーサ特徴を更に含む場合の、完全処理状態の集積回路の断面図である。

【図59A】図58のハードマスク特徴およびスペーサ特徴を形成するために使用できる典型的な一連の処理工程を示した説明図である。 30

【図59B】図58のハードマスク特徴およびスペーサ特徴を形成するために使用できる典型的な一連の処理工程を示した説明図である。

【図59C】図58のハードマスク特徴およびスペーサ特徴を形成するために使用できる典型的な一連の処理工程を示した説明図である。

【図59D】図58のハードマスク特徴およびスペーサ特徴を形成するために使用できる典型的な一連の処理工程を示した説明図である。

【図59E】図58のハードマスク特徴およびスペーサ特徴を形成するために使用できる典型的な一連の処理工程を示した説明図である。

【図60】中間のメモリプラグ部分が随意的なアンダカットの特徴を更に含む場合の完全処理状態の集積回路の断面図である。 40

【図61】従来技術のFETの断面図である。

【図62A】電荷トラップを有する抵抗性メモリ材料の一部を示した説明図である。

【図62B】図62Aの抵抗性メモリ材料の一部のエネルギー帯を示す説明図である。

【図63】帯電したトラップがある場合とない場合とについて、ショットキー障壁のエネルギー帯を示した説明図である。

【図64】捕獲された電荷がある場合とない場合とについて、トラップからトラップへの(trap to trap)伝導のエネルギー帯を示した説明図である。

【図65】帯電したトラップがある場合とない場合とについて、フレンケル・プール伝導のエネルギー帯を示した説明図である。 50

【図66】帯電したトラップがある場合とない場合とについて、ショットキー接合を通じたトンネル伝導のエネルギー帯を示した説明図である。

【図1】

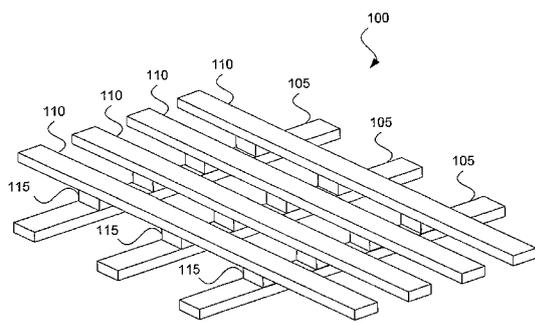


FIG. 1

【図3】

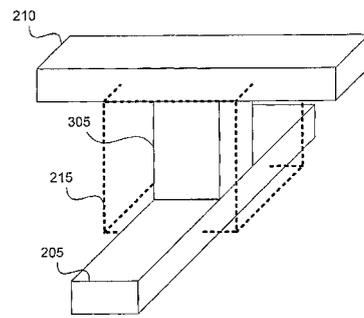


FIG. 3

【図2】

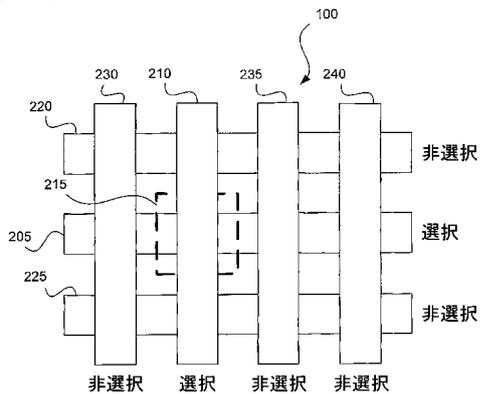


FIG. 2

【図4A】

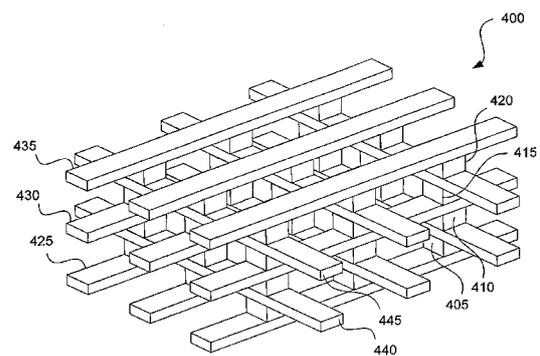


FIG. 4A

【 図 4 B 】

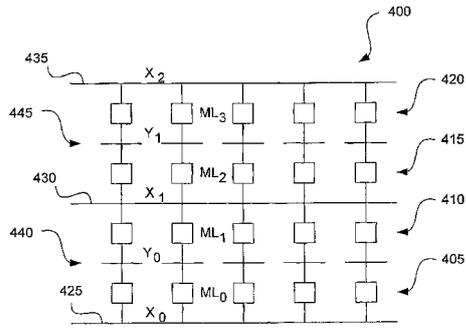


FIG. 4B

【 図 5 】

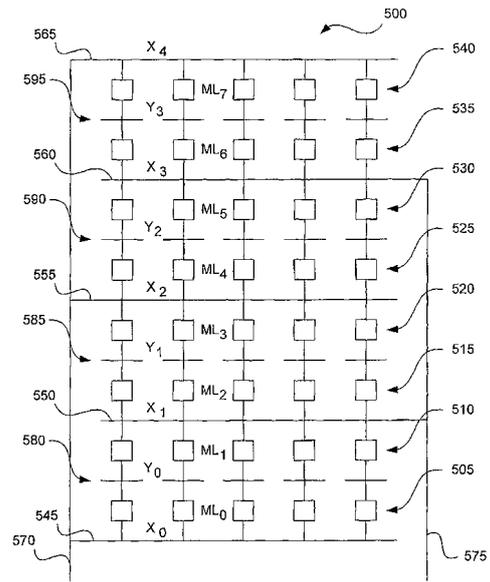


FIG. 5

【 図 6 A 】

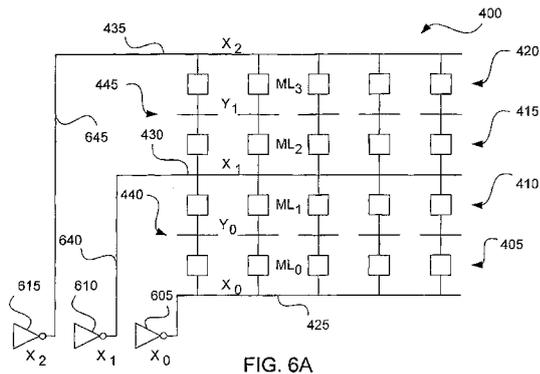


FIG. 6A

【 図 7 A 】

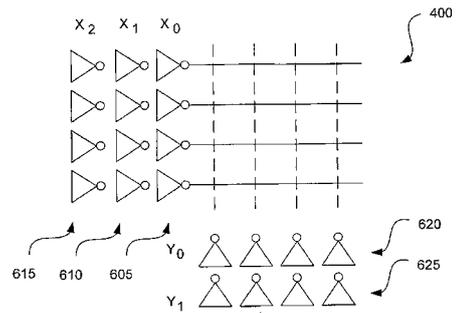


FIG. 7A

【 図 6 B 】

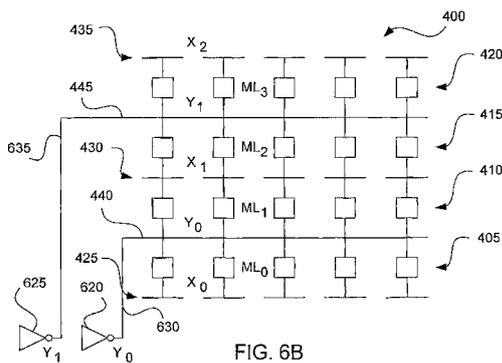


FIG. 6B

【 図 7 B 】

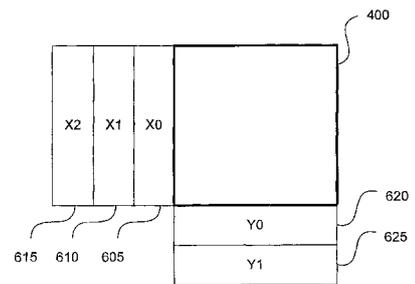


FIG. 7B

【 図 8 A 】

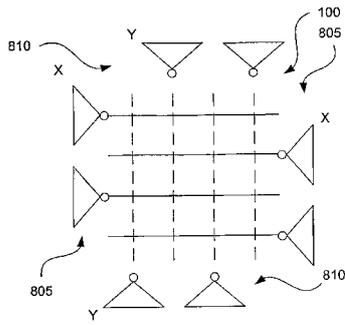


FIG. 8A

【 図 8 B 】

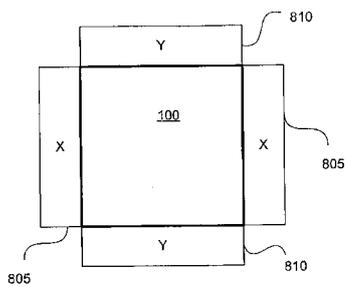


FIG. 8B

【 図 9 A 】

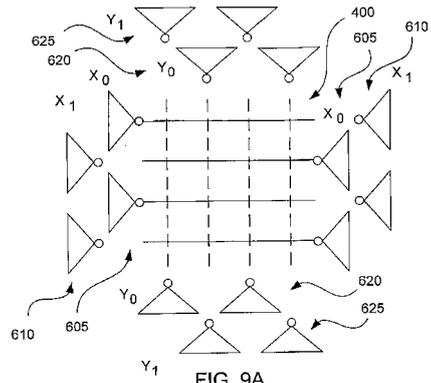


FIG. 9A

【 図 9 B 】

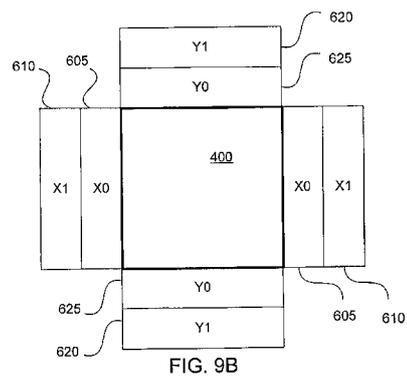


FIG. 9B

【 図 10 A 】

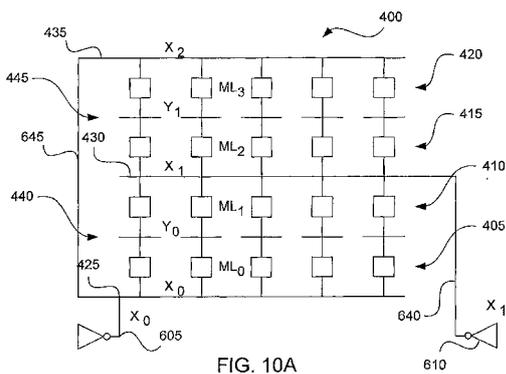


FIG. 10A

【 図 11 A 】

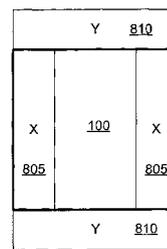


FIG. 11A

【 図 10 B 】

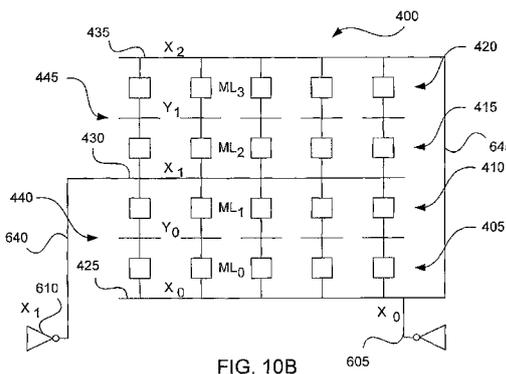


FIG. 10B

【 図 11 B 】

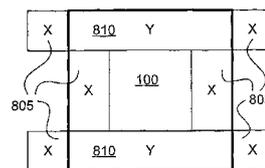


FIG. 11B

【 図 1 1 C 】

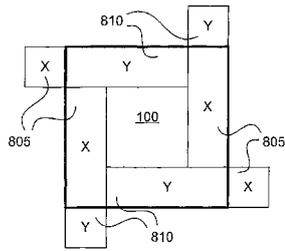


FIG. 11C

【 図 1 2 】

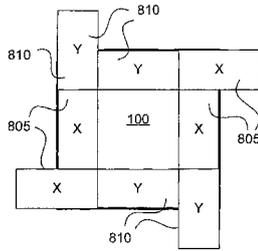


FIG. 12

【 図 1 3 A 】

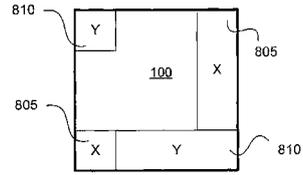


FIG. 13A

【 図 1 3 B 】

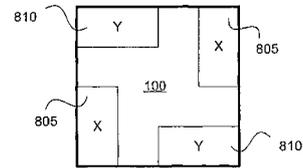


FIG. 13B

【 図 1 4 A 】

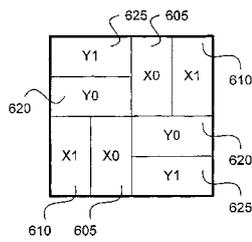


FIG. 14A

【 図 1 4 B 】

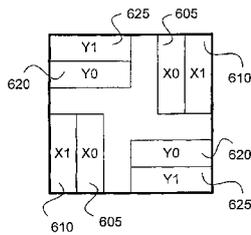


FIG. 14B

【 図 1 5 A 】

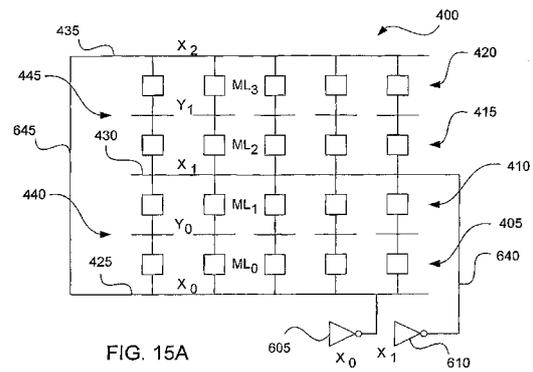


FIG. 15A

【 図 1 5 B 】

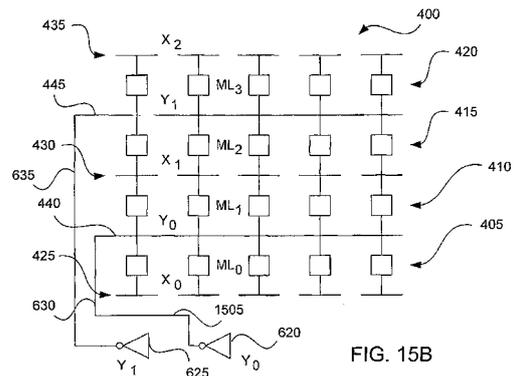


FIG. 15B

【 図 1 6 】

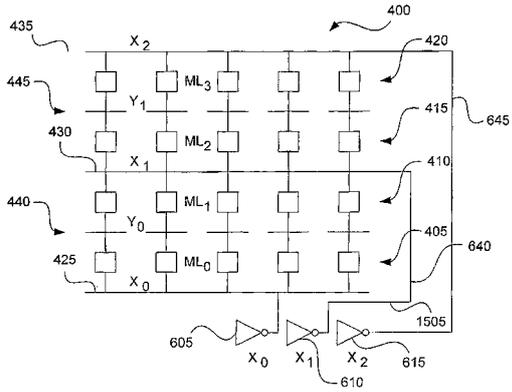


FIG. 16

【 図 1 7 】

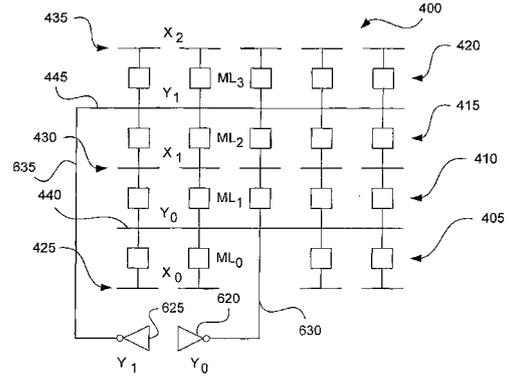


FIG. 17

【 図 1 8 A 】

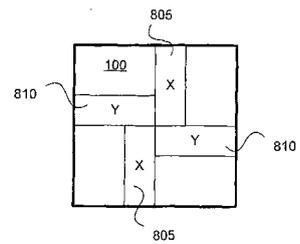


FIG. 18A

【 図 1 8 B 】

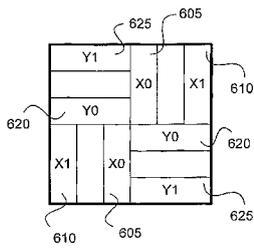


FIG. 18B

【 図 1 9 】

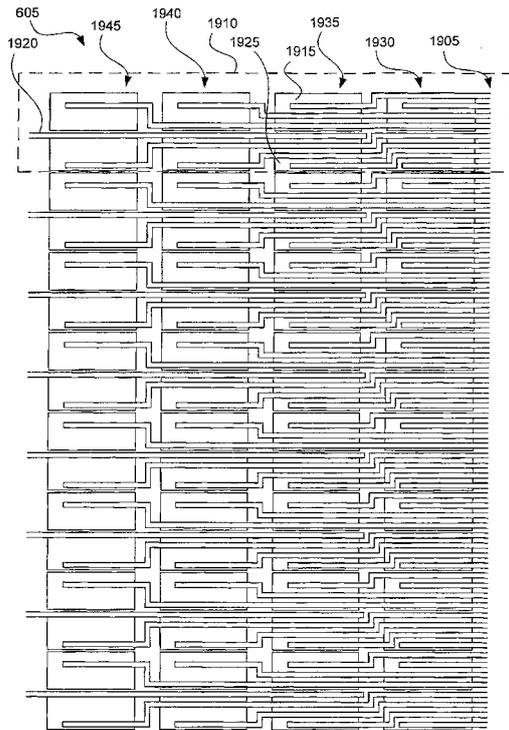
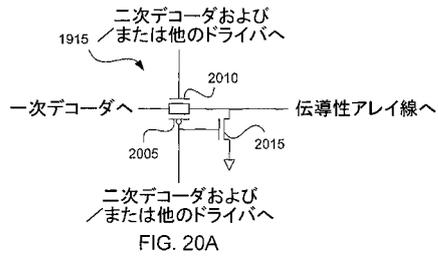
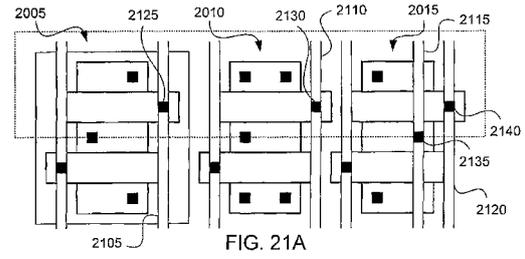


FIG. 19

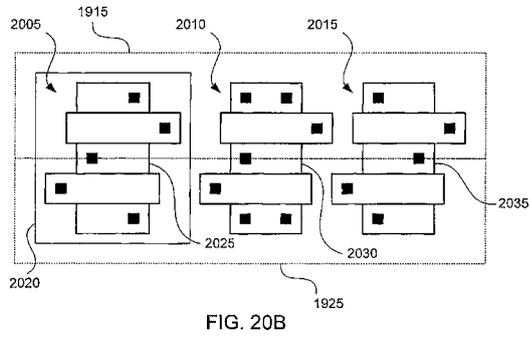
【図 20 A】



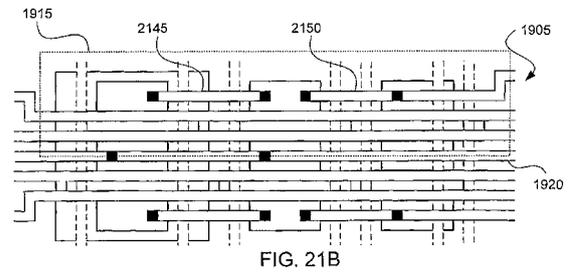
【図 21 A】



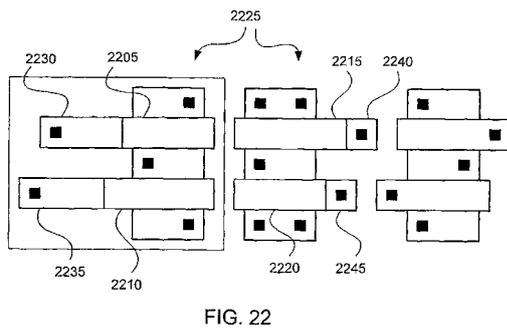
【図 20 B】



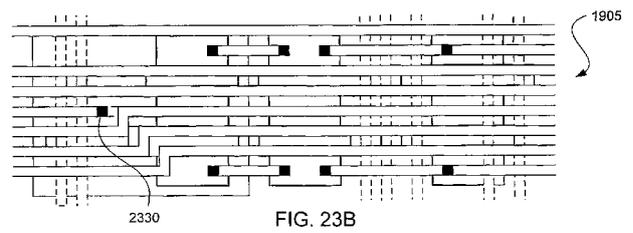
【図 21 B】



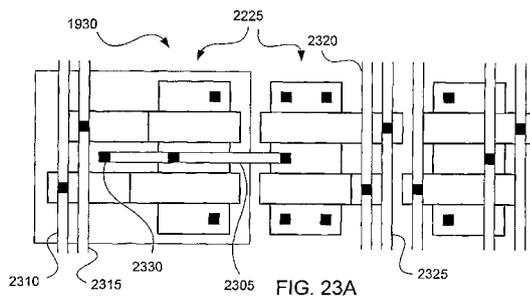
【図 22】



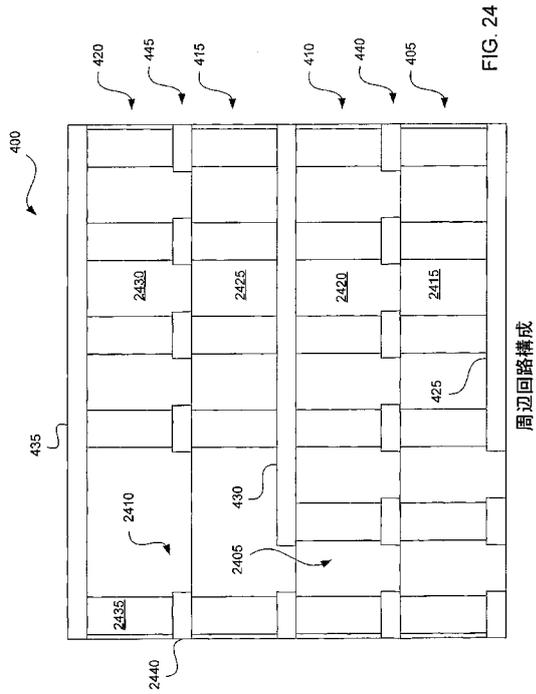
【図 23 B】



【図 23 A】



【図 2 4】



【図 2 5 A】

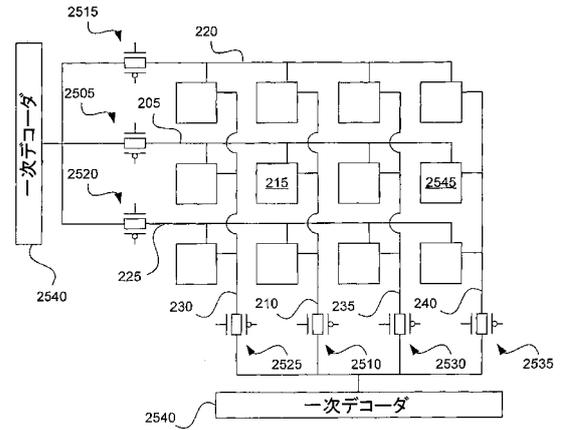


FIG. 25A

【図 2 5 B】

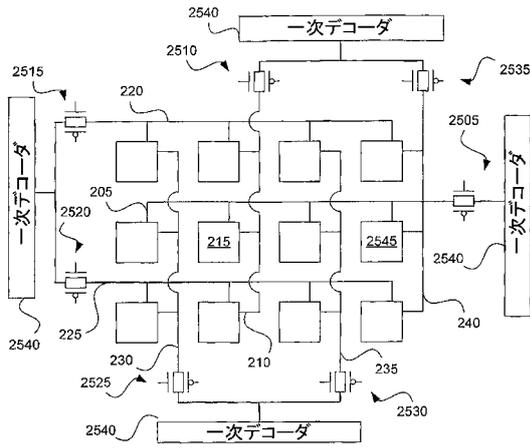


FIG. 25B

【図 2 6 A】

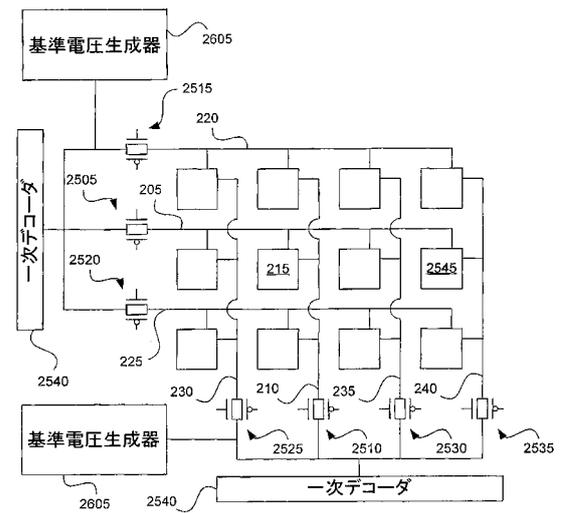


FIG. 26A

【図 26 B】

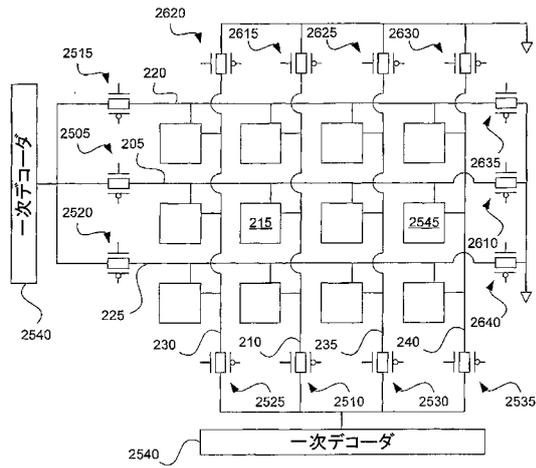


FIG. 26B

【図 26 C】

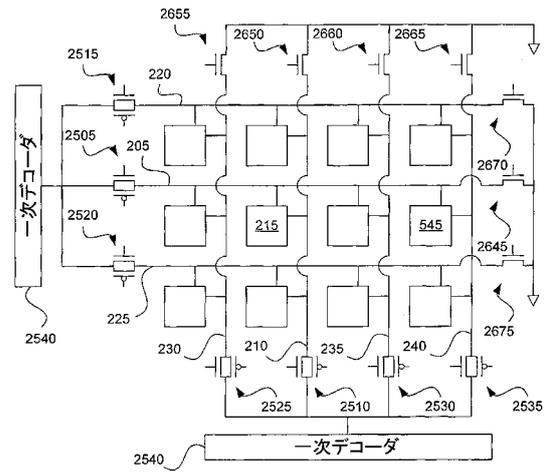


FIG. 26C

【図 26 D】

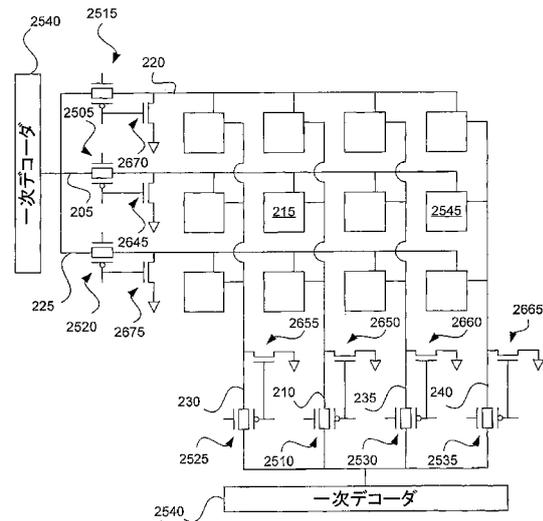


FIG. 26D

【図 26 E】

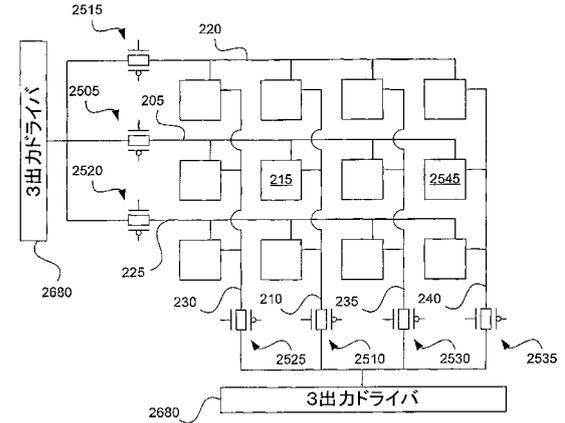


FIG. 26E

【図 27】

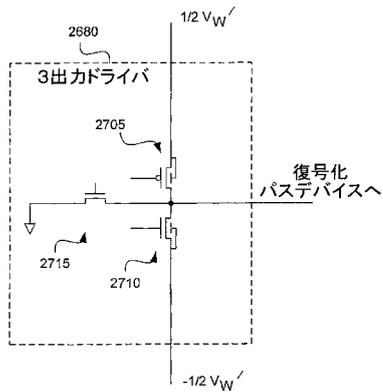


FIG. 27

【図 28】

書き込み選択信号の開始時における放電

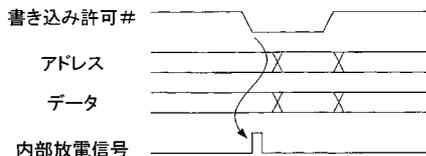


FIG. 28

【図 31】

書き込み選択信号の開始時および書き込み選択操作の終了時における放電

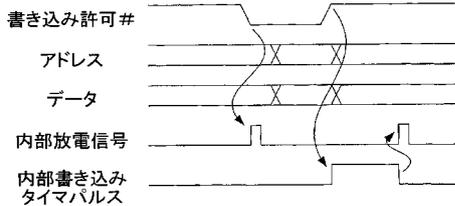


FIG. 31

【図 32】

信号遷移中における放電

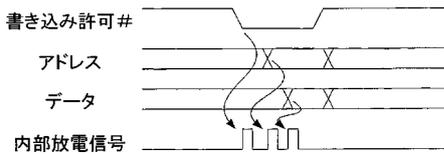


FIG. 32

【図 29】

書き込み選択信号の終了時における放電

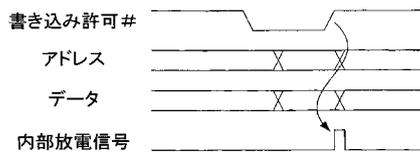


FIG. 29

【図 30】

書き込み操作の終了時における放電

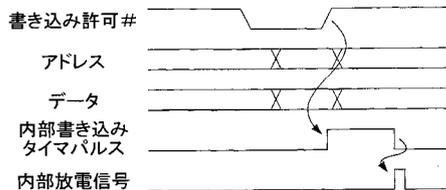


FIG. 30

【図 33】

遅延アドレスを用いた放電

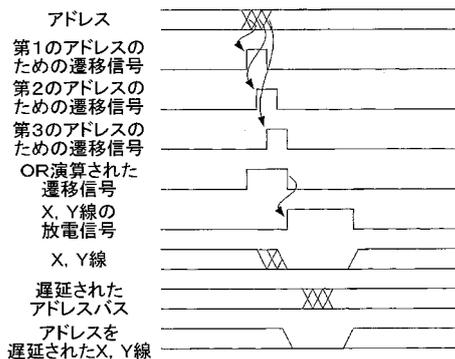


FIG. 33

【図 34 A】

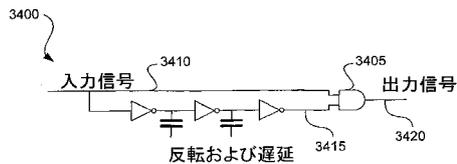


FIG. 34A

【 図 3 4 B 】

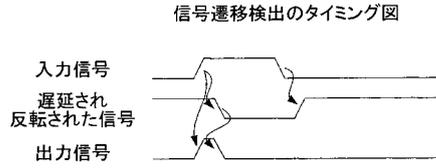


FIG. 34B

【 図 3 5 】

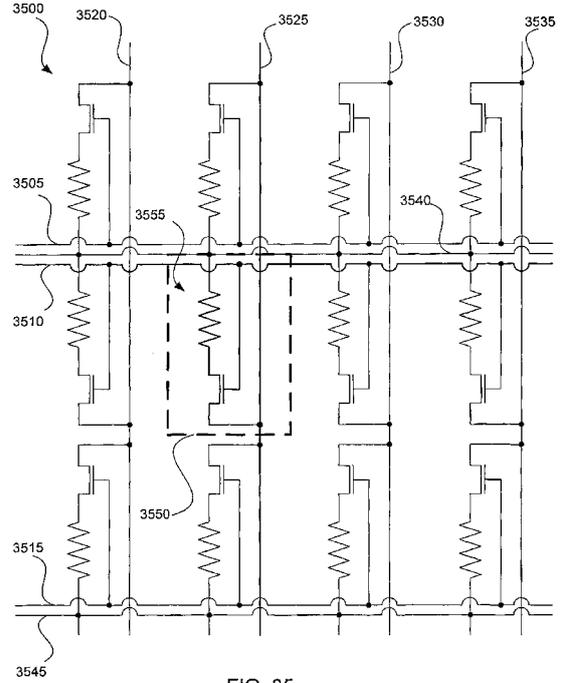


FIG. 35

【 図 3 6 】

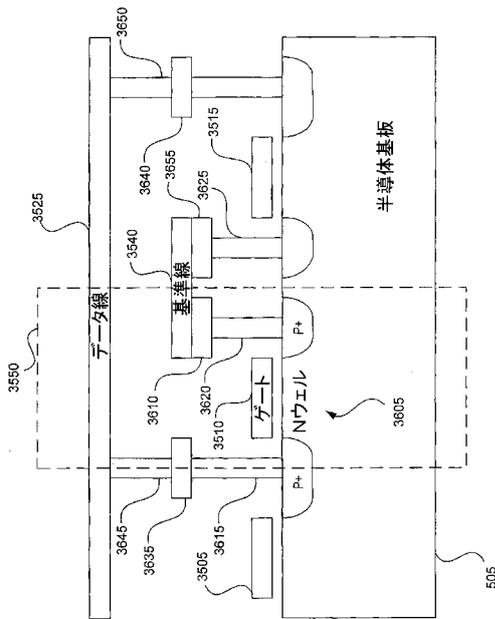


FIG. 36

【 図 3 7 A 】

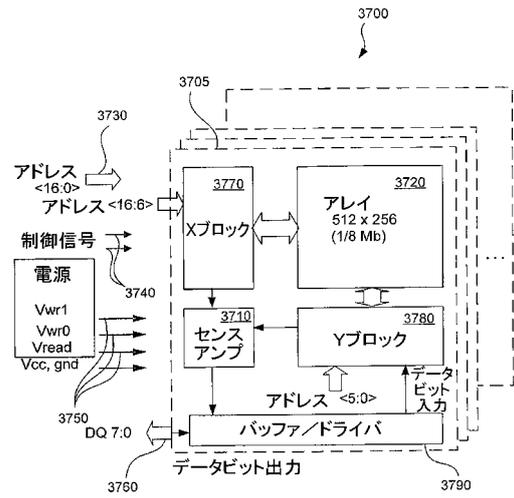


FIG. 37A

【 図 4 2 】

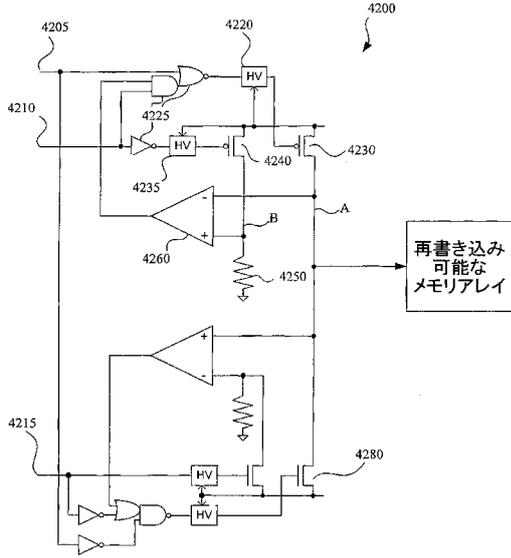


FIG. 42

【 図 4 3 】

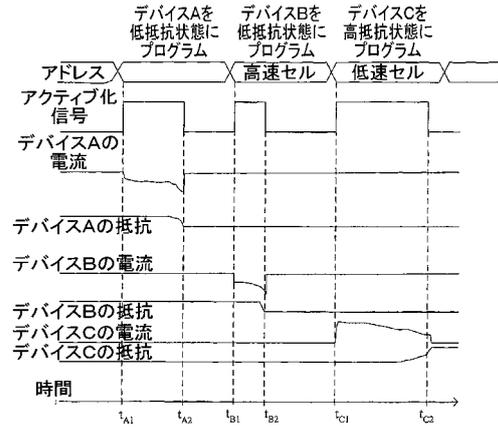


FIG. 43

【 図 4 4 】

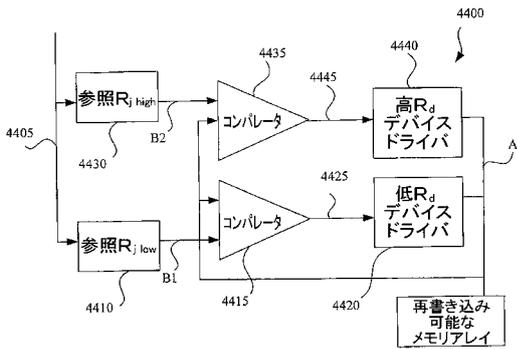


FIG. 44

【 図 4 6 】

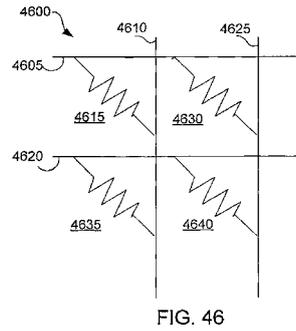


FIG. 46

【 図 4 5 】

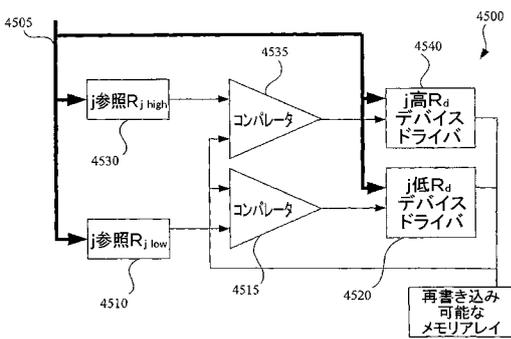


FIG. 45

【 図 4 7 】

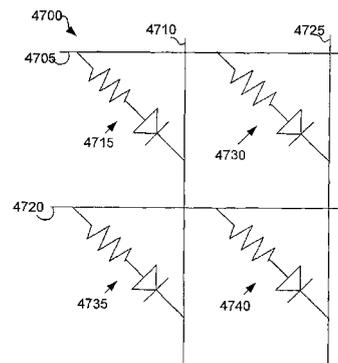


FIG. 47

【 図 4 8 】

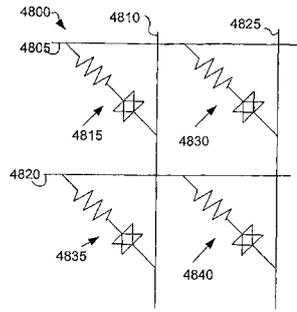


FIG. 48

【 図 5 0 】

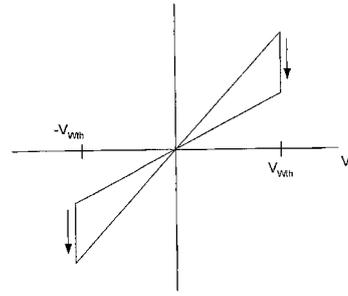


FIG. 50

【 図 4 9 】

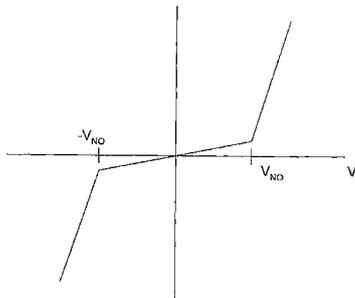


FIG. 49

【 図 5 1 】

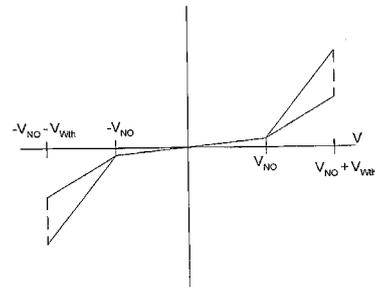


FIG. 51

【 図 5 2 】

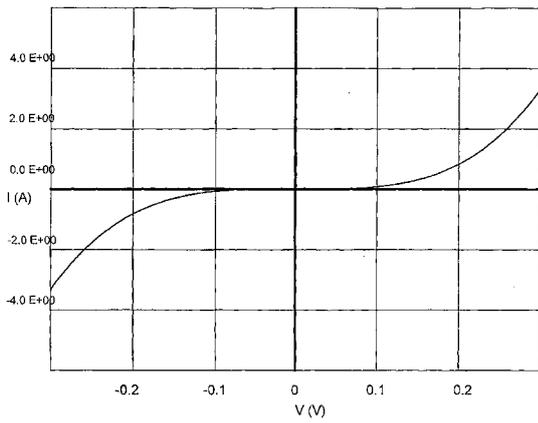


FIG. 52

【 図 5 4 】

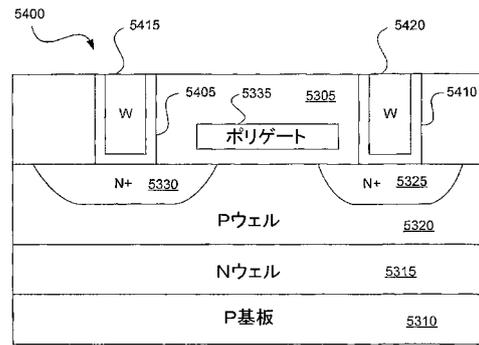


FIG. 54

【 図 5 3 】

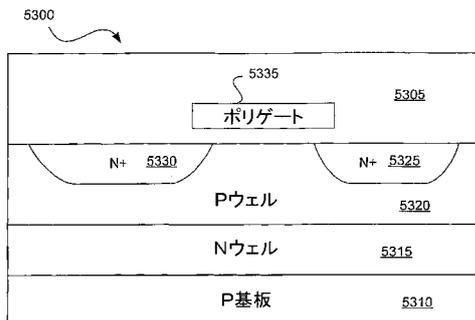


FIG. 53

【 図 5 5 】

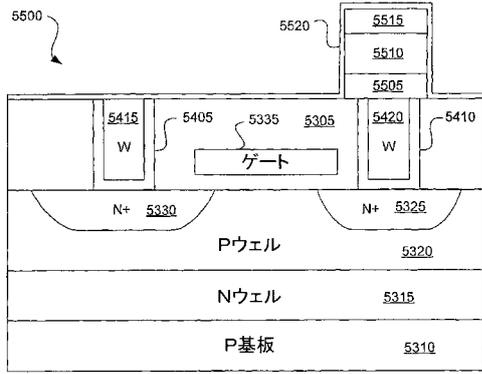


FIG. 55

【 図 5 6 】

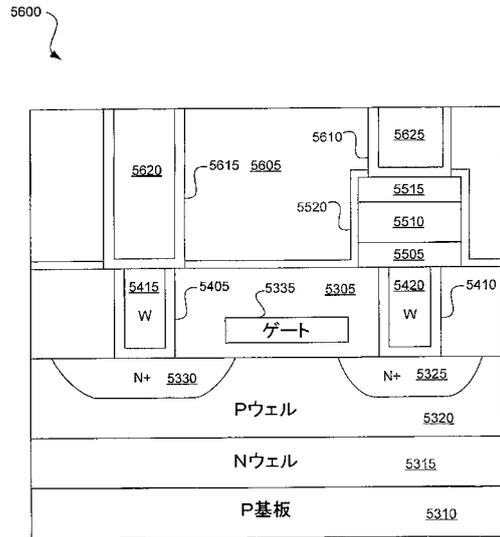


FIG. 56

【 図 5 7 】

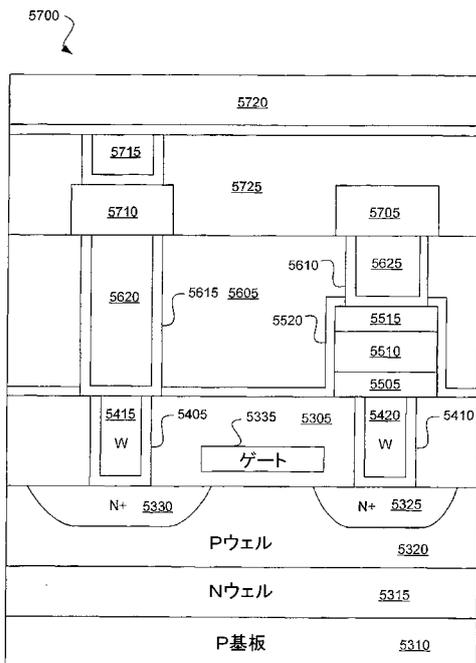


FIG. 57

【 図 5 8 】

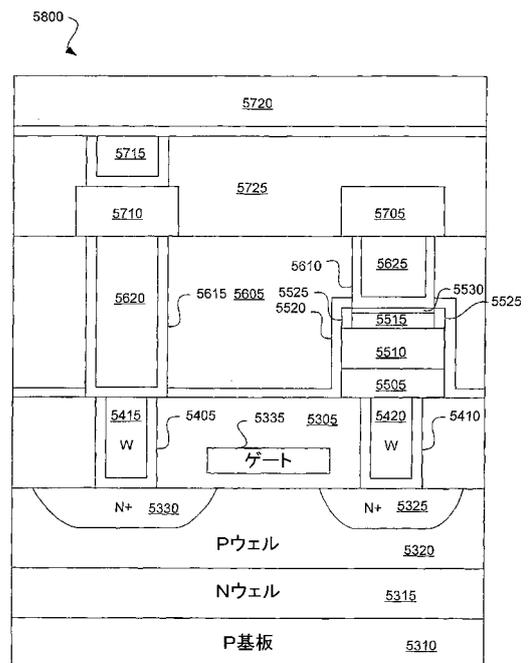


FIG. 58

【図59A】

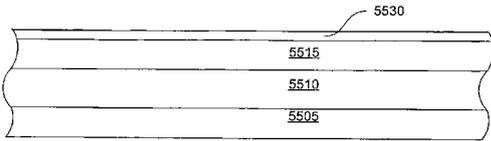


FIG. 59A

【図59D】

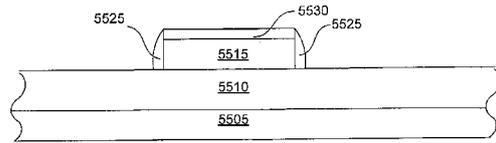


FIG. 59D

【図59B】

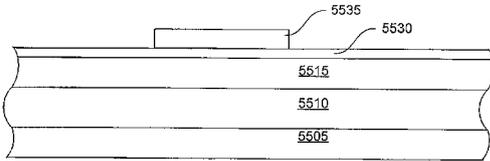


FIG. 59B

【図59E】

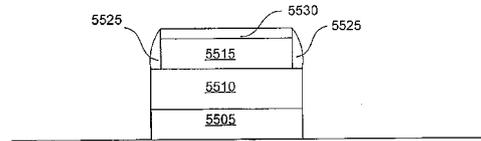


FIG. 59E

【図59C】

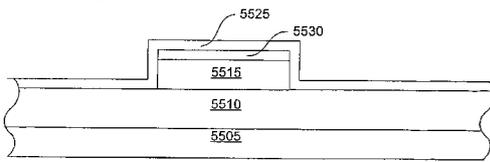


FIG. 59C

【図60】

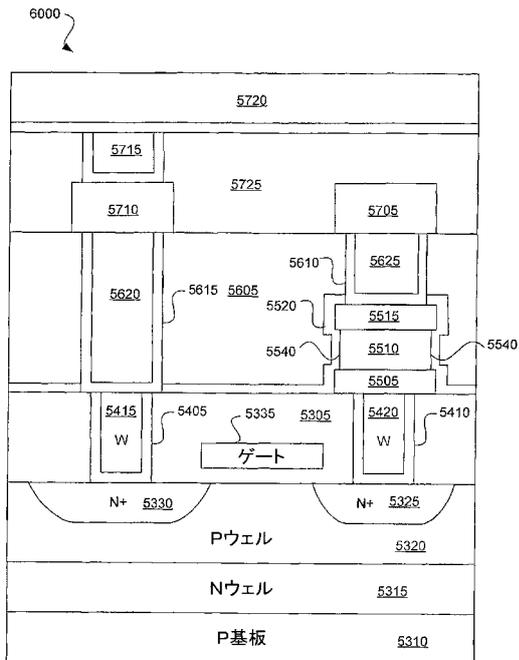


FIG. 60

【図61】

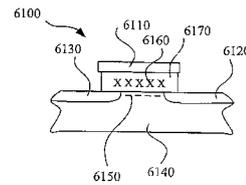


FIG. 61 (従来技術)

【図62A】

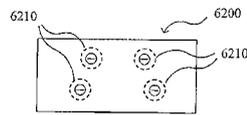


FIG. 62A

【図62B】

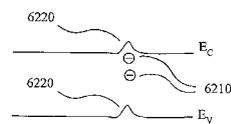
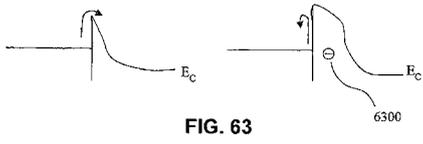
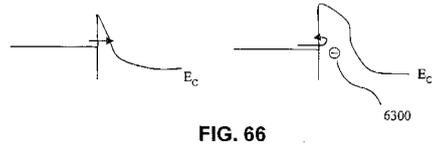


FIG. 62B

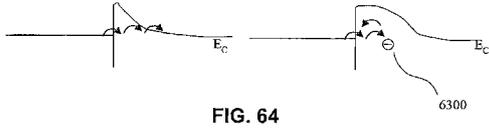
【 図 6 3 】



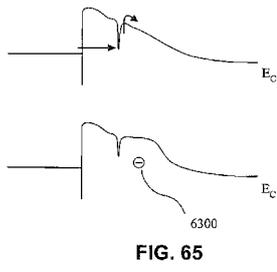
【 図 6 6 】



【 図 6 4 】



【 図 6 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		PCT/US2004/013836
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C11/15		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 376 598 A (SHARP KABUSHIKI KAISHA) 2 January 2004 (2004-01-02) abstract; figures 1A, 2-8 paragraphs '0014! - '0022!, '0025! - '0051!	1-7, 10-22
Y	-----	8,9, 23-27
X	US 2003/003675 A1 (HSU SHENG TENG) 2 January 2003 (2003-01-02) abstract; figure 1 paragraphs '0006! - '0008!, '0026!, '0036! - '0039!	1,4-9,21
Y	-----	8,9
A	-----	2,3, 10-20, 22-27
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *G* document member of the same patent family
Date of the actual completion of the international search 1 March 2005		Date of mailing of the international search report 23/03/2005
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3076		Authorized officer Trifonov, A

INTERNATIONAL SEARCH REPORT

PCT/US2004/013836

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ZHUANG W W ET AL: "Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM)" INTERNATIONAL ELECTRON DEVICES MEETING 2002. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 8 - 11, 2002, NEW YORK, NY : IEEE, US, 8 December 2002 (2002-12-08), pages 193-196, XP010626021 ISBN: 0-7803-7462-2 the whole document	23-27
A	-----	1,4-6, 10,21

INTERNATIONAL SEARCH REPORT

PCT/US2004/013836

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1376598	A	02-01-2004	JP 2004087069 A	18-03-2004
			EP 1376598 A1	02-01-2004
			US 2004036109 A1	26-02-2004
US 2003003675	A1	02-01-2003	US 2003001178 A1	02-01-2003
			US 2003003674 A1	02-01-2003
			CN 1411074 A	16-04-2003
			JP 2003197877 A	11-07-2003
			US 2003203585 A1	30-10-2003
			JP 2003068983 A	07-03-2003
			TW 550764 B	01-09-2003
			US 2004164332 A1	26-08-2004
			US 2004170048 A1	02-09-2004
			JP 2003068984 A	07-03-2003
			TW 571348 B	11-01-2004
			US 2003142578 A1	31-07-2003
			US 2003206481 A1	06-11-2003
			US 2004108528 A1	10-06-2004

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H 0 1 L 49/00 (2006.01)

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 キニー・ウェイン・アイ .

アメリカ合衆国 アイダホ州 8 3 6 1 7 エメット, アッパー・アベニュー, 7 5 0 6

(72) 発明者 ロングコー・スティーブン・ダブリュ .

アメリカ合衆国 カリフォルニア州 9 4 0 4 0 マウンテン・ビュー, レピン・コート, 2 7 1 1

(72) 発明者 リナーソン・ダレル

アメリカ合衆国 カリフォルニア州 9 5 0 1 4 クパチーノ, ヘニー・クリーク・プレイス, 1 0 4 2 3

(72) 発明者 サンチャエズ・ジョン・イー . ジュニア

アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ・アルト, ハノーバー・ストリート, 2 0 6 2

(72) 発明者 スワブ・フィリップ

アメリカ合衆国 カリフォルニア州 9 5 4 0 5 サンタ・ロザ, アベニダ・デ・ラス・ブライサス, 2 3 4 8

(72) 発明者 ワード・エドモンド・アール .

アメリカ合衆国 カリフォルニア州 9 5 0 3 0 モンテ・セレノ, イートン・レーン, 1 7 3 2 4

F ターム(参考) 5F083 FZ07 FZ10 GA10 GA11 JA35 JA36 JA37 JA38 JA39 JA40

JA43 JA45 JA60 LA03 LA04 LA05 LA07 MA05 MA06 MA16

MA19 PR06 PR07 PR22 PR40 ZA21