



## 소자분리영역의 형성방법

## [도면의 간단한 설명]

제1a 내지 1j는 본 발명의 소자분리영역의 형성방법을 보이는 일 실시예의 연속 공정을 설명하는 도이다.

제2a 내지 2j도는 본 발명의 소자분리영역의 형성방법을 보이는 또 하나의 실시예의 연속공정을 설명하는 도이다.

제3a 내지 3k도는 본 발명의 소자분리영역의 형성방법을 보이는 또 하나의 실시예의 연속공정을 설명하는 도이다.

제4a 내지 4k도는 본 발명의 소자분리영역의 형성방법을 보이는 또 하나의 실시예의 연속공정을 설명하는 도이다.

제5a 내지 5k도는 본 발명의 소자분리영역의 형성방법을 보이는 또 하나의 실시예의 연속공정을 설명하는 도이다.

제6a 내지 6k도는 종래의 폴리-버퍼드 LOCOS법의 연속공정을 설명하는 도이다.

그리고 제7a 내지 7i도는 종래의 폴리-버퍼드법의 또 하나의 실시예의 연속공정을 설명하는 도이다.

## [발명의 상세한 설명]

본 발명은 반도체 장치에서 소자분리영역의 형성방법에 관한 것이다.

실리콘 반도체 집적회로에 있어서, 장래 소자로 될 활성구역은, 비교적 막두께가 두꺼운 필드산화막으로 덮힌 소자분리영역에 의해 둘러싸여서 다른 활성구역과 분리되어 있다.

이 필드산화막을 형성하는 방법으로는 폴리-버퍼드 LOCOS(Local Oxidation of Silicon)를 이용할 수 있다.

제6a 내지 6k도는 이 폴리-버퍼드 LOCOS법을 설명하는 도이다.

먼저, 제6a도에 나타난 것처럼, 실리콘기판(1)의 표면에 얇은 산화막(21)을 형성한다. 제6b도에 나타난 것처럼, 얇은 산화막(21)에 도핑되지 않은 폴리실리콘으로 이루어진 실리콘층(31b)을 형성한다. 제6c도에 나타난 것처럼, 실리콘층(31b)위에 질화실리콘층(4)을 형성한다.

다음으로 제6d 및 6e도에 나타난 것처럼 리소그래피기술을 사용하여 레지스트 패턴(5)을 형성한다. 이 레지스트 패턴을 식각 마스크로 사용하여 질화실리콘층(4)을 일부 에칭하여 질화실리콘 마스크(4a)를 형성한다. 이어서, 제6f도에 나타난 것처럼, 레지스트 패턴(5)을 제거하고, 제6g도에 나타난 것처럼, 질화실리콘 마스크(4)를 사용하여 열산화에 의해 버퍼층으로서의 실리콘층(31b)과 실리콘기판(1)을 선택적으로 산화한다.

이 경우에, 실리콘층(31b)이 존재하기 때문에, 실리콘기판(1)에 작용하는 응력은 감소된다. 또, 실리콘기판(1)에 발생하는 응력 또한 필드산화막 형성시에 실리콘기판(1)의 산화량을 줄임으로써 감소된다.

제6j도에 나타난 것처럼, 질화실리콘 마스크(4a)와 이 질화실리콘 마스크(4a) 아래의 산화되지 않은 잔존 실리콘층(31b)을 제거함으로써, 두꺼운 산화막(22c)으로 덮힌 소자분리영역이 형성된다.

상기한 폴리-버퍼드 LOCOS법에서, 선택적으로 활성화되는 영역의 실리콘층(31b)은 에칭되지 않고 사용된다. 그렇지만, 이 방법은 그러한 기술로 한정되는 것이 아니고, 다음과 같은 기술도 사용할 수 있다.

제7a 내지 7i도에 나타난 것처럼, 실리콘기판(1)상에 얇은 산화막(21)을 형성한다. 다음으로, 얇은 산화막(21)상에 제7b도에 나타난 것처럼, 도핑되지 않은 폴리실리콘으로 이루어지는 실리콘층(31)을 형성한다.

얇은 산화막(21)과 (후술함)질화실리콘 마스크(4a)사이에 도핑되지 않은 폴리실리콘막을 삽입함으로써, 선택적으로 산화할 때 실리콘기판(1)에 작용하는 응력을 감소시킬 수 있다. 그리고 제7c도에 나타난 것처럼, 실리콘층(31c)상에 질화실리콘층(4)을 형성한다.

이어서, 제7d 내지 7f도에 나타난 것처럼, 리소그래피 기술을 사용하여 레지스트 패턴을 형성한다. 레지스트 패턴(5) 아래에 놓인 부분들이외의 질화실리콘층(4)과 실리콘층(31)을 레지스트 패턴(5)을 마스크로 사용하여 에칭기술에 의해 제거한다.

그리고 제7g도에 나타난 것처럼, 레지스트패턴(5)을 제거한다. 레지스트패턴(5)을 제거한 후, 제7h도에 나타난 것처럼, 질화실리콘 마스크(4a)를 마스크로 사용하여 열산화에 의해 실리콘기판(1)상에 두꺼운 산화막(22c)을 선택적으로 형성한다. 이때 실리콘층(31)이 존재하기 때문에, 실리콘기판(1)에 작용하는 응력은 감소된다.

제7k도에 나타난 것처럼, 질화실리콘 마스크(4a)와 이 질화실리콘 마스크(4a) 아래의 산화되지 않은 잔존 실리콘층(31c)을 제거하면, 두꺼운 산화막(22c)으로 덮힌 소자분리영역이 형성된다.

제6a도 내지 6i도에 나타난 방법에는 다음과 같은 문제점이 있다.

상기한 폴리-버퍼드 LOCOS법에서는, 제6f 및 6g도에 나타난 것처럼, 두꺼운 질화실리콘 마스크(4a)와 산화막(21)사이에 도핑되지 않은 폴리실리콘으로 이루어지는 실리콘층(31b)이 삽입된다.

이 때문에, 제6g도에 나타난 것처럼, 질화실리콘마스크(4a)를 사용하여 실리콘층(31b)과 실리콘기판(1)을 선택적으로 산화하면, 실리콘기판(1)과 실리콘층(31b)사이 및 실리콘층(31b)과 질화실리콘 마스크(4a)사이의 두곳에 새부리(bird's beak)라고 불리는 산화영역이 형성된다.

그 결과, 소자분리영역의 경계부의 필드산화막의 횡단면을 선택적 산화직후 오버행 구조를 나타낸다. 게이트전극 형성공정등의 후속 공정에서는, 계단진 부분 및 식각되지 않은 잔존 부분에서 단절이 일어나는 등 불편한 점이 발생한다.

그위에, 이 폴리-버퍼드 LOCOS법에서는, 실리콘기판(1)의 응력이 집중하는 부위에 보이드(구멍)(9)이 생기는 경우가 있다. 만약 보이드(9)가 생기면, 선택적 산화후 실리콘층(31b)을 제거할때에 보이드(9)의 저부에 노출된 얇은 산화막(21)이 에칭된다. 제6j 및 6k도에 나타난 것처럼, 이 얇은 산화막(21)을 에칭할 때, 보이드(9)를 통해 노출된 실리콘기판(1)이 에칭되는 경우가 있다. 그러한 상태에서, 후속 공정에서 얇은 산화막(21)의 에칭된 부분을 포함하는 영역에 확산층을 형성한다면, 에칭된 부분은 접합누설을 일으킬 수 있다. 또한, 얇은 산화막(21)상에 MOS 게이트전극을 형성하면, 정상 채널이 형성되지 않고, 또 게이트 산화막 결합이 생길 수 있다.

보이드(9)의 형성을 막기 위해서는, 얇은 산화막(21)을 두껍게 하는 것을 생각할 수 있다. 그렇지만, 얇은 산화막(21)을 두껍게 하면, 본래 축소하고 싶었던 새부리 영역이 확대되어, 폴리-버퍼드 LOCOS법을 채용한 효과가 감소된다.

이상과 같은 문제점외에, 폴리-버퍼드 LOCOS법에서는, 활성구역과 두꺼운 산화막(22c) 사이의 필드산화막의 경계(시부리말단)가 평평하지 않은 문제점이 있다.

이 폴리-버퍼드 LOCOS법에서는, 노출된 실리콘층(31b)을 선택적으로 산화할 때, 산화속도는 실리콘층(31b)의 각 결정립의 면배향에 따라 다르기 때문에, 질화실리콘 마스크의 말단으로 부터의 측방향 산화는 균일하게 진행되지는 않는다.

이 때문에, 제6i 및 6k도에 나타난 것처럼, 활성구역과 산화막(22c)사이의 필드산화막 구역의 경계는 평탄하지 않게 된다. 이것은 미세한 활성구역을 확정하는 것을 곤란하게 만든다.

또, 이 경계의 요철 때문에 활성구역에 만들어지는 게이트 산화막의 내압이 변화할 수 있다.

그위에, 0.25 $\mu$ m 이하의 미세한 MOSFET의 게이트전극을 형성할때에는, 이런 고르지 못한 경계가 리소그라피에 의한 패턴형성에 악영향을 미친다.

상기 예와 유사한, 또 다른 폴리-버퍼드 LOCOS법은 다음과 같은 문제가 있다.

한가지 문제는, 제7h도에 나타난 것처럼, 실리콘층(31c)의 실리콘기판(1)의 선택적 산화후에 응력이 집중하는 부분에 보이드(구멍)(9)이 형성된다는 것이다.

만약, 제6j 및 6k도에 제거할때에 보이드(9)의 저부에 노출된 얇은 산화막(21)이 에칭된다. 이어서, 제7k 및 7i도에 나타난 것처럼, 실리콘기판(1) 자체가 노출되어 에칭된다.

그 결과, 실리콘기판(1)에 구멍(9a)이 형성된다.

상기한 것처럼, 그러한 구멍(9a)을 막기위해 패드산화막으로서의 얇은 산화막(21)을 두껍게 하면, 본래 감소시키고 싶었던 새부리 영역이 확대되어, 폴리-버퍼드 LOCOS법의 효과가 감소된다. 제6i도와 6k도 및 제7j와 7i도에서 나타난 것처럼, 활성구역과 산화막(22c)사이의 필드산화막 구역의 경계는 평탄하지 않게 된다.

상기 예에서, 이런 고르지 못한 경계는 미세한 활성구역을 확정하는 것을 곤란하게 만든다.

따라서, 본 발명은 개량된 소자분리영역 형성방법을 제공하는 것을 제1의 목적으로 하며, 본 발명은, 폴리-버퍼드 LOCOS법에 의한 소자분리영역의 형성에 사용되는 실리콘층에 전혀 보이드를 발생시키지 않고, 형성된 소자분리영역을 고르게 한다. 또, 종래의 폴리-버퍼드 LOCOS법과 비교하여, 형성공정의 수를 늘리지 않고, 상기 목적들을 달성하는 소자분리영역 형성방법을 제공하는 것의 본 발명의 또 하나의 목적이다.

상기 목적을 달성하기 위해, 본 발명에 따르면 반도체기판상에 산화막을 형성하는 공정과, 상기 산화막상에 실리콘의 결정화를 저지하는 불순물을 첨가한 실리콘으로 이루어지는 실리콘층을 형성하는 공정과, 상기 실리콘층상에 내산화성을 가진 막을 형성하는 공정과, 상기 내산화막의 일부를 선택적으로 제거하여 상기 내산화막으로 이루어지는 산화마스크를 형성하는 공정과, 상기 산화마스크를 마스크로 사용하여 상기 실리콘층과 반도체 기판을 산화함으로써 소자분리영역을 형성하는 공정을 갖는 것을 특징으로 하는 소자분리영역의 형성방법이 제공된다.

이하, 본 발명의 1실시예를 설명하기에 앞서, 본 발명의 개요를 설명한다.

본 발명에서, 필드산화막형성시의 선택산화에 사용되는 산화 마스크 아래에 형성되는 실리콘층은 불순물로서 질소, 탄소 및 산소를 도핑한 미결정 폴리실리콘층 또는 이들 불순물로 도핑한 아모르퍼스 실리콘층으로 구성된다. 또, 이 실리콘층은 이들 불순물로 도핑한 층들을 조합한다든지 이들 층과 도핑하지 않은 아모르퍼스 실리콘층을 조합하여 형성된 다층 구조일 수 있다. 이들 불순물을 도핑한 미결정 폴리실리콘층은 어닐링하여도 결정립의 성장이 느리다. 또, 이들 불순물로 도핑한 아모르퍼스 실리콘층은 어닐링을 하여도 쉽게 통상의 다결정층으로 되지 않는다. 즉, 미결정층화하는 성질을 가진다.

따라서, 열산화등의 응력이 가해지는 고온 어닐링하에서도, 실리콘막을 구성하는 실리콘원자가 쉽게 움직일 수 없고, 보이드의 발생을 억제할 수 있다. 그리고 결정립이 작고, 산화도 균일하게 진행하기 때문에, 경계부가 고르지 않게 되는 경우는 없다.

또, 불순물로서 질소 또는 탄소를 사용하면, 균일하게 산화시킬 수 있음과 동시에 산화속도를 느리게할 수 있다. 이 때문에, 종래 방법의 문제점인 보이드 발생을 억제할 수 있다. 결과적으로, 필드산화막의 경계부분의 고르지 못한 상태를 해소할 수 있음과 함께, 새부리 영역도 저감할 수 있다.

한편, 실리콘층을, 상술했듯이 상이한 불순물로 도핑한 층들로 구성된 다층구조로 한다면, 또는 실리콘층내의 불순물의 농도를 막후 방향으로 변화시킴으로써, 필드산화막의 횡단면 형상을 완화시킨다든지 하

는 제어가 가능하다.

이하, 본 발명의 실시예를 첨부 도면을 참조하여 설명한다.

#### [실시예 1]

제1a 내지 1j도는 본 발명의 일 실시예를 설명하기 위한 소자분리구조를 제조하는 공정을 나타낸다.

먼저, 제1a도에 나타난 것처럼, 건조 산화분위기중에서 900°C에서 어닐링을 행하여 실리콘기판(1)상에 두께 6 내지 12nm의 얇은 산화막(21)을 형성한다. 이 산화막(21)을 형성함으로써, 후술하는 공정에 있어서 실리콘기판(1)에 작용하는 응력이 감소된다. 또한 이 산화막(21)은 그위에 형성된 실리콘층을 제거할때에 에칭 스톱퍼로 작용한다.

이어서, 제1b도에 나타난 것처럼, CVD법을 사용하여 질소-도핑되거나 아모르퍼스 실리콘 산화막(21)에 퇴적시켜 두께가 약 50nm인 실리콘층(31)을 얇은 산화막(21)상에 형성한다. 이 공정에서는, 퇴적온도를 500°C로 하고 사용하는 가스로는 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>와 암모니아가스를 사용한다. 아모르퍼스 실리콘의 퇴적과 동시에 질소 도핑을 한다.

실리콘층(31)에 도핑되는 불순물로서 질소가 사용되지만, 탄소, 산소등도 사용할 수 있다.

이 실시예 1 및 후술하는 실시예 2 내지 7에서, CVD법은 실리콘층 퇴적법 또는 불순물 도핑법의 일례로서 사용된다. 그렇지만, 실리콘층 퇴적법은 CVD법에 한정되지 않는다. 예를들면, 스퍼터링법을 사용하여 실리콘층의 퇴적과 불순물 도핑을 동시에 행할 수 있다.

실리콘층(31)에 도핑되는 질소, 탄소, 산소등의 불순물의 농도는  $1 \times 10^{21} \text{ cm}^{-3}$  내지  $3 \times 10^{22} \text{ cm}^{-3}$ 의 범위일 수 있다. 만약, 이들 불순물 각각의 도핑양이  $1 \times 10^{21} \text{ cm}^{-3}$ 보다 적다면, 결정립의 성장을 억제하는 효과가 그다지 발휘되지 않는다. 이와 대조적으로, 각 불순물의 도핑양이  $3 \times 10^{22} \text{ cm}^{-3}$ 을 초과하면, 불순물이 도핑되는 상태가 아니라, 화합물이 형성된 상태가 된다. 예를들면, 실리콘층(31)에 다량의 질소를 도핑하면, 실리콘층이 질화막이 되어버린다. 실리콘층은 필드산화막을 형성하는 단계에서 기판에 작용하는 응력을 감소시킨다. 그렇지만, 이 실리콘층이 질화막으로 되어 버리면, 전혀 산화되지 않게되고, 또, 질화막은 비상히 견고하기 때문에, 기판에 작용하는 응력을 완화할 수 없게 된다. 이것은 탄소를 사용하는 경우에도 마찬가지이다. 또 과량의 산소로 실리콘층(31)을 도핑하면, 실리콘층(31)은 산화막으로 되어버려, 불필요한 부분에 실리콘 산화막이 형성된다.

이어서, 제1c도에 나타난 것처럼, 필드산화(선택산화)용 마스크로 되는 두께 약 200nm의 질화실리콘(Si<sub>3</sub>N<sub>4</sub>)층(4)을 형성한다. 이어서, 질화실리콘층(4)상에 포토레지스트를 형성하고, 제1d도에 나타난 것처럼, 패턴하여 레지스트패턴(5)을 형성한다.

또 포토레지스트층 대신에 X선에 감광하는 레지스트나 전자선 레지스트를 사용하고, X선이나 전자선에 의한 리소그래피 기술에 의해 레지스트패턴을 형성할 수 있다.

다음으로, 제1e도에 나타난 것처럼, 레지스트패턴(5)을 마스크로 사용하여 질화실리콘층(4)을 에칭하여 질화실리콘마스크(산화마스크)(4a)를 형성한다. 이 에칭은 불화탄소가스를 사용한 리액티브 이온 에칭(RIE)법을 사용하여 행한다. 그리고, 이 에칭에 의해 질화실리콘마스크(4a) 아래 부분이외의 실리콘층(31)이 노출된다.

다음으로 제1f도에 나타난 것처럼, 산소 라디칼을 사용한 회화(ashing)처리에 의해 레지스트패턴을 제거한 후, 암모니아와 과산화수소의 액체 혼합물을 사용한 액체처리 및 과산화수소와 염산의 액체혼합물을 사용한 액체처리에 의해 얻어지는 구조를 RCA 세정한다.

다음으로, 제1g도에 나타난 것처럼, 질화실리콘마스크(4a)를 마스크로 사용하여, 수증기를 포함한 산소 분위기중에서 1000°C의 온도에서 선택 산화를 행하여, 노출된 실리콘층(31) 및 실리콘기판(1)의 표면을 산화한다. 그 결과, 두께 450nm의 두꺼운 산화막(22)이 형성된다. 1000°C의 산화온도는 하나의 예에 불과하며 아무런 문제없이, 예를들면 700 내지 1150°C의 범위내의 온도로 바꿀 수 있다. 묽은 불화수소산을 사용하여, 질화실리콘마스크(4a)의 표면에 형성된 얇은 산화막을 에칭하고, 뜨거운 인산을 사용하여 질화실리콘마스크(4a)를 선택적으로 제거한다.

그위에, 염소계 가스를 사용한 RIE법에 의해 실리콘층(31)을 선택적으로 제거하여, 제1h도에 나타난 것처럼, 두꺼운 산화막(22)으로 덮인 소자분리영역이 형성된 기판을 얻는다.

마지막으로, 제1i도에 나타난 것처럼, 얇은 산화막(21)을 제거하여, 두꺼운 산화막(22)으로 둘러싸인 영역의 실리콘기판(1)의 표면을 노출시킨다.

이 방법에 의하면, 종래의 방법과 달리 제1j도에 나타난 것처럼, 실리콘층(31)에 보이드가 발생하지 않고, 실리콘기판에 구멍이 생기지 않는다. 또, 산화막(22)의 경계부분이 고르지 않은 상태가 되는 일도 없다.

또한, 실리콘층(31)에 대한 불순물의 도핑을 실리콘층(31)의 퇴적시점에서 행하기 때문에, 종래의 방법과 비교하여, 제조단계의 수를 늘리지 않고도 문제점을 해소할 수 있다.

#### [실시예 2]

제2a 내지 2j도는 본 발명의 실시예 2를 설명하기 위한 공정을 나타낸다. 제2a 내지 2j도의 동일한 참조번호는 제1a 내지 1j도의 동일한 부분을 나타낸다.

실시예 2에서는, 제2a도에 나타난 것처럼, 건조 산소분위기중에서 900°C에서 어닐링을 행하여 실리콘기판(1)상에 두께 6 내지 12nm의 얇은 산화막(21)을 형성한다. 다음으로, 제2b도에 나타난 것처럼, 두께가 약 25nm이고 도핑되지 않은 아모르퍼스 실리콘으로 이루어진 실리콘막(32)을 퇴적시킨다. 계속하여 이 실리콘

콘막(32)위에 두께가 약 25nm이고 질소로 도핑된 실리콘막(33)을 퇴적시킨다. 실리콘막(33)의 도핑상태는 실리콘막(32)과는 다르다.

실리콘막(32)은,  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 를 원료가스로 한 CVD법에 의해, 약 500°C의 온도에서 퇴적 형성한다. 또, 실리콘막(33)은, 실리콘막(32)의 퇴적후에,  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 에 더하여 암모니아 가스를 사용하여, 약 500°C의 온도에서 퇴적 형성한다. 이 실리콘막(33)중의 도핑된 질소농도는,  $1 \times 10^{21} \text{cm}^{-3}$  내지  $3 \times 10^{22} \text{cm}^{-3}$ 의 범위내일 수 있다. 또 이 실리콘막(33)은 질소로 도핑되어 있기 때문에, 실리콘막(32)보다 산화속도가 느리다.

다음으로, 제2c도에 나타낸 것처럼, 필드산화용 마스크로 되는 두께 약 200nm의 질화실리콘( $\text{Si}_3\text{N}_4$ )층(4)을 형성한다.

다음에, 질화실리콘층(4)상에 포토레지스트층을 형성하고, 제2d도에 나타낸 것처럼, 포토리소그래피 기술을 사용하여, 레지스트패턴(5)을 형성한다.

또 포토레지스트층 대신에 X선에 감광하는 레지스트나 전자선 레지스트를 사용하고, X선이나 전자선을 사용하는 리소그래피기술에 의해 레지스트패턴(5)을 형성할 수 있다.

다음으로, 제2e도에 나타낸 것처럼, 레지스트패턴(5)을 마스크로 하여 질화실리콘층(4)을 에칭하여 질화실리콘마스크(4a)를 형성한다. 이 에칭은 불화탄소가스를 사용한 RIE법을 사용하여 행한다. 이 에칭에 의해 질화실리콘마스크(4a) 아래부분 이외의 실리콘층(33)이 노출된다.

다음으로, 제2f도에 나타낸 것처럼, 산소라디칼을 사용한 회화처리에 의해 레지스트패턴을 제거한 후, 얻어지는 구조를 RCA 세정한다.

다음으로, 제2g도에 나타낸 것처럼, 질화실리콘마스크(4a)를 마스크로 사용하여, 수증기를 포함한 산소분위기중에서, 1000°C의 온도에서 선택 산화를 행하여, 노출된 실리콘막(32와 33) 및 실리콘기판의 표면을 선택적으로 산화한다. 그 결과 두께 450nm의 두꺼운 산화막(22)이 형성된다. 1000°C의 산화온도는 일례에 불과하며 아무런 문제없이, 예를들면 700 내지 1150°C의 온도범위에서 바꿀 수 있다.

다음으로, 이 열산화에 의해 질화실리콘마스크(4a)의 표면에 형성된 얇은 산화막을 묽은 불화수소산을 사용하여 제거하고, 뜨거운 인산을 사용하여 질화실리콘 마스크(4a)를 선택적으로 제거한다.

그위에, 염소계 가스를 사용한 RIE법에 의해 실리콘막(32와 33)을 선택적으로 제거하여(제2h도에 나타낸 공정), 제2h도에 나타낸 것처럼, 두꺼운 산화막(22)으로 덮인 소자분리영역이 형성된 기판을 얻는다.

마지막으로, 제2i도에 나타낸 것처럼, 얇은 산화막(21)을 제거하여, 두꺼운 산화막(22)으로 둘러싸인 영역의 실리콘기판(1)의 표면을 노출시킨다.

이 방법에 의하면, 종래의 방법과 달리, 제2j도에 나타낸 것처럼, 실리콘막(32와 33)에 보이드가 발생하지 않고, 실리콘기판에 구멍이 생기지 않는다. 또, 두꺼운 산화막(22)의 경계부분이 고르지 않은 상태가 되는 일도 없어 매끄러운 표면이 형성된다.

또, 실시예 1과 달리, 산화속도가 다른 실리콘막(32와 33)을 사용하기 때문에, 필드산화막으로 되는 두꺼운 산화막(22a)의 단면 형상이 제어된 상태에 있다.

또, 실시예 1에 사용된 단실리콘층에 질소를, 상부 표면으로 갈수록 그 농도가 점차 증가하도록 도핑한다면, 실시예 2와 동일한 효과를 얻을 수 있다.

### [실시예 3]

제2a 내지 2j도에 나타낸 실시예에서는, 실리콘막(32)으로서 도핑되지 않은 아모르퍼스 실리콘막을 사용하지만, 본 발명은 이 막재료로 한정되지 않는다. 이 실리콘막(32)으로서, 산화속도를 증가시키는 산소로 도핑된 아모르퍼스막을 사용하여 실리콘막(32)을 실리콘막(33)과는 다른 도핑상태에 둘수도 있다.

산소가 도핑된 아모르퍼스 실리콘을 사용함으로써, 필드산화막으로써 두꺼운 산화막(22)을 형성할 때, 이 실리콘막(32)의 다결정립의 성장을 억제할 수 있다. 그리고 실리콘막(32)을 산소로 도핑하기 때문에, 그것의 산화속도가 증가한다. 그 결과, 산화막(32)과 질소로 도핑된 산화막(33)사이의 산화속도의 차는 실시예 2에 비교하여 보다 크게된다.

이 때문에, 두꺼운 산화막(22a)의 경계부분의 요철의 발생을 억제하면서, 그 단면형상의 기울기를 더 줄일 수 있다. 실시예 1과 실시예 2에서는, 실리콘층(32)으로서 아모르퍼스실리콘이 사용되지만, 미결정 폴리실리콘을 사용하는 것에 의해서도 상기한 것과 마찬가지로의 효과를 얻을 수 있다.

저압 CVD법에서는, 퇴적온도를 500°C로 하는 것으로 실리콘 산화막상에 아모르퍼스 실리콘을 퇴적시킬 수 있다.

이 경우에, 퇴적온도를 650°C로 하고,  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 에 더하여 암모니아가스를 도입하여 불순물로서 질소를 사용하면, 질소로 도핑된 미결정 폴리실리콘을 퇴적시킬 수 있다.

실시예 1과 2에서는, 실리콘층을 하나의 불순물로 도핑한다. 또, 사용되는 각 실리콘층에는 하나의 불순물을 도핑한다. 그렇지만, 본 발명은 그러한 도핑 구조로 한정되는 것이 아니고, 하나의 실리콘층을 그 이상의 불순물로 도핑하여도 좋다. 예를들면, 실리콘층으로 산소와 질소로 도핑된 아모르퍼스 실리콘을 사용한다면, 산화속도를 다소 증가시키고, 결정립의 성장을 더욱 효과적으로 억제할 수 있다.

이 경우에, 실리콘층을 산소만으로 도핑한다면, 산화속도를 많이 높이지 않고서는 결정립의 성장은 억제되지 않는다. 한편, 결정립의 성장을 더 효과적으로 억제하기 위해 산소의 도핑량을 증가시키면, 산화속도는 지나치게 빠르게 된다.

그렇지만, 상술했듯이, 산소뿐만 아니라 질소나 탄소를 동시에 도핑한다면, 산화속도가 지나치게 빠르게 되는 것을 막을 수 있다. 즉, 실리콘층을 산화속도를 증가시키는 불순물과 산화속도를 저하시키는 불순물로 도핑함으로써, 선택 산화시에 실리콘층의 단부로부터의 산화상태를 정도 높게 조절할 수 있고, 필드산화막의 단면형상을 더 세밀하게 제어할 수 있다.

#### [실시예 4]

상기 실시예 2와 3에서는, 산화시간 단축 및 필드산화막의 단면 형상의 제어방법으로서, 선택산화전에 선택적으로 산화될 영역의 실리콘층의 상층부 즉, 산화를 느리게하는 불순물로 도핑된 부분을 제거하는 방법이 제공된다. 이 방법에 따르면, 필드산화처리를 하는 실리콘층이 산화속도를 저하시키는 불순물을 전혀 함유하고 있지 않기 때문에, 상기 실시예 2와 3에서보다 더 빨리 산화가 진행된다. 한편, 질화실리콘 마스크 아래에 산화를 저하시키고 재결정화를 방해하는 불순물로 도핑된 층이 남는다. 이것은, 실시예 2와 3에서와 같이, 새부리의 고르지 못한 단부의 형성 및 질화실리콘 마스크 아래의 실리콘층에 보이드가 발생하는 것을 막는다. 제3a 내지 3k도는 본 발명의 실시예 4를 설명하는 제조공정을 나타낸다. 실시예 4의 동일한 참조번호는 상기 실시예들에서와 동일한 부분을 나타낸다.

먼저, 제3a도에 나타난 것처럼, 건조 산소분위기중에서 900°C에서 어닐링을 행하여 실리콘기판(1)상에 두께 6 내지 12nm의 얇은 산화막(21)을 형성한다.

다음으로, 제3b도에 나타난 것처럼, 두께가 약 25nm이고 도핑되지 않은 아모르퍼스 실리콘 또는 산소로 도핑된 아모르퍼스 실리콘으로 이루어진 실리콘막(32)을 퇴적시킨다. 계속하여, 이 실리콘막(32)위에 두께가 약 25nm이고 질소로 도핑된 실리콘막(33)을 퇴적시킨다. 실리콘막(33)의 도핑상태는 실리콘막(32)과는 다르다. 실리콘막(32)은, SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>를 원료가스로 하거나 또는 SiH<sub>4</sub>와 Si<sub>2</sub>H<sub>6</sub>에 더하여 산소를 사용한 CVD법에 의해, 약 500°C의 온도에서 퇴적 형성한다. 또, 실리콘막(33)은, 실리콘막(32)의 퇴적후에, SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>에 더하여 암모니아 가스를 사용하여, 약 500°C의 온도에서 퇴적 형성한다.

이 실리콘막(33)층의 도핑된 질소농도는,  $1 \times 10^{21} \text{ cm}^{-3}$  내지  $3 \times 10^{22} \text{ cm}^{-3}$ 의 범위내일 수 있다. 또 이 실리콘막(33)은 질소로 도핑되어 있기 때문에, 실리콘막(32)보다 산화속도가 낮다.

다음으로, 제3c도에 나타난 것처럼, 필드산화용 마스크로 되는 두께 약 200nm의 질화실리콘(Si<sub>3</sub>N<sub>4</sub>)층(4)을 형성한다.

다음에, 제3d도에 나타난 것처럼, 질화실리콘층(4)상에 포토레지스트층을 형성하고, 포토리소그래피 기술을 사용하여, 레지스트패턴(5)을 형성한다.

또, 포토레지스트층 대신에 X선에 감광하는 레지스트나 전자선 레지스트를 사용하고, X선이나 전자선을 사용하는 리소그래피기술에 의해 레지스트패턴(5)을 형성할 수 있다.

다음으로, 제3e도에 나타난 것처럼, 레지스트패턴(5)을 마스크로 하여 질화실리콘층(4)을 에칭하여 질화실리콘마스크(4a)를 형성한다. 이 에칭은 불화탄소가스를 사용한 RIE법을 사용하여 행한다. 이 에칭에 의해 질화실리콘마스크(4a) 아래부분 이외의 실리콘층(33)이 노출된다.

제3f도에 나타난 것처럼, 염소계 가스 및 마스크로서 레지스트 패턴을 사용한 RIE법에 의해 실리콘막(33)을 에칭한다. 이때에, 실리콘막(33) 아래 놓인 실리콘막(32)은 에칭되지 않는다.

다음으로, 제3g도에 나타난 것처럼, 산소라디칼을 사용한 회화처리에 의해 레지스트패턴을 제거한 후, 얻어지는 구조를 RCA 세정한다.

다음으로, 제3h도에 나타난 것처럼, 질화실리콘마스크(4a)를 마스크로 사용하여, 수증기를 포함한 산소분위기중에서, 1000°C의 온도에서 선택 산화를 행하여, 노출된 실리콘막(32)과 실리콘막(33)의 막 엷지 및 실리콘기판의 표면을 선택적으로 산화한다. 그 결과 두께 450nm의 두꺼운 산화막(22)이 형성된다. 1000°C의 산화온도는 일례에 불과하며 아무런 문제없이, 예를들면 700 내지 1150°C의 온도범위에서 바꿀 수 있다.

다음으로, 이 열산화에 의해 질화실리콘마스크(4a)의 표면에 형성된 얇은 산화막을 묽은 불화수소산을 사용하여 제거하고, 뜨거운 인산을 사용하여 질화실리콘 마스크(4a)를 선택적으로 제거한다.

그위에, 염소계 가스를 사용한 RIE법에 의해 실리콘막(32와 33)을 선택적으로 에칭하여(제3i도), 제3h도에 나타난 것처럼, 두꺼운 산화막(22)으로 덮인 소자분리영역이 형성된 기판을 얻는다.

마지막으로, 제3j도에 나타난 것처럼, 얇은 산화막(21)을 제거하여, 실리콘기판(1)의 표면을 노출시킨다.

이 방법에 의하면, 종래의 방법과 달리, 제3k도에 나타난 것처럼, 실리콘막(32와 33)으로 구성된 실리콘층에 보이드가 발생하지 않고, 실리콘기판에 구멍이 생기지 않는다. 또, 두꺼운 산화막(22)의 경계부분이 고르지 않은 상태가 되는 일도 없다.

또, 실시예 1과 달리, 산화속도가 다른 실리콘막(32와 33)을 사용하기 때문에, 필드산화막으로 되는 두꺼운 산화막(22a)의 단면 형상이 제어된 상태에 있다.

또, 실시예 1에서, 단실리콘층을, 이 단실리콘층에 도핑된 질소를, 상부 표면으로 갈수록 그 농도가 점차 증가하도록 형성하고, 심하게 도핑된 영역을 에칭하여도 실시예 2와 동일한 효과를 얻을 수 있다.

실시예 1에서는, 실리콘층(31)을 가공하지 않고 열적으로 산화시키지만(제3f 내지 3g도), 본 발명이 이것에 한정되는 것은 아니다.

하기 실시예에서처럼, 레지스트패턴을 마스크로 하여 산화용 마스크로 되는 질화막을 에칭하여 소자분리영역을 둘러싸도록 형성한후에, 실리콘층을 선택적으로 제거할 수도 있다.

이 선택적 제거공정에서는, 질화실리콘마스크 아래부분이외의 전실리콘층을 제거할 수도 있다. 또 다르게

는, 실리콘층을 어느 정도 두께로 남겨둘 수도 있다. 즉 질화실리콘 마스크 아래부분이외의 실리콘층을 얇게 할 수도 있다. 이 공정에서, 열산화에 의해 소자분리영역을 형성하면, 소자분리영역의 산화막의 표면과 활성영역의 실리콘층의 표면사이의 레벨의 차를 감소시킬 수 있다. 이렇게 되면 게이트 전극 배선층 형성공정에서 패턴 형성의 정도 및 수율이 향상된다.

#### [실시에 5]

제4a 내지 4j도는 본 발명의 실시예 5를 설명하기 위한 공정을 나타낸다. 실시예 5의 동일한 참조번호는 상기 실시예들에서와 동일한 부분을 나타낸다.

먼저, 제4a도에 나타난 것처럼, 건조 산화분위기중에서 900℃에서 어닐링을 행하여 실리콘기판(1)상에 두께 6 내지 12nm의 얇은 산화막(21)을 형성한다. 이 산화막(21)을 형성함으로써, 후술하는 공정에 있어서 실리콘기판(1)에 작용하는 응력이 감소된다. 또한 이 산화막(21)은 그위에 형성된 실리콘층을 제거할때에 에칭스톱퍼로 작용한다.

이어서, 제4b도에 나타난 것처럼, CVD법을 사용하여 질소-도핑된 아모르퍼스 실리콘을 산화막(21)에 퇴적시켜 두께가 약 50nm인 실리콘층(31)을 얇은 산화막(21)상에 형성한다. CVD법에 의한 이 퇴적공정에서는, 퇴적온도를 500℃로 하고 사용하는 가스로는 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>에 더하여 암모니아가스를 사용한다. 아모르퍼스 실리콘의 퇴적과 동시에 질소 도핑을 행한다.

이 질소는 실리콘의 결정화를 방해하고 산화속도를 저하시키는 불순물이다.

실리콘층(31)에 도핑되는 질소의 농도는  $1 \times 10^{21} \text{ cm}^{-3}$  내지  $3 \times 10^{22} \text{ cm}^{-3}$ 의 범위내일 수 있다. 만약, 질소, 탄소 또는 산소등의 불순물 각각의 도핑양이  $1 \times 10^{21} \text{ cm}^{-3}$  보다 적다면, 결정립의 성장을 억제하는 효과가 그다지 증대되지 않는다. 이와 대조적으로, 각 불순물의 도핑양이  $3 \times 10^{22} \text{ cm}^{-3}$ 을 초과하면, 불순물이 도핑되는 상태가 아니라, 화합물이 형성된 상태가 된다. 예를들면, 실리콘층(31)에 다량의 질소를 도핑하면, 실리콘층이 질화막이 되어버린다. 실리콘층(버퍼층)은 필드산화막을 형성하는 단계에서 부분적으로 산화되어, 그 결과 기판에 작용하는 응력을 감소시킨다. 또, 실리콘층은 아모르퍼스 실리콘 또는 미결정 폴리실리콘으로 이루어지기 때문에, 비상이 견고하지는 않아서 응력을 감소시킬 수 있다.

그렇지만, 이 실리콘층이 질화막으로 되어 버리면, 전혀 산화되지 않게되고, 또, 질화막은 비상이 견고하기 때문에, 기판에 작용하는 응력을 완화할 수 없게 된다. 이것은 탄소를 사용하는 경우에도 마찬가지다. 또 과량의 산화로 실리콘층(31)을 도핑하면, 실리콘층(31)은 산화막으로 되어버려, 불필요한 부분에 실리콘 산화막이 형성된다.

이어서, 제4c도에 나타난 것처럼, 필드산화(선택산화)용 마스크로 되는 두께 약 200nm의 질화실리콘(Si<sub>3</sub>N<sub>4</sub>)층(4)을 형성한다. 이어서, 질화실리콘층(4)상에 포토레지스트를 형성하고, 제4d도에 나타난 것처럼, 패턴하여 레지스트패턴(5)을 형성한다.

또 포토레지스트층 대신에 X선에 감광하는 레지스트나 전자선 레지스트를 사용하고, X선이나 전자선에 의한 리소그래피 기술에 의해 레지스트패턴을 형성할 수 있다.

다음으로, 제4e도에 나타난 것처럼, 레지스트패턴(5)을 마스크로 사용하여 질화실리콘층(4)을 에칭하여 질화실리콘마스크(산화마스크)(4a)를 형성한다. 이 에칭은 불화탄소가스를 사용한 리액티브 이온 에칭(RIE)법을 사용하여 행한다. 그리고, 이 에칭에 의해 질화실리콘마스크(4a) 아래 부분이외의 실리콘층(31a)이 노출된다.

이어서, 제4f도에 나타난 것처럼, 염소계 가스 및 레지스트 패턴을 마스크로 사용한 RIE법에 의해 실리콘층(31a)의 노출부분을 에칭한다.

다음으로 제4g도에 나타난 것처럼, 산소 라디칼을 사용한 회화(ashing)처리에 의해 레지스트패턴을 제거한다. 묽은 불화수소산을 사용한 에칭 기술에 의해 실리콘기판(1)상의 노출된 얇은 산화막(21)을 제거하여 질화실리콘마스크(4a) 아래 부분이외의 실리콘기판(1)의 표면을 노출시킨다.

다음으로, 암모니아와 과산화수소의 액체 혼합물을 사용한 액체 처리 및 과산화수소와 염산의 액체혼합물을 사용한 액체처리에 의해 실리콘기판(1)을 RCA 세정한다. 다음으로, 제4h도에 나타난 것처럼, 질화실리콘마스크(4a)를 마스크로 사용하여, 수증기를 포함한 산소 분위기중에서 1000℃의 온도에서 열산화를 행하여, 실리콘층(31a)의 노출된 측표면 및 실리콘기판(1)의 표면을 산화한다. 그 결과, 두께 450nm의 두꺼운 산화막(22)이 형성된다.

묽은 불화수소산을 사용하여, 질화실리콘마스크(4a)의 표면에 형성된 얇은 산화막을 에칭하고, 뜨거운 인산을 사용하여 질화실리콘마스크(4a)를 선택적으로 제거한다.

그위에, 염소계 가스를 사용한 RIE법에 의해 실리콘층(31a)을 선택적으로 제거하여, 제4i도에 나타난 것처럼, 두꺼운 산화막(22)으로 덮인 소자분리영역이 형성된 기판을 얻는다.

마지막으로, 제4j도에 나타난 것처럼, 얇은 산화막(21)을 제거하여, 두꺼운 산화막(22)으로 둘러싸인 영역의 실리콘기판(1)의 표면을 노출시킨다.

이 방법에 의하면, 종래의 방법과 달리 제4k도에 나타난 것처럼, 실리콘층(31a)에 보이드가 발생하지 않고, 실리콘기판에 구멍이 생기지 않는다. 또, 산화막(22)의 경계부분이 고르지 않은 상태가 되는 일도 없다.

또한, 실리콘층(31a)에 대한 불순물의 도핑을 실리콘층(31a)의 퇴적시점에서 행하기 때문에, 종래의 방법과 비교하여, 제조단계의 수를 늘리지 않고도 문제점을 해소할 수 있다.

그위에, 실시예 5에서는, 질소로 실리콘층(51a)을 도핑하기 때문에, 산화속도가 감소되고, 새부리를 단축

시킬 수 있다.

#### [실시예 6]

제5a 내지 5k도는 본 발명의 실시예 6을 설명하기 위한 공정을 나타낸다. 제5a 내지 5k도의 동일한 참조 번호는 상기 실시예들에서와 동일한 부분을 나타낸다.

제5a도에 나타난 것처럼, 건조 산소분위기중에서 900°C에서 어닐링을 행하여 실리콘기판(1)상에 두께 6 내지 12nm의 얇은 산화막(21)을 형성한다.

다음으로, 제5b도에 나타난 것처럼, 두께가 약 25nm이고 도핑되지 않은 아모르퍼스실리콘으로 이루어진 실리콘막(32a)을 퇴적시킨다. 계속하여, 이 실리콘막(32a) 위에 두께가 약 25nm이고 질소로 도핑된 실리콘막(33a)을 퇴적시킨다.

실리콘막(32a)은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 를 원료가스로 한 CVD법에 의해, 약 500°C의 온도에서 퇴적 형성한다. 또, 실리콘막(33a)은, 실리콘막(32a)의 퇴적후에,  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 에 더하여 암모니아 가스를 사용하여, 약 500°C의 온도에서 퇴적 형성한다. 이 실리콘막(33a)중의 도핑된질소농도는,  $1 \times 10^{21} \text{ cm}^{-3}$  내지  $3 \times 10^{22} \text{ cm}^{-3}$ 의 범위내일 수 있다. 또 이 실리콘막(33a)은 질소로 도핑되어 있기 때문에, 실리콘막(32a)보다 산화속도가 느리다.

다음으로, 제5d도에 나타난 것처럼, 필드산화용 마스크로 되는 두께 약 200nm의 질화실리콘( $\text{Si}_3\text{N}_4$ )층(4)을 형성한다.

다음에, 질화실리콘층(4)상에 포토레지스트를 형성하고, 제5d도에 나타난 것처럼, 포토리소그래피 기술을 사용하여, 레지스트패턴(5)을 형성한다.

또 포토레지스트층 대신에 X선에 감광하는 레지스트나 전자선 레지스트를 사용하고, X선이나 전자선을 사용하는 리소그래피 기술에 의해 레지스트패턴(5)을 형성할 수 있다.

다음으로, 제5e도에 나타난 것처럼, 레지스트패턴(5)을 마스크로 사용하여 질화실리콘층(4)을 에칭하여 질화실리콘마스크(4a)를 형성한다. 이 에칭은 불화탄소가스를 사용한 RIE법을 사용하여 행한다. 이 에칭에 의해 질화실리콘마스크(4a) 아래부분 이외의 실리콘층(33a)이 노출된다.

다음으로, 제5f도에 나타난 것처럼, 염소계 가스를 사용한 RIE법에 의해 실리콘층(32a와 33a)을 선택적으로 제거하여 레지스트패턴(5) 아래부분이외의 얇은 산화막(1)의 표면을 노출시킨다.

이어, 제5g도에 나타난 것처럼, 산소 라디칼을 사용한 회화처리에 의해 레지스트패턴(5)을 제거한다.

불화탄소로 이루어지는 에천트를 사용한 에칭 기술에 의해 노출된 얇은 산화막(21)을 제거한다. 다음으로 실리콘기판(1)을 RCA 세정에 의해 세정한다.

다음으로, 제5h도에 나타난 것처럼, 질화실리콘마스크(4a)를 마스크로 사용하여, 수증기를 포함한 산소분위기중에서, 1000°C의 온도에서 열산화를 행하여, 실리콘막(32와 33)의 노출된 측표면 및 실리콘기판의 표면을 선택적으로 산화한다. 그 결과 두께 450nm의 두꺼운 산화막(22)이 형성된다.

얇은 불화수소산을 사용하여, 이 열산화에 의해 질화실리콘마스크(4a)의 표면에 형성된 얇은 산화막을 에칭하고, 뜨거운 인산을 사용하여 질화실리콘마스크(4a)를 선택적으로 에칭한다.

그위에, 염소계 가스를 사용한 RIE법에 의해 실리콘층(32a와 33a)을 선택적으로 제거하여(제5i도), 두꺼운 산화막(22)으로 덮인 소자분리영역이 형성한다.

마지막으로, 제5j도에 나타난 것처럼, 얇은 산화막(21)을 제거하여, 실리콘기판(1)의 표면을 노출시킨다.

이 방법에 의하면, 종래의 방법과 달리 제5k도에 나타난 것처럼, 실리콘층(32a와 33a)으로 구성된 실리콘층에 보이드가 발생하지 않고, 실리콘기판에 구멍이 생기지 않는다. 또, 산화막(22)의 경계부분이 고르지 않은 상태가 되는 일도 없다.

또한, 실시예 5와 달리, 산화속도가 다른 실리콘막(32a와 33a)을 사용하기 때문에, 필드산화막으로 되는 두꺼운 산화막(22a)의 단면 형상이 제어된 상태에 있다.

또, 상기 실시예 5에서, 단실리콘층에 도핑되는 질소의 농도가 상부 표면으로 갈수록 점차 증가하도록 단실리콘층을 형성하여도 실시예 6과 동일한 효과를 얻을 수 있다.

#### [실시예 7]

상기 실시예에서, 실리콘막(32a)으로서 도핑되지 않은 아모르퍼스 실리콘막을 사용하지만, 본 발명은 이 막재료를 한정되지 않는다. 이 실리콘막(32a)으로서, 산화속도를 증가시키는 산소로 도핑된 실리콘막(33a)과는 다른 도핑상태를 갖는 아모르퍼스막을 사용할 수도 있다.

산소가 도핑된 아모르퍼스 실리콘을 사용함으로써, 필드산화막으로서 두꺼운 산화막(22)을 형성할 때, 이 실리콘막(32a)의 다결정립의 성장을 억제할 수 있다. 그리고 실리콘막(32)을 산소로 도핑하기 때문에, 질화실리콘마스크(4a)의 단부 아래부분으로부터 시작하는 그것의 산화속도가 증가한다. 그 결과, 산화막(32a)과 질소로 도핑된 산화막(33)사이의 산화속도의 차는 상기 실시예에 비교하여 보다 크게된다.

이 때문에, 두꺼운 산화막(22a)의 경계부분의 요철의 발생을 억제하면서, 그 단면형상의 기울기를 더 줄일 수 있다. 실시예 4과 실시예 7에서는, 실리콘층(32)으로서 아모르퍼스실리콘이 사용되지만, 미결정 폴리실리콘을 사용하는 것에 의해서도 상기한 것과 마찬가지로의 효과를 얻을 수 있다.

저압 CVD법에서는, 퇴적온도를 500°C로 하는 것으로 실리콘 산화막상에 아모르퍼스 실리콘을 퇴적시킬 수



있다.

이 경우에, 퇴적온도를 650℃로 하고,  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 에 더하여 암모니아가스를 도입하여 불순물로서 질소를 사용하면, 질소로 도핑된 미결정 폴리실리콘을 퇴적시킬 수 있다.

상기 실시예에서는, 하나의 실리콘층을 하나의 불순물로 도핑한다. 그렇지만, 본 발명은 그러한 이것에 한정되는 것이 아니고, 하나의 실리콘층을 그이상의 불순물로 도핑하여도 좋다. 예를들면, 실리콘층으로 산소와 질소로 도핑된 아모르퍼스 실리콘을 사용한다면, 산화속도를 다소 증가시키고, 결정립의 성장을 더욱 효과적으로 억제할 수 있다.

이 경우에, 실리콘층을 산소만으로 도핑한다면, 산화속도를 많이 높이지 않고서는 결정립의 성장은 억제되지 않는다. 한편, 결정립의 성장을 더 효과적으로 억제하기 위해 산소의 도핑량을 증가시키면, 산화속도는 지나치게 빠르게 된다.

그렇지만, 상술했듯이, 산소뿐만아니라 질소나 탄소를 동시에 도핑한다면, 산화속도가 지나치게 빠르게 되는 것을 막을 수 있다. 즉, 실리콘층을 산화속도를 증가시키는 불순물과 산화속도를 저하시키는 불순물로 도핑함으로써, 선택 산화시에 실리콘층의 단부로부터의 산화상태를 정도 높게 조절할 수 있고, 필드산화막의 단면형상을 더 세밀하게 제어할 수 있다.

상술한 것처럼, 본 발명에 따르면, LOCOS법에 의해 국소산화영역(필드산화막)을 형성할 때, 반도체 기판상에 형성된 얇은 산화막(패드산화막)상에 형성된 실리콘층에 질소, 탄소, 또는 산소등의 불순물로 도핑된 미결정폴리실리콘을 사용한다.

이 때문에, 필드산화막 구역(소자분리영역)의 경계(새부리단)이 고르지 않게 되지않고, 또 보이드의 발생이 억제될 수 있다.

또, 실리콘층을 도핑물질이 다른 다층구조로 함으로써, 필드산화막의 단면형상을 제어할 수 있다.

마찬가지로, 실리콘층의 불순물 도핑량을 막후방향으로 변화시키기 때문에, 필드산화막의 단면형상을 제어할 수 있다.

그리고, 20이상의 불순물을 조합하여 실리콘층을 도핑하기 때문에, 실리콘층 단부에서 시작하는 산화속도를 미세하게 제어할 수 있고, 또 결정립의 성장을 억제할 수 있다. 따라서, 필드산화막의 형성을 더 정교하게 정할 수 있다.

## (57) 청구의 범위

### 청구항 1

반도체기판상에 산화막을 형성하는 공정과; 상기 산화막상에 실리콘의 결정화를 저지하는 불순물을 첨가한 실리콘으로 이루어지는 실리콘층을 형성하는 공정과; 상기 실리콘층상에 내산화성을 가진 막을 형성하는 공정과; 상기 내산화막의 일부를 선택적으로 제거하여 상기 내산화막으로 이루어지는 산화마스크를 형성하는 공정과; 상기 산화마스크를 마스크로 사용하여 상기 실리콘층과 반도체기판을 산화함으로써 소자분리영역을 형성하는 공정을 갖는 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 2

제1항에 있어서, 상기 실리콘층상에 산화마스크가 형성된 후에 내산화막이 선택적으로 제거되는 영역과 동일영역을 선택적으로 에칭하고, 상기 실리콘층상의 적어도 일부를 제거하고, 그리고 산화마스크를 마스크로 사용하여 소자분리영역을 형성하는 공정을 추가로 갖는 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 3

제1항에 있어서, 상기 실리콘층을 형성하는 공정은 불순물 농도를 막후방향으로 변화시킴으로써 상기 실리콘층을 형성하는 공정을 포함하는 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 4

제1항에 있어서, 상기 실리콘층을 형성하는 공정은, 제1실리콘막 및 그위에 제2실리콘막을 형성하는 공정을 포함하고, 제1실리콘막과 제2실리콘막을 도핑상태가 서로 다른 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 5

제4항에 있어서, 제1실리콘막 및 그위에 제2실리콘막을 형성하는 공정은 불순물의 유형, 불순물의 농도, 분포형상으로 이루어지는 군으로 부터 선택된 인자를 변화시키는 공정을 갖는 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 6

제4항에 있어서, 제2실리콘막은 제1실리콘막의 실리콘재료보다 산화속도가 더 낮은 실리콘재료로 이루어지는 것을 특징으로 하는 소자분리영역의 형성방법.

### 청구항 7

제1항에 있어서, 상기 실리콘층은 실리콘의 결정화를 저지하고 실리콘의 산화속도를 저하시키는 불순물로 도핑되는 것을 특징으로 하는 소자분리영역의 형성방법.

**청구항 8**

제1항에 있어서, 상기 실리콘층은 실리콘의 결정화를 저지하고 실리콘의 산화속도를 저하시키는 불순물과 결정화를 저지하고 산화속도를 증가시키는 불순물의 조합으로 도핑되는 것을 특징으로 하는 소자분리영역의 형성방법.

**청구항 9**

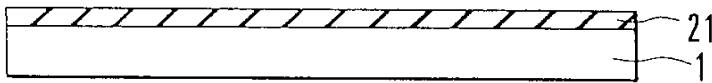
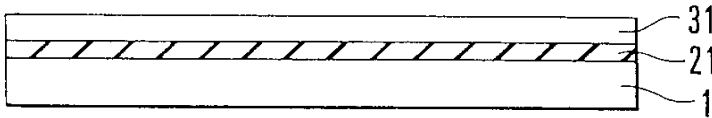
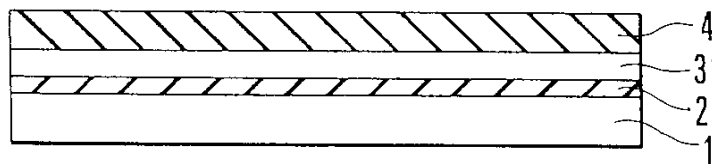
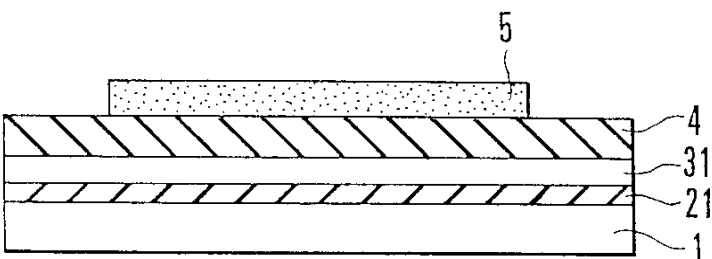
제1항에 있어서, 상기 실리콘층은 질소, 탄소 및 산소로 이루어지는 군으로부터 선택된 적어도 하나의 원소를 불순물로 함유하는 것을 특징으로 하는 소자분리영역의 형성방법.

**청구항 10**

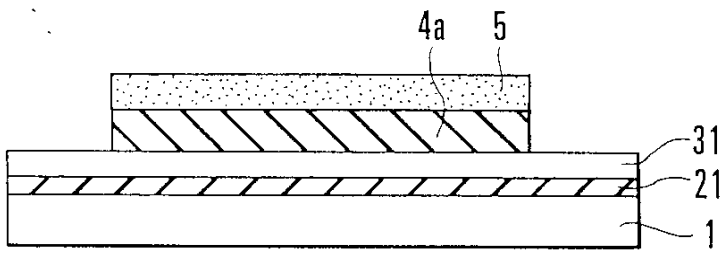
제1항에 있어서, 상기 실리콘층은 CVD법에 의해 형성되는 것을 특징으로 하는 소자분리영역의 형성방법.

**청구항 11**

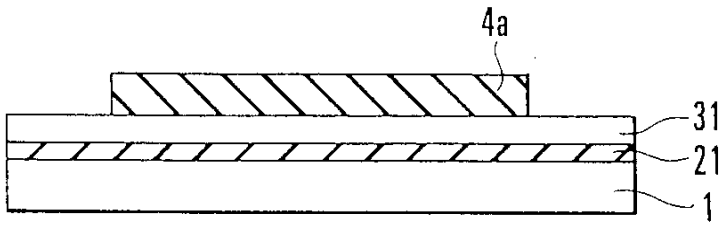
제1항에 있어서, 상기 실리콘층은 스퍼터링법에 의해 형성되는 것을 특징으로 하는 소자분리영역의 형성방법.

**도면****도면 1a****도면 1b****도면 1c****도면 1d**

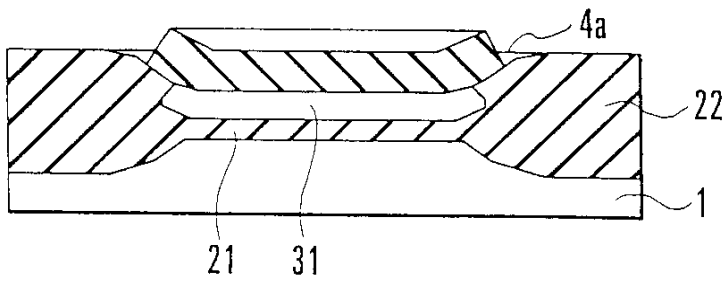
도면 1e



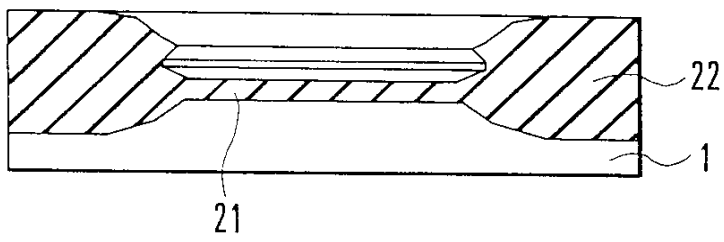
도면 1f



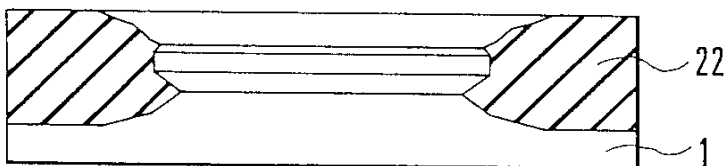
도면 1g



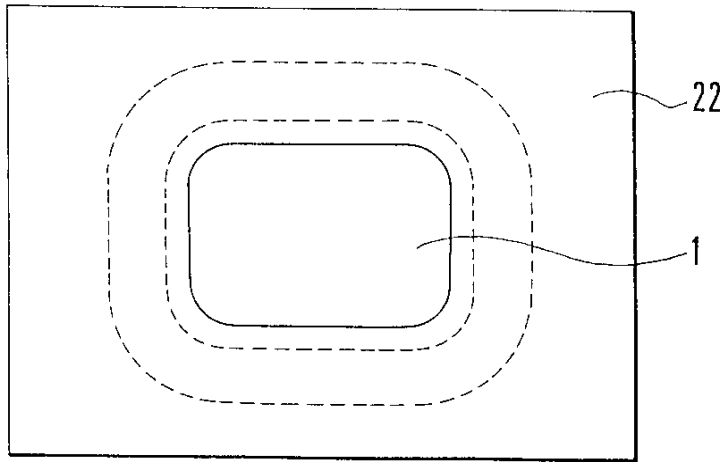
도면 1h



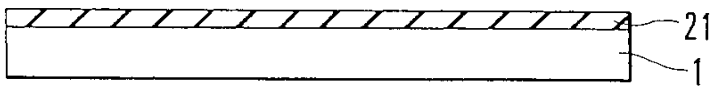
도면 1i



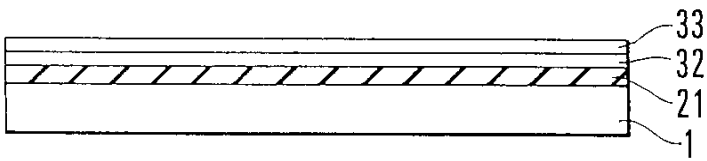
도면1j



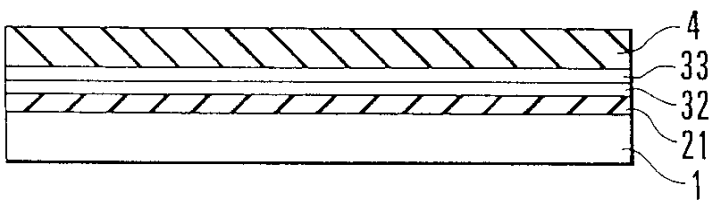
도면2a



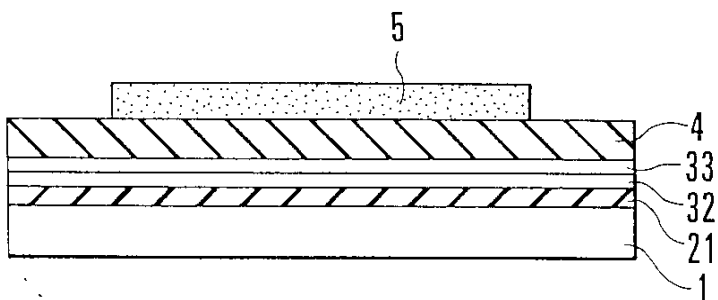
도면2b



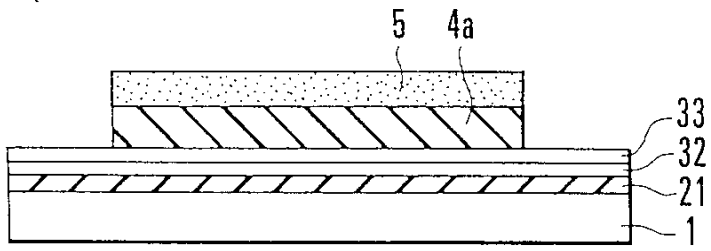
도면2c



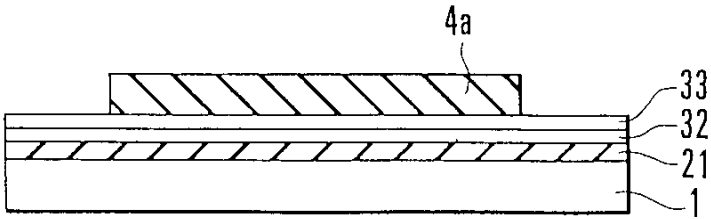
도면2d



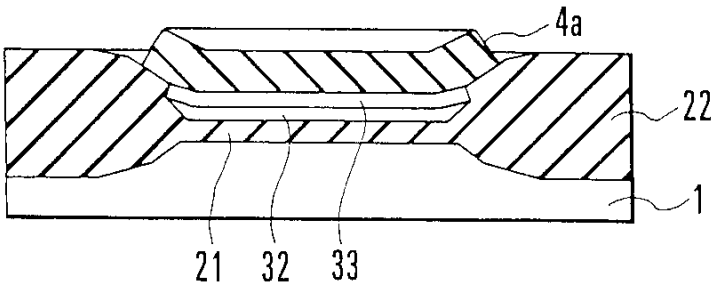
도면2e



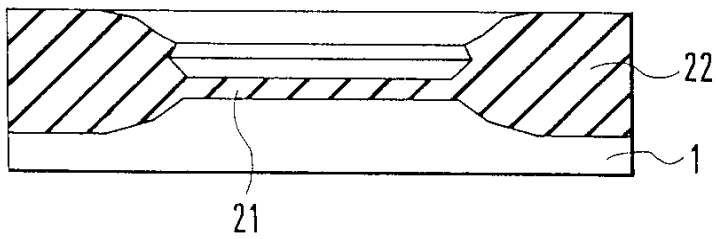
도면2f



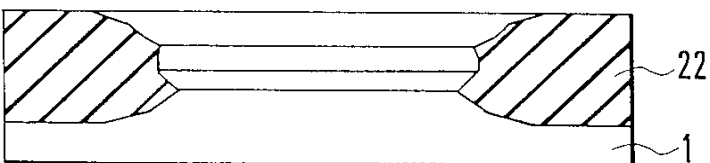
도면2g



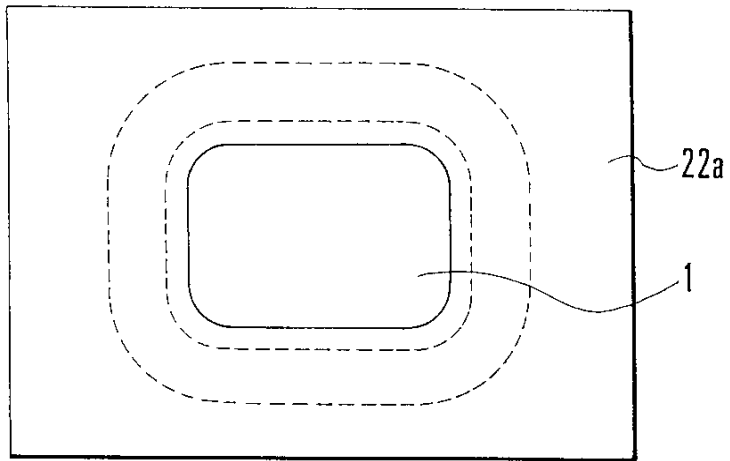
도면2h



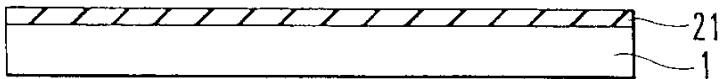
도면2i



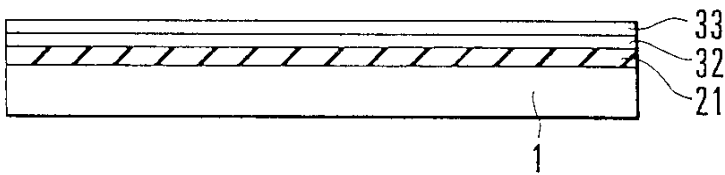
도면2j



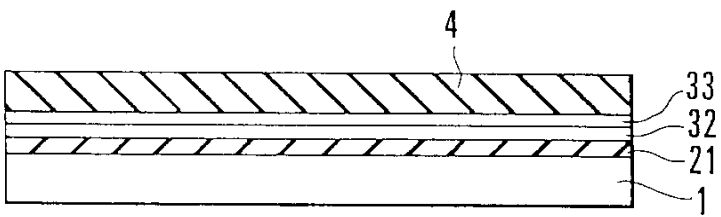
도면3a



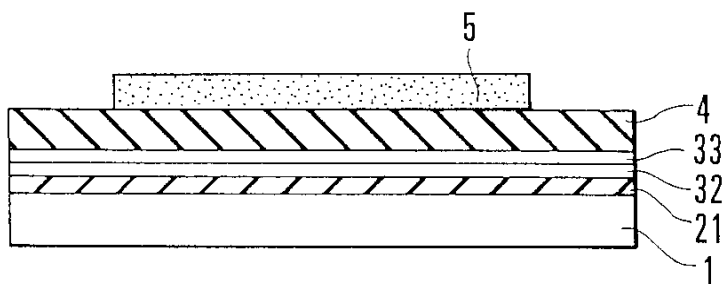
도면3b



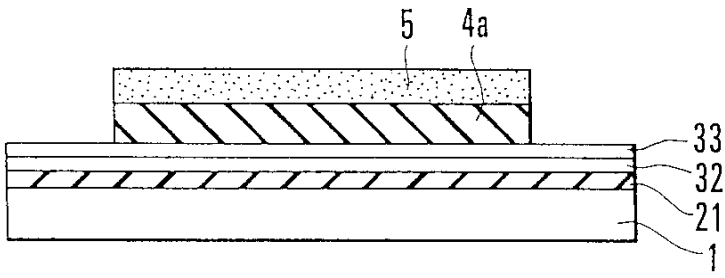
도면3c



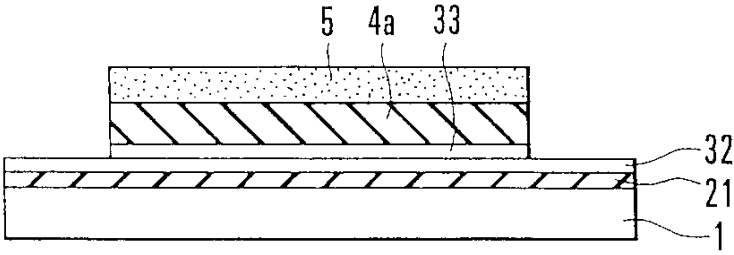
도면3d



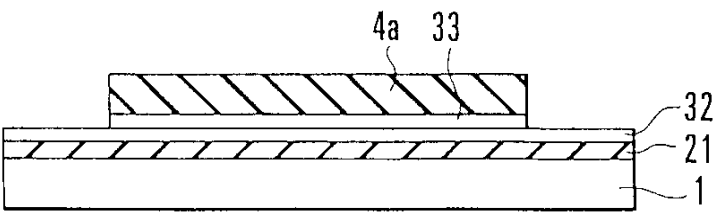
도면3e



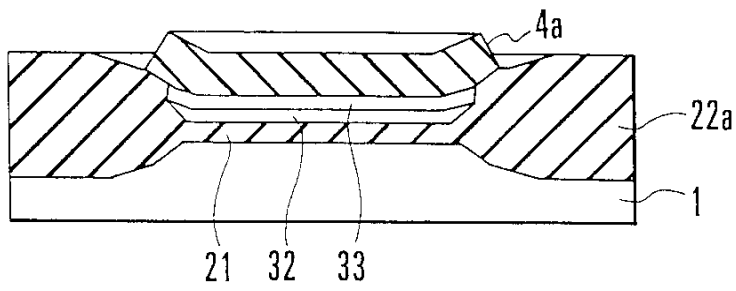
도면3f



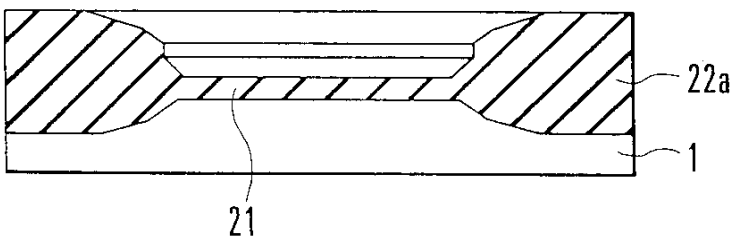
도면3g



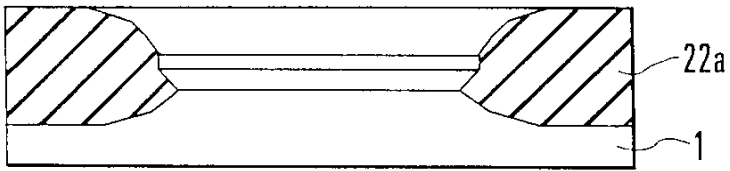
도면3h



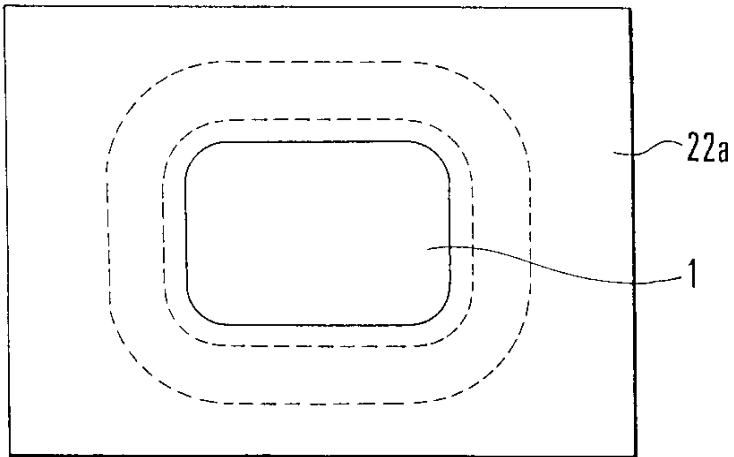
도면3i



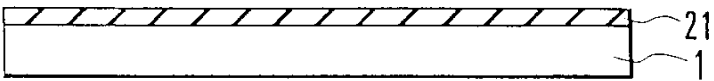
도면3j



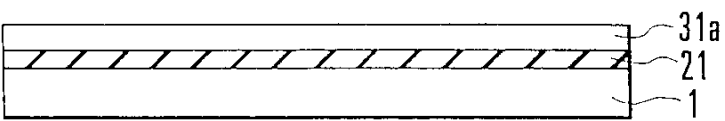
도면3k



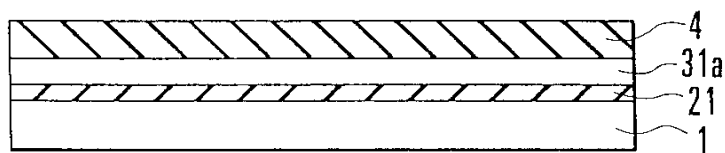
도면4a



도면4b

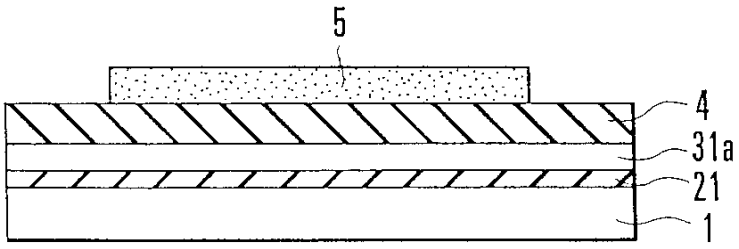


도면4c

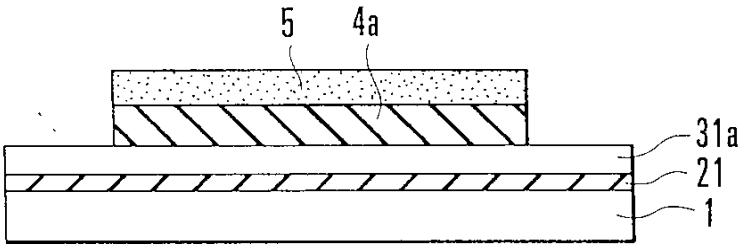




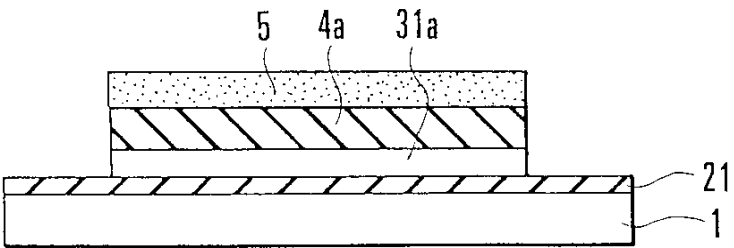
도면4d



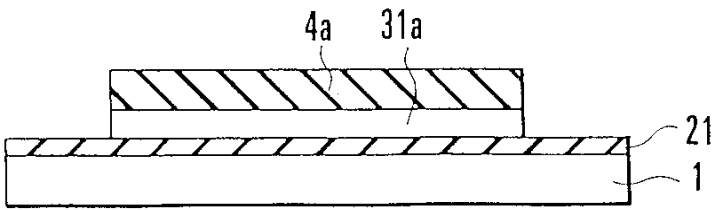
도면4e



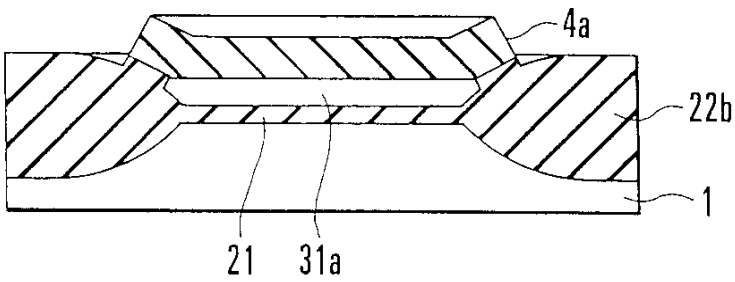
도면4f



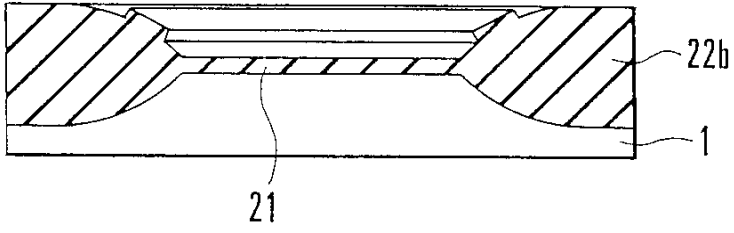
도면4g



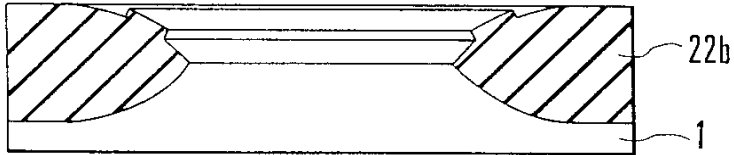
도면4h



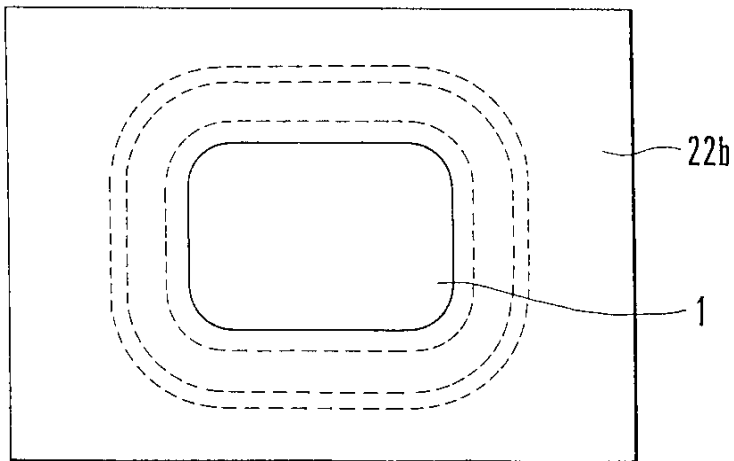
도면4i



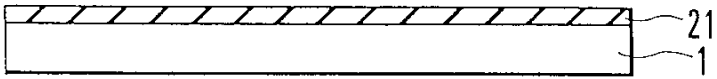
도면4j



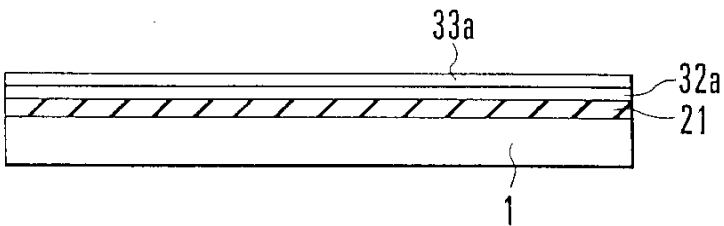
도면4k



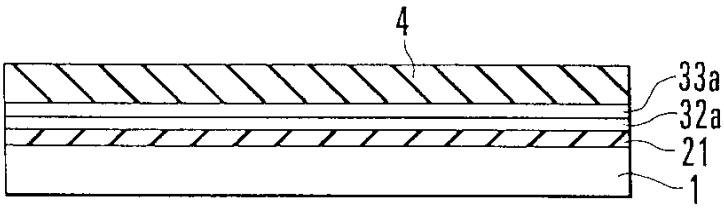
도면5a



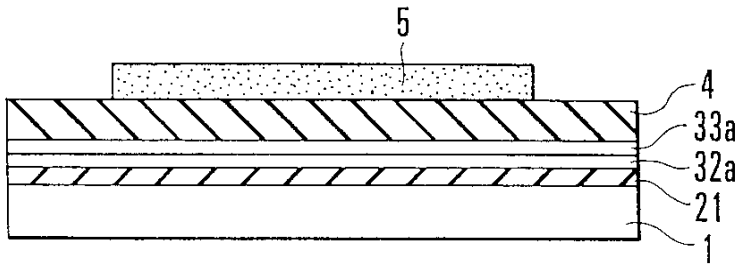
도면5b



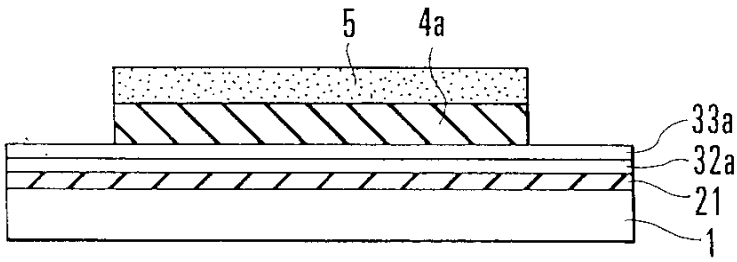
도면5c



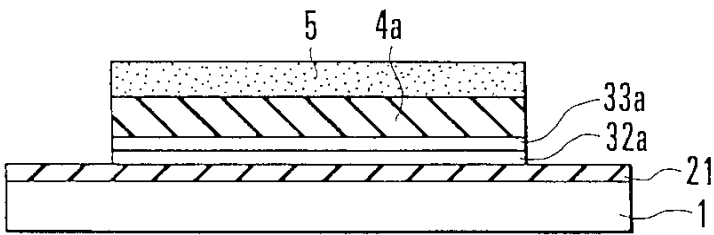
도면5d



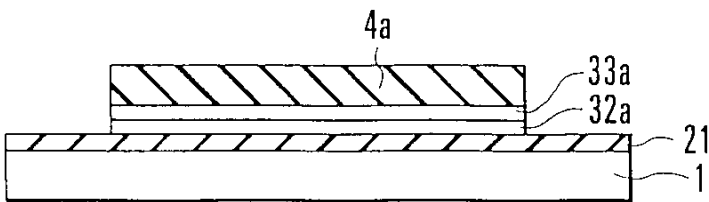
도면5e



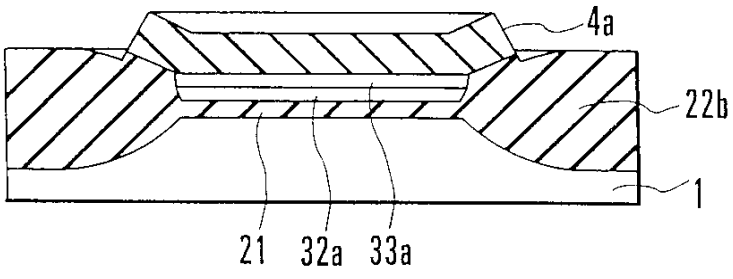
도면5f



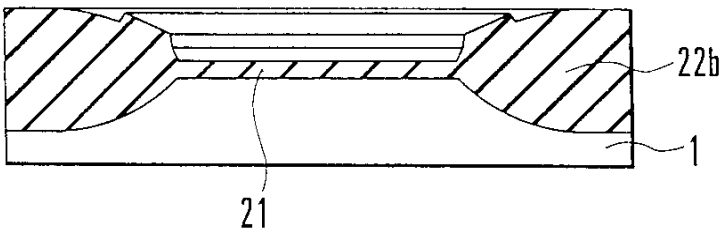
도면5g



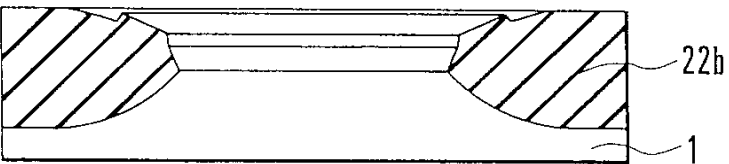
도면5h



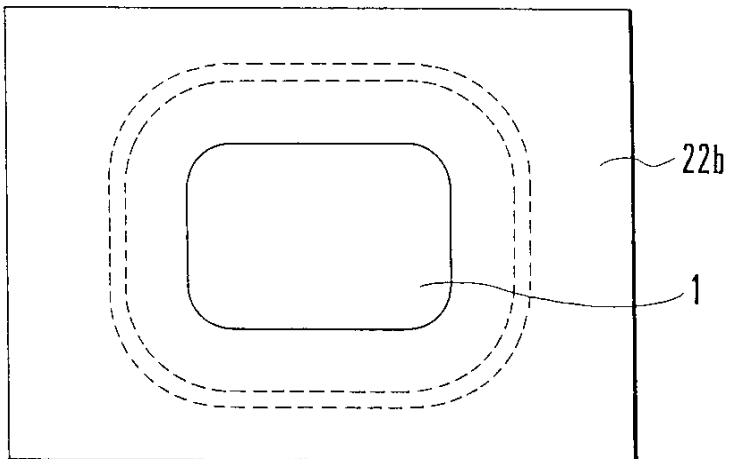
도면5i



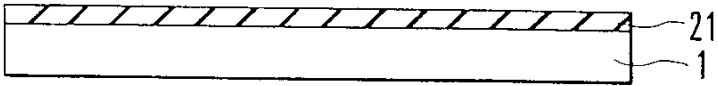
도면5j



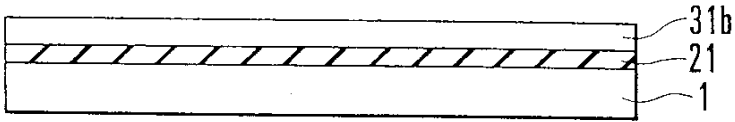
도면5k



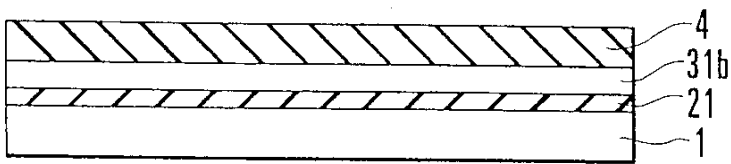
도면6a



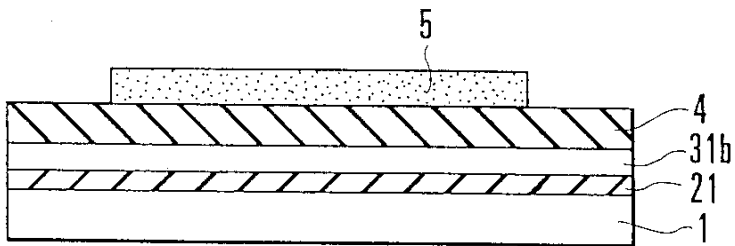
도면6b



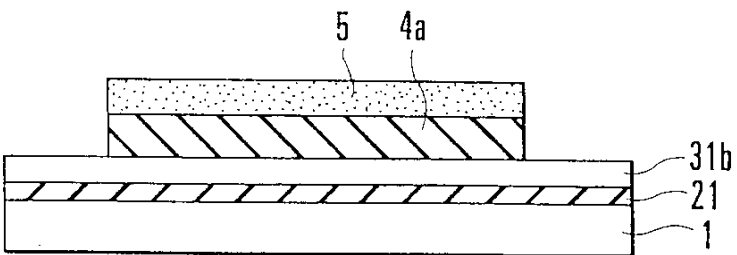
도면6c



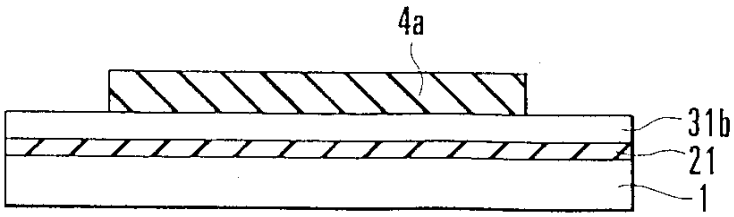
도면6d



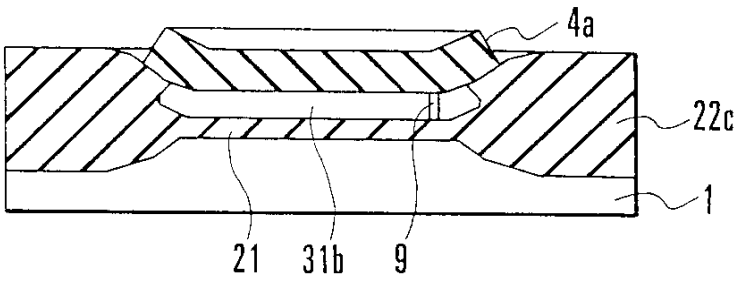
도면6e



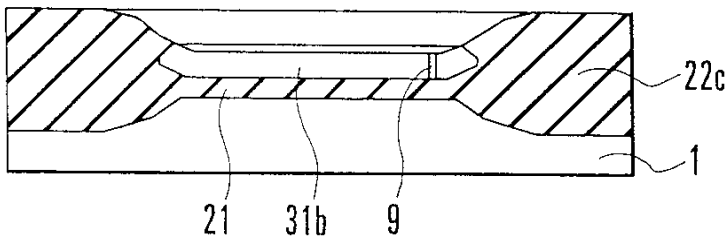
도면6f



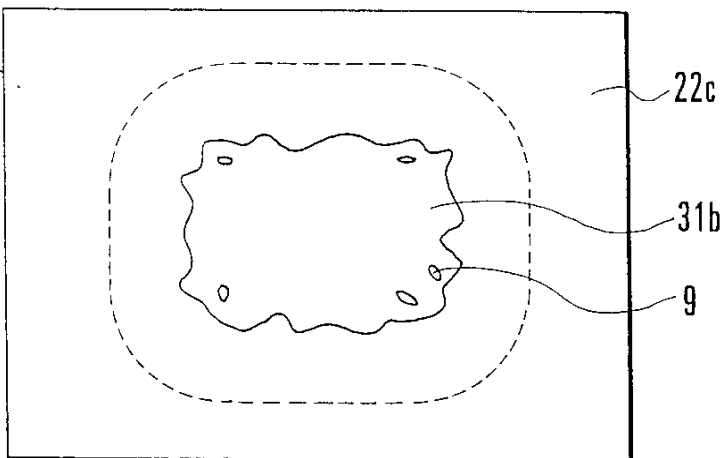
도면6g



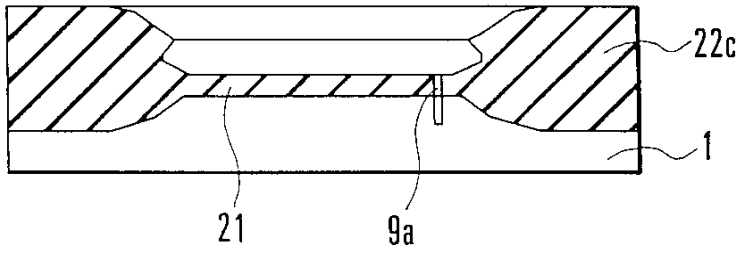
도면6h



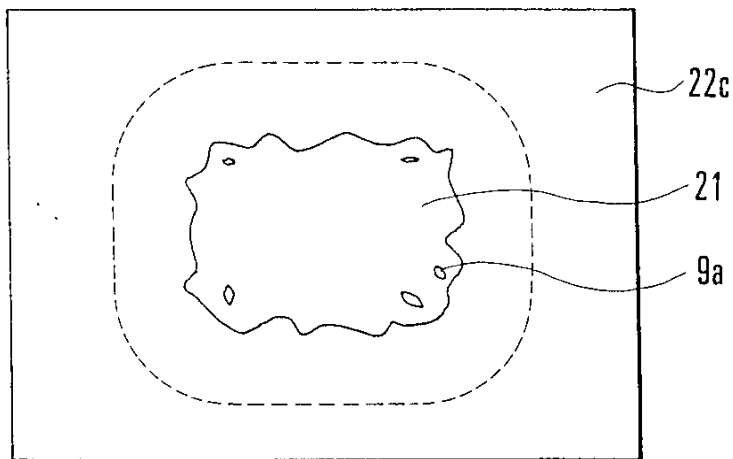
도면6i



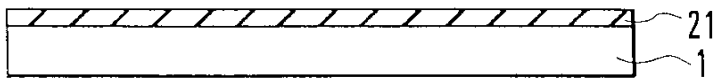
도면6j



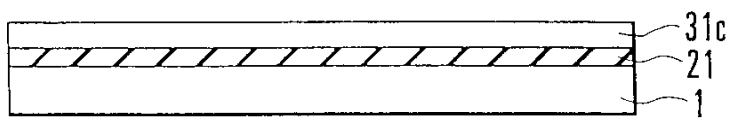
도면6k



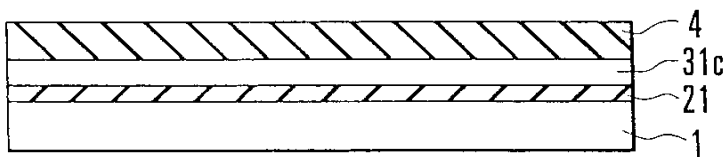
도면7a



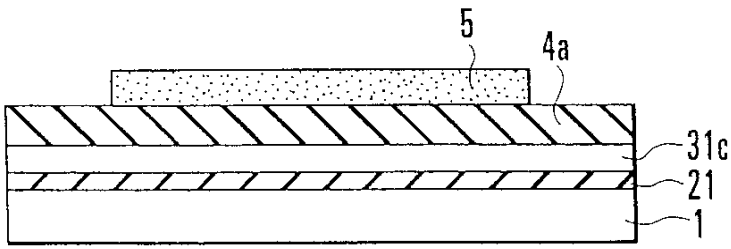
도면7b



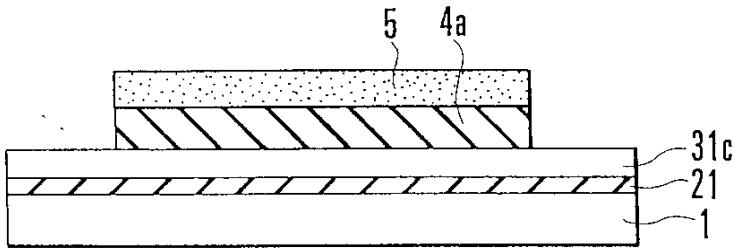
도면7c



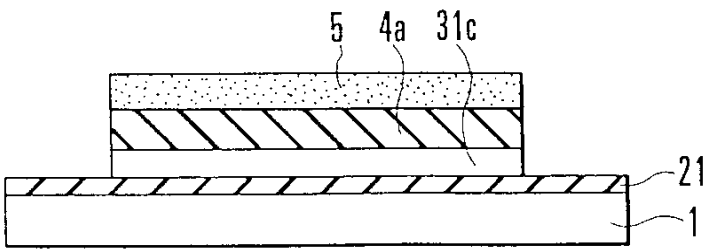
도면7d



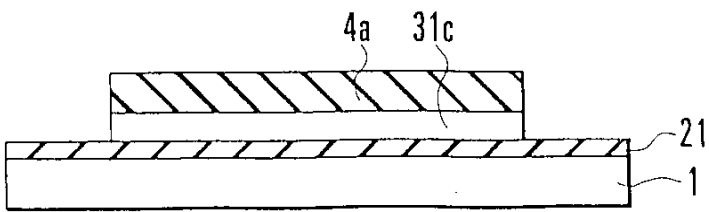
도면7e



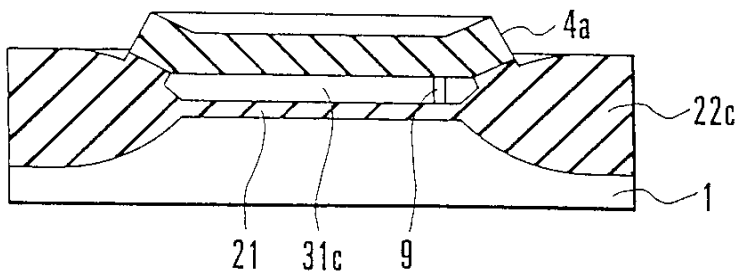
도면7f



도면7g

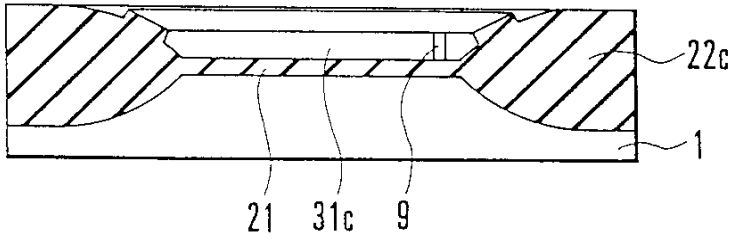


도면7h

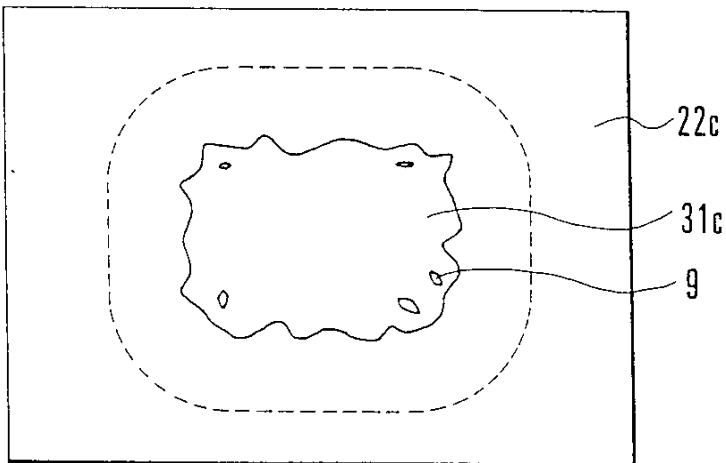




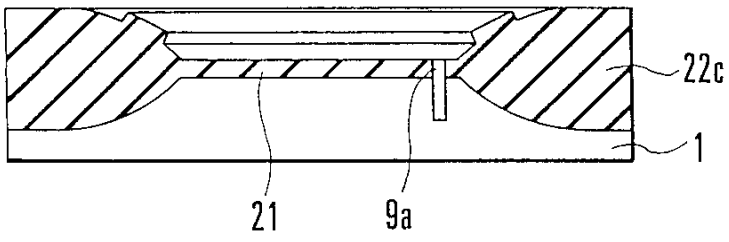
도면7i



도면7j



도면7k



도면71

