

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6015567号  
(P6015567)

(45) 発行日 平成28年10月26日 (2016.10.26)

(24) 登録日 平成28年10月7日 (2016.10.7)

(51) Int.Cl.		F I			
<b>HO 1 G</b>	<b>4/35</b>	<b>(2006.01)</b>	<b>HO 1 G</b>	<b>4/42</b>	<b>3 0 1</b>
<b>HO 5 K</b>	<b>3/46</b>	<b>(2006.01)</b>	<b>HO 5 K</b>	<b>3/46</b>	<b>Q</b>

請求項の数 7 (全 15 頁)

<p>(21) 出願番号 特願2013-123739 (P2013-123739)</p> <p>(22) 出願日 平成25年6月12日 (2013.6.12)</p> <p>(65) 公開番号 特開2014-241365 (P2014-241365A)</p> <p>(43) 公開日 平成26年12月25日 (2014.12.25)</p> <p>審査請求日 平成27年11月17日 (2015.11.17)</p> <p>(出願人による申告) 平成24年度、独立行政法人新エネルギー・産業技術総合開発機構、「立体構造新機能集積回路(ドリームチップ)技術開発/デジアナ混載三次元集積化技術」委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地</p> <p>(74) 代理人 110001128 特許業務法人ゆうあい特許事務所</p> <p>(72) 発明者 山田 英雄 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内</p> <p>(72) 発明者 北村 康宏 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内</p> <p>(72) 発明者 大原 淳士 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内</p>
---	---

最終頁に続く

(54) 【発明の名称】 貫通型コンデンサ

(57) 【特許請求の範囲】

【請求項1】

第1の主面(11)と第2の主面(12)とが表裏の関係にあり、かつ前記第1、第2の主面の間を貫通する貫通孔(20、20A~20H)を備える基板(10)と、

前記貫通孔の内表面を被覆する筒状に形成されている外側導体(30)と、

前記貫通孔の中空部内に位置して前記外側導体の内表面を被覆する筒状に形成されている誘電体(40)と、

前記貫通孔の中空部内に位置して前記誘電体の内表面を被覆する内側導体(45)と、を備え、

前記外側導体のうち前記第1の主面側は、前記貫通孔の前記第1の主面側の開口部に位置し、前記外側導体のうち前記第2の主面側の端部(34)は、前記貫通孔の前記第2の主面側の開口部よりも前記第1の主面側に位置することを特徴とする貫通型コンデンサ。

【請求項2】

前記誘電体は、前記外側導体のうち前記第2の主面側の端部(34)および前記外側導体の内表面をそれぞれ被覆するように形成されていることを特徴とする請求項1に記載の貫通型コンデンサ。

【請求項3】

前記誘電体の前記第1の主面側の端部は、前記外側導体の前記第1の主面側の開口部よりも張り出すように形成されていることを特徴とする請求項1または2に記載の貫通型コンデンサ。

## 【請求項 4】

前記第 1 の主面に配置される配線 ( 6 0、6 1 ) を備え、

前記配線は、前記内側導体に接続されていることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の貫通型コンデンサ。

## 【請求項 5】

前記第 1 の主面側に配置されて、前記内側導体に接続されている第 1 の配線 ( 6 0、6 1 ) と、

前記内側導体のうち前記第 2 の主面側に配置されて、前記内側導体に接続されている第 2 の配線 ( 6 2、6 3 ) と、を備えることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の貫通型コンデンサ。

10

## 【請求項 6】

前記基板には、複数の前記貫通孔が設けられており、

前記貫通孔毎に、前記外側導体、前記誘電体、および前記内側導体が設けられていることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の貫通型コンデンサ。

## 【請求項 7】

前記基板には、2 つ以上の複数の前記貫通孔が設けられており、

前記貫通孔毎に、前記外側導体、前記誘電体、および前記内側導体が設けられており、

前記第 1 の主面側に配置されて、前記複数の貫通孔のうち少なくとも 1 つの貫通孔内に配置される前記内側導体に接続されている第 1 の配線 ( 6 0 ) と、

前記第 2 の主面側に配置されて、前記 1 つの貫通孔内に配置される前記内側導体に接続されている第 2 の配線 ( 6 2 ) と、

20

前記第 1、第 2 の配線のうちいずれか一方の配線を介して前記外側導体および前記内側導体の間を短絡する短絡用導体 ( 7 0 ) と、を備えることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の貫通型コンデンサ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、貫通型コンデンサに関するものである。

## 【背景技術】

## 【0002】

30

近年、電子機器において、無線技術や高周波技術の発達により電気信号にノイズが付与され、システムの誤動作や故障の原因となっている。これを解決するために、例えば特許文献 1、2 では、基板の貫通孔内部に同軸状に外側導体、誘電体、内側導体を順番に形成してキャパシタ構造を作り込み、このキャパシタ構造を用いてノイズを除去する貫通型コンデンサが提案されている。

## 【0003】

例えば、特許文献 2 では、上記キャパシタ構造を構成する外側導体および内側導体が、互いに独立して、基板の表面側と裏面側との間を導通させる構造になっている。外側導体は、貫通孔の内表面を被覆する筒状の貫通外側導体部と、貫通外側導体部から張り出して基板の表面側に被覆する表面側外側導体部と、貫通外側導体部から張り出して基板の裏面側に被覆する裏面側外側導体部とから構成されている。表面側外側導体部は、貫通孔の表面側開口部を囲む環状に形成されている。裏面側外側導体部は、貫通孔の裏面側開口部を囲む環状に形成されている。誘電体は、貫通孔内において貫通外側導体部の中空部内に配置されている貫通誘電部と、この貫通誘電部から張り出して表面側外側導体を被覆する表面側誘電体層と、貫通誘電部から張り出して裏面側外側導体を被覆する裏面側誘電体層とを備える。表面側誘電体層および裏面側誘電体層は、外側導体および内側導体の間を電氣的に絶縁する。

40

## 【0004】

次に、貫通型コンデンサの製造方法について説明する。まず、半導体基板に貫通孔を形成した後、半導体基板の貫通孔の内表面を筒状に絶縁膜を形成するとともに、半導体基板

50

の両面に絶縁層を形成する。次に、貫通孔内にて絶縁膜の内表面に導電性膜を筒状に形成するとともに、半導体基板の両面の絶縁層上に導電性膜を成膜する。さらに、両面側の導電性膜をエッチング等によってパターンニングすることにより、表面側外側導体部および裏面側外側導体部を形成する。これにより、外側導体が形成される。その後、半導体基板の両面に表面側誘電体層および裏面側誘電体層としての樹脂層を形成するとともに、貫通孔内における貫通外側導体部の中空部内に樹脂材料を充填して樹脂層を形成する。さらに、外側導体の中空部内の樹脂層に貫通孔を形成し、この貫通孔を貫通する内側導体を形成する。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-352017号公報

【特許文献2】特開2007-27451号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記特許文献2の貫通型コンデンサでは、上記キャパシタ構造を構成する外側導体および内側導体が、互いに独立して、基板の表面側と裏面側との間を導通させる構造になっている。このため、外側導体としては、基板の表面側に配置される表面側外側導体部だけでなく、基板の裏面側に配置される裏面側外側導体部を形成することが必要になる。このため、基板の表面側の導電体膜をパターンニングするだけでなく、基板の裏面側導電体膜をパターンニングすることも必要になる。これに加えて、外側導体および内側導体の間を電氣的に絶縁するために、表面側誘電体層および裏面側誘電体層を形成することも必要になる。したがって、貫通型コンデンサの製造する際には、手間がかかり、貫通型コンデンサの製造工程としては、複雑な工程になる。

【0007】

本発明は上記点に鑑みて、製造工程を簡素化した貫通型コンデンサを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項1に記載の発明では、第1の主面(11)と第2の主面(12)とが表裏の関係にあり、かつ前記第1、第2の主面の間を貫通する貫通孔(20、20A~20H)を備える基板(10)と、前記貫通孔の内表面を被覆する筒状に形成されている外側導体(30)と、前記貫通孔の中空部内に位置して前記外側導体の内表面を被覆する筒状に形成されている誘電体(40)と、前記貫通孔の中空部内に位置して前記誘電体の内表面を被覆する内側導体(45)と、を備え、前記外側導体のうち前記第1の主面側は、前記貫通孔の前記第1の主面側の開口部に位置し、前記外側導体のうち前記第2の主面側の端部(34)は、前記貫通孔の前記第2の主面側の開口部よりも前記第1の主面側に位置することを特徴とする。

【0009】

請求項1に記載の発明によれば、外側導体の第1の主面側は、貫通孔の前記第1の主面側の開口部に位置し、外側導体の第2の主面側の端部は、貫通孔の前記第2の主面側の開口部よりも第1の主面側に位置する。このことにより、外側導体のうち第2の主面側を第2の主面側の配線部に接続する必要がない。つまり、外側導体のうち第2の主面側を第2の主面側の開口部より張り出す構造にする必要がなくなる。このため、基板の第2の主面側に設けられた裏面側導電体膜をパターンニングする必要もない。これに加えて、基板の第2の主面側に誘電体層を形成する必要もない。したがって、貫通型コンデンサを製造する製造工程を簡素化することができる。

【0010】

なお、この欄および特許請求の範囲で記載した各手段の括弧内の符号は、後述する実施

10

20

30

40

50

形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0011】

【図1】本発明の第1実施形態における貫通型コンデンサの断面構成を示す図である。

【図2】第1実施形態における貫通型コンデンサの部分拡大図である。

【図3】第1実施形態における製造工程を示す図である。

【図4】第1実施形態における製造工程を示す図である。

【図5】本発明の第2実施形態における電気回路構成を示す図である。

【図6】本発明の第3実施形態における電気回路構成を示す図である。

【発明を実施するための形態】

10

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、説明の簡略化を図るべく、図中、同一符号を付してある。

【0013】

(第1実施形態)

図1、図2に本発明に係る貫通型コンデンサ1の第1実施形態の構成を示す。図1に本実施形態の貫通型コンデンサ1の断面図、図2に図1中の貫通型コンデンサ1の領域Aの拡大図を示す。

【0014】

20

貫通型コンデンサ1は、図1に示すように、半導体基板10を備える。半導体基板10は、第1の主面を表面11、これとは反対側の第2の主面を裏面12とするものである。半導体基板10は、シリコン基板10aに絶縁層10bが形成されたものである。絶縁層10bは、後述する貫通孔20の内表面および表面11に沿うように膜状に形成されている。

【0015】

半導体基板10には、表裏面11、12間を貫通し、表裏面11、12に開口する貫通孔20が複数個設けられている。この貫通孔20は、1個でもかまわないが、図1では、3つの貫通孔20が設けられている。なお、以下、説明の便宜上、3つの貫通孔20のうち図1中右側の貫通孔20を右側貫通孔20とし、図1中左側の貫通孔20を左側貫通孔20とし、右側貫通孔20および左側貫通孔20の間の貫通孔20を中間貫通孔20とする。本実施形態の貫通孔20は開口形状が円である円形孔であるが、貫通孔20としては、その他、開口形状が角形の孔などであってもかまわない。

30

【0016】

貫通型コンデンサ1には、図1および図2に示すように、外側導体30、誘電体層40、および内側導体45が貫通孔20毎に設けられている。

【0017】

外側導体30は、図1に示すように、貫通孔20内に配置されて貫通孔20の内表面を被覆する筒状に形成されている。外側導体30の表面11側の端部31は、貫通孔20の表面11側の開口部に位置する。外側導体30の表面11側の端部31は、表面側外側導体32に繋がっている。表面側外側導体32は、半導体基板10の表面11に沿う膜状に形成されている。表面側外側導体32は、貫通孔20の表面11側の開口部を囲む環状に形成されている。外側導体30の裏面12側の端部34は、裏面12側開口部よりも表面11側に位置する。

40

【0018】

誘電体層40は、外側導体30の内表面を被覆する筒状に形成されている筒状誘電体層41と、筒状誘電体層41から表面11側に張り出して筒状誘電体層41の表面側開口部を囲む環状に形成されている環状誘電体層42とを備える。環状誘電体層42は、表面側外側導体32のうち開口部側を被覆する。筒状誘電体層41のうち裏面12側は、外側導体30のうち裏面側端部34(図2参照)と貫通孔20のうち裏面側内表面21とを被覆

50

している。筒状誘電体層 4 1 および環状誘電体層 4 2 は繋がっている。このため、誘電体層 4 0 は、貫通孔 2 0 の内表面側から表面 1 1 側に張り出すように形成されていることになる。

【 0 0 1 9 】

内側導体 4 5 は、貫通孔 2 0 内において筒状誘電体層 4 1 の中空部内に配置されている。内側導体 4 5 は、筒状誘電体層 4 1 の内表面を被覆するように形成されている。内側導体 4 5 は、貫通孔 2 0 の表面 1 1 側開口部と裏面 1 2 側開口部との間に亘って形成されている。

【 0 0 2 0 】

貫通型コンデンサ 1 は、図 1 に示すように、層間絶縁膜 5 0、5 1、5 2、5 3、表面配線層 6 0、6 1、および裏面配線層 6 2、6 3 を備える。

10

【 0 0 2 1 】

層間絶縁膜 5 0 は、半導体基板 1 0 の表面 1 1 側に配置されて、半導体基板 1 0 の表面 1 1、表面側外側導体 3 2、および環状誘電体層 4 2 を被覆する膜状に形成されている。

【 0 0 2 2 】

表面配線層 6 0、6 1 は、層間絶縁膜 5 0 に対して半導体基板 1 0 の反対側に配置されている。表面配線層 6 0、6 1 は、層間絶縁膜 5 0 に沿うように膜状に形成されている。表面配線層 6 0 は、左側貫通孔 2 0 に対して対応する位置に設けられている。

【 0 0 2 3 】

表面配線層 6 0 は、ビアホール 7 1 を介して左側貫通孔 2 0 内の内側導体 4 5 に接続されるとともに、ビアホール（短絡用導体）7 0 を介して表面側外側導体 3 2 に接続されている。表面配線層 6 1 は、中間貫通孔 2 0 および右側貫通孔 2 0 に対して対応する位置に設けられている。表面配線層 6 1 は、ビアホール 7 2 を介して中間貫通孔 2 0 内の内側導体 4 5 に接続されるとともに、ビアホール 7 3 を介して右側貫通孔 2 0 内の内側導体 4 5 に接続されている。

20

【 0 0 2 4 】

層間絶縁膜 5 1 は、層間絶縁膜 5 0 に対して半導体基板 1 0 の反対側に配置されている。層間絶縁膜 5 1 は、層間絶縁膜 5 0 および表面配線層 6 0、6 1 を覆う膜状に形成されている。層間絶縁膜 5 2 は、半導体基板 1 0 の裏面 1 2 側に配置されて、半導体基板 1 0 の裏面 1 2、貫通孔 2 0 毎の内側導体 4 5、および貫通孔 2 0 毎の筒状誘電体層 4 1 をそれぞれ被覆する膜状に形成されている。

30

【 0 0 2 5 】

裏面配線層 6 2、6 3 は、層間絶縁膜 5 2 に対して半導体基板 1 0 の反対側に配置されている。裏面配線層 6 2、6 3 は、層間絶縁膜 5 2 に沿うように膜状に形成されている。裏面配線層 6 2 は、左側貫通孔 2 0 に対して対応する位置に設けられている。裏面配線層 6 2 は、ビアホール 8 0 を介して左側貫通孔 2 0 内の内側導体 4 5 に接続されている。裏面配線層 6 3 は、中間貫通孔 2 0 および右側貫通孔 2 0 に対して対応する位置に設けられている。裏面配線層 6 3 は、ビアホール 8 1 を介して中間貫通孔 2 0 内の内側導体 4 5 に接続されるとともに、ビアホール 8 2 を介して右側貫通孔 2 0 内の内側導体 4 5 に接続されている。層間絶縁膜 5 3 は、層間絶縁膜 5 2 に対して半導体基板 1 0 の反対側に配置されている。層間絶縁膜 5 3 は、層間絶縁膜 5 2、および裏面配線層 6 2、6 3 を被覆する膜状に形成されている。

40

【 0 0 2 6 】

層間絶縁膜 5 1 には、その厚み方向に貫通する貫通孔 9 0、9 1 が設けられている。層間絶縁膜 5 3 には、その厚み方向に貫通する貫通孔 9 2、9 3 が設けられている。

【 0 0 2 7 】

貫通孔 9 0 は、表面配線層 6 0 に対応して設けられている。貫通孔 9 0 内には、パンプ 1 0 0 が配置されている。パンプ 1 0 0 は、表面配線層 6 0 と上側基板 1 1 0（図 1 中の鎖線で示す）のグランド配線との間を接続する。

【 0 0 2 8 】

50

貫通孔 9 2 は、裏面配線層 6 2 に対応して設けられている。貫通孔 9 2 内には、パンプ 1 0 2 が配置されている。パンプ 1 0 2 は、裏面配線層 6 2 と下側基板 1 2 0 ( 図 1 中の鎖線で示す ) のグラウンド配線との間を接続する。

【 0 0 2 9 】

ここで、表面配線層 6 0 は、ビアホール 7 1 を介して左側貫通孔 2 0 内の内側導体 4 5 に接続されるとともに、ビアホール 7 0、および表面側外側導体 3 2 を介して左側貫通孔 2 0 内の外側導体 3 0 に接続されている。これに加えて、左側貫通孔 2 0 内の内側導体 4 5 は、ビアホール 8 0、裏面配線層 6 2、および、パンプ 1 0 2 を介して下側基板 1 2 0 のグラウンド配線に接続されている。このことにより、貫通孔 2 0 毎の外側導体 3 0 および左側貫通孔 2 0 内の内側導体 4 5 は、それぞれ、グラウンド配線として機能する。

10

【 0 0 3 0 】

貫通孔 9 1 は、表面配線層 6 1 に対応して設けられている。貫通孔 9 1 内には、パンプ 1 0 1 が配置されている。パンプ 1 0 1 は、表面配線層 6 1 および上側基板 1 1 0 ( 図 1 中の鎖線で示す ) の電源配線との間を接続する。

【 0 0 3 1 】

貫通孔 9 3 は、裏面配線層 6 3 に対応して設けられている。貫通孔 9 3 内には、パンプ 1 0 3 が配置されている。パンプ 1 0 3 は、裏面配線層 6 3 と下側基板 1 2 0 ( 図 1 中の鎖線で示す ) の電源配線との間を接続する。

【 0 0 3 2 】

ここで、中間貫通孔 2 0 内の内側導体 4 5 は、ビアホール 7 2、表面配線層 6 1、およびパンプ 1 0 1 を介して上側基板 1 1 0 の電源配線に接続されている。右側貫通孔 2 0 内の内側導体 4 5 は、ビアホール 7 3、表面配線層 6 1、パンプ 1 0 1 を介して上側基板 1 1 0 の電源配線に接続されている。さらに、中間貫通孔 2 0 内の内側導体 4 5 は、ビアホール 8 1、裏面配線層 6 3、およびパンプ 1 0 3 を介して下側基板 1 2 0 の電源配線に接続されている。右側貫通孔 2 0 内の内側導体 4 5 は、ビアホール 8 2、裏面配線層 6 3、およびパンプ 1 0 3 を介して下側基板 1 2 0 の電源配線に接続されている。このことにより、中間貫通孔 2 0 の内側導体 4 5 および右側貫通孔 2 0 内の内側導体 4 5 は、それぞれ、電源配線として機能する。なお、中間貫通孔 2 0 の内側導体 4 5 および右側貫通孔 2 0 内の内側導体 4 5 としては、信号を伝搬させる信号配線に用いてもよい。

20

本実施形態では、外側導体 3 0、内側導体 4 5、ビアホール 7 0 ~ 7 3、8 0 ~ 8 2 は、表面配線層 6 0、6 1、および裏面配線層 6 2、6 3 は、例えば、銅等の導電性金属材料からなる。誘電体層 4 0 は、誘電体材料からなるものである。層間絶縁膜 5 0、5 1、5 2、5 3 は、電気絶縁体材料からなるものである。

30

【 0 0 3 3 】

次に、本実施形態の電子装置 1 の製造工程について図 3 ( a ) ~ 図 3 ( f )、図 4 ( a ) ~ 図 4 ( d ) を参照して説明する。

【 0 0 3 4 】

まず、第 1 の工程において、シリコン基板 1 0 a ( 図 3 ( a ) 参照 ) を用意する。

【 0 0 3 5 】

次の第 2 の工程において、エッチング等によってシリコン基板 1 0 a に複数の孔 2 0 a ( 図 3 中 2 つの孔 2 0 a を示す ) を設ける ( 図 3 ( b ) 参照 )。複数の孔 2 0 a は、それぞれ、底部を有してシリコン基板 1 0 a の表面 1 1 a から裏面 1 2 a 側に凹む孔部である。

40

【 0 0 3 6 】

次の第 3 の工程において、シリコン基板 1 0 a を熱酸化することによって酸化膜を絶縁層 1 0 b として形成する ( 図 3 ( c ) 参照 )。このことにより、絶縁層 1 0 b は、シリコン基板 1 0 a の表面 1 1 a および裏面 1 2 a に沿うように形成される。これに加えて、絶縁層 1 0 b は、孔 2 0 a 内にて底部を有し、かつ内表面を被覆する筒状に形成されている。以上により、複数の孔 2 0 a を備える半導体基板 1 0 が形成されることになる。

【 0 0 3 7 】

50

次の第4の工程において、CVD、スパッタリング等によって、導電性金属膜30aを絶縁層10bに沿うように成膜する。このとき、導電性金属膜30aは、半導体基板10の孔20a内の内表面のうち開口部側を被覆し、かつ孔20a内のうち底部側には、導電性金属膜30aが成膜されないようにする(図3(d)参照)。このことにより、孔20a内において底部側に絶縁層10bが露出することになる。

【0038】

次の第5の工程において、CVD(Chemical Vapor Deposition)、ALD(Atomic Layer Deposition)、スパッタリング等の方法によって、半導体基板10の表面側導電性金属膜30a、および孔20a内の導電性金属膜30a、絶縁層10bを誘電体膜40a(図3(e)によって被覆する。

10

【0039】

次の第6の工程において、スパッタリング等によりメッキのためのシード層(図示せず)を形成し、メッキ法等によって、表面側導電性金属膜30a、孔20a内の導電性金属膜30a、および孔20a内の絶縁層10bを導電性金属膜45aによって被覆する(図3(f))。このことにより、孔20a内は、導電性金属膜45aを構成する導電性金属によって充填されることになる。

【0040】

次の第7の工程において、CMP(Chemical Mechanical Polishing)等によってシリコン基板10aのうち裏面12a側を研削・研磨する。このことにより、孔20a毎に孔20aの底部を除去して複数の貫通孔20を形成する(図4(a)参照)。

20

【0041】

このとき、半導体基板10の貫通孔20内の内表面のうち表面側は外側導体30によって被膜され、かつ貫通孔20内の内表面のうち裏面側は外側導体30によって被膜されていない。そして、貫通孔20内の導電性金属膜30aの内表面、裏面側端部、および貫通孔20内の絶縁層10bの内表面のうち裏面側を誘電体膜40aが被覆している。

【0042】

次の第8の工程において、CMP等の方法によって導電性金属膜45aのうちシリコン基板10aのうち表面11側を除去する。このことにより、貫通孔20毎に内側導体45が成形されることになる(図4(b)参照)。これに加えて、ドライエッチング等の方法によって導電性金属膜30aおよび誘電体膜40aをパターニングする。このことにより、外側導体30および誘電体層40が成形されることになる。

30

【0043】

次の第9の工程において、層間絶縁膜50として感光性絶縁膜を成膜する。さらに、露光・現像工程等によってビアホール70、71、73を設ける。その後、スパッタリング等によりシード層(図示せず)を成膜し、フォトリソグラフィによりビアホール70、71、73および表面配線層60、61を除く基板表面側をレジストで覆う。そして、メッキ法によりビアホール70、71、73内部の電極および表面配線層60、61を形成する。最後にレジストを除去し、レジストで覆われていた部分のシード層をドライエッチング等で取り除く。基板裏面側でも同様の工程を行い、ビアホール81、82内部の電極および裏面配線層62、63を形成する。次の第10の工程において、前工程同様、感光性絶縁膜の成膜およびフォトリソグラフィにより、層間絶縁膜51、53を形成する(図4(d)参照)。

40

【0044】

なお、銅等拡散の可能性がある場合は、必要に応じてバリア層を形成やバリア層のパターニング工程を追加する。また、上記工程は、本発明の構造を作製するための例示であり、他の方法や手順で作製してもよい。さらに上記工程は、配線層として表裏面それぞれ1層ずつの場合を例示しているが、配線層の層数を変更したり、表裏面で異なる層数で作製してもよい。

【0045】

次に、本実施形態の貫通型コンデンサ1の作動について説明する。

50

## 【 0 0 4 6 】

まず、貫通孔 2 0 毎の外側導体 3 0 および左側貫通孔 2 0 内の内側導体 4 5 は、上述の如く、グランド配線として機能する。中間貫通孔 2 0 の内側導体 4 5 および右側貫通孔 2 0 内の内側導体 4 5 は、上述の如く、電源配線として機能する。このため、中間貫通孔 2 0 内における内側導体 4 5、誘電体層 4 0、および外側導体 3 0 は、ノイズ除去用コンデンサを構成する。右側貫通孔 2 0 内における内側導体 4 5、誘電体層 4 0、および外側導体 3 0 は、ノイズ除去用コンデンサを構成する。このため、中間貫通孔 2 0 ( 或いは、右側貫通孔 2 0 ) 内の内側導体 4 5 と外側導体 3 0 との間に与えられる電源電圧に高周波ノイズが含まれている場合には、この高周波ノイズを上述したノイズ除去用コンデンサによって除去する。

10

## 【 0 0 4 7 】

以上説明した本実施形態の貫通型コンデンサ 1 では、半導体基板 1 0 の表面 1 1 および裏面 1 2 の間を貫通する複数の貫通孔 2 0 を備える半導体基板 1 0 と、貫通孔 2 0 の内表面を被覆する筒状に形成されている外側導体 3 0 とを備える。貫通孔 2 0 毎に外側導体 3 0 の内表面を被覆する筒状に形成されている誘電体 4 0 と、貫通孔 2 0 内毎に誘電体 4 0 の内表面を被覆する内側導体 4 5 とを備える。内側導体 4 5 は、貫通孔 2 0 の表面 1 1 側の開口部および裏面 1 2 側開口部の間に亘って形成されている。外側導体 3 0 のうち表面側端部 3 1 は、貫通孔 2 0 の表面側の開口部に位置し、外側導体 3 0 のうち裏面側の端部 3 4 は、貫通孔 2 0 の裏面 1 2 側の開口部よりも表面 1 1 側に位置することを特徴とする。

20

## 【 0 0 4 8 】

したがって、外側導体 3 0 は、表面 1 1 側の端部 3 1 のみによって貫通孔 2 0 の外側の配線層 6 0 に接続される構造になる。一方、外側導体 3 0 が表面 1 1 および裏面 1 2 の間を貫通する構成である場合には、表面 1 1 側の導電性金属膜 3 0 a および誘電体膜 4 0 a をパターニングする工程と、シリコン基板 1 0 a の裏面 1 2 側の導電性金属膜および誘電体膜をパターニングする工程が必要になる。

## 【 0 0 4 9 】

これに対して、本実施形態では、上述の如く、外側導体 3 0 は、表面 1 1 側の端部 3 1 のみによって貫通孔 2 0 の外側の配線層 6 0 に接続される構造になっている。このため、シリコン基板 1 0 a の表面 1 1 側の導電性金属膜 3 0 a および誘電体膜 4 0 a をパターニングする工程 ( 図 4 ( b ) 参照 ) が必要である。しかし、シリコン基板 1 0 a の裏面 1 2 側の導電性金属膜および誘電体膜をパターニングする工程が必要ない。したがって、貫通型コンデンサ 1 の製造工程を簡素化することができる。このため、製造コストを低減することができる。

30

## 【 0 0 5 0 】

本実施形態の半導体基板 1 0 において貫通孔 2 0 の表面側開口部を構成する表面側コーナー部 1 0 c を表面側外側導体 3 2 および外側導体 3 0 が被覆する構成になっている。このため、表面側外側導体 3 2 および外側導体 3 0 から生じる電界が表面側コーナー部 1 0 c ( 図 2 参照 ) に集中することになる。したがって、表面側コーナー部 1 0 c に電界が集中することに伴って、表面側コーナー部 1 0 c に破損が生じて絶縁不良の起点になり易い。

40

## 【 0 0 5 1 】

外側導体 3 0 が表面 1 1 および裏面 1 2 の間を貫通する構成である場合には、表面側コーナー部 1 0 c を表面側外側導体 3 2 および外側導体 3 0 が被覆することに加えて、貫通孔 2 0 の裏面側開口部を構成する裏面側コーナー部 1 0 d をも裏面側導体および外側導体が被覆することになる。このため、電界の集中によって絶縁不良の起点になり易い箇所が貫通孔 2 0 の表面側および裏面側に設けられることになる。

## 【 0 0 5 2 】

これに対して、本実施形態では、上述の如く、外側導体 3 0 は、表面 1 1 側の端部 3 1 のみによって貫通孔 2 0 の外側の配線層 6 0 に接続される構造になっている。このため、

50



裏面側コーナー部 10 d をも裏面側導体および外側導体が被覆する構成になっていない。したがって、裏面側コーナー部 10 d が電界の集中で破損することを未然に防ぐことができる。これに伴い、絶縁不良の起点となり易い箇所を減らして、貫通型コンデンサ 1 の信頼性を向上することができる。

【0053】

本実施形態では、誘電体 40 が表面側コーナー部 10 c を被覆しているものの、そもそも、半導体基板 10 の表面側コーナー部 10 c や裏面側コーナー部 10 d を誘電体膜で被覆する場合には、成膜不良が生じ易い。

【0054】

これに対して、本実施形態では、半導体基板 10 の裏面側コーナー部 10 d を誘電体で被覆する構成になっていない。したがって、成膜不良が生じ易い箇所を減らして、貫通型コンデンサ 1 の信頼性を向上することができる。

10

【0055】

本実施形態において、貫通孔 20 内の導電性金属膜 30 a の内表面に誘電体膜 40 a を形成する工程では、基板を加熱して誘電体膜 40 a を形成するため、導電性金属膜 30 a も加熱される。

【0056】

ここで、導電性金属膜 30 a の線膨張係数と絶縁層 10 b の線膨張係数との間の差分がある。このため、導電性金属膜 30 a の厚み寸法が大きい場合には、導電性金属膜 30 a の膜応力は大きくなり、成膜時もしくは後工程の例えば CMP による研削・研磨工程など膜に力がかかる工程において剥がれる恐れがある。これにより、外側導体 30 の厚み寸法を薄くすることが必要になる。したがって、外側導体 30 が表面 11 側および裏面 12 側の間を貫通する構造である場合には、外側導体 30 において表面 11 側および裏面 12 側の間の抵抗値が大きくなる。

20

【0057】

これに対して、本実施形態では、上述の如く、外側導体 30 は、表面 11 側および裏面 12 側の間が導通する構造になっていなく、内側導体 45 によって表面 11 側および裏面 12 側の間が導通する構造になっている。したがって、外側導体 30 抵抗値が大きな値であっても、そのことで問題が生じることはない。

【0058】

30

本実施形態では、誘電体層 40 は、貫通孔 20 毎に、外側導体 30 の内表面および外側導体 30 の裏面 12 側の端部 34 を被覆するように形成されている。したがって、貫通孔 20 内において内側導体 45 および外側導体 30 の間が短絡することを未然に避けることができる。

【0059】

本実施形態では、誘電体層 40 の表面側は、外側導体 30 の表面側開口部よりも張り出すように形成されている。このため、表面 11 側において内側導体 45 と外側導体 30 との間が短絡することを未然に避けることができる。

【0060】

(第2実施形態)

40

本第2実施形態では、上記第1実施形態の貫通型コンデンサ1を適用したシリコンインターポーザに対して集積回路およびメモリをフェイスダウンで、パンプ接続し、当該シリコンインターポーザをパッケージ基板にパンプ接続した例について説明する。

【0061】

図5に本実施形態のシリコンインターポーザ200を示す。シリコンインターポーザ200は、半導体基板10に貫通孔20A、20B、20C、20Dが設けられたものである。貫通孔20A、20B、20C、20Dは、上記第1実施形態の貫通孔20と同様の貫通孔である。貫通孔20A、20B、20C、20Dには、それぞれ、上記第1実施形態で説明した外側導体30、誘電体層40、および内側導体45が設けられている。

【0062】

50

貫通孔 20A のうち表面 11 側には、表面側配線 301 が配置されている。表面側配線 301 と貫通孔 20A 内の外側導体 30 との間は接合され、表面側配線 301 と貫通孔 20A 内の内側導体 45 との間は接合されている。表面側配線 301 は、バンプ 310 を介して集積回路 400 の電極 401 に接合されている。

【0063】

貫通孔 20B のうち表面 11 側には、表面側配線 302 が配置されている。表面側配線 302 と貫通孔 20B 内の外側導体 30 との間は接合され、表面側配線 302 と貫通孔 20B 内の内側導体 45 との間は接合されている。表面側配線 302 は、バンプ 311 を介して集積回路 400 の電極 402 に接合されている。

【0064】

貫通孔 20C のうち表面 11 側には、表面側配線 303 が配置されている。表面側配線 303 と貫通孔 20C 内の外側導体 30 との間は接合され、表面側配線 303 と貫通孔 20C 内の内側導体 45 との間は接合されている。表面側配線 303 は、バンプ 312 を介してメモリ 410 の電極 411 に接合されている。

【0065】

貫通孔 20D のうち表面 11 側には、表面側配線 304 が配置されている。表面側配線 304 と貫通孔 20D 内の外側導体 30 との間は接合され、表面側配線 304 と貫通孔 20D 内の内側導体 45 との間は接合されている。表面側配線 304 は、バンプ 313 を介してメモリ 410 の電極 412 に接合されている。

【0066】

貫通孔 20A のうち裏面 11 側には、裏面側配線 305 が配置されている。裏面側配線 305 と貫通孔 20A 内の内側導体 45 との間は接合されている。裏面側配線 305 は、バンプ 314 を介してパッケージ基板 420 の電極 421 に接合されている。

【0067】

貫通孔 20B のうち裏面 11 側には、裏面側配線 306 が配置されている。裏面側配線 306 と、貫通孔 20B 内の内側導体 45 との間は接合されている。裏面側配線 306 は、バンプ 315 を介してパッケージ基板 420 の電極 422 に接合されている。

【0068】

貫通孔 20C のうち裏面 11 側には、裏面側配線 307 が配置されている。裏面側配線 307 と貫通孔 20C 内の内側導体 45 との間は接合されている。裏面側配線 307 は、バンプ 316 を介してパッケージ基板 420 の電極 423 に接合されている。

【0069】

貫通孔 20D のうち裏面 11 側には、裏面側配線 308 が配置されている。裏面側配線 308 と、貫通孔 20D 内の内側導体 45 との間は接合されている。裏面側配線 308 は、バンプ 317 を介してパッケージ基板 420 の電極 424 に接合されている。なお、図 5 中の符号 403、413 は、それぞれ、絶縁層である。

【0070】

以上説明した本実施形態によれば、シリコンインターポーザ 200 を利用して、集積回路 400 およびメモリ 410 とパッケージ基板 420 との間を接続することができる。このため、貫通孔 20A ~ 20D 内の外側導体 30 および内側導体 45 をグランド配線、信号用配線、或いは電源配線に利用することができる。

【0071】

なお、上記第 2 実施形態では、貫通孔 20A ~ 20D 内の外側導体 30 および内側導体 45 の間を表面側配線 301 ~ 304 で短絡した例について説明したが、次のようにしてもよい。

【0072】

すなわち、貫通孔 20A、20B、20C、20D のうちいずれか 1 つの貫通孔内の外側導体 30、誘電体層 40、および内側導体 45 によってノイズ除去用コンデンサを構成する。この場合、上記 1 つの貫通孔内の外側導体 30 および内側導体 45 の間を開放させることが必要である。上記 1 つの貫通孔内の外側導体 30 をグランド配線として機能させ

10

20

30

40

50

、上記1つの貫通孔内の内側導体45を電源配線として機能させる。これにより、ノイズ除去用コンデンサは、グランド配線および電源配線の間と与えられる電源電圧に含まれる高周波ノイズを除去することができる。

【0073】

(第3実施形態)

本第3実施形態では、上記第1実施形態の貫通型コンデンサ1を適用した集積回路400A、400Bをインターポータ200Bに接続した例について図6を参照して説明する。

【0074】

本実施形態の集積回路400Bは、インターポータ200Bの上側に配置され、集積回路400Aは、集積回路400Bの上側に配置されている。

10

【0075】

集積回路400Aは、半導体基板10に貫通孔20E、20Fが設けられたものである。貫通孔20E、20Fは、上記第1実施形態の貫通孔20と同様の貫通孔である。貫通孔20E、20Fには、それぞれ、上記第1実施形態の外側導体30、誘電体層40、および内側導体45が貫通孔毎に設けられている。

【0076】

貫通孔20Eの内側導体45は、裏面側配線430に接合されている。貫通孔20Fの内側導体45は、裏面側配線431に接合されている。なお、本実施形態の集積回路400Aには、センサ500Aが配置されている。

20

【0077】

集積回路400Bは、半導体基板10に貫通孔20G、20Hが設けられたものである。貫通孔20G、20Hは、上記第1実施形態の貫通孔20と同様の貫通孔である。貫通孔貫通孔20G、20Hには、それぞれ、上記第1実施形態の外側導体30、誘電体層40、および内側導体45が貫通孔毎に設けられている。集積回路400Bには、センサ500Bが配置されている。

【0078】

貫通孔20Gの内側導体45および外側導体30は、表面側配線432に接合されている。貫通孔20Hの内側導体45および外側導体30は、表面側配線433に接合されている。裏面側配線430および表面側配線432の間は、バンプ440によって接合されている。裏面側配線431および表面側配線433の間は、バンプ441によって接合されている。貫通孔20Gの内側導体45は、裏面側配線434に接合されている。貫通孔20Hの内側導体45は、裏面側配線435によって接合されている。裏面側配線434とインターポータ200Bの電極436との間がバンプ442によって接合されている。裏面側配線435とインターポータ200Bの電極437との間がバンプ443によって接合されている。なお、本実施形態の集積回路400Bには、センサ500Bが配置されている。

30

【0079】

以上説明した本実施形態によれば、貫通孔20E内の内側導体45、貫通孔20G内の内側導体45、外側導体30、およびインターポータ200Bの電極436を接続することができる。貫通孔20F内の内側導体45、貫通孔20H内の内側導体45、外側導体30、およびインターポータ200Bの電極437を接続することができる。このため、貫通孔20E、20G内の内側導体45、貫通孔20F、20H内の内側導体45をグランド配線、信号用配線、或いは電源配線に利用することができる。

40

【0080】

なお、上記第3実施形態では、貫通孔20E～20H内の外側導体30および内側導体45の間を表面側配線432、433で短絡した例について説明したが、次の(1)、(2)のようにしてもよい。

【0081】

(1)貫通孔20G内の外側導体30および内側導体45の間を開放する。そして、貫

50

通孔 20E 内の内側導体 45 と貫通孔 20G 内の内側導体 45 との間を裏面側配線 430、バンプ 440、および表面側配線 432 を通して接続させる。この場合、貫通孔 20E (20G) 内の内側導体 45 が電源配線として機能し、貫通孔 20E、20G 内の外側導体 30 がグランド配線として機能させる。このため、貫通孔 20E (20G) 内の外側導体 30、誘電体層 40、および内側導体 45 がノイズ除去用コンデンサを構成する。ノイズ除去用コンデンサは、グランド配線および電源配線の間と与えられる電源電圧に含まれる高周波ノイズを除去する。

【0082】

(2) 貫通孔 20H 内の外側導体 30 および内側導体 45 の間を開放する。そして、貫通孔 20F 内の内側導体 45 と貫通孔 20H 内の内側導体 45 との間を裏面側配線 431、バンプ 441、および表面側配線 433 を通して接続させる。この場合、貫通孔 20F (20H) 内の内側導体 45 が電源配線として機能し、貫通孔 20F、20H 内の外側導体 30 がグランド配線として機能させる。このため、貫通孔 20F (20H) 内の外側導体 30、誘電体層 40、および内側導体 45 がノイズ除去用コンデンサを構成する。ノイズ除去用コンデンサは、グランド配線および電源配線の間と与えられる電源電圧に含まれる高周波ノイズを除去する。

10

【0083】

(他の実施形態)

上記第1の実施形態では、表面配線 60、61 と上側基板 110 との間を接合するために、バンプ 100、101 を用いた例について説明したが、これに代えて、表面配線 60、61 と上側基板 110 との間を接続するために、ボンディングワイヤを用いてもよい。裏面配線 62、63 と下側基板 120 との間を接続する場合も、同様に、ボンディングワイヤを用いてもよい。

20

【0084】

同様に、上記第2の実施形態においても、裏面配線 305 ~ 308 および電極 421、422、423、424 の間をボンディングワイヤによって接続してもよい。電極 401、402、411、412、および表面側配線 301、302、303、304 の間をボンディングワイヤによって接続してもよい。

【0085】

同様に、上記第3の実施形態においても、表面配線 432、433 と裏面配線 430、431 の間を接続する場合や、裏面配線 434、435 と電極 436、437 との間を接続する場合にも、ボンディングワイヤを用いてもよい。

30

【0086】

上記第1の実施形態では、表面 11 側において、表面配線層 60 およびビアホール 71 を用いて外側導体 30 および内側導体 45 の間を短絡した例について説明したが、これに代えて、裏面 12 側において外側導体 30 および内側導体 45 の間を短絡してもよい。

【0087】

上記第1の実施形態では、シリコン基板からなる半導体基板 10 を本発明に係る基板として用いた例について説明したが、これに代えて、シリコン以外の半導体材料からなる半導体基板を本発明に係る基板として用いてもよい。或いは、セラミック基板を本発明に係る基板として用いてもよい。

40

【0088】

なお、本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。また、上記第1 ~ 第3実施形態は、互いに無関係なものではなく、組み合わせが明らかに不可な場合を除き、適宜組み合わせが可能である。

【符号の説明】

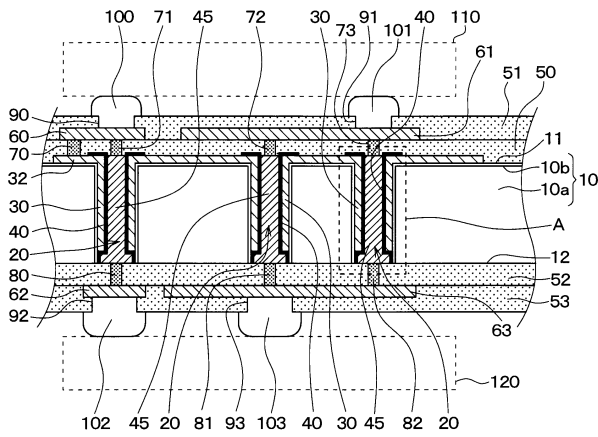
【0089】

- 1 貫通型コンデンサ
- 10 半導体基板

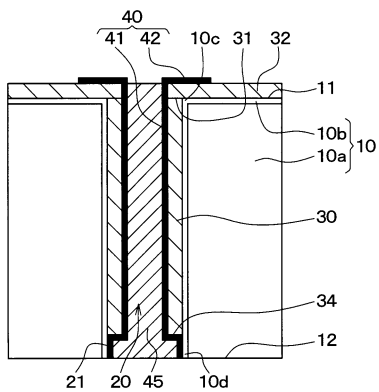
50

- 10a シリコン基板
- 10b 絶縁層
- 11 表面
- 12 裏面
- 20、20A ~ 20H 貫通孔
- 30 外側導体
- 40 誘電体層
- 45 内側導体

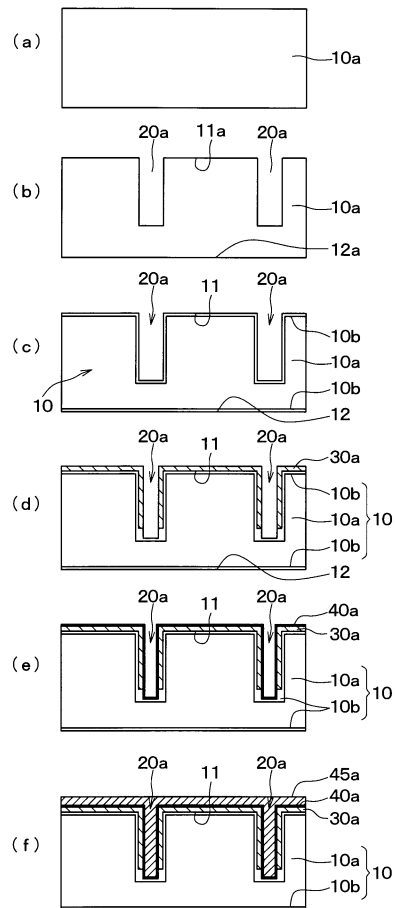
【図1】



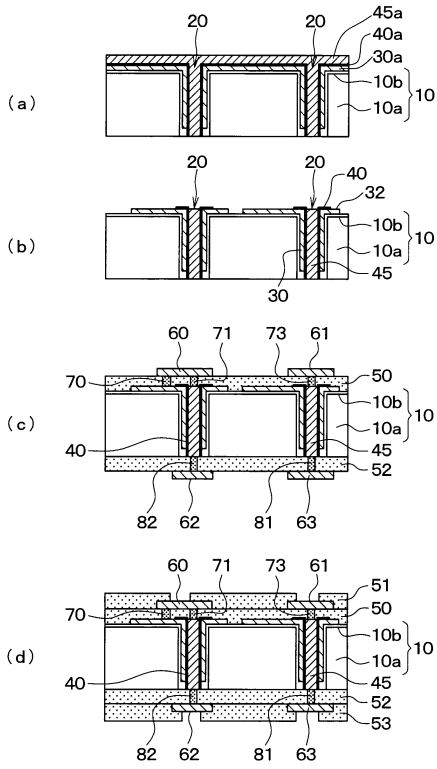
【図2】



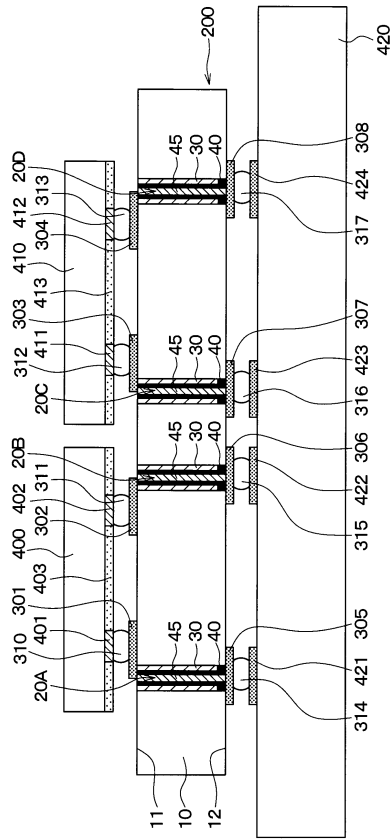
【図3】



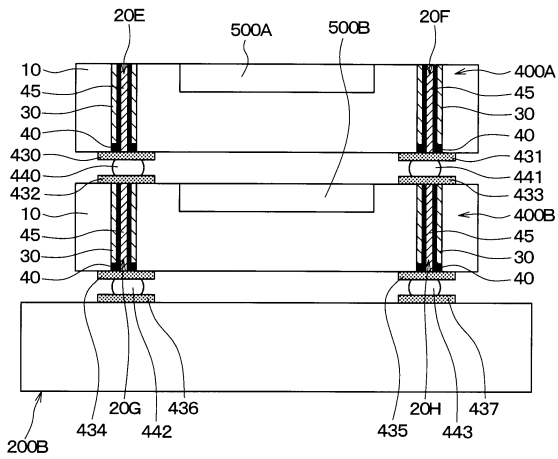
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(72)発明者 小林 拓  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 田中 晃洋

(56)参考文献 特開2012-169525(JP,A)  
特開平11-273981(JP,A)  
特開2002-217337(JP,A)  
特開2005-302987(JP,A)  
特開2011-071372(JP,A)  
特開2011-066331(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01G 4/35  
H05K 3/46