

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4422321号
(P4422321)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.		F I	
G 1 1 C	11/401 (2006.01)	G 1 1 C	11/34 3 6 2 H
G 1 1 C	11/4093 (2006.01)	G 1 1 C	11/34 3 5 4 Q
G 1 1 C	11/4076 (2006.01)	G 1 1 C	11/34 3 5 4 C
G 1 1 C	11/407 (2006.01)	G 1 1 C	11/34 3 6 2 T

請求項の数 21 (全 13 頁)

(21) 出願番号	特願2000-360188 (P2000-360188)	(73) 特許権者	591024111
(22) 出願日	平成12年11月27日(2000.11.27)		株式会社ハイニックスセミコンダクター
(65) 公開番号	特開2001-189076 (P2001-189076A)		HYNIX SEMICONDUCTOR
(43) 公開日	平成13年7月10日(2001.7.10)		INC.
審査請求日	平成18年9月26日(2006.9.26)		大韓民国京畿道利川市夫鉢邑牙美里山136-1
(31) 優先権主張番号	1999-52858		San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
(32) 優先日	平成11年11月26日(1999.11.26)	(74) 代理人	100065215
(33) 優先権主張国	韓国 (KR)		弁理士 三枝 英二
前置審査		(74) 代理人	100114616
			弁理士 眞下 晋一
		(74) 代理人	100124028
			弁理士 松本 公雄

最終頁に続く

(54) 【発明の名称】 同期式メモリ装置のデータ出力装置

(57) 【特許請求の範囲】

【請求項1】

同期式メモリ装置のデータ出力装置において、

選択された偶数バンクに接続された第1感知増幅器から出力された偶数データを順に貯蔵するための第1貯蔵手段と、

選択された奇数バンクに接続された第2感知増幅器から出力された奇数データを順に貯蔵するための第2貯蔵手段と、

前記第1貯蔵手段及び前記第2貯蔵手段から同時に入力された前記偶数データ及び前記奇数データを選択して出力する選択手段と、

クロック信号の立ち上がりエッジに同期して前記偶数データ及び前記奇数データのいずれか1つを貯蔵及び出力する第3貯蔵手段と、

クロック信号の立ち下がりエッジに同期して前記偶数データ及び前記奇数データのいずれか1つを貯蔵及び出力する第4貯蔵手段と、

前記第3貯蔵手段から入力されたデータ及び前記第4貯蔵手段から入力されたデータを出力するデータ出力手段とを備え、

前記選択手段は、

第1信号発生回路により生成された優先順位制御信号に応答する第1スイッチング素子及び第2スイッチング素子、

反転された優先順位制御信号に応答する第3スイッチング素子及び第4スイッチング素子を備え、

前記クロック信号の立ち上がりエッジにตอบสนองして前記偶数データと前記奇数データの内の、いずれのデータが出力されるかを決定する複数のマルチプレックシング装置と、

第1バッファ及び第2バッファを備え、前記複数のマルチプレックシング装置から入力された前記偶数データ及び前記奇数データを貯蔵して前記第3貯蔵手段及び前記第4貯蔵手段に出力する複数の貯蔵ユニットと

を備えることを特徴とする同期式メモリ装置のデータ出力装置。

【請求項2】

前記第1貯蔵手段は、

データ出力制御回路において生成された複数の入力制御信号にตอบสนองして前記偶数データを順に取り込んで貯蔵する複数の偶数レジスタと、

前記第1感知増幅器と前記複数の偶数レジスタとの間に接続された、前記複数の入力制御信号にตอบสนองしてスイッチング動作をする第1グループのスイッチ素子と

を備えることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項3】

前記データ出力制御回路の出力信号は、

第1イネーブル信号、第2イネーブル信号、第3イネーブル信号、第4イネーブル信号、第1出力制御信号及び第2出力制御信号を備えることを特徴とする請求項2に記載の同期式メモリ装置のデータ出力装置。

【請求項4】

前記第2貯蔵手段は、

データ出力制御回路において生成された前記複数の入力制御信号にตอบสนองして前記奇数データを順に取り込んで貯蔵する複数の奇数レジスタと、

前記第2感知増幅器と前記複数の奇数レジスタとの間に接続された、前記複数の入力制御信号にตอบสนองしてスイッチング動作をする第2グループのスイッチ素子と

を備えることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項5】

前記第1スイッチング素子及び前記第4スイッチング素子の入力端は前記偶数レジスタの出力端に接続され、前記第2スイッチング素子及び前記第3スイッチング素子の入力端は前記奇数レジスタの出力端に接続され、前記第1スイッチング素子及び第3スイッチング素子の出力端は互いに接続されて前記第1バッファの入力端に接続され、前記第2スイッチング素子及び第4スイッチング素子の出力端は互いに接続されて前記第2バッファの入力端に接続されることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項6】

前記第3貯蔵手段は、

第1NANDゲート、第1インバータ、第1ラッチ及びスイッチング回路から構成される第2信号発生回路により生成された複数の第1制御信号にตอบสนองして、前記偶数データ及び前記奇数データの内のいずれか1つを出力する第3グループのスイッチング素子と、

前記偶数データ及び前記奇数データの内のいずれか1つを貯蔵する第1レジスタと

を備えることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項7】

第4貯蔵手段は、

第2NANDゲート、第2インバータ、第2ラッチ及びスイッチング回路から構成される第3信号発生回路により生成された複数の第2制御信号にตอบสนองして、前記偶数データ及び前記奇数データの内のいずれか1つを出力する第4グループのスイッチング素子と、

前記偶数データ及び前記奇数データのいずれか1つを貯蔵する第2レジスタと

を備えることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項8】

前記データ出力手段は、

前記データ出力制御回路から生成された第1出力制御信号にตอบสนองして前記第3貯蔵手段から入力されたデータを出力する第5スイッチング素子と、

10

20

30

40

50

前記データ出力制御回路から生成された第2出力制御信号に応答して前記第4貯蔵手段から入力されたデータを出力する第6スイッチング素子と、

前記第5スイッチング素子または前記第6スイッチング素子から出力されるデータを前記メモリ装置の外部に出力する出力ドライバーとを備えることを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項9】

前記入力制御信号は、前記データ出力回路から生成され、前記外部クロック信号の立ち上がりエッジ及び立ち下がりエッジに各々同期化される第1内部クロック信号及び第2内部クロック信号を備えることを特徴とする請求項2に記載の同期式メモリ装置のデータ出力装置。

10

【請求項10】

CASレイテンシ=2であり、スタートアドレスがロジックローである場合、前記第1スイッチング素子及び前記第2スイッチング素子が作動することを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項11】

CASレイテンシ=2であり、スタートアドレスがロジックハイである場合、前記第3スイッチング素子及び前記第4スイッチング素子が作動することを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項12】

CASレイテンシ=2.5であり、スタートアドレスがロジックローである場合、前記第3スイッチング素子及び前記第4スイッチング素子が作動することを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

20

【請求項13】

CASレイテンシ=2.5であり、スタートアドレスがロジックハイである場合、前記第1スイッチング素子及び前記第2スイッチング素子が作動することを特徴とする請求項1に記載の同期式メモリ装置のデータ出力装置。

【請求項14】

前記第1制御信号は、前記第1イネーブル信号に応答して前記第1NANDゲートに入力された前記第2内部クロック信号をナンド処理し、前記第1NANDゲートの出力を前記第1インバータによって反転され、前記第1イネーブル信号に応答して前記第1ラッチ及びスイッチング回路に入力された前記第1インバータの出力信号をラッチ及びスイッチングすることによって生成されることを特徴とする請求項6に記載の同期式メモリ装置のデータ出力装置。

30

【請求項15】

前記第2制御信号は、前記第2イネーブル信号に応答して前記第2NANDゲートに入力された前記第1内部クロック信号をナンド処理し、前記第2NANDゲートの出力を前記第2インバータによって反転され、前記第2イネーブル信号に応答して前記第2ラッチ及びスイッチング回路に入力された前記第2インバータの出力信号をラッチ及びスイッチングすることによって生成されることを特徴とする請求項7に記載の同期式メモリ装置のデータ出力装置。

40

【請求項16】

前記第1出力制御信号は、前記データ出力制御回路から出力された第3イネーブル信号に応答して前記第1内部クロック信号に同期して生成されることを特徴とする請求項8に記載の同期式メモリ装置のデータ出力装置。

【請求項17】

前記第2出力制御信号は、前記データ出力制御回路から出力された第4イネーブル信号に応答して前記第2内部クロック信号に同期して生成されることを特徴とする請求項8に記載の同期式メモリ装置のデータ出力装置。

【請求項18】

前記偶数データが前記第1レジスタによりラッチされ、前記奇数データが前記第2レジ

50

スタによりラッチされた場合、前記出力ドライバーは、次の読み出し動作の前に前記外部クロック信号の1周期の間、前記外部クロック信号の立ち上がりエッジから前記偶数データを、前記外部クロック信号の立ち下がりエッジから前記奇数データを外部に出力することを特徴とする請求項8に記載の同期式メモリ装置のデータ出力装置。

【請求項19】

前記奇数データが前記第1レジスタによりラッチされ、前記偶数データが前記第2レジスタによりラッチされた場合、前記出力ドライバーは、次の読み出し動作の前に前記外部クロック信号の1周期の間、前記外部クロック信号の立ち上がりエッジから前記奇数データを、前記外部クロック信号の立ち下がりエッジから前記偶数データを外部に出力することを特徴とする請求項8に記載の同期式メモリ装置のデータ出力装置。

10

【請求項20】

前記偶数データは前記第1出力制御信号がハイに活性化された直後に出力され、前記奇数データは前記第2出力制御信号がハイに活性化された直後に出力されることを特徴とする請求項18に記載の同期式メモリ装置のデータ出力装置。

【請求項21】

前記奇数データは前記第1出力制御信号がハイに活性化された直後に出力され、前記偶数データは前記第2出力制御信号がハイに活性化された直後に出力されることを特徴とする請求項19に記載の同期式メモリ装置のデータ出力装置。

【発明の詳細な説明】

【0001】

20

【発明が属する技術分野】

本発明は、半導体メモリ装置において、DDR(Double Data Rate)同期式メモリのデータ出力装置に関し、特にデータがクロックの立ち上がりエッジ及び立ち下がりエッジに同期されて出力されるDDR SDRAMに関する。

【0002】

【従来の技術】

一般に、DDR(Double Data Rate)同期式メモリ装置とは、従来のSDR(Single Data Rate)同期式メモリ装置がクロックの立ち上がりエッジでのみデータを出力するのに対し、クロックの立ち上がりエッジ及び立ち下がりエッジの両方においてデータを出力する方式を使用したメモリ装置をいう。

30

【0003】

図1は、従来の技術にかかるデータ出力装置が含まれた同期式メモリ装置の回路図である。

【0004】

多数のレジスタ(Register)を使用するウェーブパイプライン(Wave Pipeline)方式が適用された同期式メモリ装置に関して、データを高速に出力させ、データの帯域幅(Bandwidth)をさらに高めたDDR同期式メモリにおいても同様にウェーブパイプライン方式がデータの出力経路に適用される。

【0005】

図1において、メモリに入力された命令信号(Command)は、命令デコーダ(Command Decoder)120に入力される。命令デコーダ120は、入力された命令信号をデコード(Decoding)してそれに適合した信号を生成する。

40

【0006】

例えば、同期式メモリにおいて読み出し命令信号として/CS、/RAS、/CAS、/WEが入力された場合、命令デコーダ120は、メモリ内部において読み出し動作の開始を指示する読み出し信号122及びバースト長の情報を有しているbst_end信号124を生成する。

【0007】

この信号は、モードレジスタ(Mode Register)130にプログラム(Programming)されたCASレイテンシ信号(CAS latency)132とクロックバッファ(Clock Buffer)110から生成された内部クロック信号であるiclk(Internal Clock)信号112と共にデータ出力制御部170に入力

50

されて複数のレジスタの入力と出力を制御する信号であるパイプ入力信号(pin)180とパイプ出力信号(pout)182とを生成する。

【 0 0 0 8 】

(N+1)個のカラムアドレス(Column Address)信号は、(N+1)個のカラムアドレスバッファ140を介して内部カラムアドレス信号(ca<0:n>)142を生成する。内部カラムアドレス信号(ca<0:n>)は、バースト読出し(Burst Read)動作の際に連続的な内部カラムアドレス(Column Address)を生成するバーストカラムアドレスカウンタ(Burst Column Address Counter)150にスタートアドレスとして入力される。

【 0 0 0 9 】

バーストカラムアドレスカウンタ150は、内部クロック(iclk)112により同期されてカラムアドレスデコーダ160にカラムアドレスを伝達し、カラムアドレスデコーダ160は出力信号(Yi)165を出力する。

【 0 0 1 0 】

出力信号(Yi)165によってビットライン感知増幅器(Bit Line Sense Amplifier)210が選択される。バンク活性化命令(Bank Active Command)によりワードライン(Word Line)211が選択された場合、セルキャパシタ214に貯蔵されているデータは、ビットライン(Bit Line)212に載せられることとなり、ビットライン感知増幅器210により感知増幅される。

【 0 0 1 1 】

ビットライン感知増幅器210によって増幅されたデータは、ローカル入出力ライン(Local IO)に載せられることとなる。ローカル入出力ライン(Local IO)に伝達されたデータは、ローカル入出力ライン感知増幅器(IO Sense Amplifier)220を介して再び感知、増幅されてグローバル入出力ライン(Global IO)230に載せられることとなる。

【 0 0 1 2 】

データ出力制御部170から出力されたパイプ入力信号(pin<0:n>)180-0 ~ 180-nは、レジスタの入力スイッチ184-0 ~ 184-nを制御してグローバル入出力ライン230に連続的に載せられたデータを順にレジスタ190-0 ~ 190-nに貯蔵する役割をする。したがって、n個のレジスタがあれば、n個のパイプ入力信号(pin)が存在する。

【 0 0 1 3 】

また、データ出力制御部170から出力されたパイプ出力信号(pout<0:n>)182-0 ~ 182-nは、各レジスタの出力スイッチを制御してレジスタに貯蔵されているデータを順に出力ドライバー200に送り、データ(DQ)290を出力する役割を果たす信号である。同様に、n個のレジスタがあればn個のパイプ出力信号(pout)が存在する。

【 0 0 1 4 】

図2は、従来の技術にかかる図1に示した同期式メモリのデータ出力に関する信号のフローチャートであって、CASレイテンシは3であって、バースト長は4である場合を示す。

【 0 0 1 5 】

外部のクロックがメモリに入力されて内部クロック(iclk)が生成される。読出し命令が入力されれば、読出し命令が入力されたクロックからCL(Cas Latency) - 1個のクロックが過ぎた後に最初のパイプ出力信号(pout)がイネーブル(enable)され、以後のクロックに応じてバースト長だけ、順にパイプ出力信号(pout)がイネーブルされる。

【 0 0 1 6 】

CL - 1個が過ぎたクロックからそれぞれのパイプ出力信号(pout)によりクロックアクセスタイム(Clock Access Time、tAC)程度の時間が過ぎた後にデータが出力され、このデータは出力保持時間(Output Hold Time、tOH)程度の間保持される。

【 0 0 1 7 】

以上で説明したように、ウェーブパイプライン方式を適用すれば、データを高速に出力することができるため、DDR SDRAMにも前記ウェーブパイプライン方式を適用すれば、データを高速に出力することができる。ところが、DDR SDRAMは、クロックの両側エッジを使用してデータを出力させるため、通常2ビットプリフェッチ方式(2Bit Prefetch)を適用している。したがってDDR SDRAMでは、2ビットプリフェッチ方式とウェーブパイプライン方

10

20

30

40

50

式の両方式を適用するためには新しいデータ出力経路の設計が必要となる。

【0018】

【発明が解決しようとする課題】

本発明は、2ビットプリフェッチ方式とウェーブパイプライン方式の両方式を適用して高速のデータ出力を可能にするDDR SDRAMを提供することが目的である。

【0019】

【課題を解決するための手段】

前記目的を達成するために、本発明に係る同期式メモリ装置のデータ出力装置は、同期式メモリ装置に含まれたデータ出力装置において、選択された偶数バンクに接続された第1感知増幅器から出力された偶数データを順に貯蔵するための第1貯蔵手段と、選択された奇数バンクに接続された第2感知増幅器から出力された奇数データを順に貯蔵するための第2貯蔵手段と、前記第1貯蔵手段及び前記第2貯蔵手段から同時に入力された前記偶数データ及び前記奇数データを選択して出力する選択手段と、クロック信号の立ち上がりエッジに同期させて前記偶数データ及び前記奇数データの内のいずれか1つを貯蔵及び出力する第3貯蔵手段と、クロック信号の立ち下がりエッジに同期させて前記偶数データ及び前記奇数データの内のいずれか1つを貯蔵及び出力する第4貯蔵手段と、前記第3貯蔵手段から入力されたデータ及び前記第4貯蔵手段から入力されたデータを出力するデータ出力手段とを備え、前記選択手段は、第1信号発生回路により生成された優先順位制御信号に
応答する第1スイッチング素子及び第2スイッチング素子、反転された優先順位制御信号に
応答する第3スイッチング素子及び第4スイッチング素子を備え、前記クロック信号の立ち上
がりエッジに 20
応答して前記偶数データと前記奇数データの内の、いずれのデータが出力されるかを決定する複数のマルチプレックシング装置と、第1バッファ及び第2バッファを備え、前記複数のマルチプレックシング装置から入力された前記偶数データ及び前記奇数データを貯蔵して前記第3貯蔵手段及び前記第4貯蔵手段に出力する複数の貯蔵ユニットとを備える。

【0020】

【発明の実施の形態】

以下、本発明が属する技術分野において通常の知識を有する者が本発明の技術的思想を容易に実施できる程度に詳細に説明するため、添付した図面を参照して本発明の最も好ましい実施の形態を説明する。

【0021】

通常、2ビットプリフェッチ方式が適用される同期式メモリ装置は、バンクが偶数と奇数とに分けられている。図3a、図3bに本発明に係るデータ出力装置を備えるDDR同期式メモリ装置の回路図を示す。図3a、図3bに示すように、前記の同期式メモリ装置にウェーブパイプライン方式を適用するために、本発明のデータ出力装置300は、偶数バンクのデータを貯蔵する複数の偶数レジスタ320-0~320-nと、奇数バンクのデータを貯蔵する複数の奇数レジスタ330-0~330-nと、優先順位制御信号($sos_{e<0:n>}$)345-0~345-nに
40
応答して前記偶数レジスタから出力されたデータと前記奇数レジスタから出力されたデータとを順に出力する複数のマルチプレクサ340-0~340-nと、前記マルチプレクサから先
に出力されたデータをラッチした後、クロックの立ち上がりエッジに同期させて出力するrdoレジスタ350と、前記マルチプレクサから後に出力されたデータをラッチした後、クロックの立ち下がりエッジに同期させて出力するfdoレジスタ360と、前記rdoレジスタ350及びfdoレジスタ360から伝達されたデータをバッファリングしてメモリ外部に出力するための出力ドライバー370を含んで構成される。

【0022】

入出力感知増幅器220aで増幅された前記偶数バンクから出力された偶数データは、各偶数レジスタに貯蔵され、入出力感知増幅器220bで増幅された前記奇数バンクから出力された奇数データは、各奇数レジスタに貯蔵される。

【0023】

各偶数レジスタ320-0~320-nは、偶数グローバル入出力ライン230aに載せられた前記偶数

10

20

30

40

50

データに対応する各スイッチング素子310-0~310-nを介して取り込んで貯蔵する。各スイッチング素子310-0~310-nは、複数のパイプ入力信号315-0~315-nに応答して動作する。

【0024】

同様に、各奇数レジスタ330-0~330-nは、奇数グローバル入出力ライン230bに載せられた前記奇数データに対応する各スイッチング素子311-0~311-nを介して取り込んで貯蔵する。各スイッチング素子311-0~311-nは、複数のパイプ入力信号316-0~316-nに応答して動作する。

【0025】

図4、図5に示したように、データ出力制御回路520から出力されたパイプ入力信号315は、前記データ出力制御回路520に入力されたCASレイテンシ信号453、読出し信号451、bst__end信号452、rclk信号541、fclk信号542が利用されて生成される。

10

【0026】

上記したように、CASレイテンシ信号453は、モードレジスタ420にプログラムされており、読出し信号451とbst__end信号は、読出し命令信号400に応答して命令デコーダ410によって生成され、出力される。

【0027】

rclk信号541とfclk信号542は、各々外部クロック信号(CLK)の立ち上がりエッジ及び立ち下がりエッジに同期して生成されるが、遅延固定ループ回路(DLL)510に入力された内部クロック信号(iclk)456に応答して遅延固定ループ回路(DLL)510で生成されて出力される。上記したように、内部クロック信号456は、クロックバッファ440に入力された外部クロック信号402が利用されて生成される。

20

【0028】

各マルチプレクサ340-0~340-nには、偶数及び奇数レジスタから各々偶数データ及び奇数データが同時に入力される。各マルチプレクサは、sose信号345-0~345-nの制御を受けて、rdoレジスタ及びfdoレジスタに各々偶数データ及び奇数データを、あるいはrdoレジスタ及びfdoレジスタに各々奇数データ及び偶数データを伝達する。

【0029】

図7はマルチプレクサの構成を示した回路図である。

【0030】

図7に示したように、マルチプレクサ340は、4個のスイッチング素子710a、710b、710c、710dから構成されており、各スイッチング素子はsose信号720a、720bと反転されたsose信号(/sose)により制御される。

30

【0031】

スイッチング素子710a、710bは、第1バッファ342に接続され、スイッチング素子710c、710dは、第2バッファ344に接続される。第1バッファ342は、rdoレジスタ350から出力されるデータを一時貯蔵し、第2バッファ344は、fdoレジスタ360から出力されるデータを一時貯蔵する。

【0032】

第1及び第4スイッチング素子710a、710dの入力端は、偶数レジスタの出力端に接続され、第2及び第3スイッチング素子710b、710cの入力端は、奇数レジスタの出力端に接続される。また第1及び第2スイッチング素子710a、710bの出力端は、第1バッファ342の入力端に接続され、第3及び第4スイッチング素子710c、710dの出力端は第2バッファ344の入力端に接続される。

40

【0033】

sose信号720a、720bが入力されて第1スイッチング素子710a及び第3スイッチング素子710cが動作する場合、偶数レジスタ320に貯蔵された偶数データは第1バッファ342に出力され、奇数レジスタ330に貯蔵された奇数データは第2バッファ344に出力される。

【0034】

これに対し、反転されたsose信号(/sose)730a、730bが入力されて第2スイッチング素子710b及び第4スイッチング素子710dが動作する場合、偶数レジスタ320に貯蔵された偶数デー

50

タは第2バッファ344に出力され、奇数レジスタ330に貯蔵された奇数データは第1バッファ342に出力される。

【 0 0 3 5 】

即ち、sose信号に応じて、出力ドライバー370からデータ(DQ)として偶数データが先に出力されるか、奇数データが先に出力されるかが決定される。

【 0 0 3 6 】

sose信号は、sose信号発生器530で生成される。図4及び図5に示すように、sose信号発生器530は、CASレイテンシ信号(CAS latency)453、読出し信号(read)451、ca<0>信号454、rclk信号541、fclk信号542を取り込んで、sose信号345-0~345-nを生成する。ここで、ca<0>信号454は、カラムアドレスバッファ430から出力された内部カラムアドレスca<0:n>の下位ビットである。このca<0>に応じてデータ出力時にスタートアドレスが偶数(ca<0>=>"low")であるのか、または奇数(ca<0>=>"high")であるのかが決定される。ca<0>以外のca<1:n>信号は、内部クロック信号(iclk)456に同期して偶数バンク方向に向かったYi信号165a、及び奇数バンク方向に向かったYj信号165bをイネーブルさせる。各ビットライン感知増幅器210a、210bにより増幅された偶数及び奇数データは、各々Yi及びYj信号に応答してローカル入出力ラインに載せられることとなる。感知増幅器220a、220bにより再び増幅された偶数データ及び奇数データは、各々偶数グローバル入出力ライン230a及び奇数グローバル入出力ライン230bに載せられることとなる。

10

【 0 0 3 7 】

各々偶数レジスタ320-0~320-n及び奇数レジスタ330-0~330-nに貯蔵される偶数データ及び奇数データは、CASレイテンシ信号453及びca<0>信号454に含まれた情報を利用してsose信号345-0~345-nの制御に応じて、rdoレジスタ350及びfdoレジスタ360、またはfdoレジスタ360及びrdoレジスタ350に伝達される。

20

【 0 0 3 8 】

例えば、CASレイテンシが2であって、カラムアドレス(ca<0>)がロジックローであるならば、偶数レジスタに貯蔵されたデータはrdoレジスタ350に伝達され、奇数レジスタに貯蔵されたデータはfdoレジスタ360に伝達される。カラムアドレス(ca<0>)がロジックハイであるならば、奇数レジスタに貯蔵されたデータはrdoレジスタ350に伝達され、偶数レジスタに貯蔵されたデータはfdoレジスタ360に伝達される。

【 0 0 3 9 】

CASレイテンシが2.5である場合には、カラムアドレス(ca<0>)がロジックローであるならば、偶数レジスタに貯蔵されたデータはfdoレジスタ360に伝達され、奇数レジスタに貯蔵されたデータはrdoレジスタ350に伝達される。カラムアドレス(ca<0>)がロジックハイであるならば、奇数レジスタに貯蔵されたデータはfdoレジスタ360に伝達され、偶数レジスタに貯蔵されたデータはrdoレジスタ350に伝達される。

30

【 0 0 4 0 】

この場合、従来のパイプライン技術(pipeline technique)が適用された同期式メモリと同様に、複数の奇数レジスタ及び偶数レジスタに貯蔵されたデータを順にrdoレジスタ及びfdoレジスタに伝達するために、rpout信号及びfpout信号が必要である。

【 0 0 4 1 】

図6に示したように、rpout信号355-0~355-nは、rpout__en信号552及び遅延固定ループ回路(DLL)510の出力信号fclk542が入力され、rpout信号発生器610によって生成される。同様に、fpout信号365-0~365-nは、fpout__en信号553及び遅延固定ループ回路(DLL)510の出力信号rclk541が入力され、fpout信号発生器620によって生成される。rpout__en信号552及びfpout__en信号553は、データ出力制御器520によって生成され、CASレイテンシとバースト長の情報を含んでいる信号である。

40

【 0 0 4 2 】

図8はrpout信号発生器を示す回路図である。

【 0 0 4 3 】

図8に示したように、rpout信号発生器は、NANDゲート810、インバータ820、シフトレジス

50

タ840から構成される。NANDゲート810は、fclk信号542とrpout__en信号552を取り込んで出力信号を生成する。この出力信号は、インバータ820に入力されて反転された信号rpout__inc信号830として出力される。rpout__inc信号830が、シフトレジスタ840に入力され、rpout__en信号552によってイネーブルされることによって、複数のrpout信号 (rpout<0:n>) 355-0 ~ 355-nが生成される。

【 0 0 4 4 】

図6に示すように、fpout信号もrpout信号を発生する過程と同様に生成される。この場合、複数のfpout信号365-0 ~ 365-nは、fpout信号発生器620に入力されるfpout__en信号553及びrclk信号541を利用して生成される。

【 0 0 4 5 】

図9は、CASレイテンシが2であって、バースト長が2であるDDR同期式メモリにおけるデータ出力の状態を示すタイミングチャートである。

【 0 0 4 6 】

rclk信号は外部クロック信号の立ち上がりエッジに同期して発生し、fclk信号は外部クロック信号の立ち下がりエッジに同期して発生する。

【 0 0 4 7 】

rpout__en信号にตอบสนองして、fclk信号に同期されたrpout__inc信号によりrpout信号 (rpout<0:n>) が発生し、fpout__en信号にตอบสนองして、rclk信号に同期をされたfpout__inc信号によりfpout信号 (fpout<0:n>) が発生する。

【 0 0 4 8 】

rdo__en信号にตอบสนองして、rclk__do信号がrclk信号に同期して発生し、このrclk__do信号が活性化された直後にrdoレジスタにラッチされたデータが出力ドライバーを介して出力される。

【 0 0 4 9 】

また、fdo__en信号にตอบสนองして、fclk__do信号がfclk信号に同期して発生し、このfclk__do信号が活性化された直後にfdoレジスタにラッチされたデータが出力ドライバーを介して出力される。

【 0 0 5 0 】

【 発明の効果 】

以上で詳述した本発明に係る同期式メモリのデータ出力装置は、200MHz以上の高速で動作するDDR同期式メモリ装置にも適用可能であり、またデータ出力装置の回路構成が簡単となることから連続的なデータ出力に起因した電力損失を低減することが可能となる利点がある。

【 図面の簡単な説明 】

【 図 1 】 従来技術のデータ出力装置が含まれた同期式メモリ装置を示す回路図である。

【 図 2 】 従来技術の同期式メモリのデータ出力に関するタイミングチャートである。

【 図 3 a 】 図 3 b と合わせることによって、本発明に係るデータ出力装置を備えるDDR同期式メモリ装置を示す回路図である。

【 図 3 b 】 図 3 a と合わせることによって、本発明に係るデータ出力装置を備えるDDR同期式メモリ装置を示す回路図である。

【 図 4 】 本発明に係るDDR同期式メモリ装置に備えられた命令デコーダ、モードレジスタ、カラムアドレスバッファ、クロックバッファにおける信号の入出力関係を示す図である。

【 図 5 】 本発明に係るDDR同期式メモリ装置に備えられた遅延固定ループ回路(DLL)、データ出力制御器、sose信号発生器における信号の入出力関係を示す図である。

【 図 6 】 本発明に係るDDR同期式メモリ装置に備えられたrpout信号発生器、fpout信号発生器における信号の入出力関係を示す図である。

【 図 7 】 本発明に係るDDR同期式メモリ装置に備えられたマルチプレクサを示す回路図である。

【 図 8 】 本発明に係るDDR同期式メモリ装置に備えられたrpout信号発生器を示す回路図

10

20

30

40

50

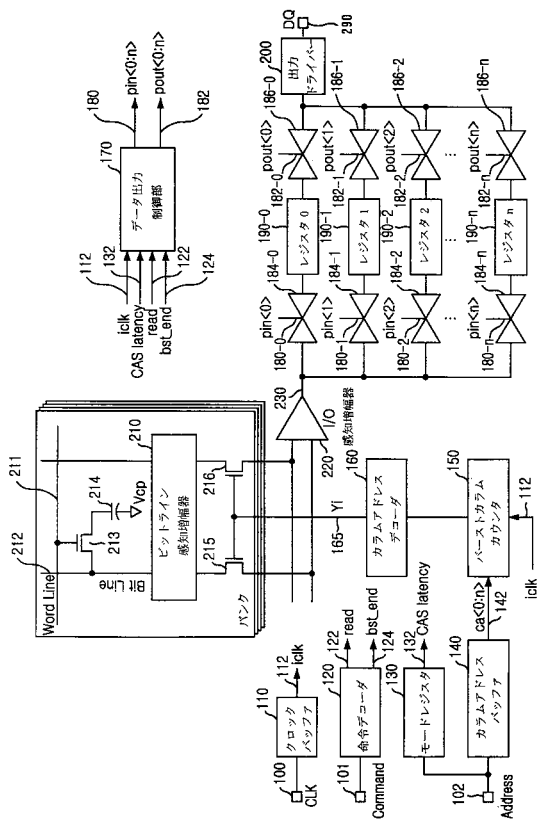
である。

【図9】 本発明に係るDDR同期式メモリ装置におけるデータ出力を示すタイミングチャートである。

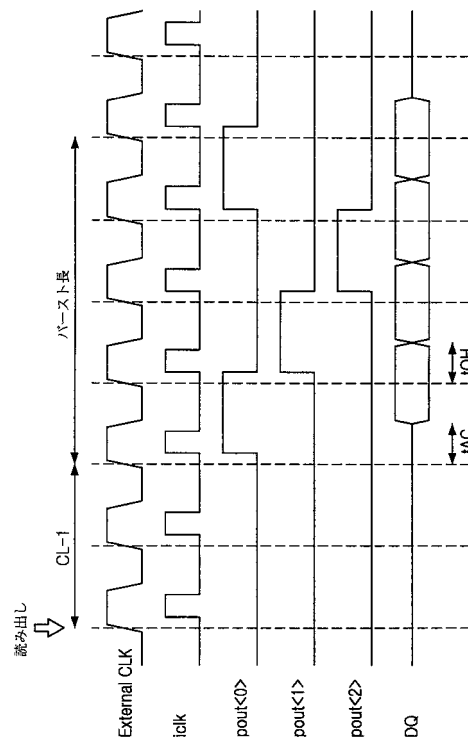
【符号の説明】

- 100、402 クロック信号の入力端
- 101、400 命令信号 (Command) の入力端
- 102、401 アドレス信号 (Address) の入力端
- 211、211 a、211 b ビットライン
- 212、212 a、212 b ワードライン
- 213、213 a、213 b トランジスタ
- 214、214 a、214 b セルキャパシタ
- 215、215 a、215 b、216、216 a、216 b トランジスタ
- 290、380 データの出力端
- 342 第1バッファ
- 344 第2バッファ

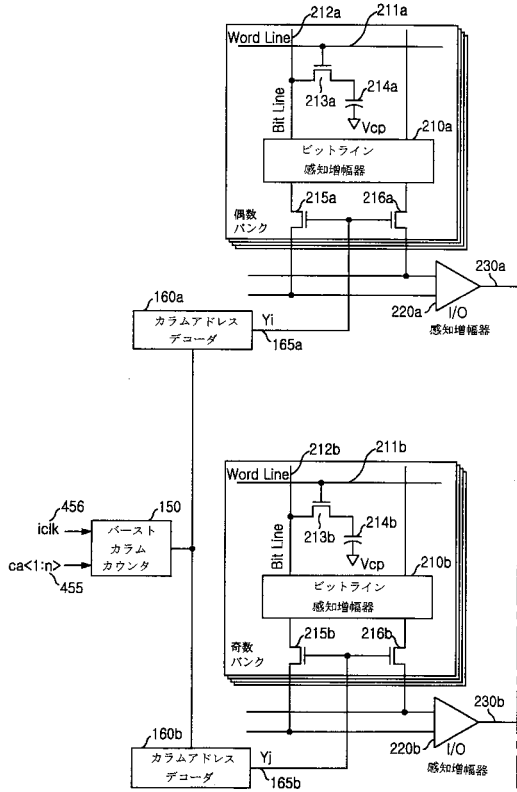
【図1】



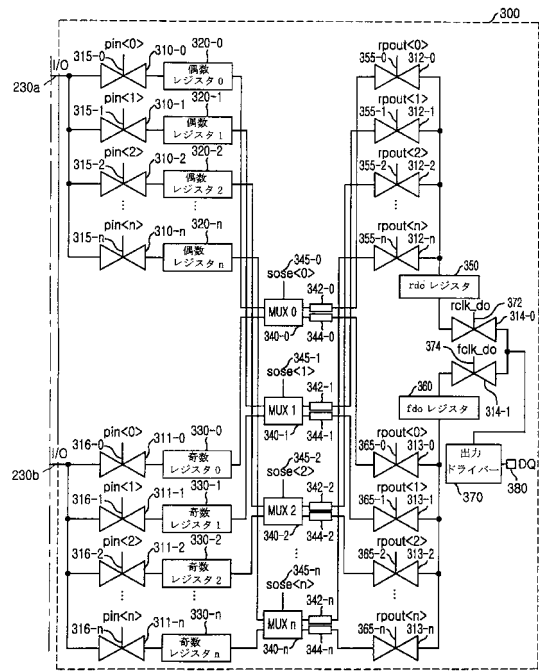
【図2】



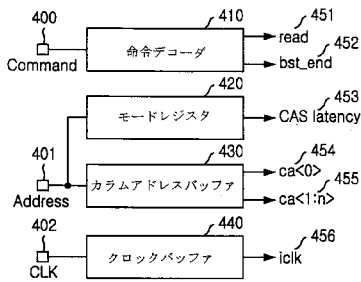
【図3a】



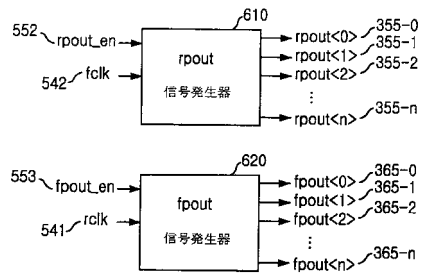
【図3b】



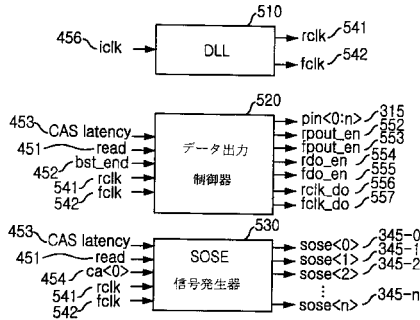
【図4】



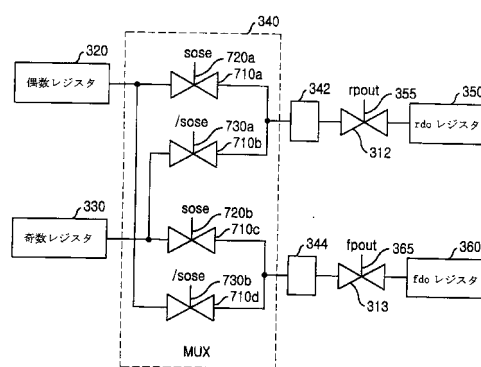
【図6】



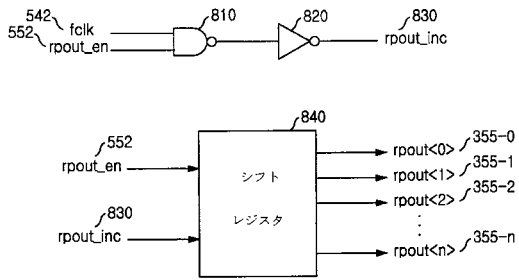
【図5】



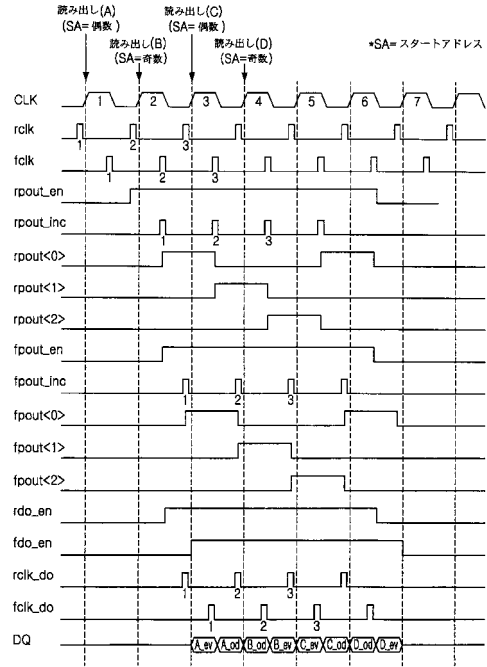
【図7】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 柳 濟 薫
大韓民国京畿道利川市夫鉢邑牙美里山136-1
- (72)発明者 徐 貞 源
大韓民国京畿道利川市夫鉢邑牙美里山136-1

審査官 堀江 義隆

- (56)参考文献 特開平11-045568(JP,A)
特開平10-040678(JP,A)
特開平09-091955(JP,A)
特開平10-055666(JP,A)
特開平10-188556(JP,A)
特開平10-340579(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C11/40-11/4099