

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4573520号  
(P4573520)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int.Cl.	F I
HO2M 7/493 (2007.01)	HO2M 7/48 D
HO2M 7/48 (2007.01)	HO2M 7/48 L
HO5B 41/24 (2006.01)	HO5B 41/24 K

請求項の数 3 (全 14 頁)

(21) 出願番号	特願2003-399787 (P2003-399787)	(73) 特許権者	000116024 ローム株式会社
(22) 出願日	平成15年11月28日(2003.11.28)		京都府京都市右京区西院溝崎町2 1 番地
(65) 公開番号	特開2004-222489 (P2004-222489A)	(74) 代理人	100085501 弁理士 佐野 静夫
(43) 公開日	平成16年8月5日(2004.8.5)		
審査請求日	平成18年11月7日(2006.11.7)	(74) 代理人	100134555 弁理士 林田 英樹
(31) 優先権主張番号	特願2002-373748 (P2002-373748)	(72) 発明者	福本 憲一 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(32) 優先日	平成14年12月25日(2002.12.25)		
(33) 優先権主張国	日本国(JP)	審査官	服部 俊樹

最終頁に続く

(54) 【発明の名称】 直流-交流変換装置の並行運転システム、及びそのコントローラIC

(57) 【特許請求の範囲】

【請求項1】

一次巻線と少なくとも1つの二次巻線とを持つ変圧器と、  
直流電源から前記一次巻線に第1方向及び第2方向に電流を流すための半導体スイッチ回路と、

前記半導体スイッチ回路をPWM制御するための三角波信号及びこの三角波信号に同期したクロック信号を、周波数決定用コンデンサ及び周波数決定用抵抗が接続されたときに発生することができる発振器ブロックと；前記周波数決定用コンデンサが接続されるとともに、前記三角波信号の入出力端子となる第1外部端子と；前記周波数決定用抵抗が接続される端子となる第2外部端子と；前記クロック信号を入出力する端子となる第3外部端子と；を備えるコントローラICと、

をそれぞれ有する複数N個の直流-交流変換装置を有し、

前記コントローラICは、

各コントローラICの前記第1外部端子に前記周波数決定用コンデンサが共通に接続され、かつ、1つのコントローラICのみ前記第2外部端子に前記周波数決定用抵抗が接続されて、前記三角波信号を前記1つのコントローラICの前記第1外部端子から他のコントローラICの前記第1外部端子へ出力し、前記クロック信号を前記1つのコントローラICの前記第3外部端子から他のコントローラICの前記第3外部端子へ出力するとともに、

前記複数N個の直流-交流変換装置は、

同一の前記三角波信号及び前記クロック信号を使用して同期して同相のPWM制御を行うものであって、かつ、

前記コントローラICは、

さらに第4外部端子が設けられ、

前記コントローラICのうちの1つのコントローラICのみに、前記第4外部端子と前記第2外部端子との間で外部に前記周波数決定用抵抗とともに起動時の周波数を決定する起動抵抗が接続され、

前記第4外部端子は内部でスイッチにより前記負荷の起動時に前記起動抵抗が前記周波数決定用抵抗に並列されるように制御されるものであって、かつ、

前記コントローラICは、さらに、

起動信号が遅延された信号が入力される第5外部端子と；

前記第5外部端子の電位を第1基準電圧と比較し、前者が後者に達するまでは、前記スイッチをオンさせて、前記起動抵抗が前記周波数決定用抵抗に並列されるように制御し、その後、前者が後者を越えると、前記スイッチをオフさせて、前記起動抵抗が前記周波数決定用抵抗から切り離されるように制御する第1比較器と；

前記第5外部端子の電位を前記第1基準電圧より小さい第2基準電圧と比較し、前者が後者を越えている間は、前記コントローラICをシステム・オンし、逆に、前者が後者より低い間は、前記コントローラICをシステム・オフする第2比較器と；

を有することを特徴とする、直流-交流変換装置の並行運転システム。

**【請求項2】**

前記コントローラICは、

さらに第6外部端子が設けられ、

前記1つのコントローラICの前記発振器ブロックで発生される前記三角波信号及び前記クロック信号は、同一周波数であり、

前記クロック信号を逡降した同期信号を発生させ、前記1つのコントローラICの前記第6外部端子から出力して、前記他のコントローラICの前記第6外部端子へ入力することを特徴とする、請求項1記載の直流-交流変換装置の並行運転システム。

**【請求項3】**

前記発振器ブロックは、前記周波数決定用抵抗が接続されているか否かを判定し、その判定結果を出力するモード回路と、前記モード回路からの判定結果に応じて動作或いは不動作が決定される発振回路とを有することを特徴とする、請求項1または2記載の直流-交流変換装置の並行運転システム。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、電気機器付属の電源アダプタや、バッテリーなどの直流電源から、負荷を駆動するための交流電圧を発生する直流-交流変換装置（以下、インバータという）の並行運転システム、及びそのコントローラICに関する。

**【背景技術】**

**【0002】**

ノートパソコンの液晶モニタや、液晶テレビ受像機などの液晶ディスプレイのバックライト光源として、冷陰極蛍光灯（CCFL）が用いられるようになってきている。このCCFLは、通常の熱陰極蛍光灯とほぼ同様の高い効率と長い寿命を持っており、そして、熱陰極蛍光灯が持っているフィラメントを省いている。

**【0003】**

このCCFLを起動及び動作させるためには、高い交流電圧を必要とする。例えば、起動電圧は約1000Vであり、動作電圧は約600Vである。この高い交流電圧を、インバータを用いて、ノートパソコンや液晶テレビ受像機などの直流電源から発生させる。

**【0004】**

以前から、CCFL用インバータとして、ロイヤ（Royce）回路が一般的に用い

10

20

30

40

50

られている。このロイヤー回路は、可飽和磁芯変圧器、制御トランジスタなどから構成され、そして、可飽和磁芯変圧器の非線形透磁率、制御トランジスタの非線形電流ゲイン特性により自己発振する。ロイヤー回路自身は外部クロックやドライバー回路を必要としない。

【 0 0 0 5 】

しかし、ロイヤー回路は、基本的には一定電圧インバータであり、入力電圧や負荷電流が変化する場合には一定出力電圧を維持できない。したがって、ロイヤー回路に電力を供給するためのレギュレータを必要とする。このようなことから、ロイヤー回路を用いたインバータは、小型化が難しく、また、電力変換効率も低い。

【 0 0 0 6 】

電力変換効率を高めるようにしたCCFL用インバータが提案されている（特許文献1参照）。このインバータは、変圧器の一次巻線に第1半導体スイッチを直列に接続し、直列接続された第2半導体スイッチとコンデンサを変圧器の一次巻線に並列に接続し、かつ、変圧器の二次巻線に結合コンデンサと負荷とを直列に接続する。そして、変圧器の一次側電流を制御回路に帰還し、基準電圧と比較することにより制御信号を形成し、その制御信号により、第1、第2半導体スイッチをオン・オフ制御して、負荷に所定の交流電力を供給するようにしている。

【 0 0 0 7 】

また、4つの半導体スイッチを用いてフルブリッジ（Hブリッジ）型のCCFL用インバータが提案されている（特許文献2参照）。このインバータでは、変圧器の一次巻線に、共振用コンデンサを直列に介して、Hブリッジの出力端を接続し、変圧器の二次巻線に負荷を接続する。Hブリッジを構成する4つの半導体スイッチのうちの、第1組の2つの半導体スイッチにより変圧器の一次巻線に第1方向の電流経路を形成し、第2組の2つの半導体スイッチにより変圧器の一次巻線に第2方向の電流経路を形成する。そして、変圧器の二次巻線に流れる電流を制御回路に帰還し基準電圧と比較することにより、固定された同一パルス幅で、そのパルスの相対位置が制御された制御信号を発生して、Hブリッジの半導体スイッチに供給し、負荷への供給電力を調整している。また、変圧器の二次巻線の電圧を検出して、過電圧保護を行うようにしている。

【 0 0 0 8 】

【特許文献1】特開平10-50489号公報

【特許文献2】米国特許第6259615号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

ノートパソコンの液晶モニターや、液晶テレビ受像機などの液晶ディスプレイの大画面化に伴い、バックライト光源として複数のCCFLが分散されて配置されるようになってきている。この場合、複数のCCFLからの光が干渉し合っただらつきなどの原因となるために、各CCFLを同期して同相で点灯させることが必要となる。

【 0 0 1 0 】

このために、インバータをディスクリット回路で構成して、同相の交流電力を複数のCCFLに供給することが考えられる。

【 0 0 1 1 】

しかし、CCFLへの高電圧の配線は、その引き回し距離を短くして他の装置への影響を低減することが必要であること、また、CCFLの寄生キャパシタンスを変圧器との共振に有効に利用すること等の理由により、各CCFLを制御するためのインバータは、できるだけそのCCFLに近接して配置することが望ましい。

【 0 0 1 2 】

そこで、本発明は、CCFL等の高電圧を必要とする複数個の負荷を駆動するための複数個のインバータを、各負荷に近接して配置することを可能にするとともに、同期して同相で制御することができる、インバータ並行運転システム、及びそのコントローラICを

10

20

30

40

50

提供することを目的とする。

【課題を解決するための手段】

【0013】

本明細書中に開示されている第1の構成のインバータの並行運転システムは、一次巻線と少なくとも1つの二次巻線とを持つ変圧器TRと、

直流電源BATから前記一次巻線に第1方向及び第2方向に電流を流すための半導体スイッチ回路101～104と、

前記半導体スイッチ回路をPWM制御するための三角波信号及びこの三角波信号に同期したクロック信号を、周波数決定用コンデンサ及び周波数決定用抵抗が接続されたときに発生することができる発振器ブロック201と、をそれぞれ有する複数N個のインバータを有し、

10

前記複数N個のインバータのうちの1つのインバータのみに、前記発振器ブロックから前記三角波信号及び前記クロック信号を発生させるように、前記周波数決定用コンデンサ及び前記周波数決定用抵抗を接続し、

当該インバータから発生された前記三角波信号及び前記クロック信号を、それ以外のインバータに供給し、

N個全てのインバータで同一の前記三角波信号及び前記クロック信号を使用して同期して同相のPWM制御を行うことを特徴とする。

【0014】

本明細書中に開示されている第2の構成のインバータの並行運転システムは、上記第1の構成のインバータの並行運転システムにおいて、前記周波数決定用抵抗の抵抗値は、インバータの起動時にはある小さい抵抗値に設定されており、その後により大きな抵抗値に設定されることを特徴とする。

20

【0015】

本明細書中に開示されている第3の構成のインバータの並行運転システムは、上記第1または第2の構成のインバータの並行運転システムにおいて、前記発振器ブロックで発生される前記三角波信号及び前記クロック信号は、同一周波数であり、さらに前記三角波信号を発生させるインバータで前記クロック信号を逡降した同期信号を発生させ、その同期信号を他のインバータにも供給して、共通に使用することを特徴とする。

30

【0016】

本明細書中に開示されている第4の構成のインバータの並行運転システムは、上記第1～第3いずれかの構成のインバータの並行運転システムにおいて、前記発振器ブロック201は、

前記周波数決定用抵抗が接続されているか否かを判定し、その判定結果を出力するモード回路201-2と、前記モード回路からの判定結果に応じて動作或いは不動作が決定される発振回路201-1とを有することを特徴とする。

【0017】

本明細書中に開示されている第5の構成のコントローラICは、負荷FLを駆動する半導体スイッチ101～104を制御するためのコントローラICであって、

前記半導体スイッチ回路をPWM制御するための三角波信号及びこの三角波信号に同期したクロック信号を、周波数決定用コンデンサ及び周波数決定用抵抗が接続されたときに発生することができる発振器ブロック201と、

40

前記周波数決定用コンデンサが接続されるとともに、前記三角波信号の入出力端子となる第1外部端子3Pと、

前記周波数決定用抵抗が接続される端子となる第2外部端子4Pと、

前記クロック信号を入出力する端子となる第3外部端子14Pと、を備え、

前記第1外部端子3Pに前記周波数決定用コンデンサ132が接続され、かつ、前記第2外部端子4Pに前記周波数決定用抵抗が接続されるときに、前記三角波信号を前記第1外部端子3Pから外部へ出力し、前記クロック信号を前記第3外部端子14Pから外部へ出力する一方、

50

前記外部端子4Pに周波数決定用抵抗が接続されないときには、前記三角波信号を外部から前記第1外部端子3Pに入力し、前記クロック信号を外部から前記第3外部端子14Pへ入力することを特徴とする。

【0018】

本明細書中に開示されている第6の構成のコントローラICは、上記第5の構成のコントローラICにおいて、さらに第4外部端子6Pが設けられ、

この第4外部端子6Pと前記第2外部端子4Pとの間で外部に前記周波数決定用抵抗とともに起動時の周波数を決定する起動抵抗が接続され、

第4外部端子6Pは内部でスイッチにより前記負荷の起動時に前記起動抵抗が前記周波数決定用抵抗に並列されるように制御されることを特徴とする。

10

【0019】

本明細書中に開示されている第7の構成のコントローラICは、上記第5または第6の構成のコントローラICにおいて、さらに第5外部端子13Pが設けられ、

前記発振器ブロックで発生される前記三角波信号及び前記クロック信号は、同一周波数であり、

前記三角波信号が前記発振器ブロックで発生される場合には、前記クロック信号を逡降した同期信号を発生させ、前記第5外部端子13Pより外部へ出力し、

前記三角波信号が前記発振器ブロックで発生されない場合には、外部から前記外部端子13Pに前記クロック信号を逡降した同期信号が入力されることを特徴とする。

【0020】

本明細書中に開示されている第8の構成のコントローラICは、上記第5～第7いずれかの構成のコントローラICにおいて、前記発振器ブロック201は、

前記周波数決定用抵抗が接続されているか否かを判定し、その判定結果を出力するモード回路201-2と、前記モード回路からの判定結果に応じて動作或いは不動作が決定される発振回路201-1とを有することを特徴とする。

20

【発明の効果】

【0021】

本発明によれば、高電圧を必要とする複数個の負荷に近接して各インバータを配置するとともに、各インバータに周波数決定用抵抗が接続されたか否かにより発振の動作・不動作が決定される発振器ブロックを設けることにより、1つのインバータを主とし、他のインバータを副として、複数負荷を容易に同期して同相で制御することができる。

30

【0022】

また、起動時に、前記周波数決定用抵抗の抵抗値を実質的に小さくして周波数を高くするから、複数の負荷を共通して早期に立ち上げることができる。

【0023】

また、各インバータに同一のコントローラICを用い、その同一機能の所定の端子同士を共通接続し、主となるコントローラICのみに発振動作を行わせるから、全体システムの構成が簡易になり、また、使用される負荷の数に制限を受けることがない。

【発明を実施するための最良の形態】

【0024】

以下、図面を参照して、本発明のインバータ並行運転システムに使用する、直流電源から負荷を駆動するための交流電圧を発生するインバータ、及びそのコントローラICの実施の形態について説明する。

40

【0025】

図1は、絶縁変圧器、フルブリッジ(Hブリッジ)のスイッチ回路を用いて、PWM制御する本発明の実施の形態に係るインバータの全体構成を示す図であり、図2は、そのためのインバータ制御用のコントローラICの内部構成を示す図である。

【0026】

図1において、第1スイッチであるP型MOSFET(以下、PMOS)101と第2スイッチであるN型MOSFET(以下、NMOS)102とで、変圧器TRの一次巻線

50

105への第1方向の電流経路を形成する。また、第3スイッチであるPMOS103と第4スイッチであるNMOS104とで、変圧器TRの一次巻線105への第2方向の電流経路を形成する。これらのPMOS101, 103、NMOS102、104は、それぞれボディダイオード(即ち、バックゲートダイオード)を有している。このボディダイオードにより、本来の電流経路と逆方向の電流を流すことができる。なお、ボディダイオードと同様の機能を果たすダイオードを別に設けてもよい。

【0027】

直流電源BATの電源電圧VCCがPMOS101, 103、NMOS102、104を介して変圧器TRの一次巻線105に供給され、その2次巻線106に巻線比に応じた高電圧が誘起される。この誘起された高電圧が冷陰極蛍光灯FLに供給されて、冷陰極蛍光灯FLが点灯する。

10

【0028】

コンデンサ111, コンデンサ112は、抵抗117, 抵抗118とともに、冷陰極蛍光灯FLに印加される電圧を検出して、コントローラIC200にフィードバックするものである。抵抗114, 抵抗115は、冷陰極蛍光灯FLに流れる電流を検出して、コントローラIC200にフィードバックするものである。また、コンデンサ111は、そのキャパシタンスと変圧器TRのインダクタンス成分とで共振させるためのものであり、この共振には冷陰極蛍光灯FLの寄生キャパシタンスも寄与する。113, 116, 119, 120は、ダイオードである。また、151, 152は電源電圧安定用のコンデンサである。

20

【0029】

コントローラIC200は複数の入出力ピンを有している。第1ピン1Pは、PWMモードと間欠動作(以下、バースト)モードの切替端子であり、外部からそれらモードの切替及びバーストモード時のデューティ比を決定するデューティ信号DUTYが入力される。第2ピン2Pは、バーストモード発振器(BOSC)の発振周波数設定容量接続端子であり、設定用コンデンサ131が接続され、バースト用三角波信号BCTが発生する。

【0030】

第3ピン3Pは、PWMモード発振器(OSC)の発振周波数設定容量接続端子であり、設定用コンデンサ132が接続され、PWM用三角波信号CTが発生する。第4ピン4Pは、第3ピン3Pの充電電流設定抵抗接続端子であり、設定用抵抗133が接続され、その電位RTと抵抗値に応じた電流が流れる。第5ピン5Pは、接地端子であり、グランド電位GNDにある。

30

【0031】

第6ピン6Pは、第3ピン3Pの充電電流設定抵抗接続端子であり、設定用抵抗134が接続され、内部回路の制御によりこの抵抗134が設定用抵抗133に並列に接続されるかあるいは切り離され、その電位SRTはグランド電位GNDか、第4ピン4Pの電位RTになる。第7ピン7Pは、タイマーラッチ設定容量接続端子であり、内部の保護動作の動作時限を決定するためのコンデンサ135が接続され、コンデンサ135の電荷に応じた電位SCPが発生する。

【0032】

第9ピン9Pは、抵抗140を介して、冷陰極蛍光灯FLに流れる電流に応じた電流検出信号(以下、検出電流)ISが入力され、第1誤差増幅器に入力される。第8ピン8Pは、第1誤差増幅器出力端子であり、この第8ピン8Pと第9ピン9Pとの間にコンデンサ136が接続される。第8ピン8Pの電位が帰還電圧FBとなり、PWM制御のための制御電圧になる。以下、各電圧は、特に断らない限り、グランド電位を基準としている。

40

【0033】

第10ピン10Pは、抵抗139を介して、冷陰極蛍光灯FLに印加される電圧に応じた電圧検出信号(以下、検出電圧)VSが入力され、第2誤差増幅器に入力される。第10ピン10Pには、コンデンサ137が第8ピン8Pとの間に接続される。

【0034】

50

第11ピン11Pは、起動及び起動時間設定端子であり、抵抗143とコンデンサ142により、運転・停止信号である起動信号STが遅延された信号STBが印加される。第12ピン12Pは、スロースタート設定容量接続端子であり、コンデンサ141がグラウンドとの間に接続され、起動時に徐々に上昇するスロースタート用の電圧SSが発生する。

【0035】

第13ピン13Pは、同期用端子であり、他のコントローラICと協働させる場合に、それと接続される。第14ピン14Pは、内部クロック入出力端子であり、他のコントローラICと協働させる場合に、それと接続される。

【0036】

第15ピン15Pは、外付けFETドライブ回路のグラウンド端子である。第16ピン16Pは、NMOS102のゲート駆動信号N1を出力する端子である。第17ピン17Pは、NMOS104のゲート駆動信号N2を出力する端子である。第18ピン18Pは、PMOS103のゲート駆動信号P2を出力する端子である。第19ピン19Pは、PMOS101のゲート駆動信号P1を出力する端子である。第20ピン20Pは、電源電圧VCCを入力する電源端子である。

【0037】

コントローラIC200の内部構成を示す図2において、OSCブロック201は、第3ピン3Pに接続されたコンデンサ132と第4ピン4Pに接続された抵抗133、134により決定されるPWM三角波信号CTを発生し、PWM比較器214に供給すると共に、内部クロックを発生しロジックブロック203に供給する。

【0038】

BOSCブロック202は、第2ピン2Pに接続されたコンデンサ131により決定されるバースト用三角波信号BCTを発生する。BCT周波数は、CT周波数より、著しく低く設定される(BCT周波数<CT周波数)。第1ピン1Pに供給されるアナログのデューティ信号DUTYと三角波信号BCTを比較器221で比較し、この比較出力でオア回路239を介して、NPNトランジスタ(以下、NPN)234を駆動する。なお、第1ピン1Pにデジタルのデューティ信号DUTYが供給される場合には、第2ピン2Pに抵抗を接続しBOSCブロック202からバースト用所定電圧を発生させる。

【0039】

ロジックブロック203は、PWM制御信号などが入力され、所定のロジックにしたがってスイッチ駆動信号を生成し、出力ブロック204を介して、ゲート駆動信号P1、P2、N1、N2を、PMOS101、103、NMOS102、104のゲートに印加する。

【0040】

スロースタートブロック205は、起動信号STが入力され、コンデンサ142、抵抗143により緩やかに上昇する電圧STBである比較器217への入力とその基準電圧Vref6を越えると、比較器217の出力により起動する。比較器217の出力は、ロジックブロック203を駆動可能にする。なお、249は、反転回路である。

【0041】

また、比較器217の出力により、オア回路243を介してフリップフロップ(FF)回路242をリセットする。スタートブロック205が起動すると、スロースタート電圧SSが徐々に上昇し、PWM比較器214に比較入力として入力される。したがって、起動時には、PWM制御は、スロースタート電圧SSにしたがって行われる。また、比較器217のLレベル出力によりコントローラIC200の電源電圧VCCが立ち上がる。

【0042】

なお、起動時に、比較器216は、入力が基準電圧Vref5を越えた時点で、オア回路247を介して、NMOS246をオフする。これにより、抵抗134を切り離し、PWM用三角波信号CTの周波数を変更する。また、オア回路247には、比較器213の出力も入力される。

【0043】

10

20

30

40

50

第1誤差増幅器211には、冷陰極蛍光灯FLの電流に比例した検出電流ISが入力され、基準電圧Vref2(例、1.25V)と比較され、その誤差に応じた出力により、定電流源I1に接続されたNPN235を制御する。このNPN235のコレクタは第8ピン8Pに接続されており、この接続点の電位が帰還電圧FBとなり、PWM比較器214に比較入力として入力される。

【0044】

PWM比較器214では、三角波信号CTと、帰還電圧FBあるいはスロースタート電圧SSの低い方の電圧とを比較して、PWM制御信号を発生し、アンド回路248を介してロジックブロック203に、供給する。起動終了後の定常状態では、三角波信号CTと帰還電圧FBとが比較され、設定された電流が冷陰極蛍光灯FLに流れるように自動的に制御される。

10

【0045】

なお、第8ピン8Pと第9ピン9Pの間には、コンデンサ136が接続されているから、帰還電圧FBは滑らかに増加あるいは減少する。したがって、PWM制御はショックなく、円滑に行われる。

【0046】

第2誤差増幅器212には、冷陰極蛍光灯FLの電圧に比例した検出電圧VSが入力され、基準電圧Vref3(例、1.25V)と比較され、その誤差に応じた出力により、ダブルコレクタの一方が定電流源I1に接続されたダブルコレクタ構造のNPN238を制御する。このNPN238のコレクタはやはり第8ピン8Pに接続されているから、検出電圧VSによっても帰還電圧FBが制御される。なお、帰還電圧FBが基準電圧Vref1(例、3V)を越えると、PNPトランジスタ(以下、PNP)231がオンし、帰還電圧FBの過上昇を制限する。

20

【0047】

比較器215は、電源電圧VCCを抵抗240、241で分圧した電圧と基準電圧Vref7(例、2.2V)とを比較し、電源電圧VCCが所定値に達した時点でその出力を反転し、オア回路243を介してFF回路242をリセットする。

【0048】

比較器218は、スロースタート電圧SSを基準電圧Vref8(例、2.2V)と比較し、電圧SSが大きくなるとアンド回路244及びオア回路239を介してNPN234をオンする。NPN234のオンにより、ダイオード232が電流源I2により逆バイアスされ、その結果第1誤差増幅器211の通常動作を可能にする。なお、ダイオード237及びPNP236は過電圧制限用である。

30

【0049】

比較器219は、ダブルコレクタの他方が定電流源I3に接続されたNPN238が第2誤差増幅器212によりオンされると、その電圧が基準電圧Vref9(例、3.0V)より低下し、比較出力が反転する。比較器220は、帰還電圧FBを基準電圧Vref10(例、3.0V)と比較し、帰還電圧FBが高くなると、比較出力が反転する。比較器219、220の出力及び比較器218の出力の反転信号をオア回路245を介してタイマーブロック206に印加し、所定時間を計測して出力する。このタイマーブロック206の出力により、FF242をセットし、このFF回路242のQ出力によりロジックブロック203の動作を停止する。

40

【0050】

次に、以上のように構成されるインバータの並行運転システムの構成及び動作を、図3及び図4をも参照して説明する。図3は、図1及び図2からインバータの並行運転システムの動作に係る部分を取り出し、各インバータ間の相互接続関係を示した説明用の回路図である。図4は、OSCブロック201の中のモード回路の構成例を示す図である。

【0051】

並行運転される複数のインバータは、液晶ディスプレイの各所に配置されている複数のCCFLに、それぞれ近接して設けられている。勿論、1つのインバータで2本以上のC

50



CFLに対応させても良い。この場合には、図1の変圧器TRの二次巻線を複数とし、それぞれの二次巻線から冷陰極蛍光灯FLに給電する。或いは、図1のコントローラIC200に複数系統のPWM制御回路部を設け、複数系統のPWM駆動信号を出力するようにしてもよい。

【0052】

図3において、各インバータのコントローラIC200A~200Nは全て、内部構成は同一であるので、代表してコントローラIC200Aについて説明する。

【0053】

OSCブロック201は、発振回路201-1とモード回路201-2とを含んでいる。発振回路201-1は、PWM用三角波信号CTを出力すべき、第1の信号線が外部端子3Pに接続され、また、第2の信号線が外部端子4Pに接続される。また、発振回路201-1は、PWM用三角波信号CTと同期した同一周波数のクロック信号S1(即ち、CLK)を出力すべき、第3の信号線がロジック回路203と外部端子14Pに接続される。さらに、発振回路201-1には、モード回路201-2のモード出力Vmodeが供給され、そのモード出力VmodeのHレベル/Lレベルに応じて発振の動作/不動作が制御される。

10

【0054】

モード回路201-2は、発振回路201-1の第2の信号線と同じく、外部端子4Pに接続される。そして、モード回路201-2のモード出力Vmodeは、外部端子4Pに周波数決定用抵抗133及び起動抵抗134が接続されている場合にはHレベルになり、そうでない場合にはLレベルになる。モード出力Vmodeは、発振回路201-1及びロジックブロック203に供給される。

20

【0055】

ロジックブロック203は、クロック信号CLKを受けて、モード出力VmodeがHレベルのときにクロック信号CLKを2分周して逡降した同期信号S2(即ち、TG)を形成し、外部端子13Pに出力する。しかし、モード出力VmodeがLレベルのときには、同期信号TGを形成しない。なお、このときには、ロジックブロック203には、外部からクロック信号CLKとともに同期信号TGが供給される。したがって、ロジックブロック203では所要のロジック動作が行われる。

30

【0056】

比較器216は、外部端子11Pの電位STBを基準電圧Vref5と比較し、電位STBが基準電圧Vref5に達するまではNMOS246をオンさせ、外部端子6Pをグランド電位に固定する。その後、電位STBが基準電圧Vref5を越えると、NMOS246をオフさせる。

【0057】

比較器217は、外部端子11Pの電位STBを基準電圧Vref6と比較し、電位STBが基準電圧Vref6を越えている間は、コントローラIC200Aをシステム・オンする。逆に、電位STBが基準電圧Vref6より低い間は、コントローラIC200Aをシステム・オフする。なお、基準電圧Vref6は、基準電圧Vref5より小さく設定されている。

40

【0058】

このように構成されるコントローラIC200A~200Nにおいて、外部端子3P、外部端子11P、外部端子13P、外部端子14Pは、それぞれ相互に接続される。

【0059】

コントローラIC200Aを主コントローラとすると、コントローラIC200Aの外部端子3Pにグランドとの間に周波数決定用コンデンサ132を接続し、その外部端子4Pにグランドとの間に周波数決定用抵抗133を接続し、その外部端子4Pと外部端子6P間に起動抵抗134を接続する。さらに、その外部端子11Pに、コンデンサ142をグランドとの間に接続するとともに、抵抗143を接続して起動信号STを供給する。副コントローラICとなるコントローラIC200B~200Nには、これらの抵抗及びコ

50

ンデンサは接続されない。

【 0 0 6 0 】

図 4 は、モード回路 2 0 1 - 2 の内部構成例を示す図である。この図 4 において、Q 1、Q 2、Q 6 ~ Q 9 は P N P であり、Q 3 ~ Q 5、Q 1 0 ~ Q 1 3 は N P N である。C 1 はコンデンサであり、I 4 1 ~ I 4 3 は定電流源であり、R L は出力抵抗である。抵抗 2 0 1 - 3 は、モード検出設定用抵抗（抵抗値は R 2 ）であり、V m 1、V m 2 は比較電圧である。これらの各回路素子が図示されるように接続される。

【 0 0 6 1 】

これらの抵抗値 R 2、比較電圧 V m 1、比較電圧 V m 2 は、外部端子 4 P に接続される周波数決定用抵抗 1 3 3 の抵抗値 R 1 との関係で、周波数決定用抵抗 1 3 3 が外部端子 4 P に接続されている場合には、モード出力 V m o d e が H レベルになるように設定される。また、周波数決定用抵抗 1 3 3 が外部端子 4 P に接続されていない場合には、モード出力 V m o d e が L レベルになるように設定される。

10

【 0 0 6 2 】

具体例で示すと、周波数決定用抵抗 1 3 3 が接続されている場合に、比較電圧  $V m 2 < \{ ( R 2 / R 1 ) \times V m 1 \}$  の関係になるように、それぞれの値が設定され、モード出力 V m o d e が H レベルになる。周波数決定用抵抗 1 3 3 が接続されない場合には、抵抗値 R 1 が無限大 となるから、前式の不等号は逆になり、モード出力 V m o d e が L レベルになる。

【 0 0 6 3 】

以上のように構成されている、インバータの並行運転の動作について、説明する。

20

【 0 0 6 4 】

起動信号 S T が H レベルに設定されると、各コントローラ I C 2 0 0 A ~ 2 0 0 N の外部端子 1 1 P の電位 S T B はコンデンサ 1 4 2、抵抗 1 4 3 で決まる時定数にしたがって、上昇する。電位 S T B が基準電圧 V r e f 6 を越えると、比較器 2 1 7 の出力が H レベルから L レベルに反転し、各コントロール I C 2 0 0 A ~ 2 0 0 N がシステム・オンする。

【 0 0 6 5 】

システム・オンにより主コントローラ I C 2 0 0 A のモード回路 2 0 1 - 2 は、H レベルのモード出力 V m o d e を発生し、発振回路 2 0 1 - 1 は周波数決定用コンデンサ 1 3 2 及び周波数決定用抵抗 1 3 3、起動抵抗 1 3 4 により決定される起動時用の比較的高い周波数の P W M 用三角波信号 C T とクロック信号 C L K を発生する。また、ロジックブロック 2 0 3 で、クロック信号 C L K に基づいて同期信号 T G が発生される。

30

【 0 0 6 6 】

副コントローラ I C 2 0 0 B ~ 2 0 0 N は、主コントローラ I C 2 0 0 A とほぼ同時にシステム・オンされるが、外部端子 4 P に周波数決定用抵抗 1 3 3（勿論、起動抵抗 1 3 4 も）が接続されていないので、P W M 用三角波信号 C T、クロック信号 C L K 及び同期信号 T G を自らは発生しない。

【 0 0 6 7 】

主コントローラ I C 2 0 0 A で発生された P W M 用三角波信号 C T、クロック信号 C L K 及び同期信号 T G は、それぞれ相互接続されている副コントローラ I C 2 0 0 B ~ 2 0 0 N に供給される。副コントローラ I C 2 0 0 B ~ 2 0 0 N では、主コントローラ I C 2 0 0 A から供給された P W M 用三角波信号 C T、クロック信号 C L K 及び同期信号 T G に基づいて、P W M 制御信号が形成される。

40

【 0 0 6 8 】

これにより、副インバータは、主コントローラ 2 0 0 A を持つ主インバータと同期して動作するから、全てのインバータは同期して同相で動作する。そして、それぞれのインバータを、分散されて配置されている C C F L（液晶ディスプレイのバックライト光源）に近接して配置できる。

【 0 0 6 9 】

50

したがって、複数のCCFLが同期して発光するから、光が干渉し合ってちらつきことを防止できる。また、各インバータと各CCFLとが近接配置されるから、高電圧の配線を引き回すことによる他装置への影響を低減できる。また、CCFLの寄生キャパシタンスを、変圧器のインダクタンスとの共振に有効に利用することもできる。

【0070】

外部端子11Pの電位STBが、基準電圧Vref5に達するまでは、NMOS246がオンしており、周波数決定用抵抗133に起動抵抗134が並列に接続されている。したがって、PWM用三角波信号CT、クロック信号CLK等は通常周波数より高い周波数で発生される。これにより、起動中においては、インバータ回路の出力周波数が高くなるから、CCFLの点灯に有効である。

10

【0071】

外部端子11Pの電位STBが上昇し、基準電圧Vref5を越えると、比較器216の出力はHレベルからLレベルに反転し、NMOS246はオフし、通常運転に入る。起動信号STのHレベルへの立ち上がりから通常運転に入るまでの時間は、ばらつきを考慮しても全てのCCFLが点灯する時間よりも長くなるように設定することが望ましい。通常運転においては、PWM用三角波信号CT、クロック信号CLK等が通常周波数になるだけで、複数インバータが同期運転されることに変わりはない。

【0072】

なお、以上の実施の形態では、全てのコントローラIC200A~200Nの外部端子11Pを相互に接続して、全てのコントローラIC、即ち全てのインバータを共通に起動及び停止するようにしている。これに代えて、起動信号STを、個々のコントローラIC毎や、グループ化したコントローラIC群毎に与えるようにして、インバータを別々に起動・停止するようにしても良い。この場合でも、インバータの同期運転は、支障なく行うことができる。

20

【0073】

また、以上の実施の形態では、クロック信号CLKは、PWM用三角波信号CTと同期した同一周波数としている。しかし、これに代えて、クロック信号CLKは、PWM用三角波信号CTと同期している、半分の周波数のものとしても良い。この場合、クロック信号CLKは、以上の実施の形態での同期信号と同じ信号となるから、各コントローラIC200A~200Nではそのクロック信号CLKを2週倍して、PWM用三角波信号CTと同期した同一周波数の新たなクロック信号を形成することになる。これによれば、コントローラICの外部端子の数を削減することができ、また、コントローラIC間の相互接続線数を少なくできる。

30

【図面の簡単な説明】

【0074】

【図1】本発明の実施の形態に係るインバータの全体構成図

【図2】図1のためのコントローラICの内部構成図

【図3】本発明の実施の形態に係る、インバータの並行運転システムの構成図

【図4】OSCブロック中のモード回路の構成例を示す図

40

【符号の説明】

【0075】

TR 変圧器

FL 冷陰極蛍光灯

BAT 直流電源

101、103 P型MOSトランジスタ

102、104 N型MOSトランジスタ

P1, P2, N1, N2 ゲート駆動信号

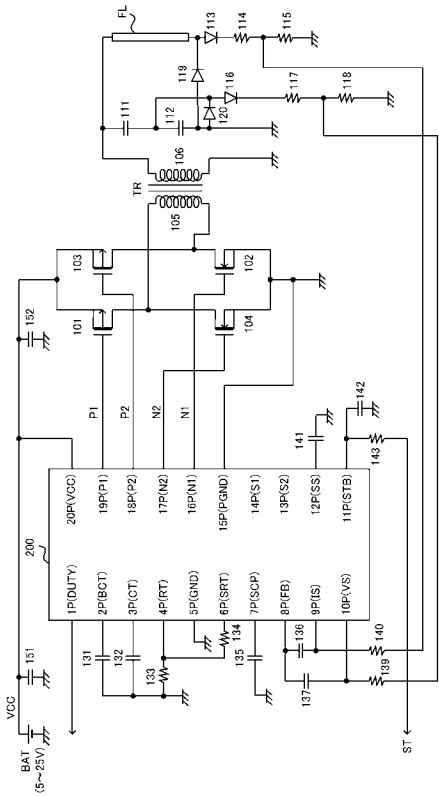
200、200A~200N コントローラIC

201 OSCブロック

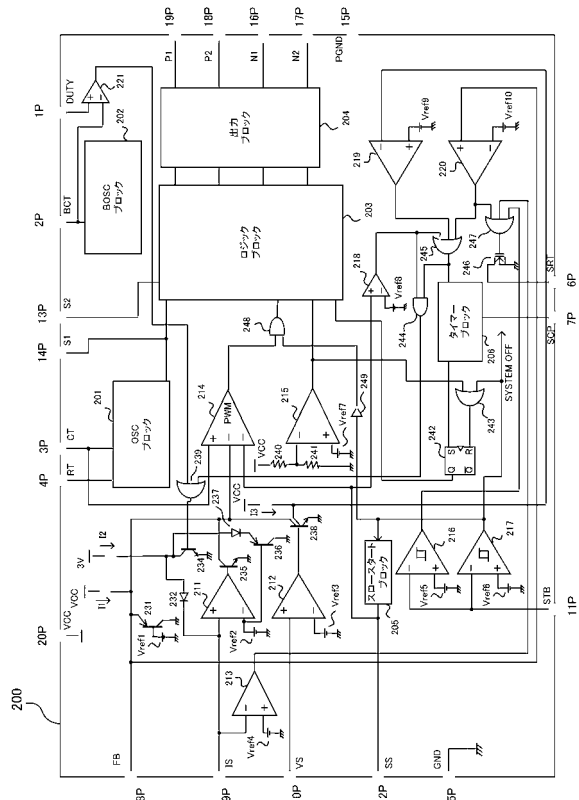
50

- 2 0 1 - 1 発振回路
- 2 0 1 - 2 モード回路
- 2 0 2 B O S C ブロック
- 2 0 3 ロジックブロック
- 2 0 4 出力ブロック
- 2 1 4 P W M 比較器
- 2 1 6、2 1 7 比較器
- 2 4 6 N P N トランジスタ
- 1 3 2、1 4 2 コンデンサ
- 1 3 3、1 3 4、1 4 3 抵抗
- V r e f 5、V r e f 6 基準電圧
- C T P W M 用三角波信号
- S T 起動信号
- V m o d e モード出力
- C L K クロック信号
- T G 同期信号

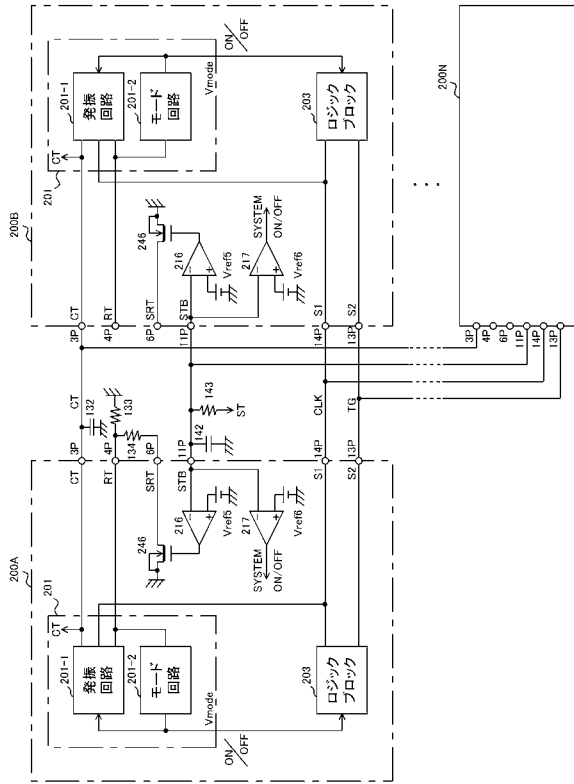
【 図 1 】



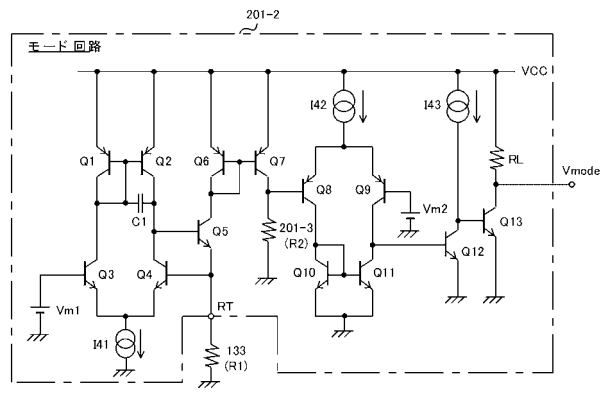
【 図 2 】



【図3】



【図4】



---

フロントページの続き

- (56)参考文献 特開平09 - 102397 (JP, A)  
特開平10 - 335089 (JP, A)  
特開昭63 - 190556 (JP, A)  
特開2001 - 052891 (JP, A)  
特開2002 - 233158 (JP, A)  
特開2002 - 043088 (JP, A)  
特開平07 - 236272 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48  
H05B 41/24