

公告本

| | |
|------|-----------|
| 申請日期 | 88.5.12 |
| 案 號 | 800000000 |
| 類 別 | H01K 2/00 |

A4
C4

494443

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|--------------|---------------|---------------------------------------------------------------------------------------------------------------------------------|
| 一、發明 名稱 | 中 文 | 用於一工件上一或多個金屬化層之製造的過程及製造 工具結構 |
| | 英 文 | PROCESS AND MANUFACTURING TOOL ARCHITECTURE FOR USE IN THE MANUFACTURE OF ONE OR MORE METALLIZATION LEVELS ON A WIRKPIECE |
| 二、發明 創作人 | 姓 名 | 1.E.亨利.史 地芬斯 2.勞伯 W.伯納 |
| | 國 籍 | 1.2.美國 |
| 三、申請人 | 住、居所 | 1.美國科州 80906,科泉市,洛馬林達路 18 號 2.美國愛達荷州 83616,老鷹市西木村路 2831 號 |
| | 姓 名 (名稱) | 薛米屠爾公司 |
| 代 表 人 姓 名 | 國 籍 | 美國 |
| | 住、居所 (事務所) | 美國.蒙大拿州 59901.卡利斯貝爾,西瑞色夫路 655 號 |
| | | 格利格里 L.柏京斯 |

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

- | | | | | | | |
|-------|-------|------------|-------------|-----|------------|-------------------------------------------------------------------------|
| (1) 美 | 國(地區) | 申請專利，申請日期： | 1998.05.12. | 案號： | 09/076,565 | ， <input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權 |
| (2) 美 | | | 1998.05.12. | | 09/076,695 | |
| (3) 美 | | | 1998.08.03. | | 09/128,238 | |

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 ()

發明背景：

積體電路是一種在半導體材料和在覆蓋於半導體材料上之介電材料中形成的裝置之互連接的綜合體。可能半導體材料中形成的裝置包括 MOS 電晶體、雙極性電晶體、二極體以及擴散電阻器。可能在介電材料中形成的裝置包括薄膜電阻器以及電容器。典型上，在單一 8 英吋直徑的矽晶圓上係構成超過 100 個積體電路粒 (IC 晶片)。在各晶粒中使用的裝置係藉由在介電質中形成的導體路徑而互連接。典型上，二或更多層的導體路徑 (連續的層係藉由介電層分開) 係被用作為互連接件。在目前的實作上，典型係分別使用鋁合金和矽氧化物作為導體和介電質。

在單一晶體上的裝置之間電氣信號的傳播延遲係限制了積體電路的性能。更明確而言，該等延遲限制了積體電路可處理該等電氣信號的速度。較大的傳播延遲減低了積體電路可處理電氣信號的速度，而較小的傳播延遲增加此速度。因此，積體電路製造商係尋求減少傳播延遲的方式。

對於各個互連接路徑而言，信號傳播延遲之特徵在於時間延遲 τ 。見 E.H. Stevens 之「互連接技術」，QMC 公司，1993 年 7 月。時間延遲 τ (其係與積體電路上電晶體之間信號的傳輸有關) 的一個近似表示式係表示如以下等式：

$$\tau = RC[1 + (V_{SAT}/RI_{SAT})]$$

在此等式中，R 和 C 係分別為互連接路徑的等效電阻

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (ㄇ)

和等效電容，而 I_{SAT} 和 V_{SAT} 則分別為施加信號至互連接路徑之電晶體的飽和（最大）電流和電流飽和開始（onset）的汲極至源極電位。路徑電阻係正比於導體材料的電阻係數 ρ 。路徑電容係正比於介電材料的介電係數 K_e 。 τ 的值要小則需互連接線承載足夠大的電流密度以使 V_{SAT}/RI_{SAT} 的比值小。因此，跟著在高性能積體電路的製造中應使用可承載高電流密度的低 ρ 導體及低 K_e 介電質。

為了符合前述標準，在低 K_e 介電質中之銅互連接線適於取代氧化矽介電質中之鋁合金線以作為最佳互連接結構。見「銅成為主流：依循低 K 」，國際半導體，1997 年 11 月，第 67 至 70 頁。銅薄膜的電阻係數係在 1.7 至 $2.0 \mu \Omega \text{ cm}$ 之範圍中，而鋁合金薄膜係較高是在 3.0 至 $3.5 \mu \Omega \text{ cm}$ 之範圍。

不管銅的有利特性，在大規模的製造程序中，必須提出對於銅互連接件而言，多個問題變得顯著。

銅的擴散即是一個此種問題。在電場的影響下，且僅在適當地提升的溫度，銅迅速移動穿過矽氧化物。一般相信銅亦迅速移動穿過低 K_e 介電質。此種銅擴散導致無法在矽中形成裝置。

另一個問題是當銅浸入水溶液或曝露於含氧氣體中時，其傾向快速氧化。銅的氧化表面成為非導電性，且因而當相較同樣大小而未氧化的銅路徑時，限制了一給定導體路徑的電流承載能力。

在積體電路中使用銅的另一個問題是難以在具有介電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

質材料的多層積體電路結構中使用銅。使用銅沈積之傳統方法，銅僅是微弱地黏著於介電質材料。

最後，銅並不形成揮發性鹵化物化合物，則在以銅作細線圖樣時，無法採用銅的直接電漿蝕刻。如此，銅係難以用在進階之積體電路裝置所需的愈來愈小的幾何。

半導體工業已提述一些前述問題，並已採用用於銅互連接件之一般標準互連接架構。為此目的，業界已發現銅的細線圖樣可藉由在介電質中蝕刻溝渠和通道、以銅沈積填塞溝渠和通道、以及藉由化學機械拋光 (CMP) 從介電質的頂表面以上移除銅而達成。一種稱為雙重波紋 (dual damascene) 的互連接架構可用以實行此種架構，從而在介電質中形成銅線。第一圖顯示實行雙重波紋架構一般所需之處理步驟。

本發明之發明人已發現對於半導體製造商而言，雙重波紋架構經常難以實行於大規模的製造程序。其係難以沈積薄的矽氧化物蝕刻擋止層而不損壞下層的低 Ke 材料。電漿蝕刻介電質材料的技藝已建立良好，但是在低 Ke 介電質中蝕刻次半微米特徵，同時維持對矽氧化物的選擇性是很困難的。

在雙重波紋架構的構成中，至少有二個程序是特別麻煩的。首先，將薄而均勻的障壁和種子層沈積入高縱橫比 (深度/直徑) 之通道和高縱橫比 (深度/寬度) 之溝渠是很困難的。在各別的溝渠及/或通道係完全填塞或疊層以所需材料之前，此種溝渠和通道的上部傾向為剝除 (

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (4)

pinch-off)。甚且，CMP 和相關的清潔程序係尤其複雜而難以實施。

除了其困難度和複雜性之外，雙重波紋架構在互連接性能上有所限制。典型上包括矽氮化物的蝕刻擋止層具有高的介電係數；因此，除非蝕刻擋止層相較於線厚度為非常薄，在相同互連接層的金屬線之間的電容係被經過蝕刻擋止的耦合而抑制。已知障壁材料的導電係數相較於銅的導電係數是可予以忽略的；因此，細的互連接線之導電性係因為必須插置在銅與介電質之間的障壁層而顯著減小。

適合用於實行第一圖中所示之雙重波紋處理步驟的一種處理工具架構係顯示於第二圖。如第二圖所示，雙重波紋架構可利用十個工具組實行。各互連接層的形成一般需要二個光蝕刻 (photolithographic) 程序、二次精密蝕刻、四次介電質沈積、障壁及種子層沈積、銅沈積、CMP 以及後 CMP 清除。必須蝕刻小型通道和小型溝渠二者；因此，一蝕刻工具需要在矽氮化物薄膜中界定通道特徵，而第二蝕刻工具需要在低 K_e 介電質中界定通道開口和溝渠特徵。利用第二圖之傳統的處理工具，各金屬化層的形成需在工具組之中至少 13 次工件移動。

用以形成雙重波紋互連接金屬化結構之晶圓移動的可觀數目降低了製造過程的可靠度及產能。隨著晶圓移動的數目增加，一或多個晶圓之誤操控的潛在性亦增加。甚且，實施用於應用雙重波紋互連接金屬化結構之製造設備需要大筆支用以購買所需的工具組。本發明之至少一個特點

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

係針對此種可靠度以及主要的設備支出課題。

由前述問題觀之，本發明之發明人亦已認知到銅金屬化層需要有效的障壁材料以防止銅擴散，以及有效的保護層覆蓋於銅金屬化層以防止銅氧化。現存用於製造此等金屬化層之程序並不有效，且使用在大規模製造操作上並不經濟實惠。

本發明之簡單概要：

揭示一種以工具組間最少數目之工件轉移操作而將一或更多金屬化層施加至半導體工件之大致平坦之介電質表面的半導體製造工具結構。該工具結構包括薄膜沈積工具組、圖樣處理工具組、溼處理工具組、以及介電質處理工具組。薄膜沈積工具組係用於將導電障壁層沈積至半導體工件的平坦介電質表面外部，並將導電種子層沈積至障壁層外部。圖樣處理工具組係用於提供互連接線圖樣覆於種子層，並提供柱圖樣覆於利用互連接線圖樣形成的互連接線金屬化物。溼處理工具組係用於實行至少下列溼處理操作：利用電化沈積程序施加銅金屬化物入藉由圖樣處理工具組形成的互連接線圖樣和柱圖樣；移除藉由圖樣處理工具組施加的材料以形成互連接線圖樣和柱圖樣；以及移除種子層和障壁層未被互連接線金屬化物覆蓋的部份。介電質處理工具組係用於沈積介電質層覆於互連接線金屬化物和柱金屬化物，並且用於蝕刻所沈積的介電質層以曝露柱金屬化物之上連接區域。

單一金屬化層可能利用複數次工具組間的工件移動而

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

形成。較佳而言，係使用工具組之間的工件移動不超過十次，且更佳而言，係使用工具組之間的工件移動不超過五次。

在某些情況下，可能需要使用硬光罩以作互連接金屬化合物之圖樣。為達此目的，另一替代之工具結構包括薄膜沈積工具組、硬光罩形成工具組、硬光罩蝕刻工具組、圖樣處理工具組、溼處理工具組、以及介電質處理工具組。薄膜沈積工具組係用於沈積導電障壁層於工件之平坦介電質表面外部，並沈積導電種子層於障壁層外部。硬光罩形成工具組係用於根據所揭示的程序之一將硬光罩介電質層形成於種子層外部，並且在硬光罩介電質層外部形成另一個硬光罩介電質層。根據第一個揭示的程序，圖樣處理工具組係用於提供互連接線圖樣覆於硬光罩介電質層，並用於提供柱圖樣覆於利用互連接線圖樣形成的互連接線金屬化合物。根據第二個揭示的程序，圖樣處理工具組係用於提供柱圖樣覆於後來的硬光罩介電質層。根據第三個揭示的程序，硬光罩蝕刻工具組係用於在互連接線圖樣形成於其上之後蝕刻硬光罩介電質層的曝露區域，在柱圖樣形成於其上之後蝕刻後來的硬光罩介電質層的曝露部份。溼處理工具組實行至少下列溼處理操作：1)利用電化沈積程序將銅金屬化合物沈積入藉由圖樣處理工具組形成的互連接線圖樣和柱圖樣中，2)移除藉由圖樣處理工具組施加的材料以形成互連接線圖樣和柱圖樣，3)移除硬光罩介電質層，且如果需要的話，亦移除後來的硬光罩介電質層，以及 4)移

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

除未被互連接線金屬化物覆蓋的種子層和障壁層之部份。介電質處理工具組係用於沈積介電質覆於互連接線金屬化物和柱金屬化物，並且用於蝕刻沈積的介電質層以曝露柱金屬化層的上連接區域。

根據工具組架構的特定實施例，亦可包括檢查工具組。舉例而言，半導體工件係在金屬化程序之各個中間階段轉移至檢查裝置以確保圖樣層與結果金屬化結構的正確配準。在某些情況下，單一金屬化層可能利用工具組間不超過十次工件移動而形成。當使用硬光罩工具架構時，較佳係在採用檢查工具組時，使用不超過工具組間十四次工件移動。而更佳而言，係使用不超過工具組間七次工件移動。

係敘述一種用於在工件表面提供一或更多經保護之銅元件的程序。根據此程序，障壁層係施加至工件。如果該障壁層不適合作為用於後續電鍍程序的種子層，則係施加一分開的種子層覆於障壁層的表面。而後一或多個銅元件係電鍍在種子層或障壁層（如果適合的話）之經選擇的部份。如果有使用種子層，則而後將之實質上移除。至少障壁層之表面的一部份係保留為不可電鍍，同時留下適於電鍍之銅元件。而後一保護層係電鍍在一或多個銅元件的表面上。

用於實施前述程序的工具架構亦加以敘述。所揭示的工具架構可用以使形成完整的金屬化層結構所需之工具組間的晶圓移動數且為最小。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

圖式多面視圖之簡單說明：

第一圖係顯示實施雙重波紋互連接架構之一種方式的程序流程圖。

第二圖係顯示用於實施第一圖所示之程序的工具組架構以及對應的工件移動。

第三圖係顯示構成用於本發明之工具組架構之工具組的一種方式。

第四圖係顯示實施使用第三圖的工具組間最小數目之工件移動的互連接金屬化結構的一種方式之程序流程圖。

第五 A 至五 K 圖係顯示利用第四圖之程序形成的互連接金屬化結構於各種階段的金屬化層發展。

第六圖係顯示用於實施第四圖中所示之程序的工具組架構以及對應的工件移動。

第七圖係顯示用於實施第四圖中所示之程序的工具組架構以及對應的工件移動，其中檢查工具組係用於檢查在金屬化處理之中間階段的半導體工件。

第八圖係顯示構成用於實施本發明之另一處理架構之工具組結構的一種方式，其中硬光罩係使用於作互連接圖樣。

第九和十圖係顯示可用於第八圖之工具組結構的工具組的特定實施例。

第十一圖係顯示使用第八圖中所示之工具組間最小數目之工件移動而形成互連接金屬化結構的一種方式之程序流程圖。

五、發明說明(9)

第十二至十四圖係顯示利用第十一圖之程序而形成的互連接金屬化結構在金屬化層發展的經選擇之階段。

第十五圖係顯示使用最小數目之工件移動和硬光罩作圖樣之實施互連接金屬化結構的另一種方式的程序流程圖。

第十六圖係顯示用於實施第十五圖所示之程序的工具組結構和對應的工件移動。

第十七和十八圖係顯示利用第十五圖之程序而形成的互連接金屬化結構在金屬化層發展的經選擇之階段。

第十九和二十圖係顯示分別用於實施第十一圖和第十五圖所示程序的工具組結構以及對應的工件移動，其中檢查工具組係用於檢查在金屬化處理之中間階段的工件。

本發明之詳細說明：

對於在此使用之特定辭彙之基本瞭解將有助於讀者明瞭所揭示之標的。為此緣故，用於本揭示之特定辭彙的基本定義係闡述如下。

第一金屬化層係定義為基板外部之工件的合成層。此合成層包括一或多條互連接線以及一或多個互連接柱，該等互連接線和互連接柱係實質上被介電質層覆蓋，以便介電質層將設計成不互相連接之選定的互連接線和互連接柱隔離。

基板係定義為材料的基底層，一或多個金屬化層係沈積於其上。舉例而言，此基板可為半導體晶圓、陶瓷塊等。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

工件係定義為至少包括基板的物體，且其可能包括材料或製造組件的其他層（像是一或多個金屬化層）沈積於基板上。

本發明採用一種新穎的方法以將銅金屬化物施加至工件，像是半導體物件。該方法使得銅金屬化層係使用最小數目之處理工具組以及最小數目之工具組間之工件移動而輕易地加以製造。用於構成結果銅互連接層之製造程序步驟係避免了與波紋互連接結構相關的許多本質上有問題的處理步驟。舉例而言，種子層、銅金屬化層、以及障壁層不再需要利用非保形（non-conformal）蒸氣沈積處理而沈積入高縱橫比的溝渠和通道。反之，障壁層和金屬種子層較佳係在防護層沈積處理（blanket deposition process）中施加至工件，該處理係遍於工件之平坦化表面。用於形成至少該等線之銅金屬化物的後續沈積係利用電化沈積處理而完成。其中銅係沈積開始於經作圖樣之硬光罩層中之開口的底部，從而確保結果線完全形成，並且排除相關於波紋處理中採用的溝渠及通道三維填塞的剝除（pinch-off）問題。同理，用於形成該等柱之銅金屬化物的沈積於利用電化沈積處理達成，其中銅係沈積開始於經作圖樣之硬光罩層或經作圖樣之光阻劑層中的開口底部。甚且，可免除化學機械拋光處理而有利於電化平面化及／或蝕刻處理。

所揭示之互連接層架構之製造係以最小數目之工件處理工具組和工具組間最小數目之工件移動而達成。以其本身的情況，用於產生此等互連接結構之製造設施之設計中

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (11)

主要設備的成本可最少化。甚且，藉由減少工具組間工件移動的數目，可實質上減低工件損壞的危險。

用於實施根據本發明之一個實施例的工具架構的基本工具組係顯示於第三圖。如所示，該工具組包括薄膜沈積工具組 20、圖樣處理工具組 25、溼處理工具組 30、以及介電質處理工具組 35。

在第三圖之所揭示的實施例中，薄膜沈積工具組 20 係較佳為真空沈積工具組。如由以下實行於半導體工件上之處理操作的後續討論而更臻明瞭者，薄膜沈積工具組 20 沈積一或多個薄膜於半導體工件之大致平坦的表面上。此種薄膜沈積係較佳沈積薄膜於波紋處理中採用的微凹 (micro-recessed) 特徵中。依其本身之情況，可採用像是物理蒸氣沈積 (PVD) 之低成本真空沈積技術。亦可採用化學蒸氣沈積 (CVD) 處理。

第三圖中所示之薄膜沈積工具組 20 的特定實施例係包括設置以收容半導體工件的輸入站 40。輸入站 40 係構成爲接受在多工件卡匣或多工件或單工件衛生囊中之半導體工件。半導體工件係從輸入站 40 傳送至複數個處理站。較佳而言，半導體工件係首先傳送至修整站 45，在該處，設置於半導體工件基板外部之大致平坦的介電質層之表面係被處理以加強接續之薄膜層的黏著。此種介電質層之黏著加強可利用任何一或多種已知的乾化學處理而達成。視介電質層和後續之薄膜層的特性而定，黏著加強可能並不需要。在此種情況下，修整站 45 不需包括在薄膜沈積工具組

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

20。

各半導體工件而後係提供至連結薄膜施加站 50，在該處一附選性的連結層係施加至介電質層之外部（較佳係直接施加於其上）。適合用於連結層的材料包括鋁、鈦、以及鉻。較佳而言，此等用於連結層之材料係利用諸如 PVD 或 CVD 的蒸氣沈積技術而沈積。視相鄰薄膜層的特性而定，可能並不需要連結層，如果如此，則連結薄膜施加站 50 就不需要包括在薄膜沈積工具組 20。

障壁層施加站 55 係設置在薄膜沈積工具組 20 中以將障壁層材料至半導體工件之介電質材料的外部。視在互連接結構中共作用之其他材料的特性而定，障壁層可包括鉭、鉭氮化物、鈦氮化物、鈦氮氧化物、鈦鎢合金、或鎢氮化物。尤其當互連接層接觸半導體裝置之端子時，最好係採用包括二層的複合障壁，如 Stevens 之美國專利第 4,977,440 號以及美國專利第 5,070,036 號中所揭示者。障壁層可利用如 PVD 和 CVD 之真空沈積處理而形成。

爲了增大障壁層的導電係數，並且爲提供後續形成的各層之良好黏著，薄膜沈積工具組 20 較佳係包括種子層施加站 60。種子層施加站 60 較佳係利用 PVD 或 CVD 處理來沈積種子層。種子層係較佳爲銅，但種子層亦可由諸如鎳、銻、鉑、鈮、鉻、釩等金屬或其他導電材料如銻氧化物所組成。在種子層已施加之後，半導體工件係轉移至輸出站 62 以用於後續轉移至其他半導體處理工具組。

圖樣處理工具組 25 包括複數個處理站，其係用於提供

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (17)

互連接線圖樣覆於藉由薄膜沈積處理工具組 20 所施加的種子層。圖樣處理控制組 25 亦用於提供一柱圖樣覆於利用互連接線圖樣形成的互連接金屬化物。如以下將進一步詳細說明者，互連接線圖樣界定了提供有用於在半導體工件之平面中之水平電氣互連接的主要導體路徑之區域，而柱圖樣係界定了提供有用於半導體工件的相鄰平面間之垂直電氣互連接的主要導體路徑之區域。

在第三圖所示之工具組實施例中，圖樣處理工具組 25 係為光蝕刻 (photolithography) 工具組。依其情況，圖樣處理工具組 25 包括輸入站 65，其收容在多工具卡匣、或單工件或多工件衛生囊中之半導體工件。半導體工件分別在處理站 70、75 和 80 經歷標準光蝕刻修整、塗覆、以及烘烤處理。在光阻劑於站 80 被烘烤在半導體工件之後，工件係轉移至光阻劑曝光裝置 90 之輸入站 85。舉例而言，光阻劑曝光裝置 90 可為步進及重複裝置，其係將光阻劑曝光於紫外光中，其方式為選擇性地影響光阻劑層以致光阻劑層之部分可後續移除以形成互連接線或柱圖樣。

在光阻劑曝光裝置 90 中處理之後，半導體工件係提供至裝置 90 之輸出站 95 以轉移至其他處理站，其係選擇性移除光阻劑層以在該層中形成與在光阻劑曝光裝置 90 中圖樣曝光一致的圖樣。此等處理站包括光阻劑顯影站 100 和電漿清除 (“去渣滓”) 站 105。在選擇性移除光阻劑層和電漿清除之後，半導體工件可轉移至輸出站 110，或是附選式地轉移至 UV 固化站 107 並從之傳至輸出站 110 用於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

提供至一或多個其他的工具組。

溼處理工具組 30 實行用以形成互連接線金屬化和柱金屬化結構之廣泛範圍的處理。溼處理工具組 30 可實施於一種由蒙大拿，卡里斯貝爾之 Semitool 公司所供銷的 LT-210™ 牌銅電鍍工具。此種溼處理工具組較佳係包括輸入站 115 及輸出站 120，該輸入站係用於收容多工件卡匣、或是單工件或多工件囊中之半導體工件，該輸出站係用於將囊或卡匣中經處理的工件供應至一或多個後續的工具組。該站 115 和 120 較佳係合併成單一的輸入／輸出站。雙機械臂 125a 和 125b 係設置以於箭號 130 之方向運行，且係用於將半導體工件轉移於複數個處理站之間，並移至及移出輸出站 120 以及輸入站 115。

溼處理工具組 30 之處理站實行至少三個主要溼處理操作。第一，溼處理工具組 30 包括處理站，其利用電化沈積處理而將銅金屬化物施加入藉由圖樣處理工具組 25 形成的互連接線圖樣和柱圖樣。為此目的，係提供了電化沈積站 135 和 140。此外，修整站 145 可用於修整半導體工件欲電化沈積以銅的表面。第二，溼處理工具組 30 包括處理站，其係用於移除用於形成藉由圖樣處理工具組 25 施加之互連接線圖樣和柱圖樣的材料。處理站 150 和清洗／乾燥站 155 及 160 係為此目的而包括在內。最後，係採用一或多個處理站以移除種子層及／或障壁層未被金屬化之互接線覆蓋的部份，以及／或是使此等部份為非導電。如之後將進一步詳細說明者，氧化站 165、蝕刻站 170、以及電化移

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

除站 175 可用於此種子層和障壁層處理。氧化站 165 和蝕刻站 170 可合併成單一處理站。

為附選性地，處理工具 30 可用於施加一保護性塗層覆於互連接線金屬化物和柱金屬化物。在所示之實施例中，電化沈積站 180 可為此目的而使用。用於保護性塗層的材料較佳為阻止銅遷移進入介電質以及被塗覆之銅的氧化二者的材料。可用於保護性塗層的材料包括如：鎳、鎳合金和鉻。

介電質處理工具組 35 包括複數個處理站，其係用於沈積介電質層覆於互連接線金屬化物和柱金屬化物。此外，介電質處理工具組 35 包括一或多個處理站，其係用於蝕刻所沈積的介電質層以暴露柱金屬化物之上連接區域。在所述之實施例中，介電質處理工具組 35 包括輸入站 185，其係用於接收在多工件卡匣或在單工件或多工件衛生囊中的半導體工件。半導體工件係從輸入站 185 提供至塗覆站 190，在該處各半導體工件之表面係塗覆以介電質先驅動（precursor）之類。在工件已被塗覆之後，其依序被供應至烘烤站 195 以及固化站 200 以完成環繞互連接線金屬化物和柱金屬化物的介電質材料之形成。半導體工件而後係供應至回蝕站 205，在該處介電質層的上表面被回蝕以曝露柱金屬化物的上連接區域。

再度參照第三圖，用於工具組 20 之分離的輸入和輸出站 40 和 62 可選擇合併在單一輸入／輸出站。同理，工具組 25 之分離的輸入和輸出站 65 和 110 可選擇合併成單一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

輸入／輸出站，而用於工具組 30 之單一輸入／輸出站 115 可選擇成分離的輸入和輸出站。一或多個卡匣或囊可在何時間留存於輸入／輸出站。用於工具組 35 之分離的輸入和輸出站 185 和 210 亦可選擇合併成單一輸入／輸出站。

參照第六圖，連同第三圖所述的處理工具組可用於以工具組間最小數目之工件移動而實施以下連同第四圖而敘述的製造方法程序。第四圖之程序步驟 215、225、237 和 260 可實施於薄膜沈積工具組 20。程序步驟 270 和 300 可實施於圖樣處理工具組 25。程序步驟 280、290 和 308 至 380 可實施於溼處理工具組 30。程序步驟 400 至 425 係實施於介電質處理工具組 35。

作為所使用之特定處理步驟和處理步驟在各種工具組之中的分派的結果，可用不超過十次，較佳為不超過五次工具組的工件移動而形成單一互連接金屬化層，著實少於上述雙重波紋處理所需的 13 次工件移動。為此，由第六圖之箭號 500 所指之單一工件移動係用來將工件轉移於薄膜沈積工具組 20 與圖樣處理工具組 25 之間。由箭號 505、510 和 515 所指之三個工件移動係用來將工件轉移於圖樣處理工具組 25 與溼處理工具組 30 之間。由箭號 520 所指之單一工件移動係用來將工件轉移於溼處理工具 30 與介電質處理工具組 35 之間。如此，當相較於第一圖和第二圖之傳統的雙重波紋處理和工具架構，工件移動的數目有顯著的減少。

用於形成所揭示之金屬化結構以使工具組間之工件移

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

動為最少的基本程序之一實施例係顯示於第四圖之流程圖，而在各種處理狀態之金屬化結構的一個實施例之對應形成係顯示在第五 A 至五 K 圖。如第四圖和第五 A 圖所示，介電質層 210 係提供覆於基板 215，像是半導體晶圓。雖然在第五 A 圖中並未特別揭示，介電質層 210 同樣包括接點至填塞金屬的通道，其係曝露於介電質層的頂部，其已被平面化並提供介電質層之平面化表面以下之一或多個組件之間的電氣連接。介電質層之平面化表面之下的一或多個組件包括另一互連接金屬化層，其係直接連接至形成在基板中之半導體組件等。介電質層 210 較佳係具有小於 4 之相對電容率，且可藉由先驅物材料或跟隨著固化的先驅物材料的旋轉施加或噴灑施加而形成，其係在厭氧性或含氧性氣體，於低於 450°C 的溫度下。對於介電質材料的較佳選擇是苯并環丁烯 (BCB)。

較佳而言，介電質層 210 的表面係在步驟 215 被修整以加強後續施加的層之黏著。介電質層 210 的表面可利用溼或乾化學處理或是經由離子磨整處理加以修整。第五 A 圖中的箭號 220 顯示介電質層 210 的上表面藉由如衝擊氬或氮離子或加以修整。或者，該上表面可藉由在去離子水中包括 1% 至 2% 氬氟酸的溶液中的短暫 (10 至 30 秒) 蝕刻而修整。

如在第五 B 圖和第四圖之步驟 225 所示，可施加一附選性的連結層 230 至介電質 210 的表面。如上所述，連結層 230 可包括鋁、鈦或鉻，其係利用像是 PVD 之蒸氣沈積

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

技術而沈積。

在第四圖之步驟 237，障壁層 240 係沈積覆於連結層 230（如果有使用的話），或直接沈積在介電質 210 之表面上。如所示，障壁層 240 係沈積覆於半導體工件之大致平坦的表面上，從而排除將障壁層材料施加入高縱橫比之溝渠和通道的需要。視其他併用於互連接結構的材料之特性而定，障壁層 240 可包括鉭、鉭氮化物、鈦氮化物、鈦氮氧化物、鈦鎢合金或鎢氮化物。如上所述，如由 Stevens 在美國專利第 4,977,440 號和美國專利第 5,070,036 號中揭示的包含二層的複合障壁可用於接觸半導體裝置接點。應注意的是並不需要沈積的連結層以達成鉭障壁層與介電質層 210 的經適當修整的 BCB 表面之間可接受的黏著。

障壁層 240 可製成有足夠的導電性以促進後續用於沈積互連接線和柱金屬化物的電化沈積處理。然而，如果障壁層 240 的導電性不足，則可能需要一種子層。

第五 B 圖和第四圖之步驟 260 係顯示種子層 265 的施加，其係在例如 PVD 或 CVD 處理中沈積。種子層 265 典型為銅，但亦可包括金屬如鎳、銻、鉑、鈮、鉻、釩或其他導電材料如銻氧化物。種子層和障壁層的較佳厚度是在於 200 至 600 Å 的範圍。

再度參照第五 B 圖和第四圖之步驟 270，可採用在光蝕刻技藝中已建立良好的程序來沈積互連接線圖樣，舉例而言，利用光阻劑 272 作為光罩。在此種情況下，可包含電漿處理作為光蝕刻程序中的最後步驟，或在互連接線金

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (9)

屬化物之電化沈積之前的任何處理階段，以便從種子層表面之曝露部份移除光阻劑殘渣。可採用在 HMDS 中的處理以形成一層 270，其係提升光阻劑與銅種子層 265 之間的黏著。此外，或是取而代之，一層薄的（少於 100 Å）銅氧化物可形成在種子層 265 的上表面以形成層 270，且從而提升種子層與光阻劑之間的黏著。

參照第五 C 圖和第四圖之步驟 280，互連接線金屬化物 285 係藉由將例如銅選擇性電化沈積入光阻劑互連接圖樣而形成。較佳係採用酸性化學浴用於電化沈積。化學浴可藉由將硫酸銅和硫酸加至去離子水而加以準備。如在金屬電鍍技藝中所泛知者，在化學浴中可附加性地包括影響金屬晶粒大小和薄膜一致性的小濃度之材料。

在互連接金屬化物 285 已沈積入光阻劑互連接圖樣之後，便移除光阻劑。光阻劑的移除可藉由將光阻劑曝露於溶劑或氧化劑（像是臭氧化的去離子水）而後在水中清洗而達成。此一步驟係顯示在第四圖的步驟 290 和 295，且應足以在選擇性金屬沈積之後移除光阻劑。結果的結構係顯示於第五 D 圖。

如在第五 E 圖和第四圖之步驟 300 所示，另一個光阻劑圖樣 305 係施加至半導體工件以形成開口，經由該開口柱金屬化物 307 可電化沈積如步驟 308 所示。金屬化柱 307 係顯示在第五 F 圖中。在柱金屬化物已沈積之後，係移除光阻劑圖樣，由是留下第五 G 圖之互連接結構。

現在參照第五 H 圖和第四圖之步驟 315、320、以及

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (70)

325，種子層 265 係藉由如電化蝕刻處理而部份或完全移除。電化蝕刻可藉由將種子層曝露於像是含有磷酸之溶液等適當的電解溶液，同時種子層係相對於浸在電解溶液中之電極保持在正電位而達成。

第五 H 圖所示為在部份移除曝露之種子層之後，接著形成銅鉍氧化物於障壁層的曝露表面上，並且形成銅氧化物於線和柱的曝露表面上之後的代表性剖面圖。如上所詳述者，種子層 265 可藉由浸在含有磷酸的電解溶液中，同時種子層係保持為相對於浸在相同電解溶液之電極的正電位而加以部份移除。在電化蝕刻之後保留的種子層而後係轉換成銅氧化物。或者，當種子層厚度小於最小線寬度的大約 10% 時，可省略電化蝕刻，且種子層可完全轉換成銅氧化物。

參照步驟 320，銅結構 285、307 和 265 以及障壁層 240 的曝露表面係藉由包括空氣、氧氣、水蒸汽、包含未溶解之氧氣的水、或未溶解在水中之臭氧的溶液而被氧化。或者，該等表面可藉由在含氧氣體中加熱而被氧化。如步驟 325 所示，結果的銅氧化物可藉由曝露於含有硫酸、鹽酸、或含硫酸及鹽酸二者的溶液而移除。參照第三圖，銅氧化物移除可在站 145 或工具組 25 達成。

保護塗層 370 較佳係提供覆於留下的互連接結構。此種保護塗層較佳係在電化處理中形成，如在步驟 375，其係使得材料沈積在曝露的銅上但不會沈積在塗覆氧化物之曝露的障壁材料上。用於保護塗層的材料較佳係包括阻止

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (一)

銅遷移入介電質，且進而阻止所塗覆的銅之氧化的材料。此等材料包括鎳、鎳合金和鉻。保護塗層的較佳厚度係在 50 Å 至 500 Å 之範圍。結果的結構係顯示在第五 I 圖。

參照第四圖之步驟 380，障壁層 240 及其覆蓋的氧化物層可在未被覆蓋銅特徵覆蓋之處藉由溼化學蝕刻加以移除。溼化學蝕刻可包括在水中之 1% 至 5% 氫氟酸的溶液，其係提供以便障壁移除程序不會過度地侵襲互連接結構 302 的銅特徵或是位在障壁層 240 之下的介電質 210。

如第五 J 圖和第四圖之步驟 400 和 405 所示，另一介電質層 410 係形成至一足以覆蓋互連接結構之柱的上表面的厚度。此另一介電質層 410 係較佳藉由先驅動材料或隨後固化之先驅物材料的旋轉施加或噴灑施加而形成，其係在厭氧或含氧氣體中，於低於 450°C 之溫度下。介電質層 410 的組成可與介電質層 210 的組成不同或相同。

在另一介電質層 410 已被固化之後，該層 410 的上表面係被回蝕以曝露柱結構 307 的上接觸區域 420。舉例而言，可採用防護電漿蝕刻 (blanket plasma etch) 以減小層 410 的厚度，直到所有柱結構 307 的上表面 420 曝露。舉例而言，可在含有氧和氟離子的電漿中完成 BCB 的蝕刻。此一步驟係顯示在第四圖的步驟 425，而結果的結構係示於第五 K 圖。

適合用於實施前述處理步驟的工具架構之另一實施例係示於第七圖。第七圖所示之工具架構係類似併用於第六圖之工具架構的第三圖中所示之工具組的特定實施例 (雖

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (ㄚㄚ)

然將可認知第六圖之更一般性的處理工具組名稱同樣可用在第七圖中而不用併用第三圖中揭示的特定工具組實施)。

然而，第七圖的工具架構包括檢查工具組 600，其係用於檢查在單一金屬化層之施加之中間階段的半導體工件。舉例而言，中間檢查係用於確保各種光阻劑圖樣和對應的金屬化物之正確配準，並且進而確保正確的介電質回蝕。如此，各半導體工件可在第四圖中所示的處理步驟 270、290、300、380 和 425 之後提供至檢查工具組 600。在所示的實施例，係使用十次工件移動以在工具處理架構的各種工具之間轉移半導體工件以形成單一互連接金屬化層。舉例而言，檢查工具組 600 可用 KLA-Tencor 供銷的檢查裝置實施。

利用硬光罩作圖樣之工具架構及程序：

揭示利用硬光罩作圖樣之用於製造金屬化層的程序至少四個實施例。在第一實施例中，僅有互連接金屬化圖樣係利用硬光罩介電質層而形成。在第二實施例中，互連接金屬化圖樣和柱圖樣二者皆係利用硬光罩介電質層形成。第三和第四程序實施例係分別與第一和第二程序實施例類似，除了中間檢查係在處理期間實行以確保互連接線和柱圖樣之正確形成。將相關於各個程序實施例而敘述處理架構、處理工具組、以及工件移動。

用於實施根據本發明之一實施例的處理架構的基本工具組係顯示在第八圖。如所示，工具組包括薄膜沈積工具組 1020、硬光罩形成工具組 1023、圖樣處理工具組 1025、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(27)

硬光罩蝕刻工具組 1027、電化／溼處理工具組 1030、以及介電質處理工具組 1035。

在第八圖所揭示的實施例中，薄膜沈積工具組 1020 較佳係真空沈積工具組。如由在工件實行之處理操作的後續討論將臻顯明者，薄膜沈積工具組 1020 沈積一或多個薄膜在工件之大致平坦的表面上。此種薄膜沈積較佳係沈積薄膜在微凹 (micro-recessed) 特徵，該特徵係為波紋處理中採用。如此，則可採用像是物理蒸氣沈積 (PVD) 等低成本的真空沈積技術。亦可採用化學蒸氣沈積 (CVD) 處理。

第九圖中所示之薄膜沈積工具組 1020 之特定實施例係包括複數個處理站用於修整工件之表面、沈積連結層、沈積障壁層、以及沈積種子層於工件上。較佳而言，工件係首先轉移至修整站，在該處係處理曝露在工件基板外部之大致平坦的介電質層之表面以加強後續薄膜層之黏著。此種介電質層之黏著加強可利用任何一或多種已知的電漿處理而達成。視介電質層和後續薄膜層之特性而定，可能並不需要黏著加強。在此種情況下，修整站就不需要包括在薄膜沈積工具組 20 中。各工件而後係提供至連結薄膜施加站，在該處附加性的連結層係施加至介電質層外部（較佳係直接施加於其上）。適合用於連結層的材料包括鋁、鈦、以及鉻。視相鄰的薄膜層之性質而定，可能並不需要連結層，且如此就不需要在薄膜沈積工具組 1020 中包括連結薄膜施加站。障壁層施加站係用於施加障壁層材料於工件

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (74)

之介電質材料外部。視併用於互連接結構之其他材料的性質而定，障壁層可包括鉍、鉍氮化物、鈦氮化物、鈦氧化物、鈦鎢合金、或鎢氮化物。尤其當互連接層觸半導體裝置之端子時，採用包括二層的複合障壁為佳，如 Stevens 之美國專利第 4,977,440 號和美國專利第 5,070,036 號中所揭示者。

爲了增大障壁層的導電係數，以及爲了提供後續形成之各層的良好黏著，薄膜沈積工具組 1020 較佳係包括種子層施加站。種子層施加站較佳係利用 PVD 或 CVD 處理來沈積種子層。種子層較佳爲銅。在種子層已施加之後，工件係轉移至輸出站以便後續轉移至其他處理工具組。

硬光罩形成工具組 1023 包括複數個處理站，其係用於提供硬光罩介電質層覆於藉由薄膜沈積處理工具組 1020 所施加的種子層。此硬光罩介電質層係根據藉由圖樣處理工具組 1025 施加的光阻劑圖樣而最終被作圖樣。係施加一或多個硬光罩層以提供作圖樣的光罩用於沈積互連接線和柱金屬化物其中之一或二者。如以下將進一步詳細述明者，互連接線圖樣係界定了區域，其中係提供主要導體路徑用於工件之平面的水平電氣連接，而柱圖樣界定了區域，其中係提供用於工件之相鄰平面間的垂直電氣連接的主要導體路徑。

在第十圖所示之特定工具組實施例中，硬光罩形成工具組 1023 包括輸入站 1465，其較佳係接收在多工件卡匣或是在單工件或多工件衛生囊中的工件。工件係從輸入站

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

1465 提供至塗覆站 1467，在該處工件係被塗覆以一或多種先驅物材料。而後工件係被提供至烘烤站 1470 以（舉例而言）烤掉溶劑。烘烤站 1470 典型為一熱板。在於烘烤站 1470 處理之後，工件被提供至固化站 1473。視固化循環的期間而定，固化站可為一熱板或小窯爐。固化循環必須不可選成工件損壞。在固化之後，工件係提供至輸出站 1475。雖然所述實施例係顯示分開的輸入和輸出站，其可合併成單一輸入／輸出站。

第八圖的圖樣處理工具組 1025 包括複數個處理站，其係用於提供互連接線圖樣覆於藉由硬光罩形成工具組 1023 所施加的硬光罩層。根據所揭示的過程其中之一，圖樣處理工具組 1025 亦用於提供柱圖樣覆於利用互連接線圖樣形成的互連接金屬化物。或者，如以下將述明者，圖樣處理工具組 1025 係用於提供一柱圖樣覆於藉由硬光罩形成工具組 1023 所沈積的另一硬光罩層，該硬光罩形成工具組接著提供用於柱金屬化物之沈積的光罩。

在第九圖所示之工具組實施例中，圖樣處理工具組 1025 係光蝕刻工具組。圖樣處理工具組 1025 其本身包括輸入站接收在多工件卡匣或是在單工件或多工件衛生囊中之工件，像是半導體晶圓。在工具組 1025 中，工件依序經歷修整、塗覆、和烘烤等標準光蝕刻程序。在光阻劑被烘烤於工件上之後，工件係轉移至光阻劑曝光裝置之輸入站，該裝置係例如為一步進及重複裝置，其係使光阻劑曝露於紫外光，其方式為選擇性地影響光阻劑層，以便光阻劑層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (九)

的部份後續可被移除以形成互連接線或柱圖樣。在光阻劑層曝光之後，工件係提供至輸出站，用於轉移至其他處理站，其選擇性地移除光阻劑層以在該層中形成與在光阻劑曝光裝置中曝光圖樣一致的圖樣。此等處理站包括光阻劑顯影站，且可包括電漿清除（“去殘渣”）站。在選擇性移除光阻劑層在電漿清除之後，工作係轉移至輸出站以提供至一或更多其他的工具組。

如第九圖中所示，硬光罩蝕刻工具組 1027 包括輸入站 1480，其較佳係接收在多工件卡匣或在單工件或多工件衛生囊中的工件。工件係從輸入站 1480 提供至蝕刻站 1483，在該處硬光罩層係經由藉由圖樣處理工具組 1025 施加的作了圖樣的光阻劑層之開口區域而加以選擇性蝕刻。在硬光罩層已被蝕刻以形成的光罩圖樣之後，工件係提供至輸出站 1485。雖然第十圖中所示的實施例顯示了分開的輸入和輸出站，亦可使用單一輸入／輸出站。硬光罩蝕刻工具組 1027 可為電漿蝕刻裝置，例如由 Tegal、Applied Materials、或 LAM Research 所販售者。

第八圖之電化／溼處理工具組 1030 實施用於形成互連接線金屬化和柱金屬化結構之廣泛範圍的程序。溼處理工具組 1030 可實施於 Equinox™ 牌工具或 LT-210™ 牌工具，其二者均由 Montana、Kalispell 之 Semitool 公司供銷。如第九圖中所示，此種電化／溼處理工具組較佳係包括輸入和輸出站以及用於實行電化和溼化學處理之複數個站。溼處理工具組 30 的處理站實行至少三個主要的溼處理操作。第

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (續)

一，溼處理工具組 30 包括處理站用於利用電化沈積處理而將銅金屬化物施加入利用圖案處理工具組 25 及／或硬光罩蝕刻工具組 1027 形成的互連接線圖樣以及柱圖樣。此外，可採用修整站以修整欲電化沈積以銅的工件之表面。第二，工具組 30 包括用於移除硬光罩材料的一或多個處理站，該硬光罩材料係用於界定互連接線圖樣以及（在某些程序實施例中）柱圖樣，其係由硬光罩形成工具組 1023 施加，並係由硬化罩蝕刻工具組 1027。同樣的，溼處理工具組 30 包括用於移除光阻劑材料的一或多個處理站，該光阻劑材料係用於在硬光罩層中界定互連接線圖樣，並且在某些處理實施例中，光阻劑材料係用於界定柱圖樣。典型上，係設置溶劑站以及清洗／乾燥站以用於光阻劑移除。最後，係採用一或多個處理站以移除種子層及／或障壁層未被互連接線覆蓋的部份，且／或使得該等部份為非導電。

附選性地，處理工具 30 可用於施加保護塗層覆於互連接線金屬化物及柱金屬化物。在特定實施例中，電化沈積站可用於此種目的。用於保護塗層的材料較佳係可阻止銅遷移入介電質以及被塗覆之銅氧化的材料。舉例而言，可用於保護塗層的材料包括鎳、鎳合金以及鉻。

介電質處理工具組 1035 包括用於形成介電質層覆於互連接線金屬化物和柱金屬化物之複數個處理站。此外，介電質處理工具組 1035 包括一或多個處理站用於蝕刻沈積的介電質層以曝露柱金屬化物之上連接區域。相關於第九圖中所示之介電質處理工具組的特定實施例，工件係從輸入

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(28)

站提供至塗覆站，在該處各工件之表面係塗覆以介電質先驅物之類。在工件已被塗覆之後，其依序被供至烘烤站和固化站以完成圍繞互連接線金屬化物和柱金屬化物之介電質材料的形成。工件而後係供至回蝕站，在該處介電質層的上表面係被回蝕以曝露柱金屬化物的上連接區域。

參照第八圖，處理工具組可用於以最小數目之工具組間的工件移動而實施以下將連同第十一圖說明的製造處理程序。第十一圖的處理步驟 1215、1225、1237 和 1260 可在薄膜沈積工具組 1020 中實施。處理步驟 1270 和 1308 可在圖樣處理工具組 1025 中實施。處理步驟 1277、1280 和 1309 至 1380 可在溼處理工具組 1030 中實施。處理步驟 1400 至 1425 可在介電質處理工具組 1035 中實施。處理步驟 1261 可在硬光罩形成工具組 1023 中實施，而處理步驟 1273 可在硬光罩蝕刻工具組 1027 中實施。

作為所使用之特定處理步驟以及處理步驟在各種工具組之中的分派之結果，當硬光罩僅用於作互連接線之圖樣時，可用不超過七次工具組間的工件移動而形成單一互連接金屬化層。當硬光罩係用於作互連接線和柱二者的圖樣，如第十六圖所示，單一互連接金屬化層可用不超過九次工件移動而形成。

為此目的，係採用第八圖之箭號 1500 所表示的單一工件移動以在薄膜沈積工具組 1020 與硬光罩形成工具組 1023 之間轉移工件。箭號 1505 所指示的一個工件移動係被採用以在硬光罩形成工具組 1023 與圖樣處理工具組 1025 之間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

轉移工件。二個工件移動 1510 和 1512 係用於在圖樣處理工具組 1025 與溼處理工具組 1030 之間轉移工件。單一工件移動 1515 係用於在圖樣處理工具組 1025 與硬光罩蝕刻工具組 1027 之間轉移工件。同樣地，單一工件移動 1517 係用於在硬光罩蝕刻工具組 1027 與溼處理工具組 1030 之間轉移工件。最後，單一工件移動 1520 係用於在化學處理工具組 1030 與介電質處理工具組 1035 之間轉移工件。如此，當相較於第一圖和第二圖之傳統的雙重波紋處理架構及工具結構時，在工具組間之工件移動的數目上有實質的減少。

在第十一圖之步驟 1261，硬光罩介電質層 1263 係在硬光罩形成工具組 1023 沈積覆於種子層 1265。在第十一圖之步驟 1270 中，可採用在光蝕刻技藝中已建立良好的程序以利用例如光阻劑作為中間光罩而沈積互連接線圖樣覆於硬光罩介電質層 1263。硬光罩介電質層 1263 而後經由光阻劑層 1272 的開口部份而被選擇性蝕刻，如步驟 1273 所示。步驟 1273 發生在硬光罩蝕刻站 1027。參照第十一圖之步驟 1277，光阻劑層 1272 係在工具組 1030 中的溼化學處理站移除，從而留下作了圖樣的硬光罩介電質層 1263，其具有實質上垂直的牆壁以用於界定互連接金屬化圖樣。

參照第十一圖之步驟 1280，互連接線金屬化物 1285 係藉由將例如銅選擇性電化沈積入硬光罩互連接圖樣而形成。較佳係採用酸性化學浴用於電化沈積。化學浴可藉由將硫酸銅以及硫酸加入去離子水而製備。如在金屬電鍍技

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

藝中所泛知者，影響金屬晶粒大小和薄膜均一度的小濃度的物質可附選性地包括在化學浴中。

在銅的電化沈積之後造成的結構係顯示在第十二圖。在第十二圖中，工件之大致平坦的表面係顯示於 1210，工件之修整過的部份係顯示於 1230，障壁層係顯示於 1240，硬光罩層係顯示於 1263，種子層係顯示於 1265，而示範之互連接金屬化線係顯示在於 1285 的截面。

在互連接金屬化物已沈積入作了圖樣的硬光罩介電質層之後，工件可返回圖樣處理工具組 1025，其中係利用例如使用習用光阻劑作圖樣技術而施加及作圖樣的光阻劑來形成用於柱金屬化物的圖樣。如在步驟 1308，此另一個光阻劑圖樣係施加至工件以便形成開口，可經由該開口而電化沈積柱金屬化物。第十三圖係顯示在光阻劑層 1305 作圖樣以及在第十一圖之步驟 1309 電化沈積柱金屬化物 1307 之後造成的結構。

在柱金屬化已在步驟 1309 沈積之後，光阻劑圖樣係在步驟 1310 中移除，而硬光罩介電質層係在步驟 1313 移除。硬光罩介電質層之移除較佳係在工具組 1030 中進行，但亦可在硬光罩蝕刻工具組 1027 進行而加上二個另外的晶圓移動。

硬光罩介電質層 1263 可在作了圖樣的光阻劑層形成之前加以移除。第十四圖顯示在光阻劑 1305 作圖樣以及柱金屬化物 1307 電化沈積之後造成的結構。在此種情況下，可採用在 HMDS 中之處理以形成提升光阻劑 305 與銅種子層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

1265 之間黏著的一層。此外，或是取而代之，一薄的（小於 100 Å）之銅氧化物層可形成在種子層 1265 之上表面上以形成層 1278，從而提升種子層與光阻劑之間的黏著。

現參照第十一圖之步驟 1315、1320 和 1325，種子層 1265 係藉由例如電化蝕刻處理而部份或完全移除。電化蝕刻可藉由將種子層曝露至適當的電解溶液（像是包含磷酸的溶液），同時種子層 1265 係保持在相對於浸入電解溶液之電極為正電位而達成。

在步驟 1320，銅結構 1285、1307、和 1265 以及障壁層 1240 之曝露的表面係藉由曝露至包括未溶解的空氣、氧氣或臭氧而被氧化。或者，其表面可藉由在含氧氣體中加熱而氧化。如步驟 1325 所示，結果的銅氧化物可藉由曝露於包含硫酸、塩酸、或硫酸和塩酸二者的溶液而被移除。舉例而言，銅氧化物移除可在工具組 30 的蝕刻站完成。

較佳係提供一保護塗層遍於留下的互連接結構。此一保護塗層較佳係在電化處理中形成，像是步驟 1375，其致使材料沈積在曝露的銅上，而不沈積在被覆氧化物之曝露的障壁材料上。用於保護塗層的材料較佳包括阻止銅遷移入介電質且進而阻止被塗覆的銅氧化的材料。此等材料包括鎳、鎳合金以及鉻。用於保護塗層的較佳厚度係在 50 Å 至 500 Å 之範圍中。

參照第十一圖的步驟 1380，障壁層 1240 及其覆蓋的氧化物層可在未覆蓋以覆蓋銅特徵之處，藉由溼化學蝕刻加以移除。溼化學蝕刻可包括稀酸，像是水中有 1% 至 5%

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

氫氟酸之溶液，其係提供以便障壁移除程序不會過度衝擊銅線和柱特徵 1285 和 1307 或是置於障壁層 1240 之下的介電質 1210。

在第十一圖的步驟 1400，係形成另一介電質層至足以覆蓋互連接結構之柱之上表面的厚度。此另一介電質層較佳係藉由旋轉施加或噴灑施加先驅物質或先驅物質接著固化而形成，其係在厭氧或含氧氣體中，於低於 450°C 的溫度下。此介電質的組成可不同於介電質層 1210 或與之相同。

在另一介電質層已固化之後，該層之上表面係被回蝕以曝露柱結構 1307 的上接觸區域。舉例而言，可採用防護電漿蝕刻 (blanket plasma etch) 以減小層之厚度直到柱結構 1307 的上表面曝露。舉例而言，BCB 的蝕刻可在包有氧氣和氟離子的電漿中完成。

在本實施例中，工件的處理係實質上相似於第十一圖中所示的處理。以處理之觀點視之，主要的差異係發生在電化沈積步驟 1280 之後。在此後來的實施例中，工件係從溼處理工具組 1030 移除，並返回硬光罩形成工具組 1023，其中另一個硬光罩介電質層 1422 (第十七圖) 係配置覆於工件之表面，如第十五圖之步驟 1427 所示。在另一硬光罩介電質層 1422 形成之後，工件係轉移至圖樣形成工具組 1025，舉例而言，在該處另一光阻劑層 1432 係配置覆於另一硬光罩介電質層 1422，並且根據所需的柱金屬化圖樣作圖樣，如步驟 1429。硬光罩介電質層 1422 而後在步驟 1443

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

根據此圖樣而被蝕刻以形成開口，柱結構將形成於該開口中。工件而後係返回溼化學處理工具組 1030，其中光阻劑層 1432 係在步驟 1310 剝除，並且銅柱結構係在步驟 1309 經由硬光罩介電質層 1422 被電化沈積。參照第十八圖，在電化沈積柱金屬化物之後，硬光罩層係被移除，且處理以連同第十一圖之程序敘述之相同方式進行。如第十六圖所示，整個金屬化層可用所示工具組間九個晶圓移動而形成。

各個前述程序和工具組／晶圓移動的進一步加強係顯示於第十九圖和第二十圖。第十九和二十圖的工具結構各包括檢查工具組 600，其係用於檢查單一金屬化層施加之中間階段的工件。舉例而言，中間檢查係用於確保各種光阻劑及／或硬光罩圖樣和對應的金屬化物之正確配準，且進而確保正確的介電質回蝕。如第十九圖所示，在第十一圖中所示的處理步驟 1270、1280、1308、1380 和 1425 之後，各工件可提供至檢查工具組 1600。同樣地，如第二十圖所示，在第十六圖中所示的處理步驟 1270、1280、1429、1380 和 1425 之後，各工件可提供至檢查工具組 1600。在第十九圖所示的實施例中，係使用十二次工件移動以將工件轉移於工具處理架構之各種工具之間以形成單一互連接金屬化層。在第十五圖所示之實施例中，係使用十四次工件移動以將工件轉移於工具處理架構之各種工具之間以形成單一互連接金屬化層。舉例而言，檢查工具組 600 可用由 KLA-Tencor 供銷的檢查裝置實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

前述系統可作多種修正而不悖離其基本揭示。雖然本發明已參照一或多個特定實施例而大體上詳細說明，然而熟知此項技藝者將可認知可對其作改變而不悖離在所附申請專利範圍中敘述之本發明的範疇和精神。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

用於一工件上一或多個金屬化層之製造的過程及製造工具結構

揭示一種半導體製造工具結構以及對應方法，用於以工具組間最小數目之工件轉移操作而施加一或多層互連接金屬化物至半導體工件之大致平坦的介電質表面。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: PROCESS AND MANUFACTURING TOOL ARCHITECTURE FOR USE IN THE MANUFACTURE OF ONE OR MORE METALLIZATION LEVELS ON A WORKPIECE

A semiconductor manufacturing tool configuration and corresponding process for applying one or more levels of interconnect metallization to a generally planar dielectric surface of a semiconductor workpiece with a minimal number of workpiece transfer operations between the tool sets is disclosed.

訂

線

六、申請專利範圍

1. 一種用於施加一或多層互連接金屬化物至工件之全面平坦化的介電質表面之製造工具結構，該工具結構包括：

薄膜沈積工具組，用於沈積障壁層於平坦的介電質表面外部，並且沈積種子層於障壁層外部；

圖樣處理工具組，用於提供互連接線圖樣覆於種子層，並且用於提供柱圖樣覆於利用互連接線圖樣形成的互連接線金屬化物；

溼處理工具組，用於實行至少以下的溼處理操作：

- 利用電化沈積處理將銅金屬化物施加入藉由圖樣處理工具組形成的互連接線圖樣以及柱圖樣，

- 移除藉由圖樣處理工具組所施加的材料以形成互連接線圖樣以及柱圖樣，

- 移除種子層和障壁層未被互連接線金屬化物覆蓋的部份；以及

介電質處理工具組，用於沈積介電質層覆於互連接線金屬化物以及柱金屬化物，並且用於以建構互連接線金屬化物結構之方式蝕刻所沈積的介電質層以曝露柱金屬化物的上連接區域。

2. 如申請專利範圍第 1 項所述之製造工具結構，其中薄膜沉積工具組，圖樣處理工具組，溼處理工具組及介電質工具組是用於在工具組間使用不超過十個工件移動形成互連接金屬化物結構，其包括互連接線金屬化物，柱金屬化物及介電質層。

3. 如申請專利範圍第 1 項所述之製造工具結構，其中

六、申請專利範圍

薄膜沉積工具組，圖樣處理工具組，濕處理工具組及介電質工具組用以在工具組間使用不超過五個工件移動形成互連接金屬化物結構，其包括互連接線金屬化物，柱金屬化物及介電質層。

4. 如申請專利範圍第 1 項至第 3 項其中任何一項所述之製造工具結構，進一步包括檢查工具組，用以檢查在一或更多個在互連接金屬化物結構形成中之處理狀態。

5. 如申請專利範圍第 1 至 3 項其中任何一項所述之製造工具結構，其中溼處理工具組包括至少一個處理站用於提供在銅金屬化物外部的電化沉積保護塗覆。

6. 如申請專利範圍第 1 至 3 項其中任何一項所述之製造工具結構，其中濕處理工具組包括至少一個處理站，用於在濕處理工具組進一步處理前修整工件的表面。

7. 如申請專利範圍第 1 至 3 項其中任何一項所述之製造工具結構，其中濕處理工具組包含至少一個處理站，用於氧化工件的曝光金屬化部分。

8. 一種如申請專利範圍第 1 至 3 項其中任何一項所述之製造工具結構，進一步包含：

一種硬體光罩形成工具組，設計用以形成在種子層外部的硬體光罩介電質層；及

一種硬體光罩蝕刻工具組，用於在互連接金屬化物結構形成之後蝕刻硬體光罩介電質層之曝光區域。

9. 一種用於提供一或多層互連接金屬化物至一工件的全面平坦化介電質表面之製造工具結構，此工具結構包含：

六、申請專利範圍

第一種裝置，用於沉積一障壁層在平坦介電質表面外部，及用於沉積一種子層在障壁層外部；

第二種裝置，用於提供一互連接線圖樣覆於種子層，以及一柱圖樣覆於利用互連接線圖樣形成之互連接線金屬化合物；

第三種裝置，用於實現至少以下之濕處理操作，使用電化沉積過程，提供銅金屬化合物施加入藉由第二種裝置形成之互連接線圖樣及柱圖樣，

移除由第二種裝置施加之材料以形成互連接線圖樣及柱圖樣，及

移除未被互連線金屬化合物覆蓋的種子層部分和障壁層部分；

第四種裝置，用於沉積一介電質層覆於互連線金屬化合物及柱金屬化合物，以及用於蝕刻所沉積的介電質層，以曝光柱金屬化合物的較上端連接區域以形成單一金屬化層。

10. 如申請專利範圍第 9 項所述之製造工具結構，其中工具組形成包含互連接線金屬化合物，柱金屬化合物，以及介電質層的單一金屬化層在工具組間使用不超過十個工件移動。

11. 如申請專利範圍第 9 項所述之製造工具結構，其中工具組形成，其包含互連線金屬化合物，柱金屬化合物，及介電質層的單一金屬化層在工具組間使用不超過五個工件移動。

12. 如申請專利範圍第 9 項至第 11 項其中任何一項所

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

述之製造工具結構，其中第三種裝置包含用於提供在銅金屬化物外部之電化沉積保護塗覆。

13．如申請專利範圍第 9 項至第 11 項其中任何一項所述之製造工具結構，其中第三種裝置包含至少一個處理站，用於在第三種裝置進一部處理前修整工件的表面。

14．如申請專利範圍第 9 項至第 11 項其中任何一項所述之製造工具結構，其中第三種裝置包含至少一個處理站，用於氧化工件的曝光金屬化部分。

15．一種用於提供互連接金屬化物的一或多層至工件的全面平坦化介電質表面之製造工具結構，此工具結構包含：

一薄膜沉積工具組，用於沉積在平坦化介電質表面外部之障壁層；

一圖樣處理工具組，用於製造在障壁層外部之互連接線圖樣，及使用此互連接線圖樣形成柱圖樣覆於互連接線金屬化物；

一濕處理工具組，用以實現至少以下濕處理操作：

供應銅金屬化物，其使用電化沉積處理，至由圖樣處理工具組所形成之互連接線圖樣及柱圖樣，

移除由圖樣處理工具組提供之材料，以形成互連接線圖樣及柱圖樣，及

移除沒有被互連接線金屬化覆蓋之種子層部分及障壁層部分；及

一介電質處理工具組，用以在互連接線金屬化物及柱

六、申請專利範圍

金屬化物之上沉積一介電質層，以及用以蝕刻所沉積之介電質層以曝光此柱金屬化物之上端連接區域，其中包含此互連接線金屬化物，柱金屬化物，和介電質層的單一金屬化層是在工具組間使用不超過十個工件移動所形成。

16．如申請專利範圍第 15 項所述之製造工具結構，其中包括互連接線金屬化物，柱金屬化物及介電質層的單一金屬化層是以在工具組間使用不超過五個工件移動所形成。

17．一種用於在一微電子工件的全面平坦化介電質表面製造一金屬化結構之工具系統，包含：

一薄膜沉積工具組，具有至少一個設計形成在平坦化介電質層外部之至少一個薄膜層的薄膜沉積工具；

一圖樣處理工具組，設計形成圖樣層，其具有可在薄膜層的曝光部分之上定義互連結圖樣和/或柱圖樣的附有空隙之金屬化物圖樣；及

一濕處理工具組，設計用來(a)沉積銅進入圖樣層之空隙以形成銅元件，(b)移除圖樣層以釋出銅元件，(c) 以在平坦化介電質表面外部形成互連接金屬化物結構之方式，移除薄膜層中並未被銅元件覆蓋的部分。

18．如申請專利範圍第 17 項所述之工具系統，其中薄膜沉積工具組，圖樣處理工具組，及濕處理工具組在工具組間使用不超過十個工件移動形成互連接金屬化物結構。

19．如申請專利範圍第 17 項所述之工具系統，其中薄膜沉積工具組，圖樣處理工具組，及溼處理工具組，在工

六、申請專利範圍

具組間使用不超過五個工件移動來形成互連接金屬化物結構。

20·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，進一步包括介電質處理工具組，其在互連接金屬化物結構之上沉積一介電質層，及以曝光局部互連接金屬化物結構之方式蝕刻所沉積之介電質層。

21·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，其中此至少一個薄膜沈積工具包含第一薄膜沉積工具，其設計以形成在平坦介電質外部之障壁層，及第二薄膜沉積工具，其設計以形成在障壁層外部之種子層。

22·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，其中濕處理工具包含至少一個處理站，以提供在互連接金屬化物結構外部之電化沉積保護塗覆。

23·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，其中濕處理工具包括一電化沉積站，用以提供進入金屬化物圖樣的銅，一修整站用以修整工件之表面，以及一氧化站用以氧化工件的曝光金屬化部分。

24·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，進一步包含一檢查工具組，以檢查在互連接金屬化物結構組成中一或多個處理狀態的工件。

25·如申請專利範圍第 17 項至第 19 項其中任何一項所述之工具系統，進一步包括：

一硬體光罩組成工具組，以形成硬體光罩介電質層在

六、申請專利範圍

種子層外部；及

一硬體光罩蝕刻工具組，用以在互連接金屬化合物結構組成之後蝕刻硬體光罩介電質層的曝光區域。

26· 一種用以提供一或更多在一工件表面之保護銅元件的處理，此處理包含：

提供至少一個薄膜導電層至一工件；

使至少一個薄膜導電層之第一部分表面不可電鍍，以在薄膜導電層之第二部分上定義欲求之金屬化合物圖樣，其中薄膜導電層之第二部分為可電鍍的；及

電鍍一或更多銅元件至此薄膜導電層之第二可電鍍部分上。

27· 如申請專利範圍第 26 項所述之處理，進一步包括：在電鍍銅元件至此薄膜導電層之第二可電鍍部分之後，實質移除此薄膜導電層之曝光部分；及

電鍍一保護層至銅元件表面。

28· 如申請專利範圍第 26 項或第 27 項所述之處理，進一步包括提供一介電質層在一或多個銅元件上至少一個部分。

29· 如申請專利範圍第 27 項所述之處理，其中實質移除種子層包含使種子層溶入具有磷酸之電解質液浴，同時保持種子層在一高電位，此電位是相對於浸入電解質液浴之電極電位。

30· 如申請專利範圍第 26 項或第 27 項所述之處理，進一步包含：

訂

線

六、申請專利範圍

提供一介電質層至實質覆蓋此一或多個銅元件；及
移除介電質層之表面部分，以曝光此一或多個銅元件之一或多個區域。

31．如專利申請範圍第 26 項或第 27 項所述之處理，使至少一個薄膜導電層之第一部分表面不可電鍍，其包含氧化薄膜導電層之曝光表面。

32．如專利申請範圍第 26 項或第 27 項所述之處理，其中電鍍此銅元件包含：

電鍍一或多個銅線在薄膜導電層的選擇部分上；及
電鍍一或多個銅柱在銅線的選擇部分。

33．如專利申請範圍第 26 項或第 27 項所述之處理，其中使至少一個薄膜導電層之第一部分表面不可電鍍，以在薄膜導電層之第二部分上定義欲求之金屬化物圖樣，包含：

同時氧化薄膜導電層及銅元件的曝光表面；及
從銅元件移除最後的銅氧化物。

34．如專利申請範圍第 26 項或第 27 項所述之處理，其中提供至少一個薄膜導電層，包含：

形成一障壁層在工件上作為第一薄膜層；及
一或多個銅元件形成之時，構成一種子層在障壁層上作為第二薄膜層。

35．如專利申請範圍第 26 項或第 27 項所述之處理，其中電鍍此銅元件包含：

藉由薄膜導電層的選擇部分曝光以提供一圖樣光

六、申請專利範圍

罩層在薄膜導電層上；及

電鍍銅元件穿過選擇曝光部分至一薄膜導電層之上。

36. 一種用以提供一或多個保護銅元件至一工件表面之處理，其處理包含：

提供一導電障壁層至一工件；

電鍍一或多個銅元件至導電障壁層的選擇部分；

使導電障壁層表面的至少一部份不可電鍍；及

電鍍保護層至一或多個銅元件之表面上。

37. 一種用以提供一或多個銅金屬化層至一微子工件表面之處理，此處理包含：

提供一障壁層至此微電子工件；

提供一種子層至此障壁層上；

電鍍一或多個銅互連接線至種子層的選擇部分；

電鍍一或多個銅柱至銅互連接線之選擇部分；

實質移除種子層；

同時氧化此一或多個銅互連接線之曝光表面，此一或多個銅柱的曝光表面，和障壁層之曝光表面；

從此一或多個銅互連接線和此一或多個銅柱移除最後銅氧化層，同時保有實質完整的氧化障壁層表面以使障壁層表面不可電鍍；及

電鍍一保護層至此一或多個銅互連接線之曝光表面。

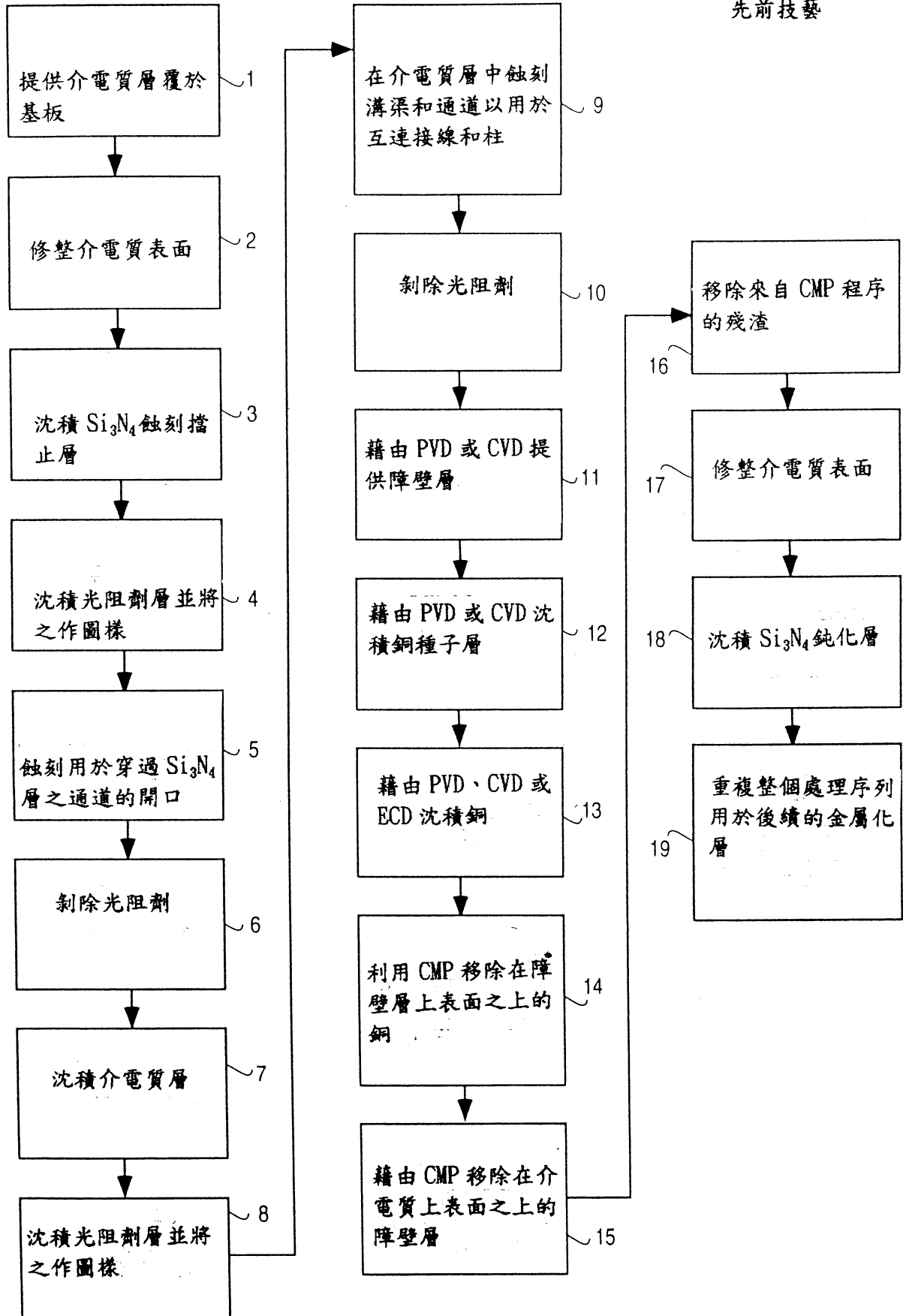
(請先閱讀背面之注意事項再填寫本頁)

訂

線

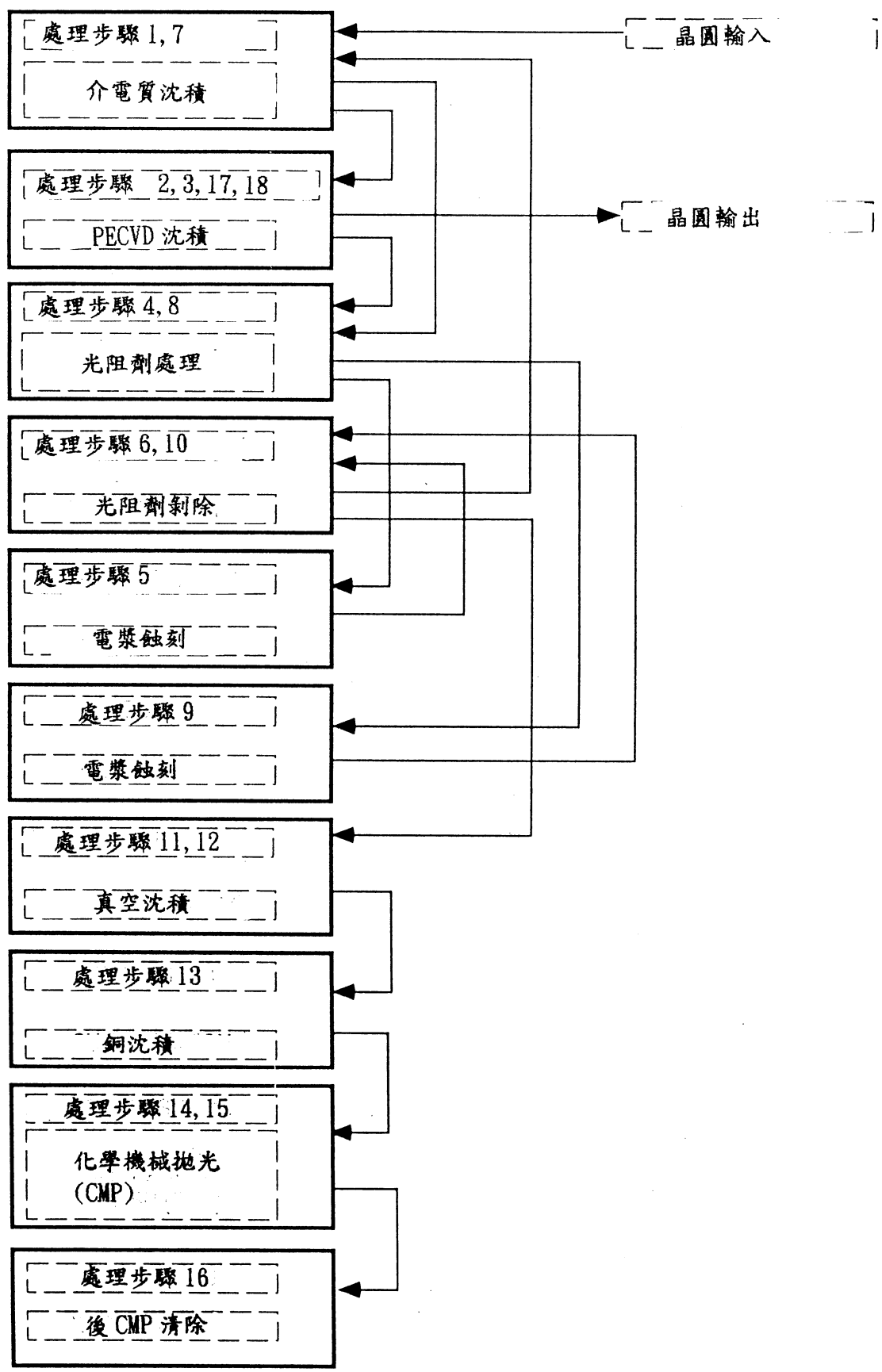
第一圖

先前技藝

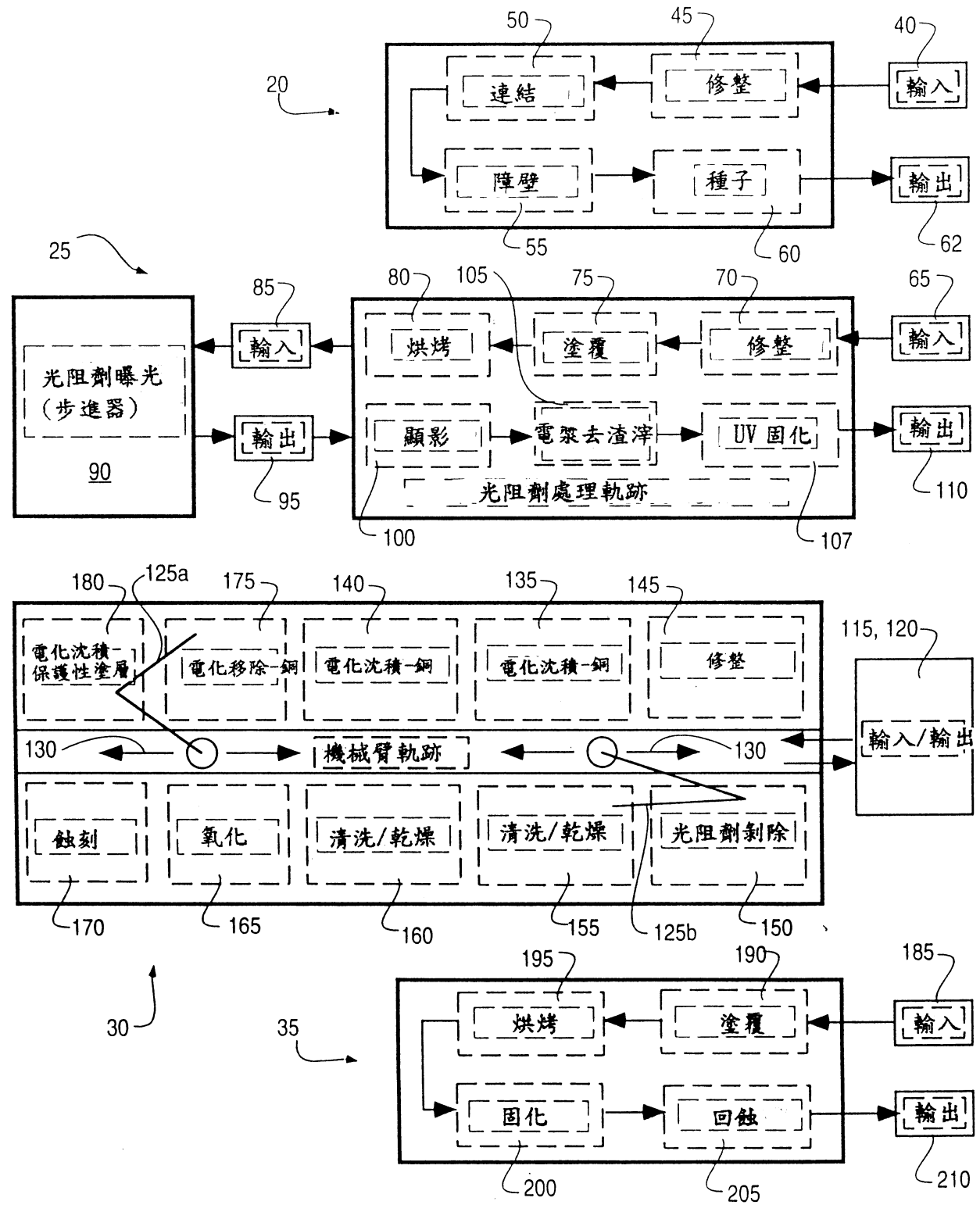


第二圖

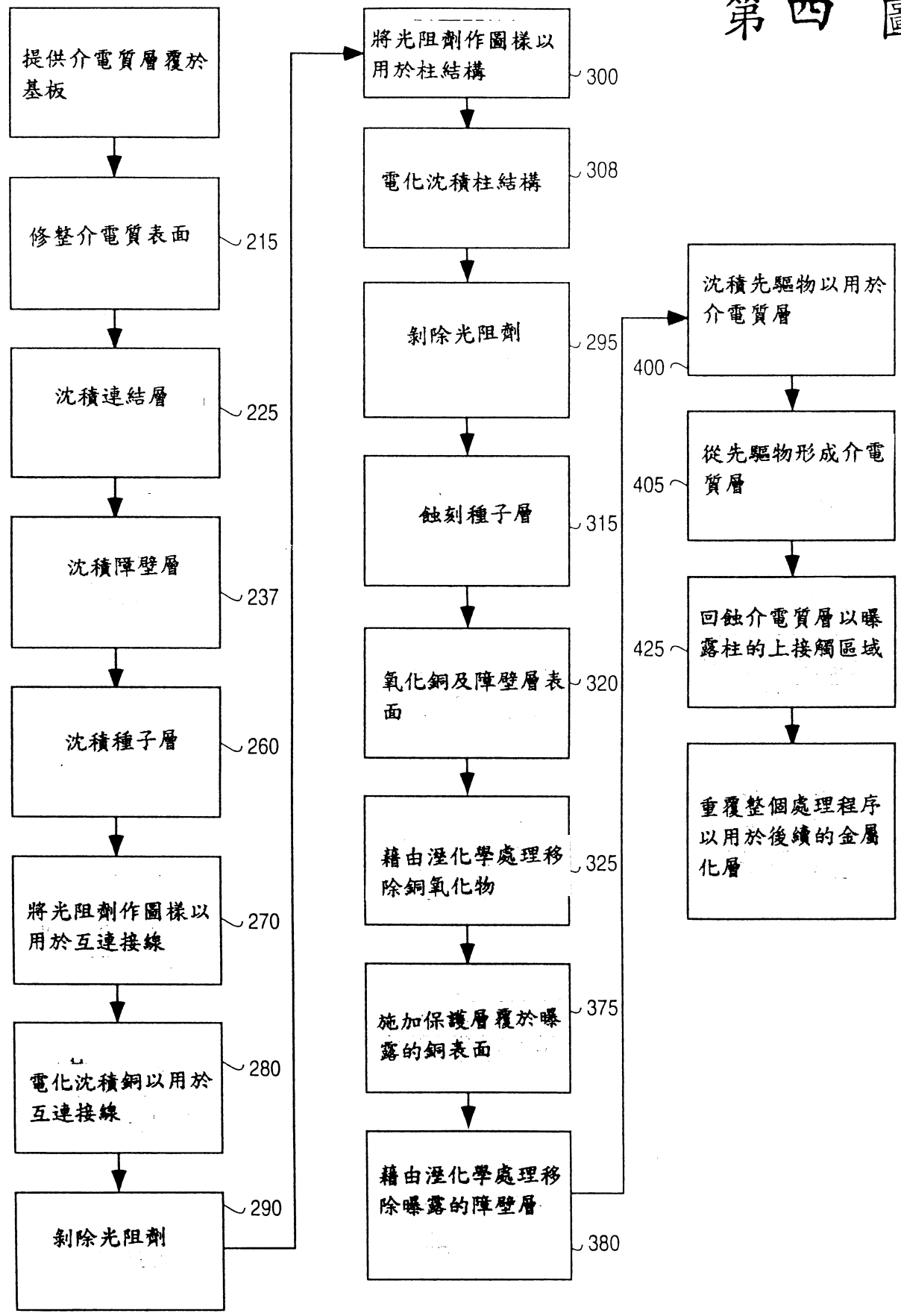
先前技藝



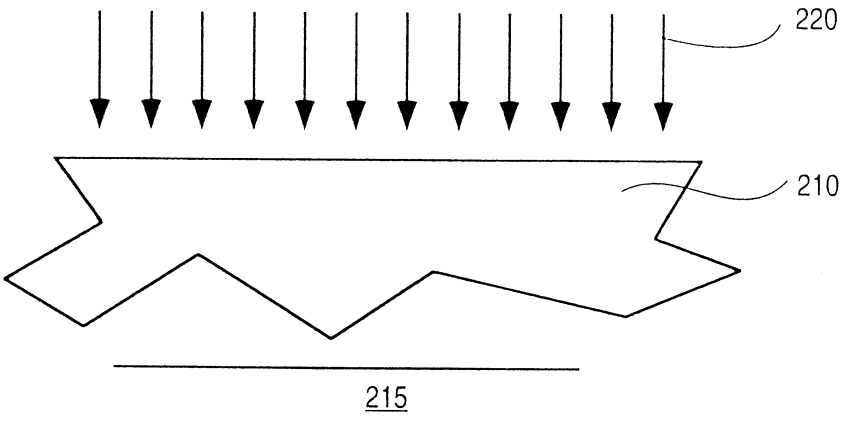
第三圖



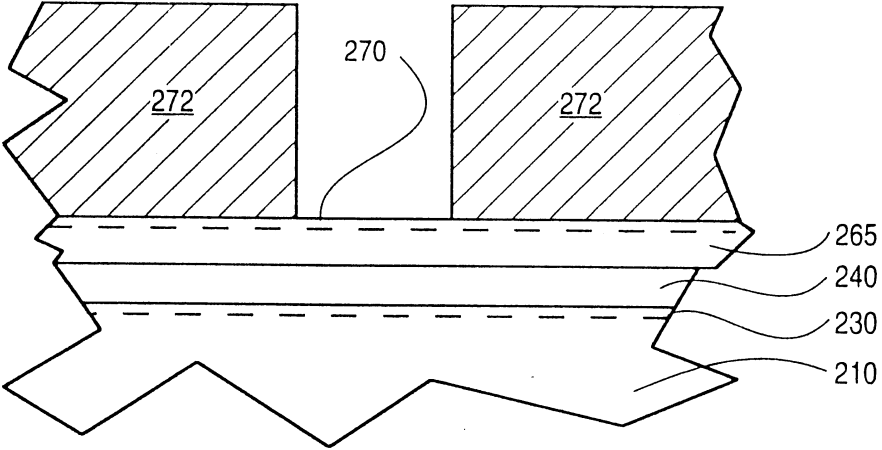
第四圖



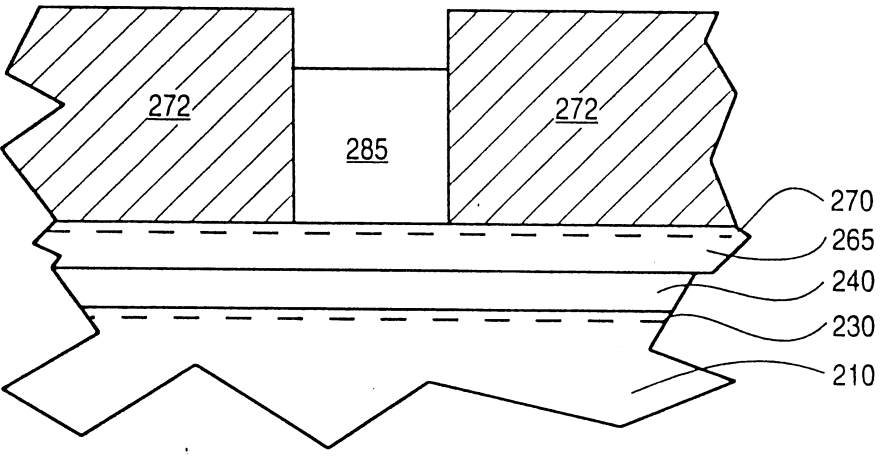
第五A圖



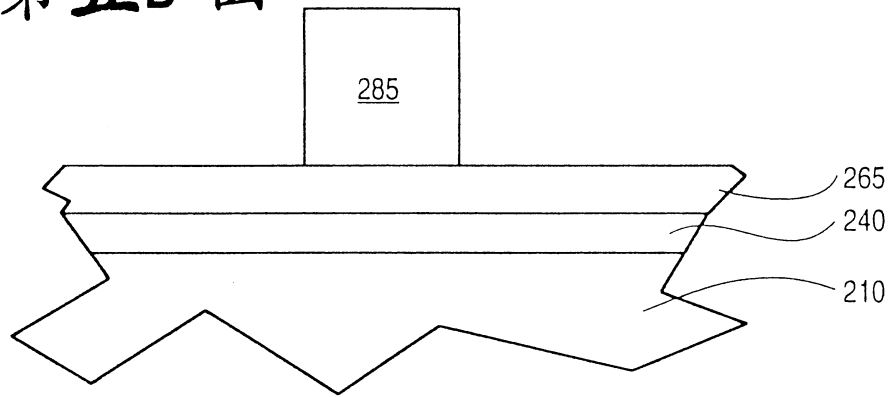
第五B圖



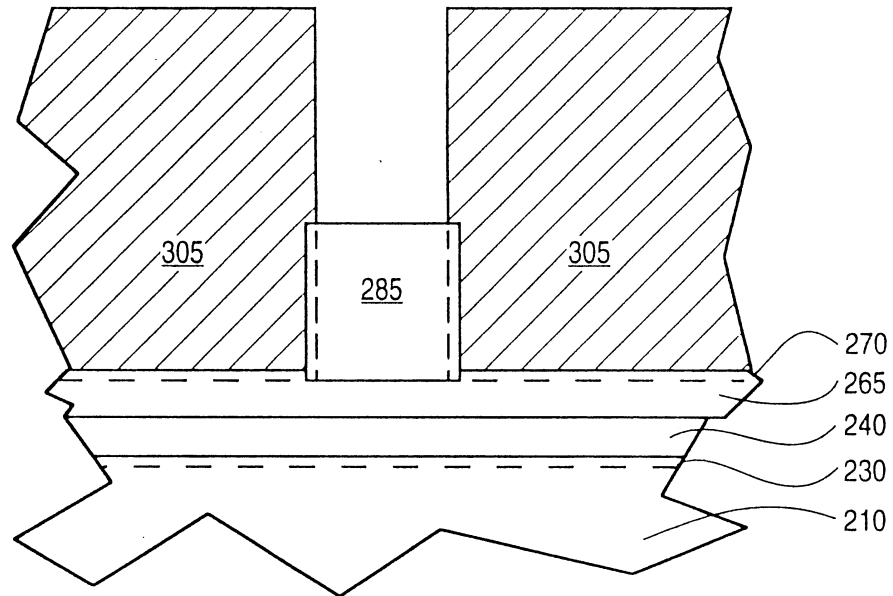
第五C圖



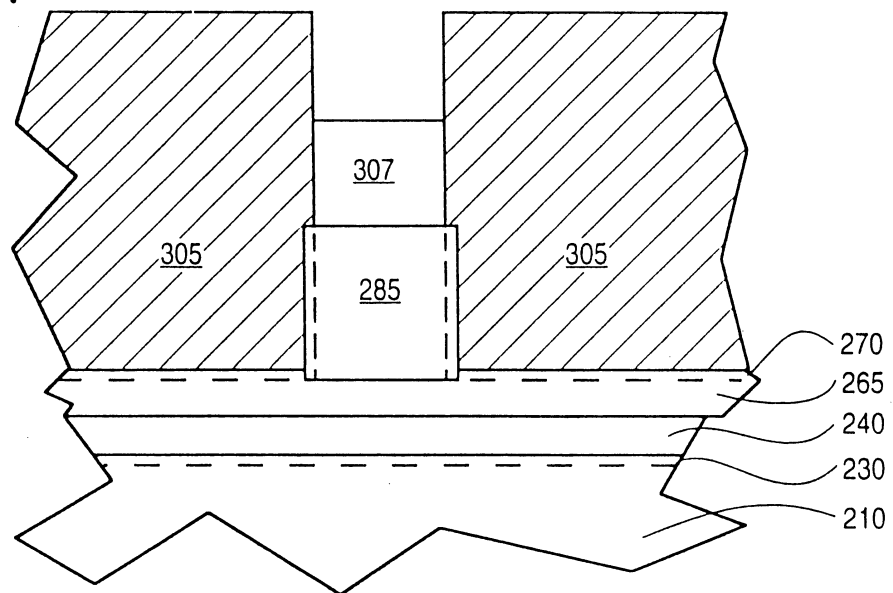
第五D圖



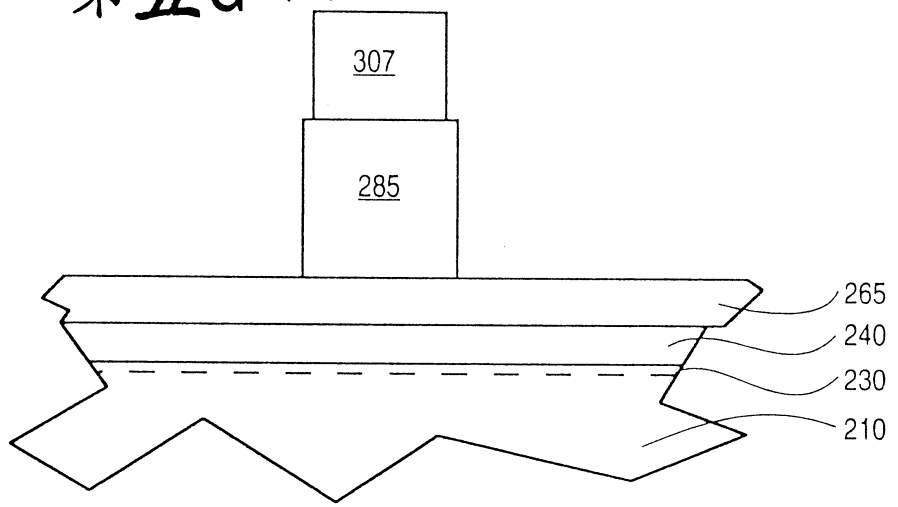
第五E圖



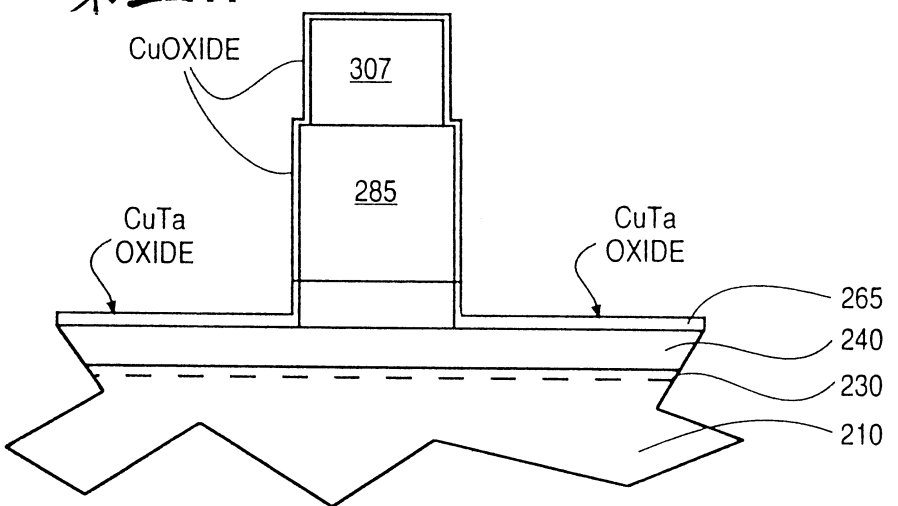
第五F圖



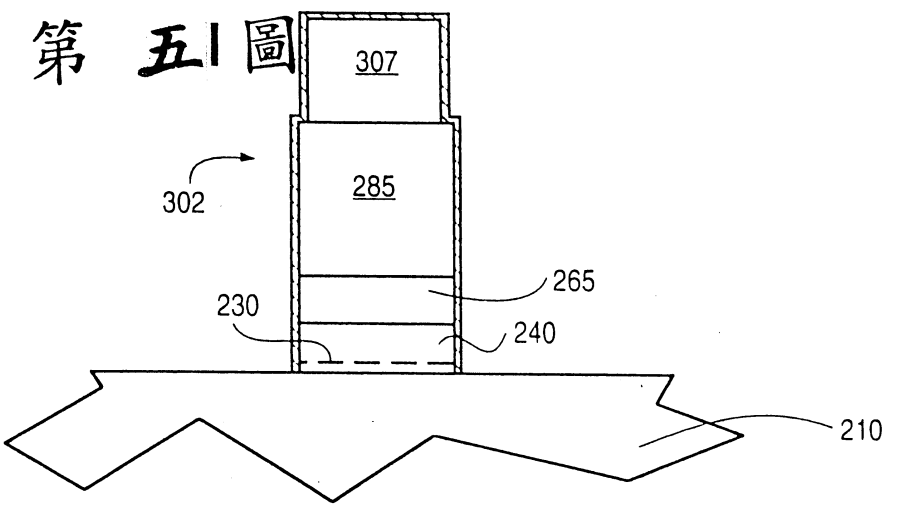
第五G圖



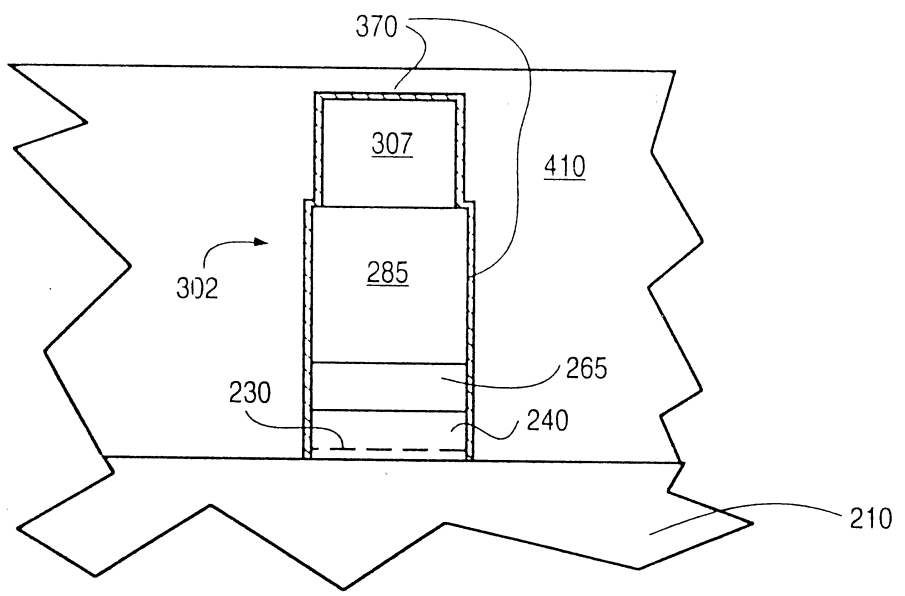
第五H圖



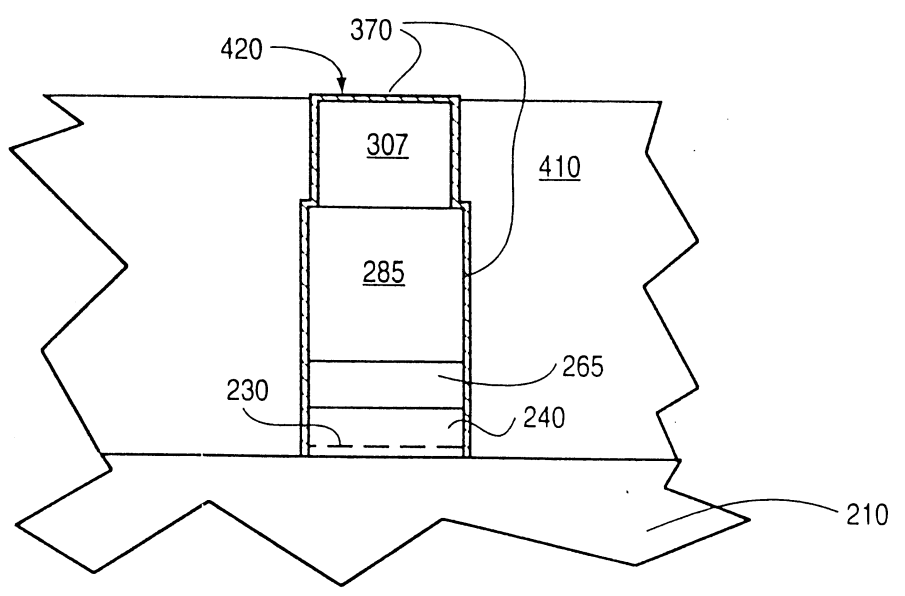
第五I圖



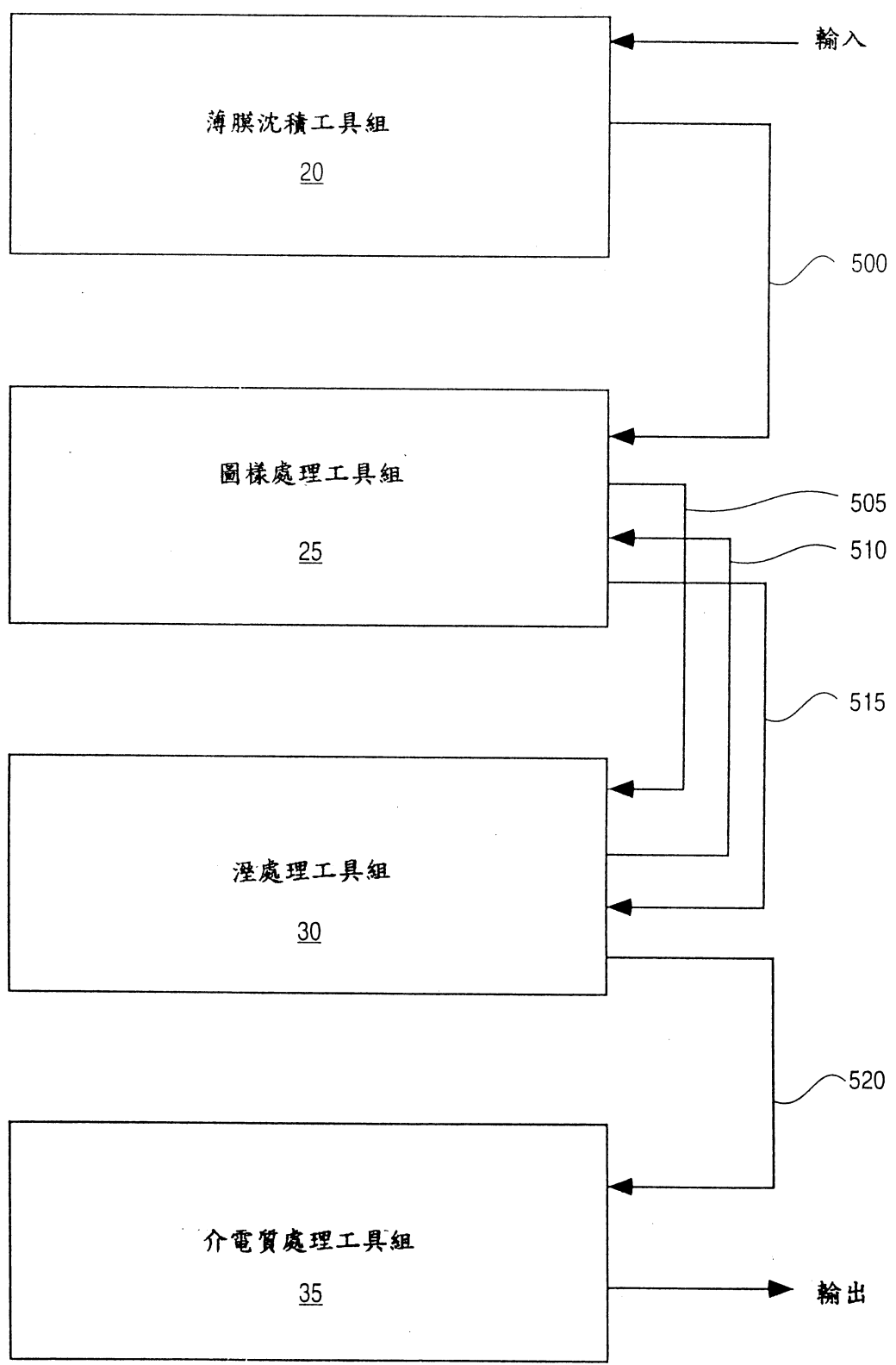
第五J圖



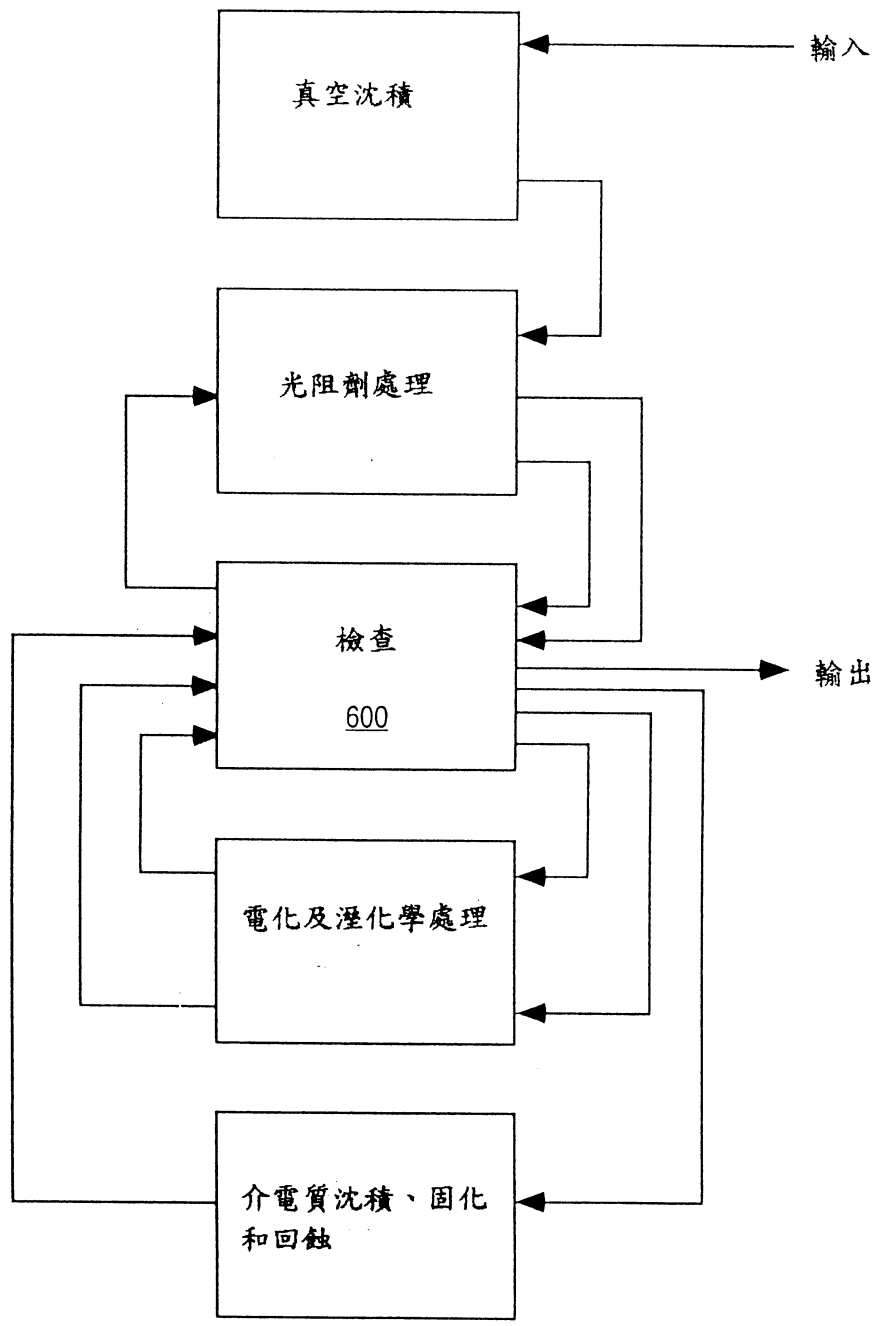
第五K圖



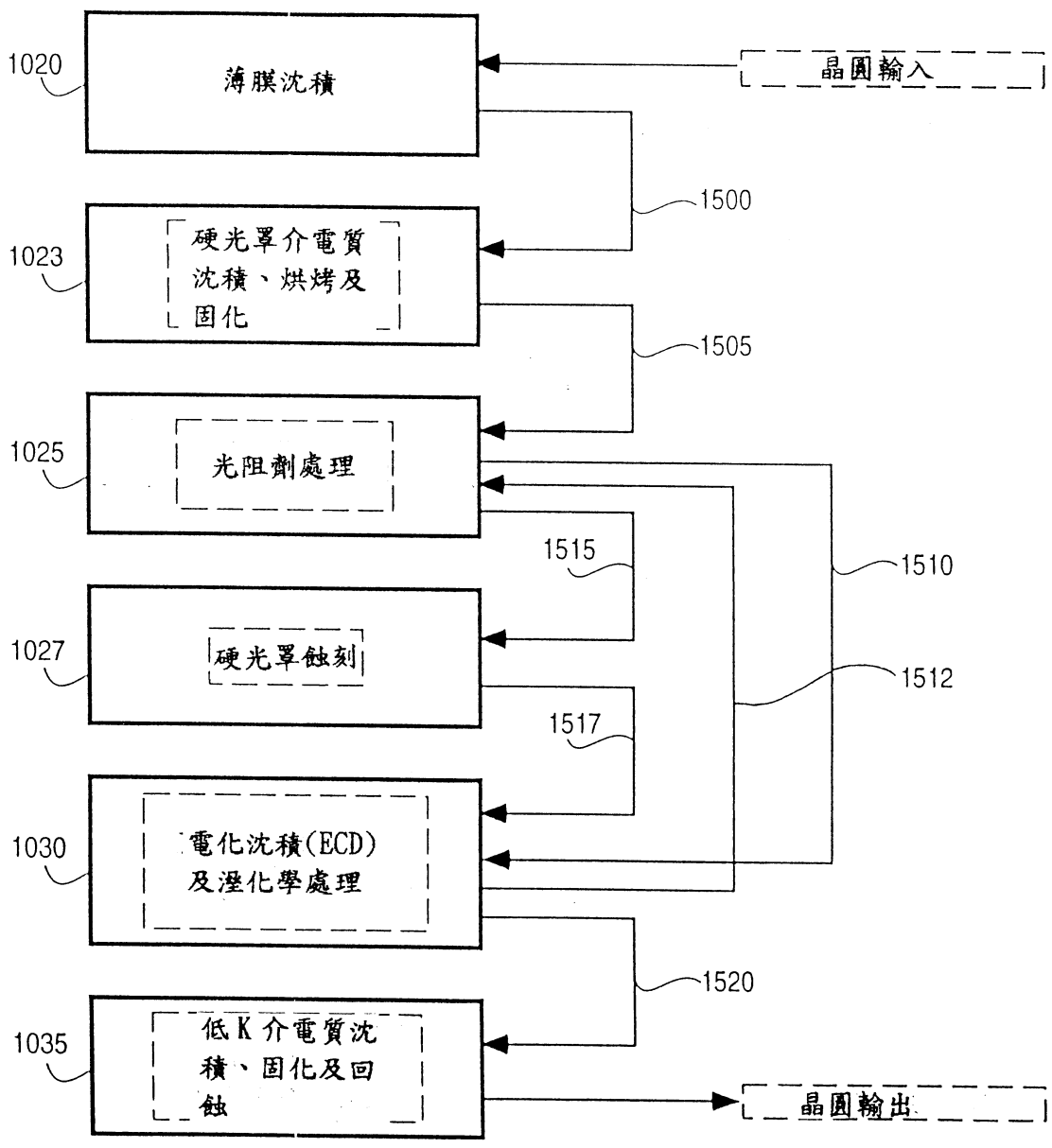
第六圖



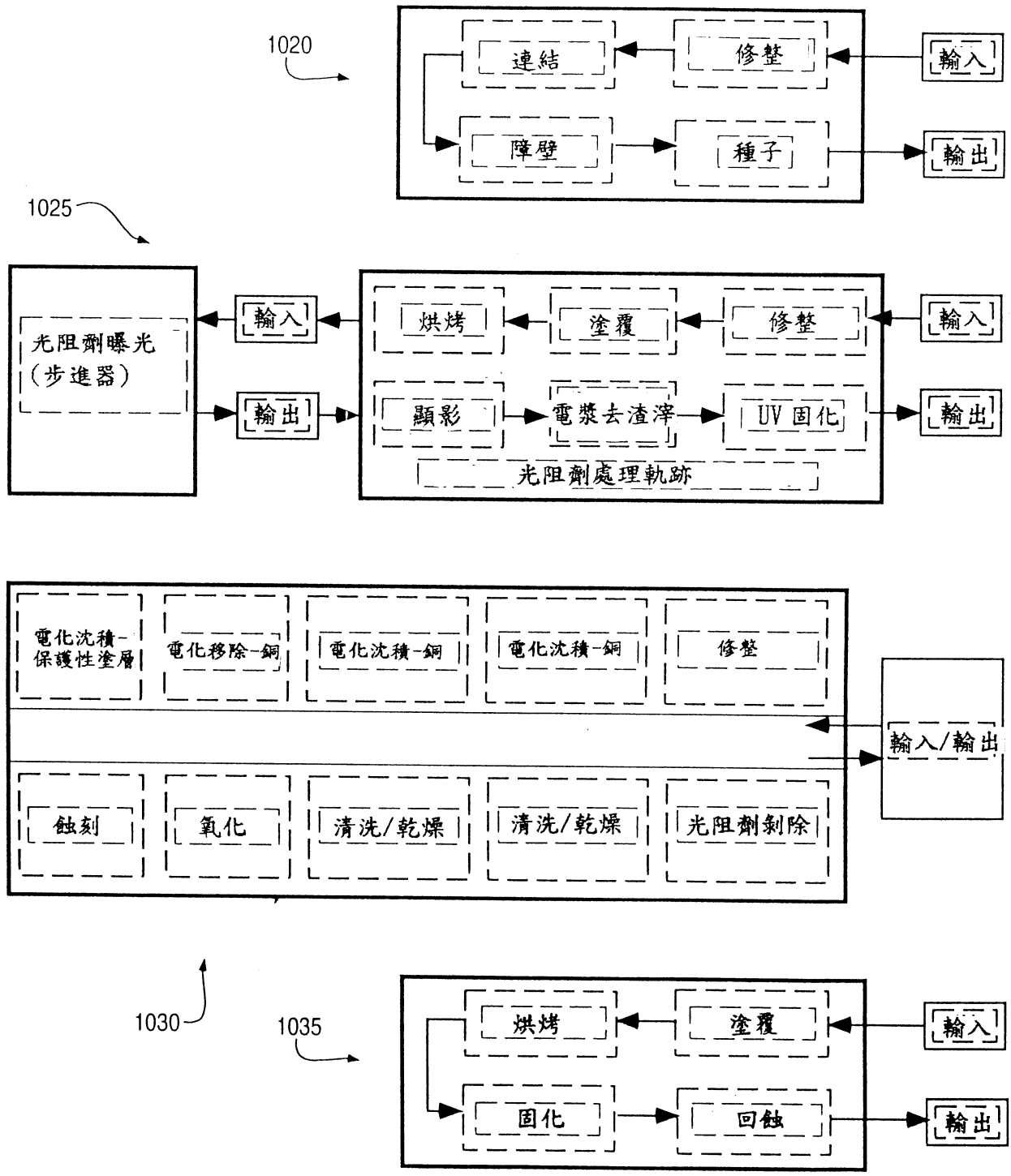
第七圖



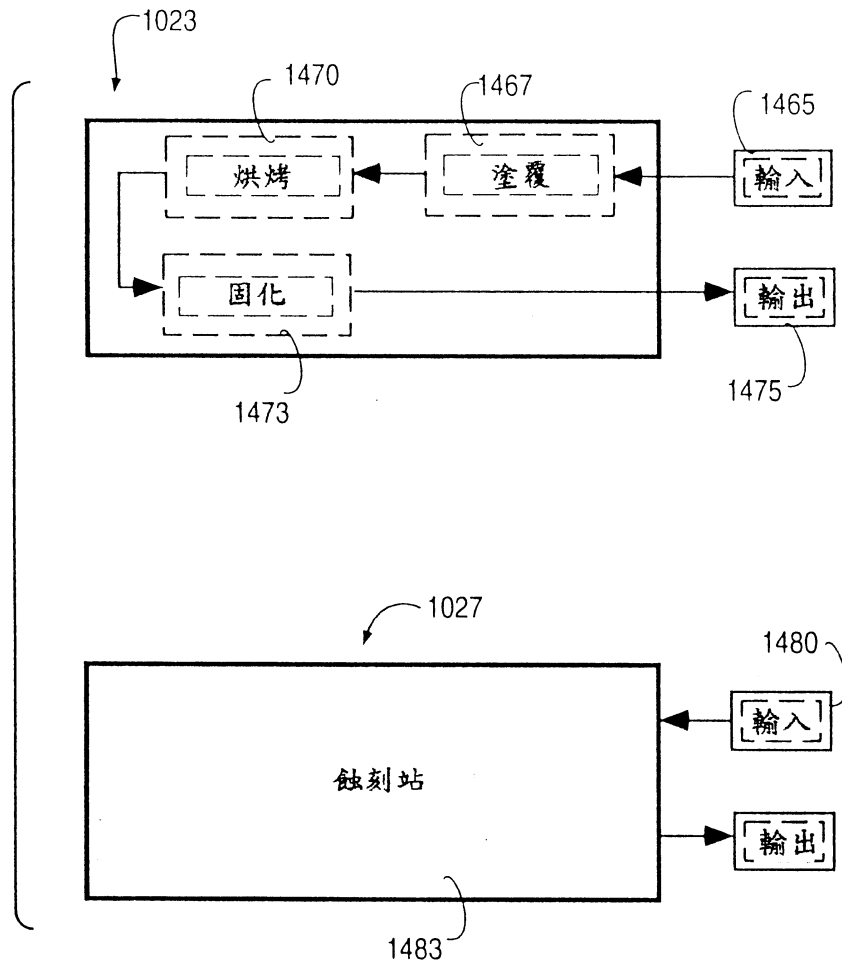
第八圖



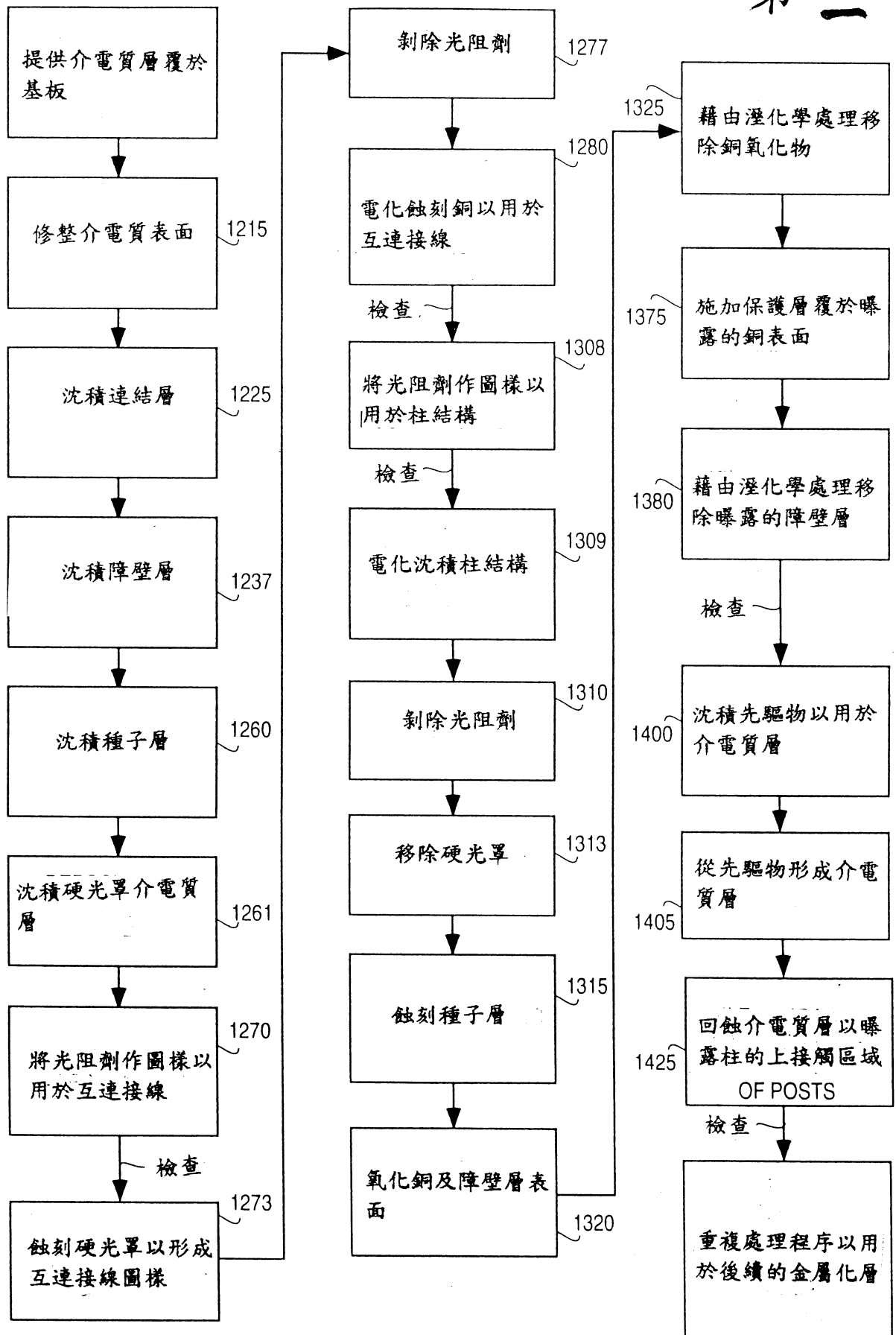
第九圖



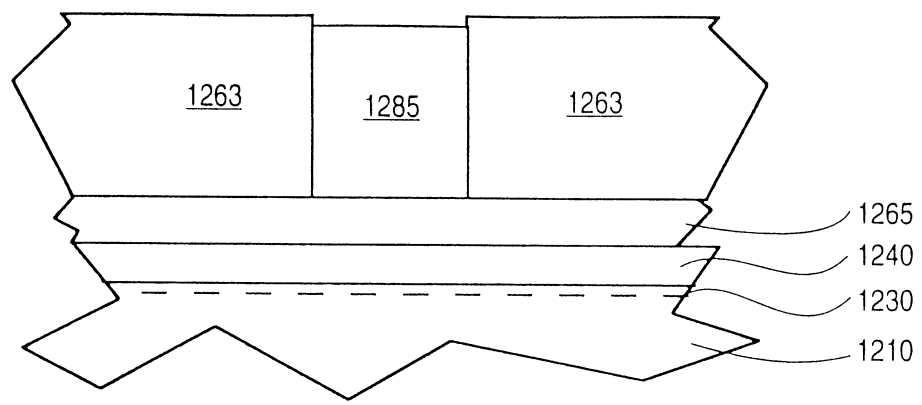
第十圖



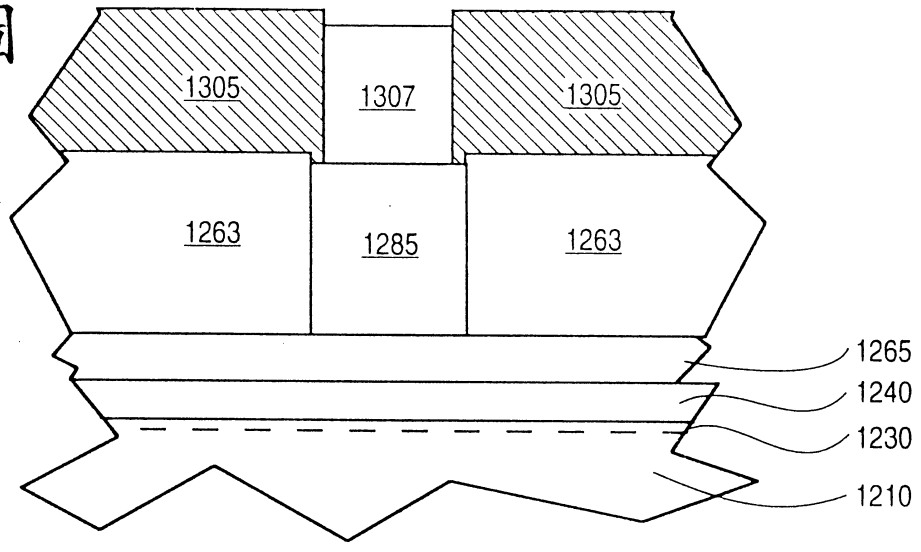
第十圖



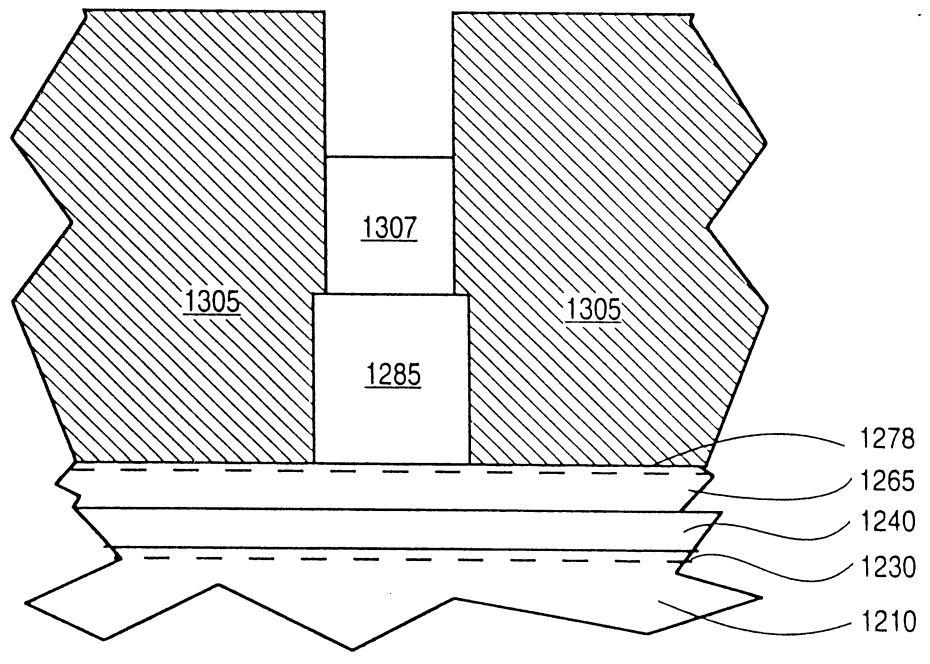
第 十 二 圖



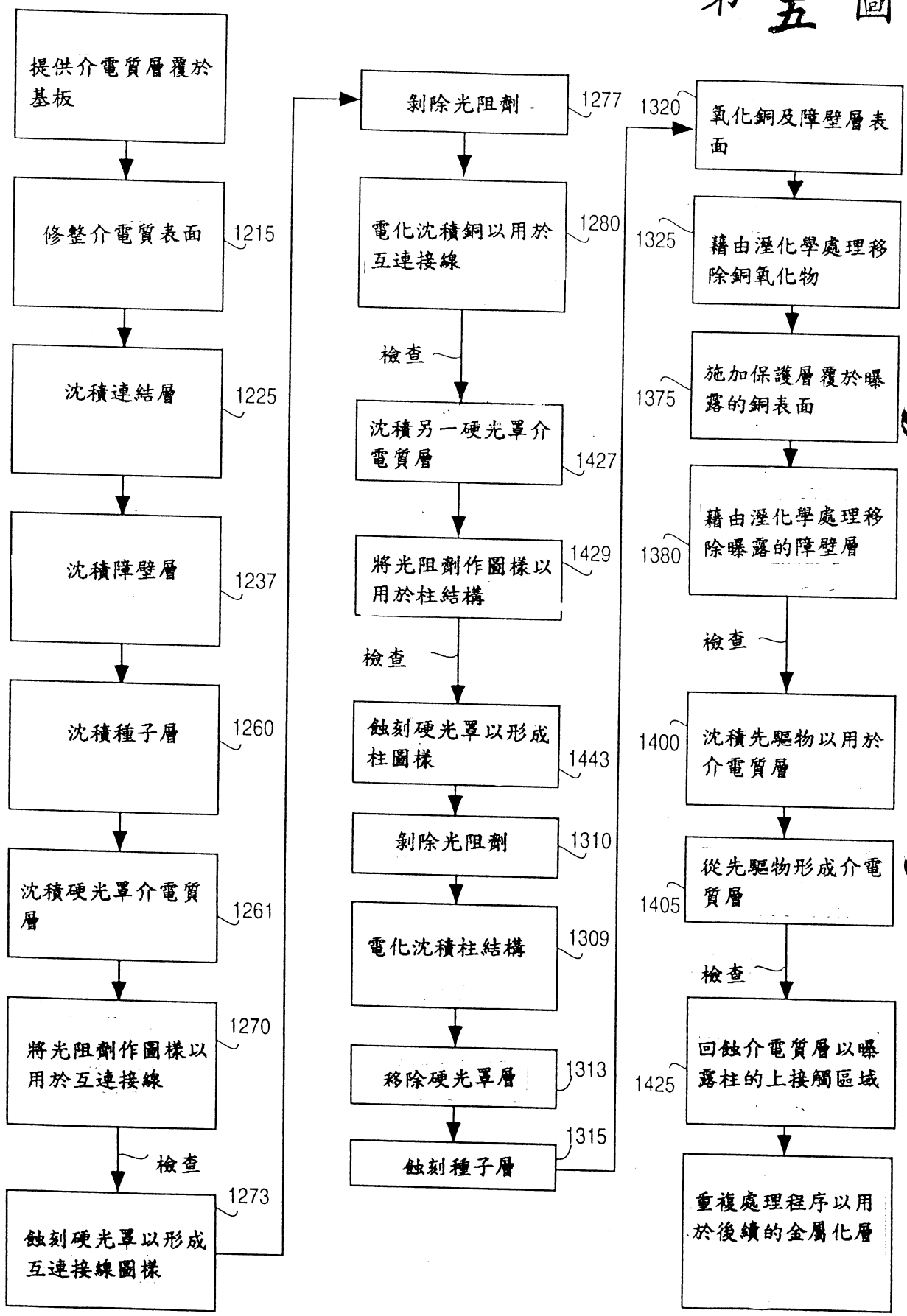
第 十 三 圖



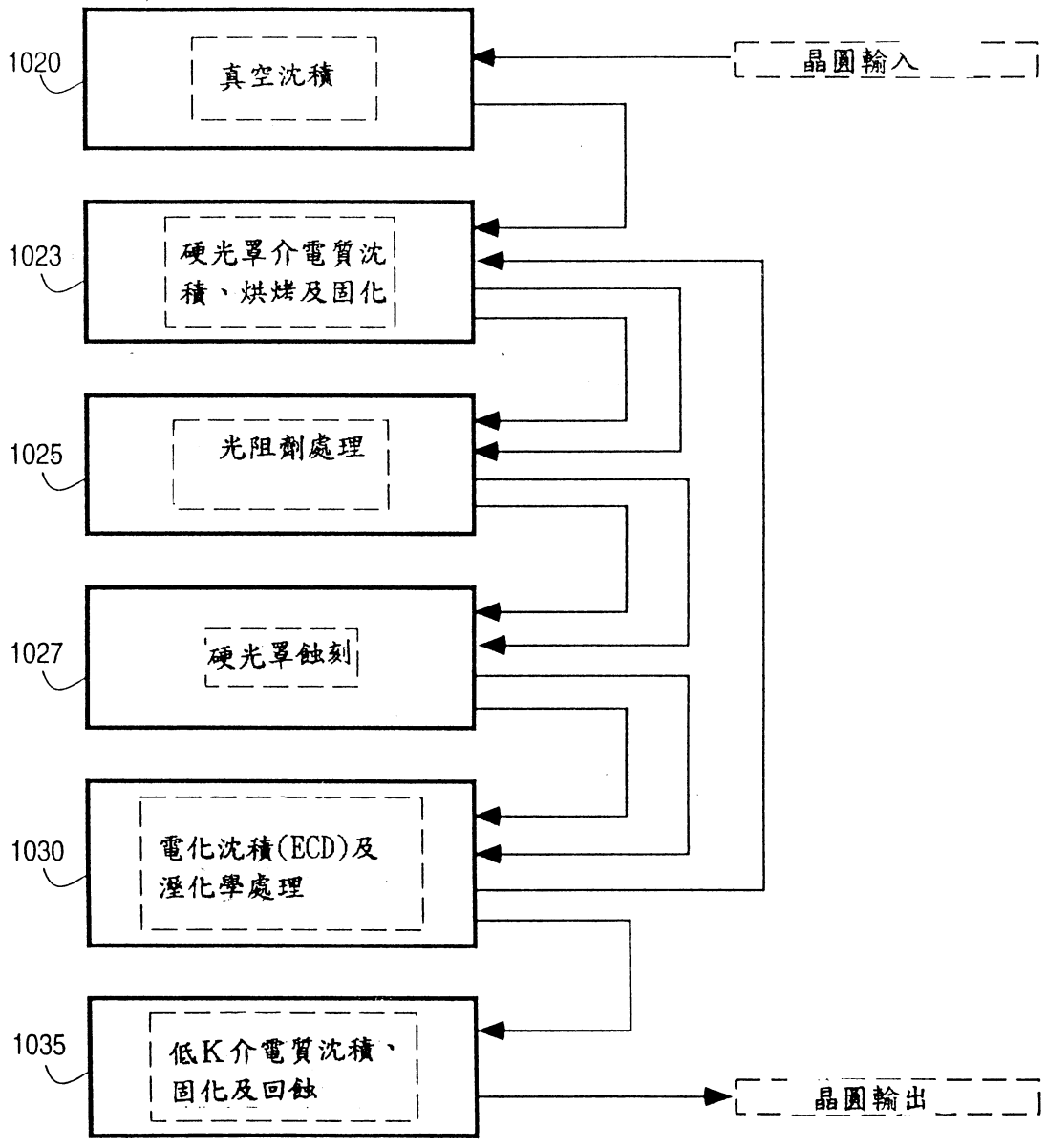
第 十 四 圖



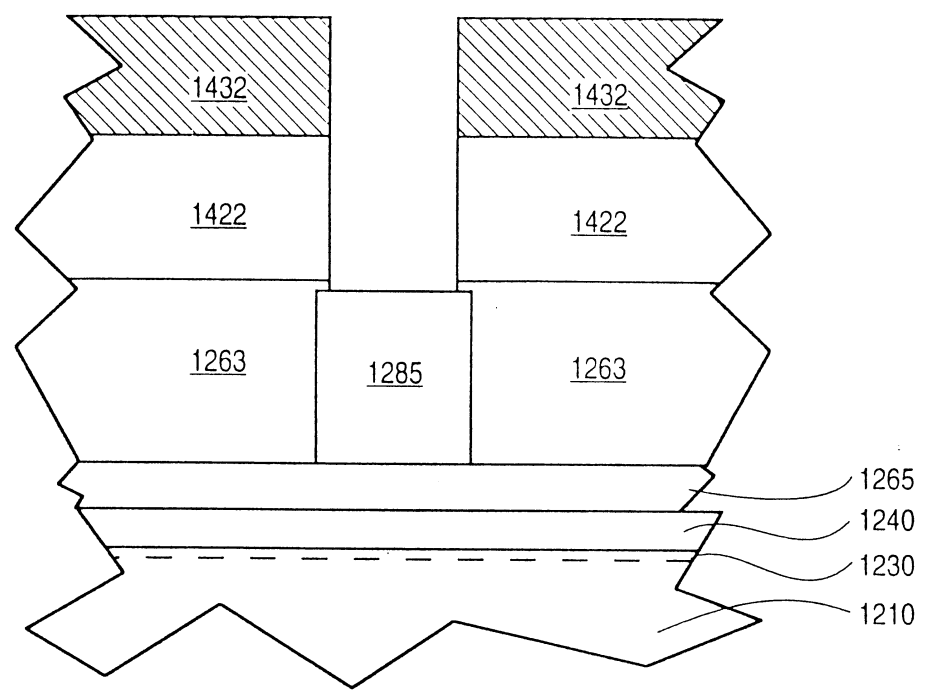
第十五圖



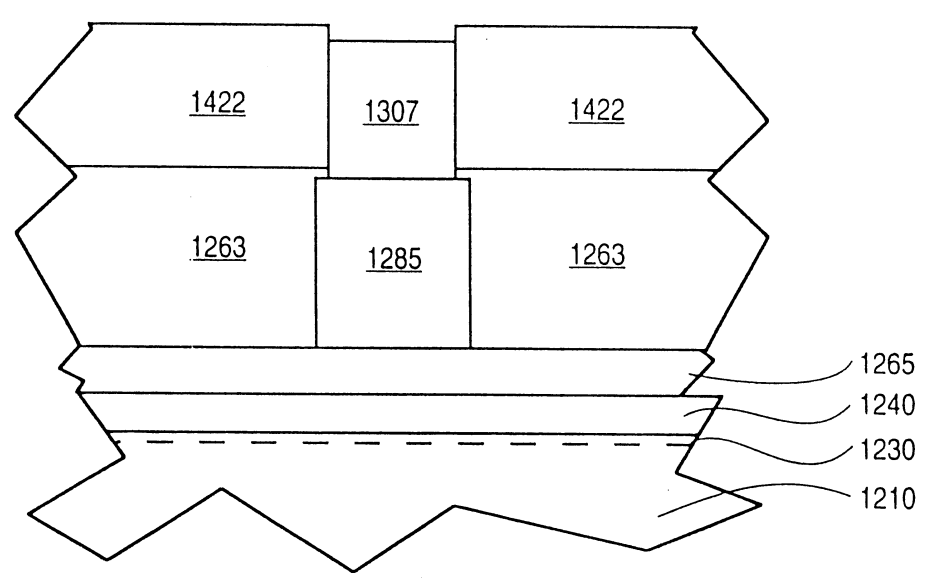
第十六圖



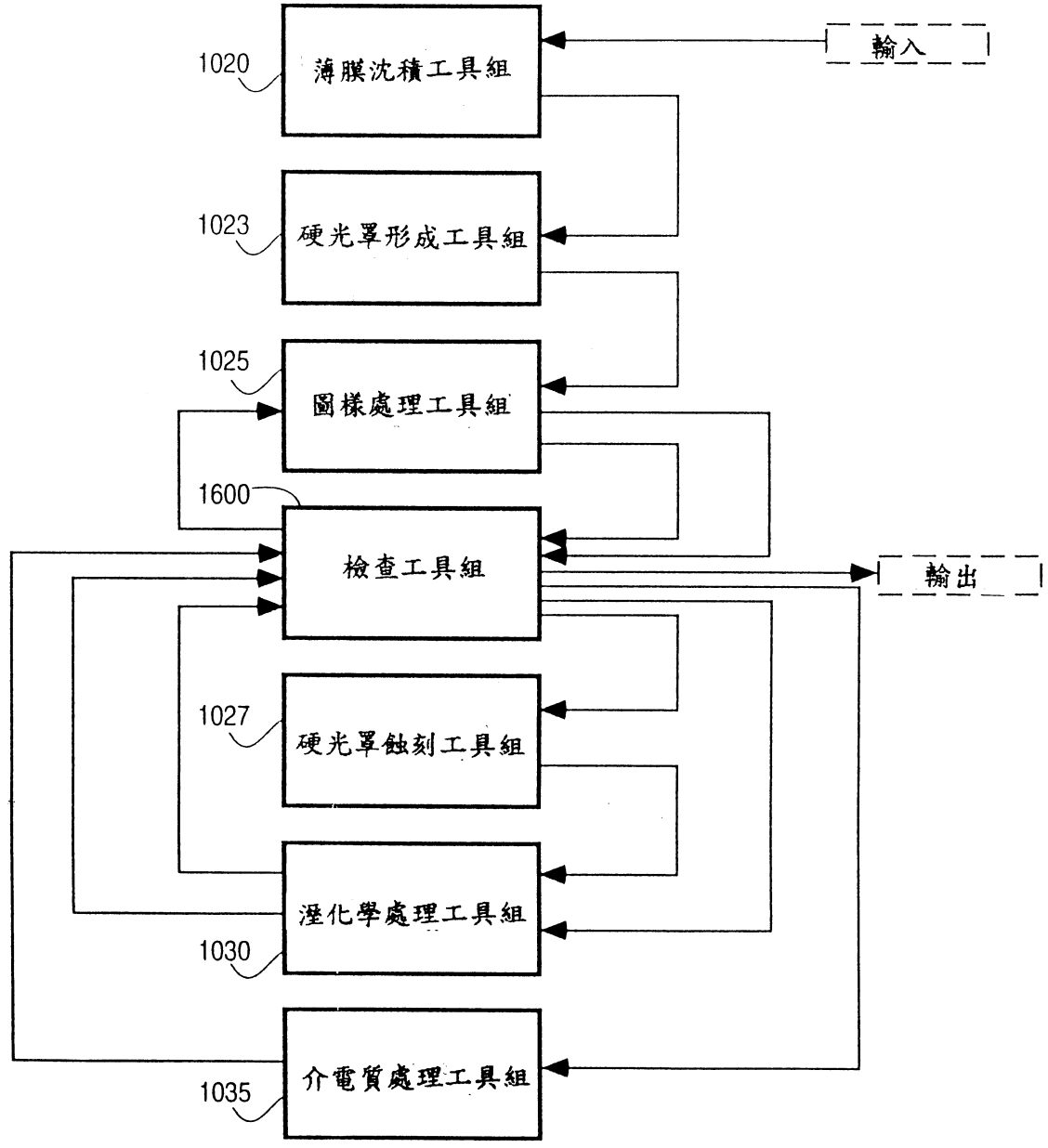
第十七圖



第十八圖



第十九圖



第二十圖

