(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 27/04

(45) 공고일자 2002년12월16일
(11) 등록번호 10-0364802
(24) 등록일자 2002년12월02일

(21) 출원번호 10-2000-0064869
(22) 출원일자 2000년11월02일

(65) 공개번호 특2002-0034495
(43) 공개일자 2002년05월09일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 고상기
충청북도청주시흥덕구복대1동현대1차아파트105-401호
송병옥
충청북도청주시흥덕구향정동현대전자남자기숙사B-716
오희중
충청북도청주시흥덕구가경동세원3차아파트105-807호
김재형
충청북도청주시흥덕구가경동세원3차아파트105-503호

(74) 대리인 강용복
김용인

심사관 : 정해곤

(54) 더미 셀 배치 방법

요약

본 발명은 로딩 효과(loading effect)로부터 메모리 셀을 보호하도록 한 더미 셀 배치 방법에 관한 것으로서, 반도체 기판의 액티브 영역을 가로지르면서 일방향으로 일정한 간격을 갖는 게이트 전극과, 상기 게이트 전극 사이의 액티브 영역에 랜딩 패드와, 상기 랜딩 패드에 연결되는 비트 라인 콘택과, 상기 비트 라인 콘택을 지나며 상기 게이트 전극과 수직한 방향을 형성되는 비트 라인을 포함하여 구성된 메모리 셀의 로딩 효과를 줄이기 위한 더미 셀 배치 방법에 있어서, 상기 반도체 기판의 최외각부에 비트 라인 콘택 대신에 스토리지 노드 콘택을 배치하고, 상기 스토리지 노드 콘택에 전기적으로 연결되는 더미 셀을 배치하는 것을 특징으로 한다.

대표도
도 2e

색인어

더미 셀

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 더미 셀 배치 방법을 나타낸 레이아웃도

도 2a 내지 도 2e는 본 발명에 의한 더미 셀 배치 방법을 나타낸 레이아웃도

도면의 주요 부분에 대한 부호의 설명

21 : 액티브 영역 22 : 게이트 전극

23 : 랜딩 패드 24 : 비트 라인 콘택

25 : 비트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 더미 셀(Dummy cell) 배치 방법에 관한 것으로서, 특히 로딩 효과(loading effect)의 영향으로부터 메모리 셀을 보호하는데 적당한 더미 셀 배치 방법에 관한 것이다.

이하, 첨부된 도면을 참고하여 종래의 더미 셀 배치 방법을 설명하면 다음과 같다.

도 1a 내지 도 1e는 종래의 더미 셀 배치 방법을 나타낸 레이아웃도이다.

도 1a에 도시한 바와 같이, 반도체 기판(도시되지 않음)에 복수개의 액티브 영역(11)을 정의한다.

도 1b에 도시한 바와 같이, 상기 반도체 기판의 전면에 게이트 산화막(도시되지 않음) 및 게이트 전극용 폴리 실리콘층(도시되지 않음)을 차례로 증착하고, 포토 및 식각 공정을 통해 상기 액티브 영역(11)을 가로지르도록 폴리 실리콘층 및 게이트 산화막을 선택적으로 제거하여 일방향으로 일정한 간격을 갖는 게이트 전극(12)을 형성하여 배치한다.

도 1c에 도시한 바와 같이, 상기 게이트 전극(12) 사이의 액티브 영역(11)에 이후 비트 라인과 스토리지 노드(storage node)가 연결될 랜딩 패드(landing pad)(13)를 형성하여 배치한다.

한편, 여기서 상기 게이트 전극(12)과 랜딩 패드(13)는 절연 물질(도시되지 않음)에 의해 절연되어 있다.

도 1d에 도시한 바와 같이, 상기 랜딩 패드(13)를 포함한 전면에 층간 절연막(도시되지 않음)을 형성한 후, 포토 및 식각공정을 통해 상기 랜딩 패드(13)의 소정부분이 노출되도록 층간 절연막을 선택적으로 제거하여 콘택홀을 형성한다.

이어, 상기 콘택홀을 포함한 반도체 기판의 전면에 도전성 물질(도시되지 않음)을 증착한 후 에치백(etch back)이나 CMP 공정을 통해 상기 콘택홀을 매립하여 비트 라인 콘택(14)을 형성하여 배치한다.

도 1e에 도시한 바와 같이, 상기 비트 라인 콘택(14)을 포함한 반도체 기판의 전면에 금속막(도시되지 않음)을 증착하고, 포토 및 식각공정을 통해 상기 게이트 전극(12)의 수직한 방향으로 일정한 간격을 갖고 상기 비트 라인 콘택(14)과 전기적으로 연결되는 비트 라인(15)을 형성하여 배치한다.

상기와 같은 공정을 진행할 때 발생되는 로딩 효과(loading effect) 문제로부터 메모리 셀을 보호하기 위해 더미 셀(도시되지 않음)을 배치하는데, 이때 최외각에 비트 라인 콘택(14)이 전기적으로 연결되도록 배치한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 더미 셀 배치 방법에 있어서 다음과 같은 문제점이 있었다.

즉, 로딩 효과로부터 메모리 셀을 보호하기 위해 배치된 더미 셀이 존재하는 만큼 더미 셀을 형성하기 위한 패터닝(patterning) 공정 진행 중 더미 셀에 문제 발생 가능성이 높다.

따라서 비트 라인 콘택 영역이 최외각에도 형성되어 있으므로 더미 셀의 문제가 비트 라인을 통해 메모리 셀에 영향을 줄 가능성이 높다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 로딩 효과로부터 메모리 셀을 보호하도록 한 더미 셀 배치 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 더미 셀의 배치 방법은 반도체 기판의 액티브 영역을 가로지르면서 일방향으로 일정한 간격을 갖는 게이트 전극과, 상기 게이트 전극 사이의 액티브 영역에 랜딩 패드와, 상기 랜딩 패드에 연결되는 비트 라인 콘택과, 상기 비트 라인 콘택을 지나며 상기 게이트 전극과 수직한 방향을 형성되는 비트 라인을 포함하여 구성된 메모리 셀의 로딩 효과를 줄이기 위한 더미 셀 배치 방법에 있어서, 상기 반도체 기판의 최외각부에 비트 라인 콘택 대신에 스토리지 노드 콘택을 배치하고, 상기 스토리지 노드 콘택에 전기적으로 연결되는 더미 셀을 배치하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 더미 셀의 배치 방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2e는 본 발명에 의한 더미 셀의 배치 방법을 나타낸 레이아웃도이다.

도 2a에 도시한 바와 같이, 반도체 기판(도시되지 않음)에 복수개의 액티브 영역(21)을 정의한다.

도 2b에 도시한 바와 같이, 상기 반도체 기판의 전면에 게이트 산화막(도시되지 않음) 및 게이트 전극용 폴리 실리콘층(도시되지 않음)을 차례로 증착하고, 포토 및 식각 공정을 통해 상기 액티브 영역(21)을 가로지르도록 폴리 실리콘층 및 게이트 산화막을 선택적으로 제거하여 일방향으로 일정한 간격을 갖는 게이트 전극(22)을 형성하여 배치한다.

도 2c에 도시한 바와 같이, 상기 게이트 전극(22) 사이의 액티브 영역(21)에 이후 비트 라인과 스토리지 노드(storage node)가 연결될 랜딩 패드(landing pad)(23)를 형성하여 배치한다.

한편, 여기서 상기 게이트 전극(22)과 랜딩 패드(23)는 절연 물질(도시되지 않음)에 의해 절연되어 있다.

도 2d에 도시한 바와 같이, 상기 랜딩 패드(23)를 포함한 전면에 층간 절연막(도시되지 않음)을 형성한 후, 포토 및 식각공정을 통해 상기 랜딩 패드(23)의 소정부분이 노출되도록 층간 절연막을 선택적으로 제거하여 콘택홀을 형성한다.

이어, 상기 콘택홀을 포함한 반도체 기판의 전면에 도전성 물질(도시되지 않음)을 증착한 후 에치백(etch back)이나 CMP 공정을 통해 상기 콘택홀을 매립하여 비트 라인 콘택(24)을 형성하여 배치한다.

여기서 상기 비트 라인 콘택(24)은 반도체 기판의 최외각부에는 형성하지 않는다.

즉, 이때 반도체 기판의 최외각에 종래와 같이 비트 라인 콘택을 형성하지 않고 비트 라인 콘택 대신에 스토리지 노드 콘택(도시되지 않음)을 형성하여 배치한다.

도 2e에 도시한 바와 같이, 상기 비트 라인 콘택(24)을 포함한 반도체 기판의 전면에 금속막(도시되지 않음)을 증착하고, 포토 및 식각공정을 통해 상기 게이트 전극(22)의 수직한 방향으로 일정한 간격을 갖고 상기 비트 라인 콘택(24)과 전기적으로 연결되는 비트 라인(25)을 형성하여 배치한다.

상기와 같은 공정을 진행할 때 발생되는 로딩 효과(loading effect) 문제로부터 메모리 셀을 보호하기 위해 더미 셀(도시되지 않음)을 배치하는데, 이때 반도체 기판의 최외각에 종래와 같이 비트 라인 콘택을 형성하지 않고 비트 라인 콘택 대신에 스토리지 노드 콘택(도시되지 않음)을 형성하여 배치한 후, 상기 스토리지 노드 콘택에 전기적으로 연결되는 더미 셀을 배치한다.

즉, 상기 비트 라인(25)을 형성하고, 전면에 층간 절연막(도시되지 않음)을 형성한 후, 포토 및 식각공정을 통해 상기 층간 절연막을 선택적으로 제거하여 스토리지 노드 콘택홀을 형성한다. 이때 상기 비트 라인 콘택(24)이 형성되지 않는 최외각의 랜딩 패드(23)의 표면이 소정부분 노출되도록 층간 절연막을 선택적으로 제거한다. 이어, 상기 스토리지 노드 콘택홀의 내부에 도전성 물질을 매립하여 스토리지 노드 콘택을 형성한다.

그리고 상기 반도체 기판의 최외각부에 형성된 스토리지 노드 콘택에 전기적으로 연결되는 더미 셀을 형성한다.

한편, 본 발명의 다른 실시예로 최외곽으로 비트 라인 콘택을 배치하더라도 최외곽 비트 라인 콘택을 패터닝하지 않고, 실제 메모리 셀이 비트 라인 콘택 형성시 받게 될 로딩 효과는 부분 크기로 해결한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 더미 셀 배치 방법은 다음과 같은 효과가 있다.

즉, 메모리 셀의 최외곽부에 스토리지 노드 콘택을 배치한 후 더미 셀을 형성하여 배치함으로서 더미 셀의 형성시 패터닝 공정 등에 의한 불량이 메모리 셀에 영향을 미치는 것을 줄일 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판의 액티브 영역을 가로지르면서 일방향으로 일정한 간격을 갖는 게이트 전극과, 상기 게이트 전극 사이의 액티브 영역에 랜딩 패드와, 상기 랜딩 패드에 연결되는 비트 라인 콘택과, 상기 비트 라인 콘택을 지나며 상기 게이트 전극과 수직한 방향을 형성되는 비트 라인을 포함하여 구성된 메모리 셀의 로딩 효과를 줄이기 위한 더미 셀 배치 방법에 있어서,

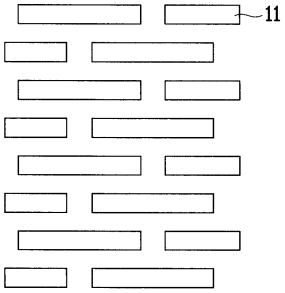
상기 반도체 기판의 최외각부에 비트 라인 콘택 대신에 스토리지 노드 콘택을 배치하고, 상기 스토리지 노드 콘택에 전기적으로 연결되는 더미 셀을 배치하는 것을 특징으로 하는 더미 셀의 배치 방법.

청구항 2.

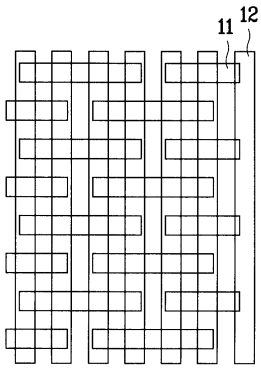
제 1 항에 있어서, 상기 반도체 기판의 최외각에 스토리지 노드 콘택 대신에 비트 라인용 금속막을 패터닝하지 않고 상기 패터닝되지 않는 금속막에 전기적으로 연결되는 더미 셀을 배치하는 것을 특징으로 하는 더미 셀의 배치 방법.

도면

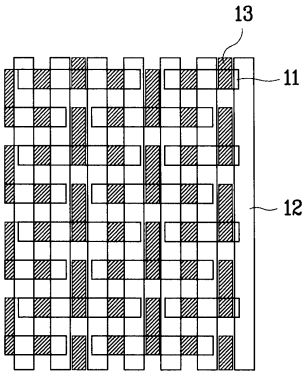
도면 1a



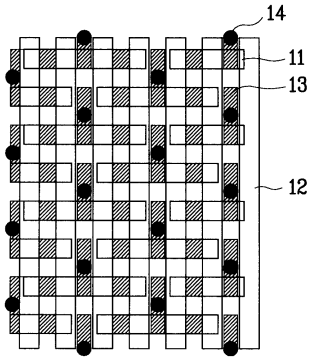
도면 1b



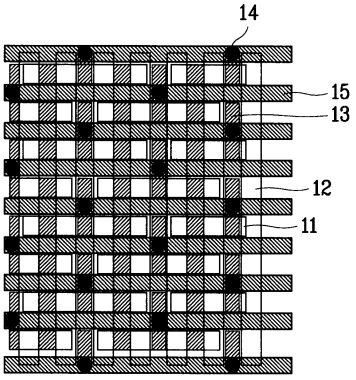
도면 1c



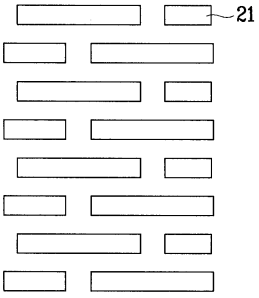
도면 1d



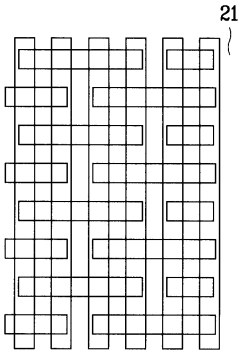
도면 1e



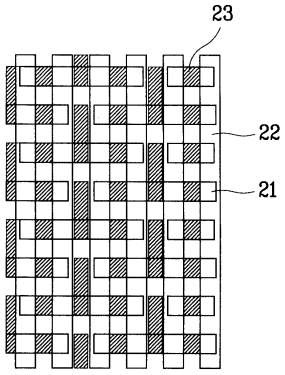
도면 2a



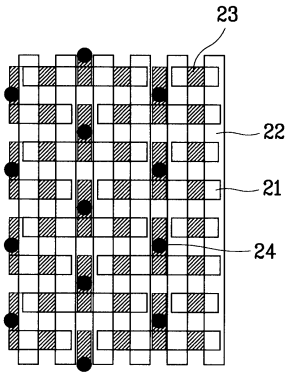
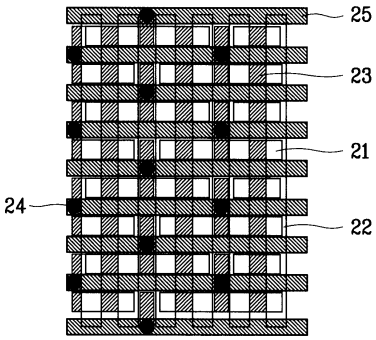
도면 2b



도면 2c



도면 2d



도면 2e