



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월03일  
(11) 등록번호 10-2662851  
(24) 등록일자 2024년04월29일

(51) 국제특허분류(Int. Cl.)  
H01G 4/12 (2006.01) H01G 4/012 (2006.01)  
H01G 4/30 (2006.01)  
(52) CPC특허분류  
H01G 4/1209 (2013.01)  
H01G 4/012 (2013.01)  
(21) 출원번호 10-2018-0102000  
(22) 출원일자 2018년08월29일  
심사청구일자 2021년07월28일  
(65) 공개번호 10-2019-0121159  
(43) 공개일자 2019년10월25일  
(56) 선행기술조사문헌  
KR1020120080657 A\*  
KR1020140071043 A\*  
KR1020140121725 A\*  
US20100110608 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)  
(72) 발명자  
박용  
경기도 수원시 영통구 매영로 150 (매탄동)  
김휘대  
경기도 수원시 영통구 매영로 150 (매탄동)  
홍기표  
경기도 수원시 영통구 매영로 150 (매탄동)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 16 항

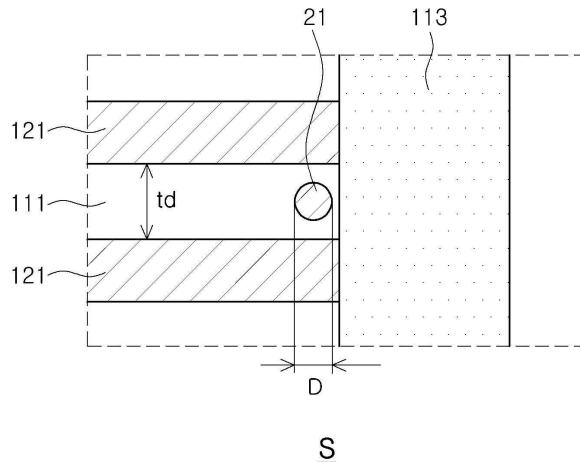
심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 커패시터 및 그 제조 방법

(57) 요약

본 발명의 일 실시형태는 유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디, 상기 세라믹 바디의 내부에 배치되며, 상기 제1 및 제2 면으로 노출되되, 상기 제3 면 또는 제4 면으로 일단이 노출되는 복수의 내부전극 및 상기 제1 면 및 제2 면에 노출된 상기 내부전극의 측부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부를 포함하며, 상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하인 적층 세라믹 커패시터를 제공한다.

대표도 - 도5



(52) CPC특허분류  
*H01G 4/30* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디;

상기 세라믹 바디의 내부에 배치되며, 상기 제1 및 제2 면으로 노출되되, 상기 제3 면 또는 제4 면으로 일단이 노출되는 복수의 내부전극; 및

상기 제1 면 및 제2 면에 노출된 상기 내부전극의 측부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부를 포함하며,

상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하이고,

상기 유전체층의 두께는 0.4  $\mu\text{m}$  이하인 적층 세라믹 커패시터.

#### 청구항 2

제1항에 있어서,

상기 금속은 니켈(Ni)이고, 상기 금속 산화물은 니켈(Ni) 및 마그네슘(Mg)을 포함하는 산화물인 적층 세라믹 커패시터.

#### 청구항 3

제1항에 있어서,

상기 금속 혹은 금속 산화물은 상기 유전체층 영역 중 상기 제1 사이드 마진부 및 제2 사이드 마진부에 인접한 영역 내에 배치된 적층 세라믹 커패시터.

#### 청구항 4

제1항에 있어서,

상기 복수의 내부전극 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께 대비 최외곽에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께의 비율은 0.9 이상 1.0 이하인 적층 세라믹 커패시터.

#### 청구항 5

제1항에 있어서,

상기 복수의 내부전극 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께 대비 상기 세라믹 바디의 모서리와 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께의 비율은 0.9 이상 1.0 이하인 적층 세라믹 커패시터.

#### 청구항 6

제1항에 있어서,  
 상기 내부전극의 두께는 0.4  $\mu\text{m}$  이하인 적층 세라믹 커패시터.

**청구항 7**

제1항에 있어서,  
 상기 제1 사이드 마진부 및 제2 사이드 마진부는 평균 두께가 2 $\mu\text{m}$  이상 10 $\mu\text{m}$  이하인 적층 세라믹 커패시터.

**청구항 8**

제1항에 있어서,  
 상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고,  
 상기 커버부의 두께는 20  $\mu\text{m}$  이하를 만족하는 적층 세라믹 커패시터.

**청구항 9**

복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계;  
 상기 제1 내부전극 패턴과 상기 제2 내부 전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계;  
 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계;  
 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계; 및  
 상기 절단된 적층 바디를 소성하여 유전체층과 내부전극을 포함하는 세라믹 바디를 마련하는 단계;를 포함하며,  
 상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하이고,  
 상기 제1 및 제2 세라믹 그린시트의 두께는 0.6  $\mu\text{m}$  이하인 적층 세라믹 커패시터의 제조방법.

**청구항 10**

제9항에 있어서,  
 상기 금속은 니켈(Ni)이고, 상기 금속 산화물은 니켈(Ni) 및 마그네슘(Mg)을 포함하는 산화물인 적층 세라믹 커패시터의 제조방법.

**청구항 11**

제9항에 있어서,  
 상기 금속 혹은 금속 산화물은 상기 유전체층 영역 중 상기 제1 사이드 마진부 및 제2 사이드 마진부에 인접한 영역 내에 배치된 적층 세라믹 커패시터의 제조방법.

**청구항 12**

제9항에 있어서,

상기 제1 및 제2 내부전극 패턴의 두께는 0.5  $\mu\text{m}$  이하인 적층 세라믹 커패시터의 제조방법.

**청구항 13**

제9항에 있어서,

상기 내부전극 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께 대비 최외곽에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께의 비율은 0.9 이상 1.0 이하인 적층 세라믹 커패시터의 제조방법.

**청구항 14**

제9항에 있어서,

상기 내부전극 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께 대비 상기 세라믹 그린시트 적층 바디의 모서리와 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께의 비율은 0.9 이상 1.0 이하인 적층 세라믹 커패시터의 제조방법.

**청구항 15**

제9항에 있어서,

상기 제1 사이드 마진부 및 제2 사이드 마진부는 평균 두께가 2 $\mu\text{m}$  이상 10 $\mu\text{m}$  이하인 적층 세라믹 커패시터의 제조방법.

**청구항 16**

제9항에 있어서,

상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고,

상기 커버부의 두께는 20  $\mu\text{m}$  이하를 만족하는 적층 세라믹 커패시터의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 세라믹 바디의 측면에 배치된 사이드 마진부에 인접한 유전체층 내에 배치된 니켈 입자 혹은 니켈 산화물의 사이즈를 제어함으로써, 신뢰성을 향상시킬 수 있는 적층 세라믹 커패시터 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 바디, 바디 내부에 형성된 내부전극 및 상기 내부전극과 접촉되도록 세라믹 바디 표면에 설치된 외부전극을 구비한다.

[0004] 최근에는 전자제품이 소형화 및 다기능화됨에 따라 칩 부품 또한 소형화 및 고기능화되는 추세이므로, 적층 세

라믹 커패시터도 크기가 작고, 용량이 큰 고용량 제품이 요구되고 있다.

- [0006] 적층 세라믹 커패시터의 소형 및 고용량화를 위해서는 전극 유효면적의 극대화 (용량구현에 필요한 유효 부피 분율을 증가)가 요구된다.
- [0008] 상기와 같이 소형 및 고용량 적층 세라믹 커패시터를 구현하기 위하여, 적층 세라믹 커패시터를 제조함에 있어서, 내부전극이 바디의 폭 방향으로 노출되도록 함으로써, 마진 없는 설계를 통해 내부전극 폭 방향 면적을 극대화하되, 이러한 칩 제작 후 소성 전 단계에서 칩의 폭 방향 전극 노출면에 사이드 마진부를 별도로 부착하여 완성하는 방법이 적용되고 있다.
- [0010] 그러나, 상기 방법에서 사이드 마진부 형성 과정에서, 유전체층 내부에 내부전극이 포함하는 금속 혹은 상기 금속의 산화물이 배치될 수 있으며, 상기 금속 혹은 금속의 산화물로 인하여 신뢰성이 저하될 수 있다.
- [0012] 구체적으로, 유전체층 내부에 생성된 금속 혹은 금속의 산화물로 인하여 내부 전극 간 거리를 감소시키는 효과가 나타나 전계 집중이 발생하게 되고, 이로 인하여 쇼트 불량률이 발생할 수 있다.
- [0014] 따라서, 초소형 및 고용량 제품에서 쇼트 불량률을 막아 신뢰성을 향상시킬 수 있는 연구가 필요한 실정이다.

**선행기술문헌**

**특허문헌**

- [0016] (특허문헌 0001) 한국공개특허공보 2010-0136917

**발명의 내용**

**해결하려는 과제**

- [0017] 본 발명은 세라믹 바디의 측면에 배치된 사이드 마진부에 인접한 유전체층 내에 배치된 니켈 입자 혹은 니켈 산화물의 사이즈를 제어함으로써, 신뢰성을 향상시킬 수 있는 적층 세라믹 커패시터 및 그 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0018] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디, 상기 세라믹 바디의 내부에 배치되며, 상기 제1 및 제2 면으로 노출되되, 상기 제3 면 또는 제4 면으로 일단이 노출되는 복수의 내부전극 및 상기 제1 면 및 제2 면에 노출된 상기 내부전극의 측부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부를 포함하며, 상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하인 적층 세라믹 커패시터를 제공한다.
- [0020] 본 발명의 다른 실시형태는 복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계, 상기 제1 내부전극 패턴과 상기 제2 내부 전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계 및 상기 절단된 적층 바디를 소성하여 유전체층과 내부전극을 포함하는 세라믹 바디를 마련하는 단계를 포함하며, 상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하인 적층 세라믹 커패시터의 제조방법을 제공한다.

**발명의 효과**

- [0022] 본 발명의 일 실시형태에 의하면, 세라믹 바디의 측면에 배치된 사이드 마진부에 인접한 유전체층 내에 배치된 니켈 입자 혹은 니켈 산화물의 사이즈를 제어함으로써, 내부전극 간 전계 집중을 막아 쇼트 불량률을 감소시킬 수

있다.

**도면의 간단한 설명**

- [0024] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- 도 2는 도 1의 세라믹 바디의 외관을 나타내는 사시도이다.
- 도 3은 도 2의 세라믹 바디의 소성 전 세라믹 그린시트 적층 바디를 나타내는 사시도이다.
- 도 4는 도 2의 B 방향에서 바라본 측면도이다.
- 도 5는 도 4의 S 영역 확대도이다.
- 도 6a 내지 도 6f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0027] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- [0028] 도 2는 도 1의 세라믹 바디의 외관을 나타내는 사시도이다.
- [0029] 도 3은 도 2의 세라믹 바디의 소성 전 세라믹 그린시트 적층 바디를 나타내는 사시도이다.
- [0030] 도 4는 도 2의 B 방향에서 바라본 측면도이다.
- [0032] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 세라믹 바디(110), 상기 세라믹 바디(110)의 내부에 형성되는 복수의 내부전극(121, 122) 및 상기 세라믹 바디(110)의 외표면에 형성되는 외부전극(131, 132)을 포함한다.
- [0034] 상기 세라믹 바디(110)는 서로 대향하는 제1 면(1) 및 제2 면(2)과 상기 제1 면 및 제2 면을 연결하는 제3 면(3) 및 제4 면(4)과 상면과 하면인 제5 면(5) 및 제6 면(6)을 가질 수 있다.
- [0035] 상기 제1 면(1) 및 제2 면(2)은 세라믹 바디(110)의 제2 방향으로서 폭 방향으로 마주보는 면으로, 상기 제3 면(3) 및 제4 면(4)은 제1 방향으로서 길이 방향으로 마주보는 면으로 정의될 수 있으며, 상기 제5 면(5) 및 제6 면(6)은 제3 방향으로서 두께 방향으로 마주보는 면으로 정의될 수 있다.
- [0036] 상기 세라믹 바디(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 직방체 형상일 수 있다.
- [0038] 상기 세라믹 바디(110) 내부에 형성된 복수 개의 내부전극(121, 122)은 세라믹 바디의 제3 면(3) 또는 제4 면(4)으로 일단이 노출된다.
- [0039] 상기 내부전극(121, 122)은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있다.
- [0040] 제1 내부전극(121)의 일단은 제3 면(3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 면(4)으로 노출될 수 있다.
- [0041] 상기 제1 내부전극(121) 및 제2 내부전극(122)의 타단은 제3 면(3) 또는 제4 면(4)으로부터 일정 간격을 두고 형성된다.
- [0042] 상기 세라믹 바디의 제3 면(3) 및 제4 면(4)에는 제1 및 제2 외부전극(131, 132)이 형성되어 상기 내부전극과 전기적으로 연결될 수 있다.
- [0044] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(100)는, 상기 세라믹 바디(110)의 내부에 배치되며, 상기 제1 및 제2 면(1, 2)으로 노출되되, 상기 제3 면(3) 또는 제4 면(4)으로 일단이 노출되는 복수의 내부전극(121,

122) 및 상기 제1 면(1) 및 제2 면(2)에 노출된 상기 내부전극(121, 122)의 측부 상에 배치된 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)를 포함한다.

- [0046] 상기 세라믹 바디(110)의 내부에는 복수의 내부전극(121, 122)이 형성되어 있으며, 상기 복수의 내부전극(121, 122)의 각 측부는 상기 세라믹 바디(110)의 폭 방향 면인 제1 면(1) 및 제2 면(2)에 노출되며, 노출된 측부 상에 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)가 배치된다.
- [0048] 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 평균 두께가  $2\mu\text{m}$  이상  $10\mu\text{m}$  이하일 수 있다.
- [0050] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)는 복수의 유전체층(111)이 적층된 적층체와 상기 적층체의 양 측면에 배치되는 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)로 구성될 수 있다.
- [0052] 상기 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0053] 상기 세라믹 바디(110)의 길이는 세라믹 바디의 제3 면(3)에서 제4 면(4)까지의 거리에 해당한다.
- [0054] 상기 유전체층(111)의 길이는 세라믹 바디의 제3 면(3)과 제4 면(4) 사이의 거리를 형성한다.
- [0055] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 세라믹 바디의 길이는 400 내지  $1400\mu\text{m}$ 일 수 있다. 보다 구체적으로, 세라믹 바디의 길이는 400 내지  $800\mu\text{m}$ 이거나, 600 내지  $1400\mu\text{m}$ 일 수 있다.
- [0057] 상기 유전체층(111) 상에 내부전극(121, 122)이 형성될 수 있으며, 내부전극(121, 122)은 소결에 의하여 일 유전체층을 사이에 두고, 상기 세라믹 바디 내부에 형성될 수 있다.
- [0059] 도 3을 참조하면, 유전체층(111)에 제1 내부전극(121)이 형성되어 있다. 상기 제1 내부전극(121)은 유전체층의 길이 방향에 대해서는 전체적으로 형성되지 않는다. 즉, 제1 내부전극(121)의 일단은 제3 면(3)까지 형성되어 제3 면(3)으로 노출되고, 제1 내부전극(121)의 타단은 세라믹 바디의 제4 면(4)으로부터 소정의 간격을 두고 형성될 수 있다.
- [0060] 세라믹 바디의 제3 면(3)으로 노출된 제1 내부전극의 단부는 제1 외부전극(131)과 연결된다.
- [0061] 제1 내부전극과 반대로 제2 내부전극(122)의 일단은 제4 면(4)으로 노출되어 제2 외부전극(132)과 연결되고, 제2 내부전극(122)의 타단은 제3 면(3)으로부터 소정의 간격을 두고 형성된다.
- [0062] 상기 내부전극은 고용량 적층 세라믹 커패시터 구현을 위해 400층 이상 적층될 수 있으나 반드시 이에 제한되는 것은 아니다.
- [0064] 상기 유전체층(111)은 제1 내부전극(121)의 폭과 동일한 폭을 가질 수 있다. 즉, 상기 제1 내부전극(121)은 유전체층(111)의 폭 방향에 대해서는 전체적으로 형성될 수 있다.
- [0065] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 유전체층의 폭 및 내부전극의 폭은 100 내지  $900\mu\text{m}$ 일 수 있다. 보다 구체적으로, 유전체층의 폭 및 내부전극의 폭은 100 내지  $500\mu\text{m}$ 이거나, 100 내지  $900\mu\text{m}$ 일 수 있다.
- [0067] 세라믹 바디가 소형화될수록 사이드 마진부의 두께가 적층 세라믹 커패시터의 전기적 특성에 영향을 미칠 수 있다. 본 발명의 일 실시형태에 따르면 사이드 마진부의 두께가  $10\mu\text{m}$  이하로 형성되어 소형화된 적층 세라믹 커패시터의 특성을 향상시킬 수 있다.
- [0068] 즉, 사이드 마진부의 두께가  $10\mu\text{m}$  이하로 형성됨으로써, 용량을 형성하는 내부전극의 중첩 면적을 최대로 확보함으로써, 고용량 및 소형 적층 세라믹 커패시터를 구현할 수 있다.
- [0070] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부(A)와, 상하 마진부로서 액티브부(A)의 상하부에 각각 형성된 상부 및 하부 커버부(114, 115)로 구성될 수 있다.
- [0072] 상기 액티브부(A)는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.
- [0074] 상기 상부 및 하부 커버부(114, 115)는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0075] 즉, 상기 상부 및 하부 커버부(114, 115)는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨( $\text{BaTiO}_3$ )계



세라믹 재료를 포함할 수 있다.

- [0076] 상기 상부 및 하부 커버부(114, 115)는 각각 20  $\mu\text{m}$  이하의 두께를 가질 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0078] 본 발명의 일 실시형태에서 내부전극과 유전체층은 동시에 절단되어 형성되는 것으로, 내부전극의 폭과 유전체층의 폭은 동일하게 형성될 수 있다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0080] 본 실시형태에서, 유전체층의 폭은 내부전극의 폭과 동일하게 형성되며, 이로 인하여 세라믹 바디(110)의 폭 방향 제1 및 제2 면으로 내부전극(121, 122)의 측부가 노출될 수 있다.
- [0081] 상기 내부전극(121, 122)의 측부가 노출된 세라믹 바디(110)의 폭 방향 양 측면에는 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)가 형성될 수 있다.
- [0083] 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 10 $\mu\text{m}$  이하일 수 있다. 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께가 작을수록 상대적으로 세라믹 바디 내에 형성되는 내부전극의 중첩 면적이 넓어질 수 있다.
- [0084] 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 세라믹 바디(110)의 측면으로 노출되는 내부전극의 쇼트를 방지할 수 있는 두께를 가지면 특별히 제한되지 않으나, 예를 들면 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 2 $\mu\text{m}$  이상일 수 있다.
- [0085] 상기 제1 및 제2 사이드 마진부의 두께가 2 $\mu\text{m}$  미만이면 외부 충격에 대한 기계적 강도가 저하될 우려가 있고, 상기 제1 및 제2 사이드 마진부의 두께가 10 $\mu\text{m}$  를 초과하면 상대적으로 내부전극의 중첩 면적이 감소하여 적층 세라믹 커패시터의 고용량을 확보하기 어려울 수 있다.
- [0087] 적층 세라믹 커패시터의 용량을 극대화하기 위해서 유전체층을 박막화하는 방법, 박막화된 유전체층을 고적층화하는 방법, 내부전극의 커버리지를 향상시키는 방법 등이 고려되고 있다.
- [0088] 또한, 용량을 형성하는 내부전극의 중첩 면적을 향상시키는 방법이 고려되고 있다.
- [0089] 내부전극의 중첩 면적을 늘리기 위해서는 내부전극이 형성되지 않은 마진부 영역이 최소화되어야 한다.
- [0090] 특히, 적층 세라믹 커패시터가 소형화될수록 내부전극의 중첩 영역을 늘리기 위해서는 마진부 영역이 최소화되어야 한다.
- [0092] 본 실시형태에 따르면, 유전체층의 폭 방향 전체에 내부전극이 형성되고, 사이드 마진부의 두께가 10 $\mu\text{m}$  이하로 설정되어 내부전극의 중첩 면적이 넓은 특징을 갖는다.
- [0094] 일반적으로, 유전체층이 고적층화 될수록 유전체층 및 내부 전극의 두께는 얇아지게 된다. 따라서 내부 전극이 쇼트되는 현상이 빈번하게 발생할 수 있다. 또한, 유전체층 일부에만 내부전극이 형성되는 경우 내부전극에 의한 단차가 발생하여 절연 저항의 가속 수명이나 신뢰성이 저하될 수 있다.
- [0096] 그러나, 본 실시형태에 따르면 박막의 내부전극 및 유전체층을 형성하더라도, 내부전극이 유전체층의 폭방향에 대하여 전체적으로 형성되기 때문에 내부전극의 중첩 면적이 커져 적층 세라믹 커패시터의 용량을 크게 할 수 있다.
- [0097] 또한, 내부 전극에 의한 단차를 감소시켜 절연 저항의 가속 수명이 향상되어 용량 특성이 우수하면서도 신뢰성이 우수한 적층 세라믹 커패시터를 제공할 수 있다.
- [0099] 도 5는 도 4의 S 영역 확대도이다.
- [0101] 도 5를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, 상기 유전체층(111) 내에는 금속 혹은 금속 산화물(21)이 배치되며, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비가 0.8 이하를 만족한다.
- [0103] 본 발명의 일 실시형태와 같이, 적층 세라믹 커패시터의 제작 과정에서 소성 전 단계에서 세라믹 바디의 폭 방향 전극 노출면에 사이드 마진부를 별도로 부착하는 경우, 사이드 마진부 형성 과정에서, 유전체층 내부에 내부전극이 포함하는 금속 혹은 금속의 산화물이 배치될 수 있으며, 상기 금속 혹은 금속의 산화물로 인하여 신뢰성이 저하될 수 있다.
- [0105] 구체적으로, 유전체층 내부에 생성된 금속 혹은 금속의 산화물로 인하여 내부 전극 간 거리를 감소시키는 효과

가 나타나 전계 집중이 발생하게 되고, 이로 인하여 쇼트 불량이 발생할 수 있다.

- [0107] 즉, 전위차가 있는 내부 전극 사이에 중성 도체가 침투할 경우, 도체의 성질에 따라 도체 내 전하가 재배열하게 되며, 재배열된 중성 도체는 전극과 같은 효과를 가질 수 있어, 결과적으로 내부 전극 간 거리를 감소시키게 되므로, 내부 전극 사이의 전계 강도가 증가한다.
- [0109] 이와 같이 유전체층 내에 중성 도체인 금속 혹은 금속의 산화물이 침투할 경우 내부 전극 사이의 전계 강도 증가 효과에 의해 쇼트 불량이 발생할 가능성이 높아진다.
- [0111] 본 발명의 일 실시형태에 따르면, 유전체층 내에 생성된 금속 혹은 금속 산화물의 입자 사이즈를 제어함으로써, 전계 집중량을 예측할 수 있어 쇼트 불량을 감소시킬 수 있다.
- [0113] 구체적으로, 상기 유전체층(111) 내에는 금속 혹은 금속 산화물(21)이 배치되며, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비가 0.8 이하를 만족하도록 조절함으로써, 내부 전극 내 증가하는 전계를 제어하여 쇼트 불량을 감소시킬 수 있다.
- [0115] 상기 유전체층(111) 내에는 금속 혹은 금속 산화물(21)이 배치되며, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비가 0.8을 초과할 경우, 전극과 같은 효과를 가지는 금속 혹은 금속 산화물(21)의 직경(D)이 커져서 내부 전극 간 거리가 짧아지는 효과로 인하여 쇼트 불량이 발생할 수 있다.
- [0117] 반면, 본 발명의 일 실시형태에서 상기 금속 혹은 금속 산화물(21)의 직경(D)은 작을수록 쇼트 불량 가능성은 낮아지기 때문에, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비율의 하한 값은 특별히 특정하지 않는다.
- [0119] 상기 금속 혹은 금속 산화물(21)에서 상기 금속은 니켈(Ni)이고, 상기 금속 산화물은 니켈(Ni) 및 마그네슘(Mg)을 포함하는 산화물일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0121] 상기 제1 및 제2 내부전극(121, 122)이 니켈(Ni)을 포함하는 경우에는 상기 유전체층(111) 내에 배치된 금속 혹은 금속 산화물(21)은 상기와 같이 니켈(Ni) 혹은 니켈(Ni) 및 마그네슘(Mg)을 포함하는 산화물일 수 있다.
- [0123] 다른 예로, 상기 제1 및 제2 내부전극(121, 122)이 니켈(Ni) 이외의 다른 금속을 포함할 경우에는 상기 유전체층(111) 내에 배치된 금속 혹은 금속 산화물(21) 역시 니켈(Ni) 이외의 다른 금속 혹은 그 금속의 산화물일 수 있다.
- [0125] 상기 금속 혹은 금속 산화물(21)은 상기 유전체층(111) 영역 중 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)에 인접한 영역 내에 배치될 수 있다.
- [0127] 본 발명의 일 실시형태에서, 상기 유전체층(111) 내에 배치된 금속 혹은 금속 산화물(21)은 상술한 바와 같이 소성 전 단계에서 세라믹 바디의 폭 방향 전극 노출면에 사이드 마진부를 별도로 부착하는 경우 유전체층 내에 침투할 수 있기 때문에, 상기 금속 혹은 금속 산화물(21)의 유전체층 내로의 확산에는 한계가 있으므로, 상기 유전체층(111) 영역 중 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)에 인접한 영역 내에 배치될 수 있다.
- [0129] 환언하면, 종래의 적층 세라믹 커패시터의 제조 방법과 같이 별도의 사이드 마진부를 부착하지 않는 경우에는 유전체층 내에 금속 혹은 금속 산화물이 배치될 가능성은 낮으며, 특히 세라믹 바디의 폭 방향 마진부에 인접한 유전체층 영역 내에 금속 혹은 금속 산화물이 배치될 가능성은 낮다.
- [0131] 또한, 세라믹 바디의 폭 방향 측면인 사이드 마진부에서 먼 거리인 세라믹 바디의 중앙부 영역에서의 유전체층 내부에도 금속 혹은 금속 산화물이 배치될 가능성은 낮다고 할 수 있다.
- [0133] 따라서, 금속 혹은 금속 산화물(21)이 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)에 인접한 유전체층(111) 영역 내에 배치되는 특징은 본 발명의 고유한 현상이며, 본 발명의 일 실시형태에서는 이러한 금속 혹은 금속 산화물(21)의 직경을 제어함으로써, 내부 전극 간 전계 집중을 조절하여 쇼트 불량을 감소시키는 것을 주요한 특징으로 한다.
- [0135] 특히, 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)의 두께는 0.4  $\mu\text{m}$  이하이고, 상기 내부전극(121, 122)의 두께는 0.4  $\mu\text{m}$  이하의 초소형 및 고용량 적층 세라믹 커패시터를 특징으로 한다.
- [0137] 본 발명의 일 실시형태와 같이, 상기 유전체층(111)의 두께는 0.4  $\mu\text{m}$  이하이고, 상기 내부전극(121, 122)의 두께는 0.4  $\mu\text{m}$  이하인 박막의 유전체층과 내부전극이 적용된 초소형 및 고용량 적층 세라믹 커패시터의 경우에 내

부 전극 간 전계 집중에 따른 쇼트 불량률의 신뢰성 문제가 매우 중요한 이슈이다.

- [0139] 즉, 종래의 적층 세라믹 커패시터의 경우에 비하여 본 발명의 일 실시형태에서는 유전체층(111)과 내부전극(121, 122)의 두께가 0.4  $\mu\text{m}$  이하인 초소형 및 고용량 적층 세라믹 커패시터에 적용되는 기술이기 때문에, 유전체층의 두께가 얇아 내부 전극 간 거리가 가까워 전계가 집중될 가능성이 높다.
- [0141] 이러한, 박막의 초소형 고용량 적층 세라믹 커패시터에 더하여 본 발명의 일 실시형태에서는 소성 전 단계에서 세라믹 바디의 폭 방향 전극 노출면에 사이드 마진부를 별도로 부착하기 때문에, 사이드 마진부 형성 과정에서, 유전체층 내부에 내부전극이 포함하는 금속 혹은 금속의 산화물이 배치될 수 있다.
- [0143] 이 경우, 상술한 바와 같이 상기 금속 혹은 금속의 산화물이 전극 역할을 하게 되어 내부 전극 간 거리는 더욱 가까워지는 효과가 나타나므로 전계 집중에 따른 쇼트 불량 가능성은 더욱 높아질 수 있다.
- [0145] 그러나, 본 발명의 일 실시형태와 같이 별도의 사이드 마진부가 부착된 초소형 및 고용량 적층 세라믹 커패시터에 있어서, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비가 0.8 이하를 만족하도록 조절함으로써, 유전체층(111)과 제1 및 제2 내부전극(121, 122)의 두께가 0.4  $\mu\text{m}$  이하인 박막의 경우에도 신뢰성을 향상시킬 수 있다.
- [0147] 다만, 상기 박막의 의미가 유전체층(111)과 제1 및 제2 내부전극(121, 122)의 두께가 0.4  $\mu\text{m}$  이하인 것을 의미하는 것은 아니며, 종래의 제품보다 얇은 두께의 유전체층과 내부전극을 포함하는 개념으로 이해될 수 있다.
- [0149] 본 발명의 일 실시형태에서, 상기 유전체층(111)의 두께(td) 대비 상기 금속 혹은 금속 산화물(21)의 직경(D) 비가 0.8 이하를 만족하도록 조절하는 방법은 세라믹 바디의 폭 방향 측면에 제1 및 제2 사이드 마진부를 형성한 이후 소성 과정에서 소성 온도 프로파일을 조절하거나, 승온 속도를 조절함으로써, 상기 금속 혹은 금속 산화물(21)의 직경(D)을 제어할 수 있다.
- [0151] 도 4를 참조하면, 상기 복수의 내부전극(121, 122) 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc1) 대비 최외곽에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc2)의 비율은 1.0 이하일 수 있다.
- [0152] 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc1) 대비 최외곽에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc2)의 비율의 하한값은 특별히 제한되는 것은 아니지만, 0.9 이상인 것이 바람직하다.
- [0154] 본 발명의 일 실시형태에 따르면, 상기 제1 또는 제2 사이드 마진부가 종래와 달리 세라믹 그린 시트를 세라믹 바디의 측면에 부착하여 형성하기 때문에 제1 또는 제2 사이드 마진부의 위치별 두께가 일정하다.
- [0155] 즉, 종래에는 사이드 마진부를 세라믹 슬러리를 도포 혹은 인쇄하는 방식으로 형성하였기 때문에, 사이드 마진부의 위치별 두께의 편차가 심하였다.
- [0156] 구체적으로, 종래의 경우에는 세라믹 바디의 중앙부에 배치되는 내부전극의 말단과 접하는 제1 또는 제2 사이드 마진부 영역의 두께가 다른 영역의 두께에 비하여 두껍게 형성되었다.
- [0157] 예를 들면, 종래의 경우 중앙부에 배치되는 내부전극의 말단과 접하는 제1 또는 제2 사이드 마진부 영역의 두께 대비 최외곽에 배치되는 내부전극의 말단과 접하는 제1 또는 제2 사이드 마진부 영역의 두께의 비율은 0.9 미만 정도로서 그 편차가 크다.
- [0158] 이와 같이 사이드 마진부의 위치별 두께의 편차가 큰 종래의 경우, 동일 사이즈 적층 세라믹 커패시터에 있어서 사이드 마진부가 차지하는 부분이 크기 때문에 용량 형성부의 사이즈를 크게 확보할 수 없어 고용량 확보에 어려움이 있다.
- [0160] 반면, 본 발명의 일 실시형태는 제1 및 제2 사이드 마진부(112, 113)의 평균 두께가 2 $\mu\text{m}$  이상 10 $\mu\text{m}$  이하이고, 상기 복수의 내부전극(121, 122) 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc1) 대비 최외곽에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc2)의 비율은 0.9 이상 1.0 이하이기 때문에, 사이드 마진부의 두께가 얇고 두께의 편차가 적어서 용량 형성부의 사이즈를 크게 확보할 수 있다.
- [0161] 본 발명의 일 실시형태에서는 종래와 달리 세라믹 그린 시트를 세라믹 바디의 측면에 부착하여 형성하기 때문에 제1 또는 제2 사이드 마진부의 위치별 두께가 일정하다.

- [0162] 이로 인하여, 고용량 적층 세라믹 커패시터의 구현이 가능하다.
- [0164] 한편, 도 4를 참조하면, 상기 복수의 내부전극(121, 122) 중 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc1) 대비 상기 세라믹 바디(110)의 모서리와 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc3)의 비율은 1.0 이하일 수 있다.
- [0165] 중앙부에 배치되는 내부전극의 말단과 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc1) 대비 상기 세라믹 바디(110)의 모서리와 접하는 상기 제1 또는 제2 사이드 마진부 영역의 두께(tc3)의 비율의 하한값은 0.9 이상인 것이 바람직하다.
- [0166] 상기 특징으로 인하여, 사이드 마진부의 영역별 두께 편차가 적어 용량 형성부의 사이즈를 크게 확보할 수 있으며, 이로 인하여 고용량 적층 세라믹 커패시터의 구현이 가능하다.
- [0168] 도 6a 내지 도 6f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.
- [0170] 본 발명의 다른 실시형태에 따르면, 복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계, 상기 제1 내부전극 패턴과 상기 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계 및 상기 절단된 적층 바디를 소성하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 바디를 마련하는 단계를 포함하며, 상기 유전체층 내에는 금속 혹은 금속 산화물이 배치되며, 상기 유전체층의 두께 대비 상기 금속 혹은 금속 산화물의 직경 비가 0.8 이하인 적층 세라믹 커패시터의 제조방법을 제공한다.
- [0172] 이하, 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 설명한다.
- [0174] 도 6a에 도시된 바와 같이, 세라믹 그린시트(211) 위에 소정의 간격을 두고 복수 개의 스트라이프형 제1 내부전극 패턴(221)을 형성한다. 상기 복수 개의 스트라이프형 제1 내부전극 패턴(221)은 서로 평행하게 형성될 수 있다.
- [0175]
- [0176] 상기 세라믹 그린시트(211)는 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 페이스트로 형성될 수 있다.
- [0178] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨( $BaTiO_3$ )계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬( $SrTiO_3$ )계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨( $BaTiO_3$ ) 파우더가 사용될 수 있다. 상기 세라믹 그린시트(211)가 소성되면 세라믹 바디(110)를 구성하는 유전체층(111)이 된다.
- [0180] 스트라이프형 제1 내부전극 패턴(221)은 도전성 금속을 포함하는 내부전극 페이스트에 의하여 형성될 수 있다. 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있다.
- [0182] 상기 세라믹 그린시트(211) 상에 스트라이프형 제1 내부전극 패턴(221)을 형성하는 방법은 특별히 제한되지 않으나, 예를 들면 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통해 형성될 수 있다.
- [0184] 또한, 도시되지 않았으나, 또 다른 세라믹 그린시트(211) 위에 소정의 간격을 두고 복수 개의 스트라이프형 제2 내부전극 패턴(222)을 형성할 수 있다.
- [0186] 이하, 제1 내부전극 패턴(221)이 형성된 세라믹 그린시트는 제1 세라믹 그린시트로 지칭될 수 있고, 제2 내부전극 패턴(222)이 형성된 세라믹 그린시트는 제2 세라믹 그린시트로 지칭될 수 있다.
- [0188] 다음으로, 도 6b에 도시된 바와 같이, 스트라이프형 제1 내부전극 패턴(221)과 스트라이프형 제2 내부전극 패턴(222)이 교차 적층되도록 제1 및 제2 세라믹 그린시트를 번갈아가며 적층할 수 있다.
- [0189] 이후, 상기 스트라이프형 제1 내부전극 패턴(221)은 제1 내부전극(121)이 되고, 스트라이프형 제2 내부전극 패



턴(222)은 제2 내부전극(122)이 될 수 있다.

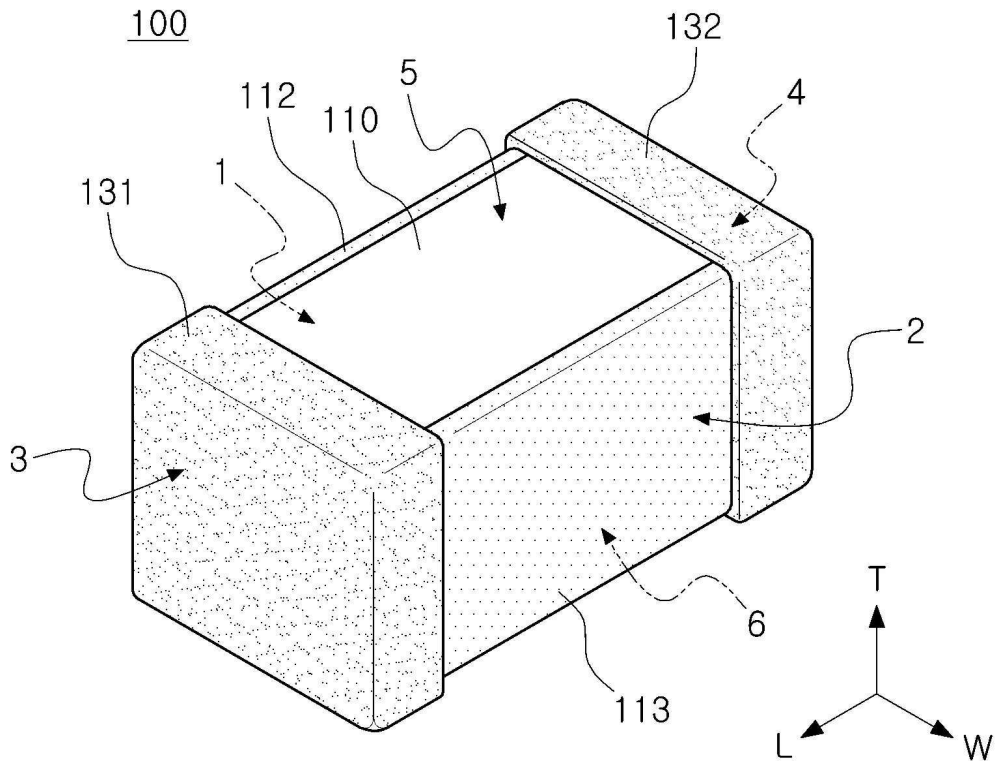
- [0191] 본 발명의 다른 실시형태에 따르면, 상기 제1 및 제2 세라믹 그린시트의 두께(td')는 0.6  $\mu\text{m}$  이하이고, 제1 및 제2 내부전극 패턴의 두께(te)는 0.5  $\mu\text{m}$  이하이다.
- [0193] 본 발명은 유전체층의 두께가 0.4  $\mu\text{m}$  이하이고, 내부전극의 두께는 0.4  $\mu\text{m}$  이하인 박막을 갖는 초소형 고용량 적층 세라믹 커패시터를 특징으로 하기 때문에, 상기 제1 및 제2 세라믹 그린시트의 두께(td')는 0.6  $\mu\text{m}$  이하이고, 제1 및 제2 내부전극 패턴의 두께(te)는 0.5  $\mu\text{m}$  이하인 것을 특징으로 한다.
- [0195] 도 6c는 본 발명의 일 실시예에 따라 제1 및 제2 세라믹 그린 시트가 적층된 세라믹 그린시트 적층 바디(220)를 도시하는 단면도이고, 도 6d는 제1 및 제2 세라믹 그린 시트가 적층된 세라믹 그린시트 적층 바디(220)를 도시하는 사시도이다.
- [0197] 도 6c 및 도 6d를 참조하면, 복수 개의 평행한 스트라이프형 제1 내부전극 패턴(221)이 인쇄된 제1 세라믹 그린시트와 복수 개의 평행한 스트라이프형 제2 내부전극 패턴(222)이 인쇄된 제2 세라믹 그린시트는 서로 번갈아가며 적층되어 있다.
- [0198] 보다 구체적으로, 제1 세라믹 그린시트에 인쇄된 스트라이프형 제1 내부 전극 패턴(221)의 중앙부와 제2 세라믹 그린시트에 인쇄된 스트라이프형 제2 내부전극 패턴(222) 사이의 간격이 중첩되도록 적층될 수 있다.
- [0200] 다음으로, 도 6d에 도시된 바와 같이, 상기 세라믹 그린시트 적층 바디(220)는 복수 개의 스트라이프형 제1 내부전극 패턴(221) 및 스트라이프형 제2 내부전극 패턴(222)을 가로지르도록 절단될 수 있다. 즉, 상기 세라믹 그린시트 적층 바디(210)는 서로 직교하는 C1-C1 및 C2-C2 절단선을 따라 절단된 적층 바디(210)가 될 수 있다.
- [0201] 보다 구체적으로, 스트라이프형 제1 내부전극 패턴(221) 및 스트라이프형 제2 내부전극 패턴(222)은 길이 방향으로 절단되어 일정한 폭을 갖는 복수 개의 내부전극으로 분할될 수 있다. 이때, 적층된 세라믹 그린시트도 내부전극 패턴과 함께 절단된다. 이에 따라 유전체층은 내부전극의 폭과 동일한 폭을 갖도록 형성될 수 있다.
- [0202] 또한, C2-C2 절단선을 따라 개별적인 세라믹 바디 사이즈에 맞게 절단할 수 있다. 즉, 제1 사이드 마진부 및 제2 사이드 마진부를 형성하기 전에 막대형 적층체를 C2-C2 절단선을 따라 개별적인 세라믹 바디 사이즈로 절단하여 복수 개의 적층 바디(210)를 형성할 수 있다.
- [0203] 즉, 막대형 적층체를 중첩된 제1 내부전극의 중심부와 제2 내부전극 간에 형성된 소정의 간격이 동일한 절단선에 의하여 절단되도록 절단할 수 있다. 이에 따라, 제1 내부전극 및 제2 내부전극의 일단은 절단면에 교대로 노출될 수 있다.
- [0204] 이후, 상기 적층 바디(210)의 제1 및 제2 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성할 수 있다.
- [0206] 다음으로, 도 6e에 도시된 바와 같이, 상기 적층 바디(210)의 제1 및 제2 측면 각각에 제1 사이드 마진부(212) 및 제2 사이드 마진부(미도시)를 형성할 수 있다.
- [0208] 구체적으로, 제1 사이드 마진부(212)의 형성 방법은 접착제(미도시)가 도포된 측면용 세라믹 그린시트(212)를 러버 재질의 펀칭 탄성재(300) 상부에 배치한다.
- [0209] 다음으로, 상기 적층 바디(210)의 제1 측면이 상기 접착제(미도시)가 도포된 측면용 세라믹 그린시트(212)와 마주하도록 상기 적층 바디(210)를 90도 회전한 후, 상기 적층 바디(210)를 상기 접착제(미도시)가 도포된 측면용 세라믹 그린시트(212)에 가압 밀착시킨다.
- [0210] 상기 적층 바디(210)를 상기 접착제(미도시)가 도포된 측면용 세라믹 그린시트(212)에 가압 밀착시켜 측면용 세라믹 그린시트(212)를 상기 적층 바디(210)에 전사할 경우, 상기 러버 재질의 펀칭 탄성재(300)로 인하여 상기 측면용 세라믹 그린시트(212)는 상기 적층 바디(210)의 측면 모서리부까지 형성되고, 나머지 부분은 절단될 수 있다.
- [0211] 도 6f에서는, 측면용 세라믹 그린시트(212)가 상기 적층 바디(210)의 측면 모서리부까지 형성된 것을 나타내고 있다.
- [0213] 그 이후 상기 적층 바디(210)를 회전함으로써, 적층 바디(210)의 제2 측면에 제2 사이드 마진부를 형성할 수 있다.
- [0214] 다음으로, 상기 적층 바디(210)의 양 측면에 제1 및 제2 사이드 마진부가 형성된 적층 바디를 가소 및 소성하여



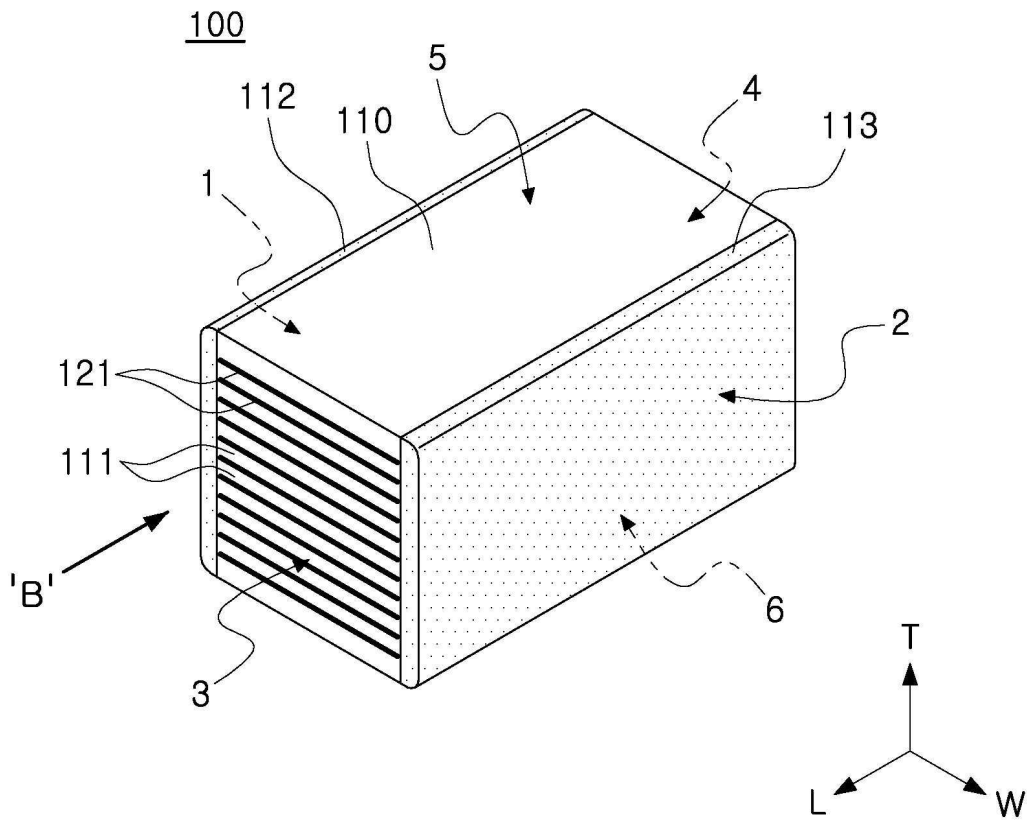
121, 122: 제1 및 제2 내부전극      131, 132: 제1 및 제2 외부전극

도면

도면1

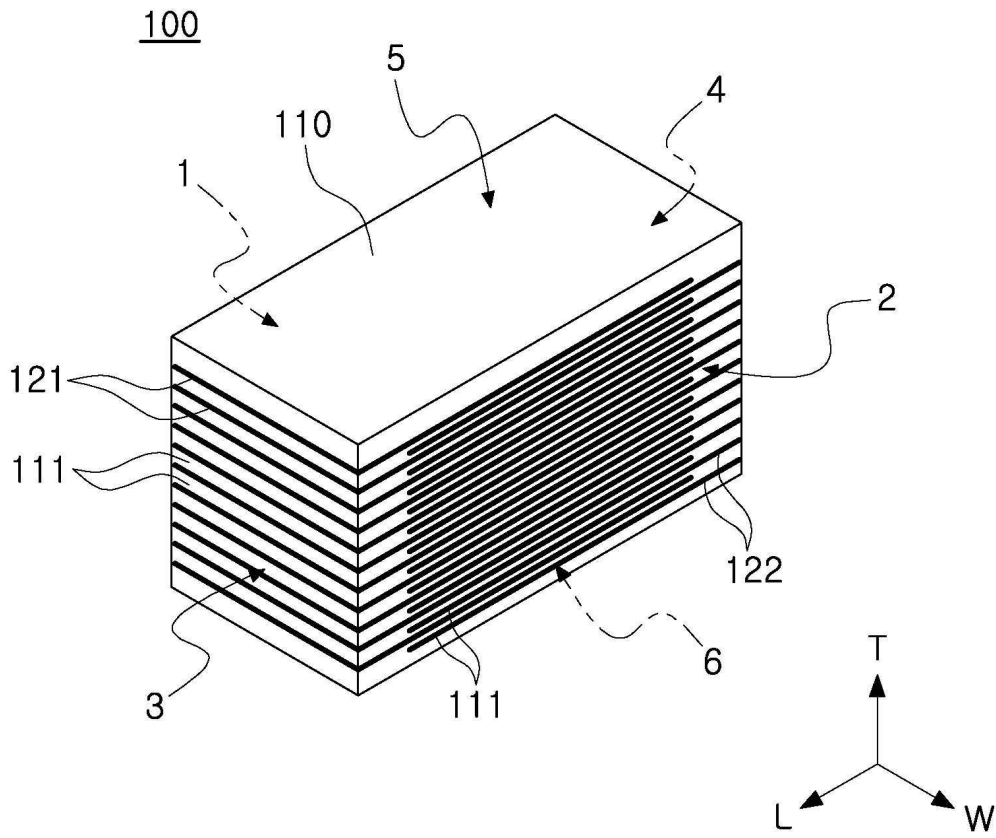


도면2

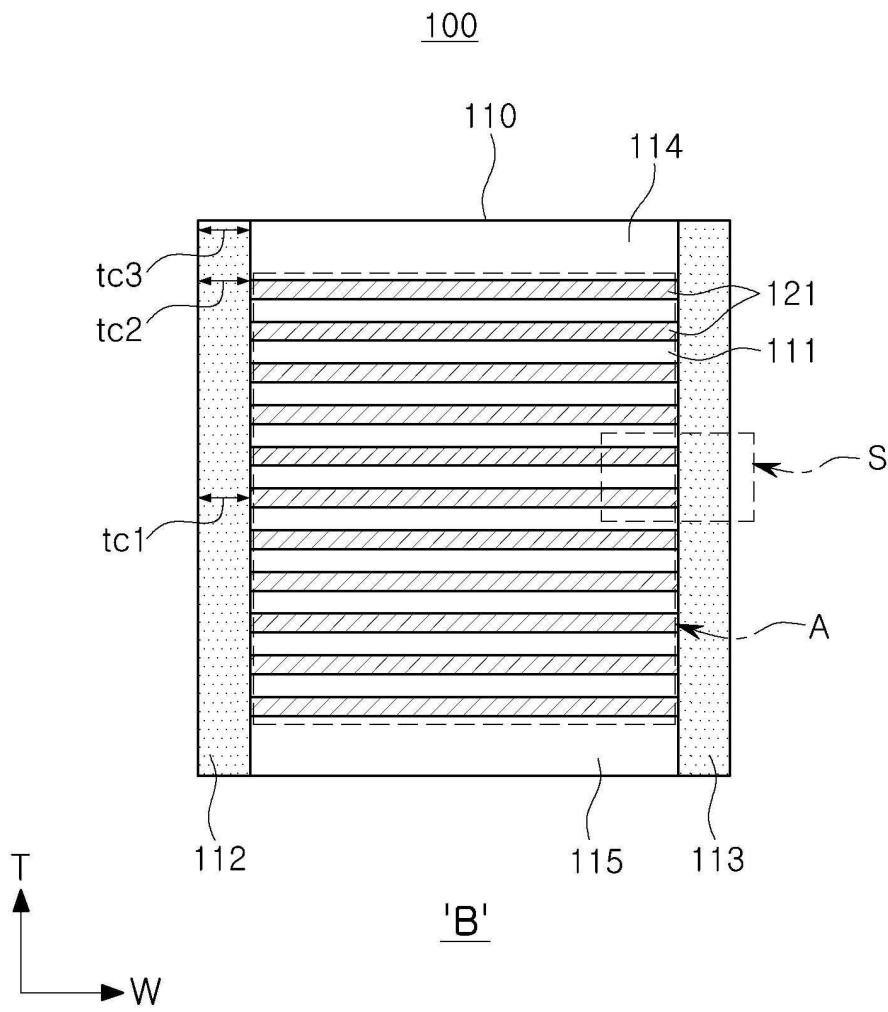




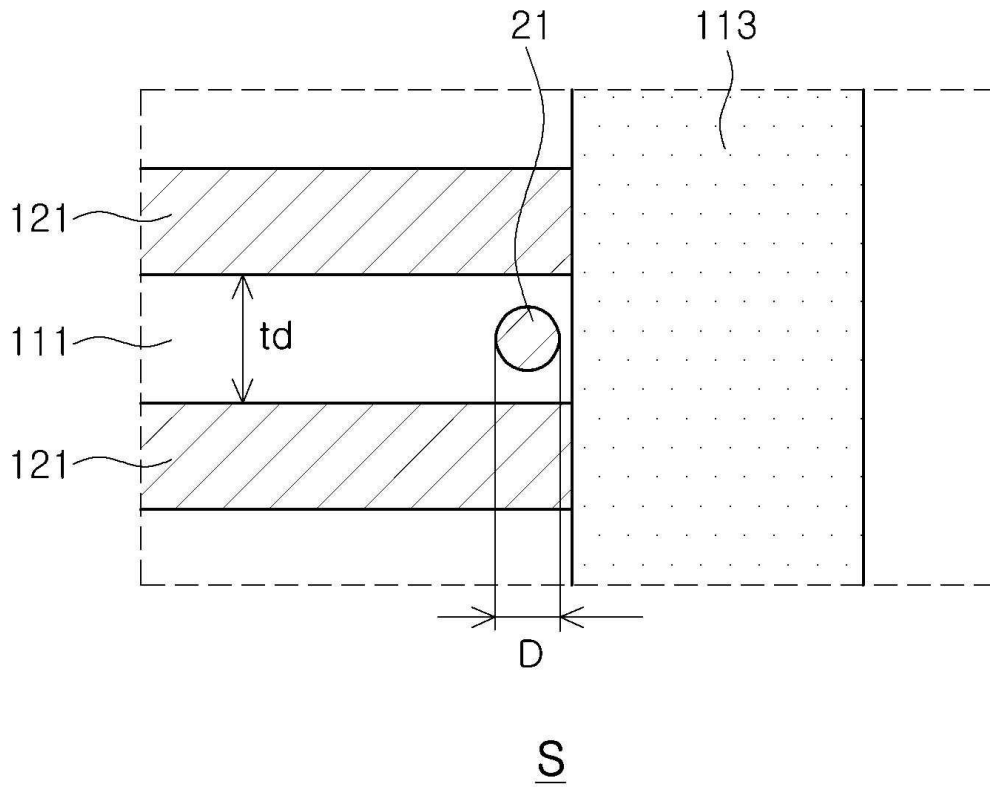
도면3



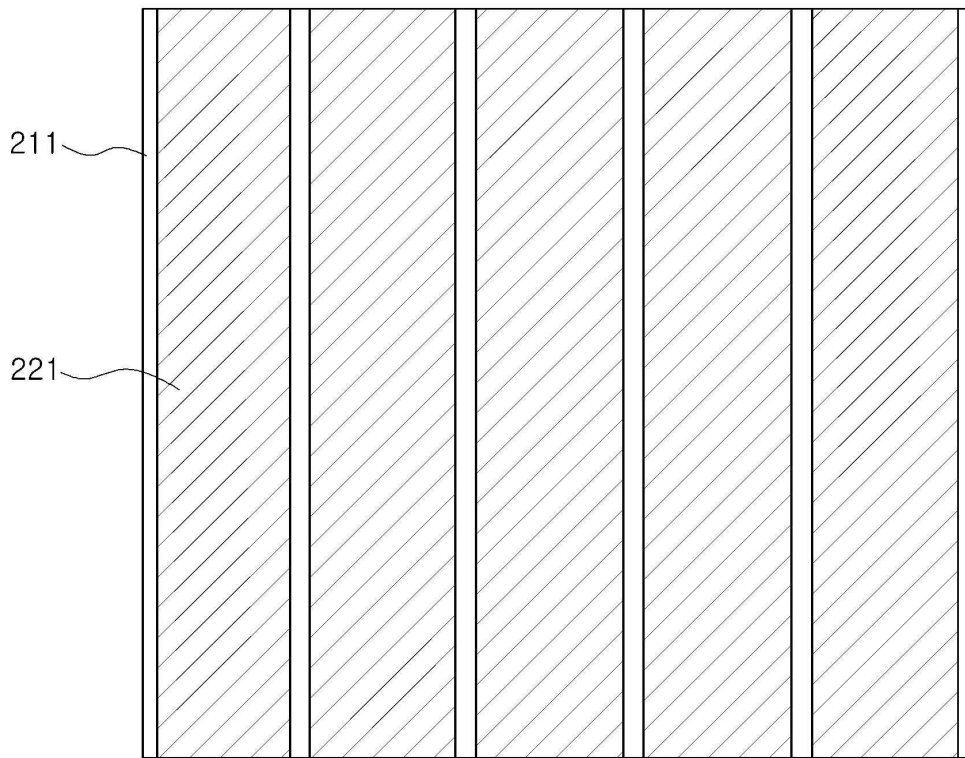
도면4



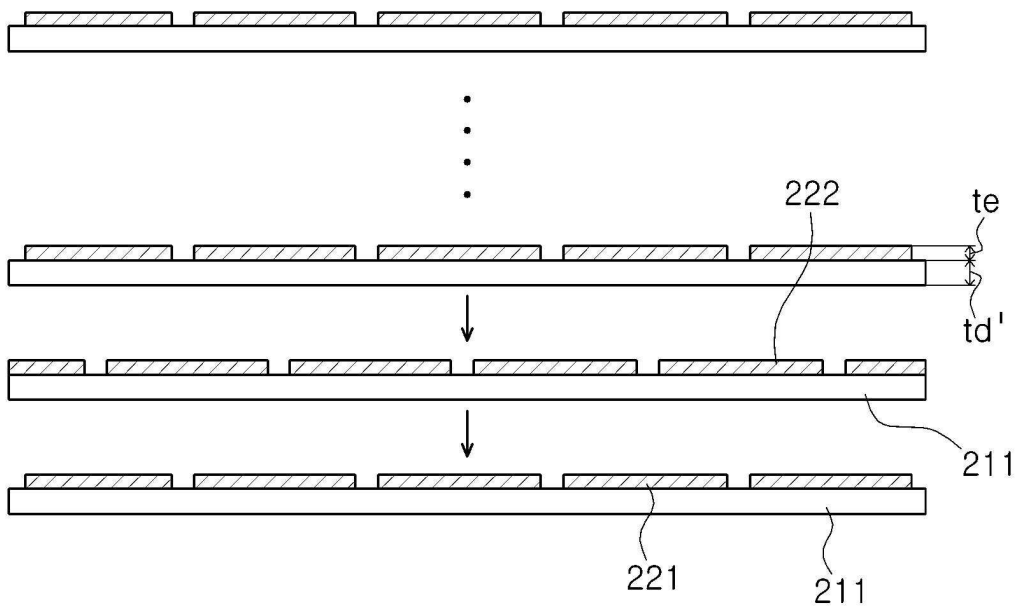
도면5



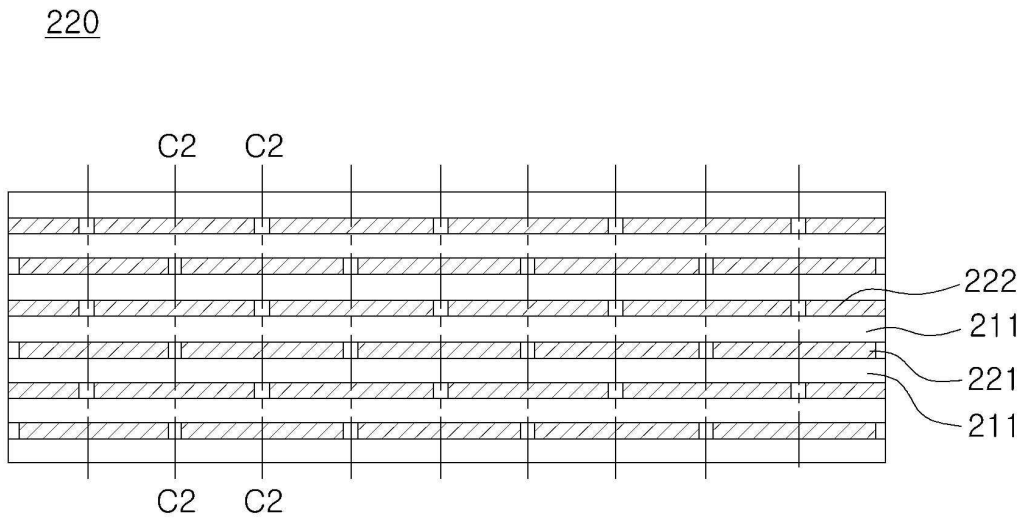
도면6a



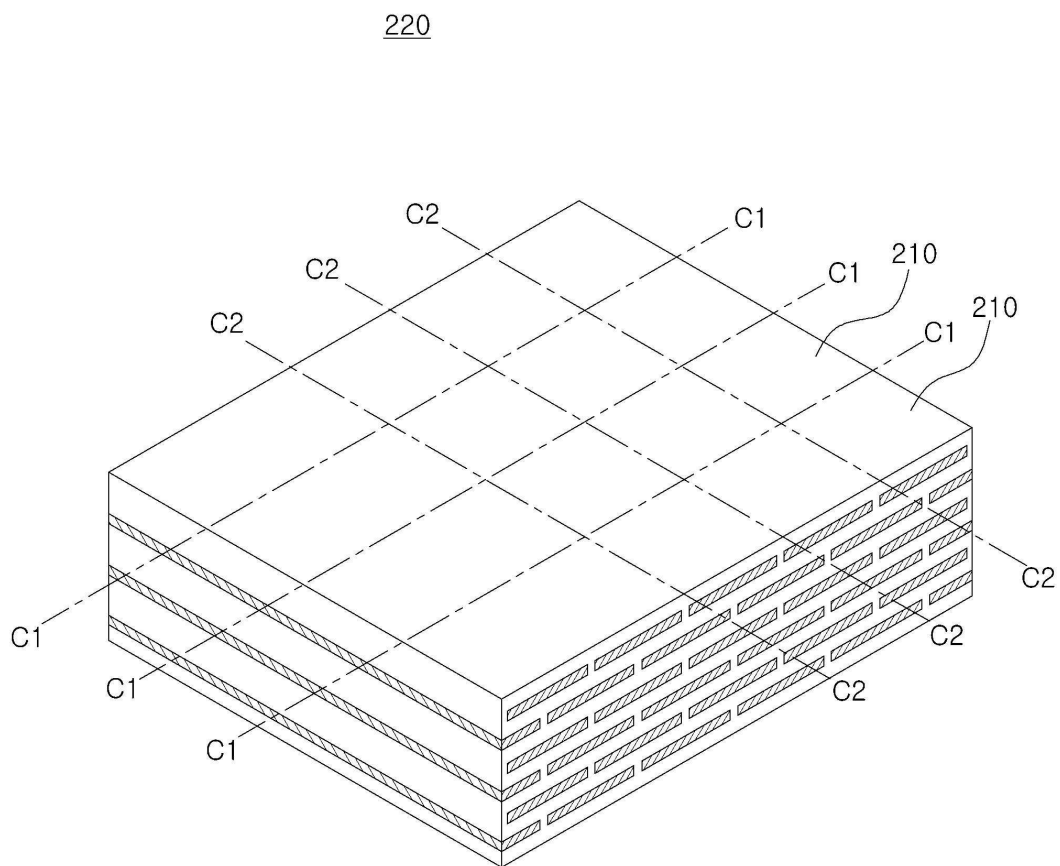
도면6b



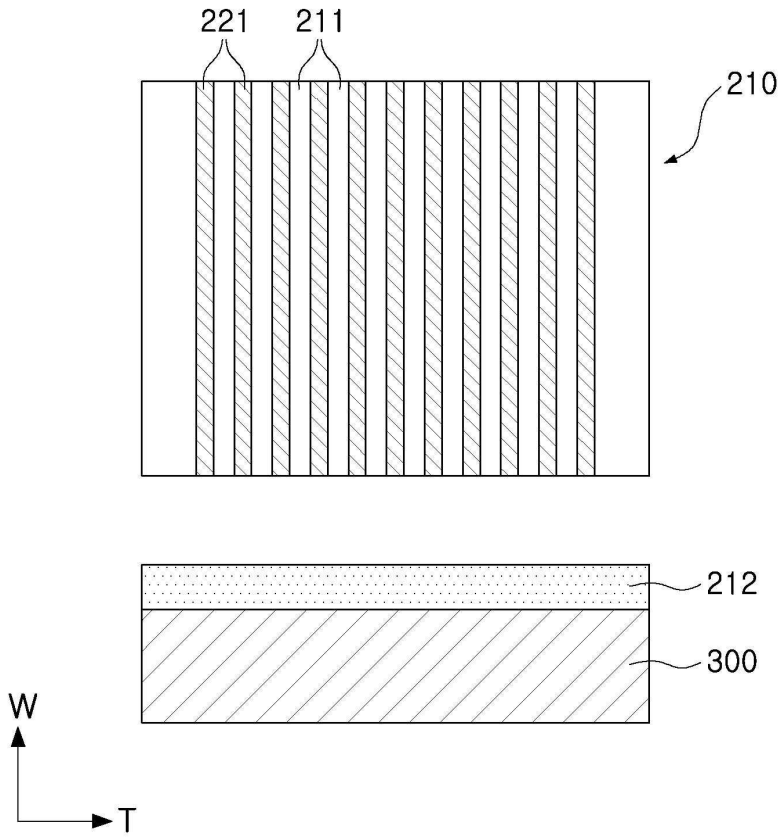
도면6c



도면6d



도면6e



도면6f

