



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529911 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：101117111

(22)申請日：中華民國 101 (2012) 年 05 月 14 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2011/05/20 日本

2011-113734

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 6-244714A

US 5568062

US 2002/0167335A1

US 2009/0091871A1

US 2011/0089975A1

審查人員：莊敏宏

申請專利範圍項數：30 項 圖式數：25 共 114 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

關於包含半導體的半導體裝置，可為邏輯電路。邏輯電路包含動態邏輯電路以及靜態邏輯電路且由電晶體等等形成。動態邏輯電路儲存資料一段時間。因此，來自電晶體的漏電流在動態邏輯電路中比在靜態邏輯電路中造成更嚴重的問題。邏輯電路包含關閉狀態電流小的第一電晶體以及閘極電連接至第一電晶體的第二電晶體。電荷經由第一電晶體供應至第二電晶體的閘極的節點。電荷經由第一電容器及第二電容器供應至節點。視電荷的狀態而控制第二電晶體的開/關。第一電晶體在通道形成區中包含氧化物半導體。

As semiconductor devices including semiconductors, logic circuits are given. Logic circuits include dynamic logic circuits and static logic circuits and are formed using transistors and the like. Dynamic logic circuits can store data for a certain period of time. Thus, leakage current from transistors causes more severe problems in dynamic logic circuits than in static logic circuits. A logic circuit includes a first transistor whose off-state current is small and a second transistor whose gate is electrically connected to the first transistor. Electric charge is supplied to a node of the gate of the second transistor through the first transistor. Electric charge is supplied to the node through a first capacitor and a second capacitor. On/off of the second transistor is controlled depending on a state of the electric charge. The first transistor includes an oxide semiconductor in a channel formation region.

指定代表圖：

符號簡單說明：

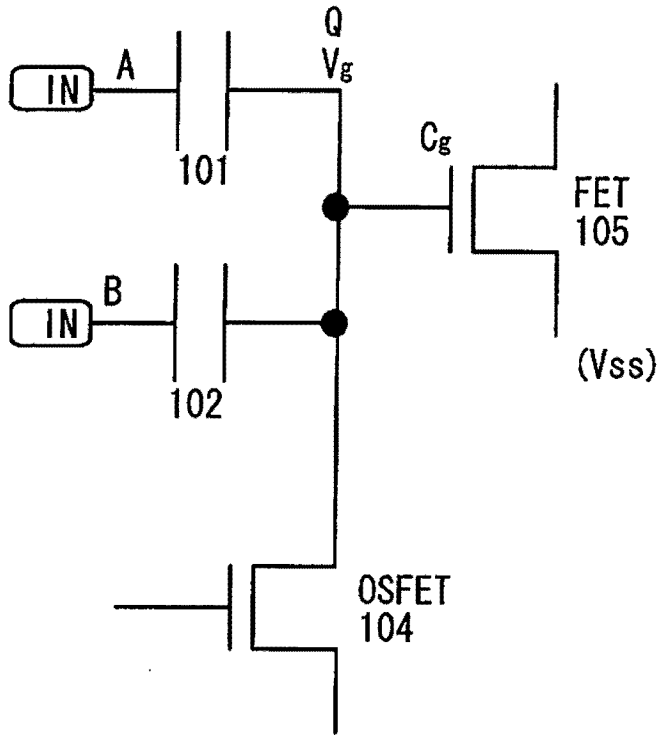
101 . . . 第一電容器

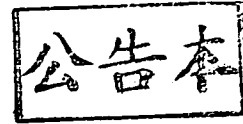
102 . . . 第二電容器

104 . . . 第一電晶體

105 . . . 第二電晶體

圖 1





發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101117111

※申請日：101年05月14日

※IPC分類：

H01L 29/02 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

H01L 29/18 (2006.01)

Semiconductor device

二、中文發明摘要：

關於包含半導體的半導體裝置，可為邏輯電路。邏輯電路包含動態邏輯電路以及靜態邏輯電路且由電晶體等等形成。動態邏輯電路儲存資料一段時間。因此，來自電晶體的漏電流在動態邏輯電路中比在靜態邏輯電路中造成更嚴重的問題。邏輯電路包含關閉狀態電流小的第一電晶體以及閘極電連接至第一電晶體的第二電晶體。電荷經由第一電晶體供應至第二電晶體的閘極的節點。電荷經由第一電容器及第二電容器供應至節點。視電荷的狀態而控制第二電晶體的開/關。第一電晶體在通道形成區中包含氧化物半導體。

三、英文發明摘要：

As semiconductor devices including semiconductors, logic circuits are given. Logic circuits include dynamic logic circuits and static logic circuits and are formed using transistors and the like. Dynamic logic circuits can store data for a certain period of time. Thus, leakage current from transistors causes more severe problems in dynamic logic circuits than in static logic circuits. A logic circuit includes a first transistor whose off-state current is small and a second transistor whose gate is electrically connected to the first transistor. Electric charge is supplied to a node of the gate of the second transistor through the first transistor. Electric charge is supplied to the node through a first capacitor and a second capacitor. On/off of the second transistor is controlled depending on a state of the electric charge. The first transistor includes an oxide semiconductor in a channel formation region.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

101：第一電容器

102：第二電容器

104：第一電晶體

105：第二電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於包含半導體的半導體裝置。

【先前技術】

關於包含半導體的半導體裝置可為邏輯電路。使用電晶體等等，形成包含動態邏輯電路及靜態邏輯電路的邏輯電路。動態邏輯電路可以儲存資料一段時間。因此，來自電晶體的漏電流在動態邏輯電路中比在靜態邏輯電路中造成更嚴重的問題。漏電流歸因於電晶體關閉時流動的關閉狀態電流。

舉例而言，在動態電路中，當控制電荷對動態節點的供應之 MOS 電晶體關閉時，漏電流高，這被視為是問題。為解決此問題，已建議 MOS 電晶體電路插入至通至動態節點的電流路徑中之結構（專利文獻 1）。

此外，建議另一結構，其中，在動態電路中，除了設置校正漏電流的漏電流校正電路之外，還設置偵測對應於漏電流的電流之漏電流偵測電路（專利文獻 2）。

此外，考慮邏輯電路的增加功能。舉例而言，可為具有動態地可重規劃特性（也稱為動態可重規劃特性）之可重規劃邏輯電路。建議一結構，其中，邏輯電路包含切換部，用於在或(OR)/及(AND)與反或(NOR)/反及(NAND)/非之間切換（專利文獻 3）。

當 V_{gs} 是 0V 或更低時，薄膜電晶體的關閉狀態電流

是 10^{-13} A 至 10^{-14} A (專利文獻 4)。

[參考文獻]

[專利文獻 1]日本公開專利申請號 H6-244714

[專利文獻 2]日本公開專利申請號 H10-022816

[專利文獻 3]日本公開專利申請號 2010-087911

[專利文獻 4]日本公開專利申請號 H8-274342

【發明內容】

本發明的一實施例之目的是解決邏輯電路中漏電流的問題。

本發明的一實施例之另一目的是使邏輯電路具有動態地可重規劃特性。

慮及上述問題，提供邏輯電路，其至少包含關閉狀態電流低於包含在 LSI 中的電晶體的關閉狀態電流之電晶體。

能夠提供包含關閉狀態電流低的此電晶體並因而具有動態地可重規劃特性之邏輯電路。

提供關閉狀態電流低的電晶體能夠解決漏電流的問題。

提供關閉狀態電流低的電晶體允許提供動態地可重規劃特性之邏輯電路。

根據本發明的一實施例之邏輯電路具有比習知的電路配置更簡單的電路配置。

【實施方式】

於下，將參考附圖，詳述實施例。但是，可以以各種不同的模式，實現實施例。習於此技藝者清楚可知，在不悖離本發明的精神及範圍之下，可以以各種方式改變模式及細節。因此，本發明的一實施例不應被解釋成侷限於下述實施例的說明。

（實施例 1）

在本實施例中，將說明邏輯電路的基本結構。圖 1 顯示邏輯電路，邏輯電路包含第一電容器 101、第二電容器 102、關閉狀態電流低的第一電晶體 (OSFET) 104、及第二電晶體 (FET) 105。

第一電晶體由於在通道形成區中包含氧化物半導體，所以也稱為 (OSFET)。在很多情形中，包含氧化物半導體的通道形成區具有 n 型導電率；因此，第一電晶體是 n 通道電晶體。在通道形成區中包含氧化物半導體的此電晶體的關閉狀態電流低。在下述實施例中，將說明電晶體的細節。

由於第二電晶體的關閉狀態電流不一定要與第一電晶體的關閉狀態電流一樣低，所以，使用通道形成區中包含矽的電晶體作為第二電晶體。此電晶體稱為 FET。將說明第二電晶體具有與第一電晶體相同的導電率型的情形，亦即，第二電晶體是 n 通道電晶體的情形。

如圖 1 所示，第一電容器 101、第二電容器 102、第

一電晶體 104、及第二電晶體 105 彼此電連接。第一電容器 101 的一電極電連接至第二電晶體 105 的閘極。第二電容器 102 的一電極電連接至第二電晶體 105 的閘極。第二電容器 102 的一電極也電連接至第一電晶體 104 的源極和汲極中之一。由於第一電晶體 104 是 n 通道電晶體，所以，第一電晶體 104 的汲極電連接至第二電容器 102 的一電極。

訊號從端子 A 及端子 B 輸入。換言之，訊號從第一電容器 101 的另一電極及第二電容器 102 的另一電極輸入。每一這些訊號具有任何下述訊號：高電位（也稱為高、H、V_{dd}、及 1）以及低電位（也稱為低、L、V_{ss}、及 0）。高電位及低電位是相對的。低電位不限於 0V。

第一電晶體 104 的開啓狀態或關閉狀態（也稱為開/關或是切換功能）由輸入至其閘極的訊號控制。第二電晶體 105 的開/關由輸入至其閘極的訊號控制。

如圖 1 中所示，第一電容器 101 及第二電容器 102 的電容值均以 C 表示，電連接至第一電容器 101 的一電極之節點的電荷以 Q 表示，節點電壓以 V_g 表示，第二電晶體 105 的閘極電容以 C_g 表示。節點電壓 V_g 以公式 1 表示。爲了簡明起見，將第二電晶體 105 的源極 - 汲極電壓假定爲 0V。

[公式 1]

$$V_g = \frac{C}{2C + C_g}(V_A + V_B) + \frac{Q}{2C + C_g}$$

在公式 1 中， $Q/(2C+C_g)$ 的值取決於 Q 的值。換言之， $Q/(2C+C_g)$ 的值視經由第一電晶體 104 輸入的訊號而定。這是因為電荷 Q 取決於經由第一電晶體 104 輸入的訊號。由於第一電晶體 104 的關閉狀態電流顯著地低，所以， Q 輸入的值能保持。不同於習知技術，不用其它元件，即能保持 Q 輸入的值。

舉例而言，假定 Q 是 0，且第二電晶體 105 的臨界電壓 V_{th} 是正的小值。第一電晶體 104 開啓，經由第一電晶體 104， Q 會為 0 的電壓 V_g 輸入（也稱為施加或寫入）。在完成輸入（或輸入操作）之後，第一電晶體 104 關閉。 Q 輸入的值保持。假定高位準訊號輸入至端子 A 及端子 B。這些訊號以 (1,1) 表示。此時，端子 A 的電位 V_A 、及端子 B 的電位 V_B 滿足 $V_A = V_B = V_{dd}$ ，且 V_g 以公式 2 表示。

[公式 2]

$$V_g = \left\{ \frac{1}{1 + \frac{C_g}{2C}} \right\} V_{dd}$$

此時，滿足 $V_g > V_{th}(105)$ ；因此，第二電晶體 105 開啓。此處，第二電晶體 105 的臨界電壓以 $V_{th}(105)$ 表示。

類似地，假定 Q 為 0，以及，高位準訊號和低位準訊號分別輸入至端子 A 和端子 B。這些訊號以 (1,0) 表示。此時，滿足 $V_A = V_{dd}$ 及 $V_B = 0$ ，以及， V_g 以公式 3 表示。

[公式 3]

$$V_g = \left\{ \frac{1}{1 + \frac{C_g}{2C}} \right\} \times \frac{V_{dd}}{2}$$

此時，滿足 $V_g > V_{th}$ ；因此，第二電晶體 105 開啓。

類似地，假定 Q 為 0，以及，低位準訊號及高位準訊號分別輸入至端子 A 和端子 B。這些訊號以 (0,1) 表示。此時，滿足 $V_A = 0$ 及 $V_B = V_{dd}$ ，以及， V_g 以公式 3 表示。

此時，第二電晶體 105 開啓。

類似地，假定 Q 為 0，以及，低位準訊號輸入至端子 A 和端子 B。這些訊號以 (0,0) 表示。此時，滿足 $V_A = V_B = 0$ ，以及， V_g 以公式 4 表示。

[公式 4]

$$V_g = \left\{ \frac{1}{1 + \frac{C_g}{2C}} \right\} \times 0$$

此時，滿足 $V_g < V_{th}$ ；因此，第二電晶體 105 關閉。

上述操作顯示於表 1 中。

[表 1]

Q=0

A	B	FET105
1	1	開
0	1	開
1	0	開
0	0	關

僅當低位準訊號輸入至端子 A 及端子 B 時，第二電晶體 105 才關閉，在其它情形中，第二電晶體 105 開啓。第二電晶體 105 開啓的條件視經由第一電晶體 104 輸入的訊號而改變。亦即，第二電晶體 105 的開/關狀態（或是切換功能）視 Q 值而定。

接著，Q 值改變。由於第二電晶體 105 是 n 通道電晶體，所以，Q 小於 0(負的)。

第一電晶體 104 開啓，經由第一電晶體 104 輸入一訊號，藉由此訊號，Q 小於 0。在完成輸入之後，第一電晶體 104 關閉。Q 輸入的值保持。假定高位準訊號輸入至端子 A 及端子 B。這些訊號以 (1,1) 表示。此時，滿足 $V_A = V_B = V_{dd}$ ，以及， V_g 以公式 2 表示。此時，Q 的值適當地改變，以致於 Q 小於 0，因而第二電晶體 105 開啓。

假定 Q 為類似的值 ($Q < 0$)，以及，高位準訊號和低位準訊號 (1,0) 分別輸入至端子 A 和端子 B。此時，Q 適當地變化，因而第二電晶體 105 關閉。

假定 Q 為類似的值 ($Q < 0$)，以及，低位準訊號和高位準訊號 (0,1) 分別輸入至端子 A 和端子 B。此時，Q

適當地改變，因而第二電晶體 105 關閉。

假定 Q 為類似的值 ($Q < 0$)，以及，低位準訊號 (0,0) 輸入至端子 A 和端子 B。此時， Q 適當地改變，因而第二電晶體 105 關閉。

上述操作顯示於表 2 中。

[表 2]

$Q < 0$

A	B	FET105
1	1	開
0	1	關
1	0	關
0	0	關

僅當高位準訊號輸入至端子 A 及端子 B 時，第二電晶體 105 才開啓，在其它情形中，第二電晶體 105 關閉。第二電晶體 105 開啓的條件視經由第一電晶體 104 輸入的訊號而改變。亦即，第二電晶體 105 的開/關狀態視 Q 值而定。

圖 2 顯示表 1 與表 2 之間的關係。在根據本發明的一實施例之邏輯電路中，未設置切換開關，且第二電晶體 105 的開/關狀態視 Q 值 ($Q=0$ 或 $Q < 0$) 而定。因此，邏輯電路是動態地可重規劃的。這是因為第一電晶體 104 的關閉狀態電流如此低，以致於 Q 是 0 的狀態及 Q 是小於 0 的狀態均能固持。

將說明一般操作。第二電晶體 105 的臨界值以 V_{th} 表

示。根據公式 1，發現 V_g 是端子 A、端子 B、及 Q 的函數。假定當高位準訊號輸入至端子 A 及端子 B 時第二電晶體 105 的閘極電位是 $V_g(A=1, B=1, Q)$ ，當低位準訊號及高位準訊號分別輸入至端子 A 及端子 B 時第二電晶體 105 的閘極電位是 $V_g(A=0, B=1, Q)$ ，當高位準訊號及低位準訊號分別輸入至端子 A 及端子 B 時第二電晶體 105 的閘極電位是 $V_g(A=1, B=0, Q)$ ，以及，當低位準訊號輸入至端子 A 及端子 B 時第二電晶體 105 的閘極電位是 $V_g(A=0, B=0, Q)$ 。

當高位準訊號輸入至端子 A 及端子 B 時， V_g 以公式 5 表示。

[公式 5]

$$V_g(A=1, B=1, Q) = \frac{V_{dd}}{1 + \frac{C_g}{2C}} + \frac{Q}{2C + C_g}$$

當低位準訊號及高位準訊號分別輸入至端子 A 及端子 B 時， V_g 以公式 6 表示。

[公式 6]

$$V_g(A=0, B=1, Q) = \frac{V_{dd}}{2\left(1 + \frac{C_g}{2C}\right)} + \frac{Q}{2C + C_g}$$

當高位準訊號及低位準訊號分別輸入至端子 A 及端子 B 時， V_g 以公式 7 表示。

[公式 7]

$$Vg(A=1, B=0, Q) = \frac{Vdd}{2\left(1 + \frac{Cg}{2C}\right)} + \frac{Q}{2C + Cg}$$

當低位準訊號輸入至端子 A 及端子 B 時，Vg 以公式 8 表示。

[公式 8]

$$Vg(A=0, B=0, Q) = \frac{Q}{2C + Cg}$$

從公式 5 至 8，導出公式 9。

[公式 9]

$$Vg(A=1, B=1, Q) > Vg(A=0, B=1, Q) = Vg(A=1, B=0, Q) > Vg(A=0, B=0, Q)$$

假定經由第一電晶體 104 施加的電荷是 Q_0 ，發現當 Q_0 滿足公式 10 時，符合表 1 的關係。

[公式 10]

$$Vg(A=1, B=0, Q=Q_0) > V_{th} > Vg(A=0, B=0, Q=Q_0)$$

具體而言，假定供應的電位（當 A 是 0 且 B 是 0 時）是 V_{g0} ， V_{g0} 滿足公式 11。

[公式 11]

$$V_{th} - \frac{Vdd}{2 + \frac{Cg}{C}} < V_{g0} < V_{th}$$

假定經由第一電晶體 104 施加的電荷是 Q_1 ，發現當

Q_1 滿足公式 12 時，符合表 2 的關係。

[公式 12]

$$V_{g(A=1,B=1,Q=Q1)} > V_{th} > V_{g(A=1,B=0,Q=Q1)}$$

具體而言，假定供應的電位（當 A 是 0 且 B 是 0）是 V_{g1} 時， V_{g1} 滿足公式 13。

[公式 13]

$$V_{th} - \frac{V_{dd}}{2 + \frac{C_g}{C}} < V_{go} < V_{th}$$

當在通道形成區中包含氧化物半導體的電晶體作為第一電晶體 104 時，邏輯電路具有執行邏輯操作的功能及儲存資料的功能。

根據本發明的一實施例，由於當電晶體 (OSFET) 開啓時執行動態重規劃，所以，脈衝可以施加至電晶體的閘極。因此，可以在短時間內決定電晶體的狀態。

由於能與輸入訊號無關地控制功能，所以，根據本發明的一實施例之動態重規劃不受輸入訊號不利影響。

根據本發明的一實施例，解決漏電流的問題。

根據本發明的一實施例，執行動態重規劃。

根據本發明的一實施例，電路配置比習知的電路配置簡單。

(實施例 2)

在本實施例中，將說明邏輯電路的基本結構，其中，

實施例 1 中所述的第二電晶體是 p 通道電晶體。圖 3 顯示邏輯電路，其包含第一電容器 101、第二電容器 102、關閉狀態電流低的第一電晶體 (OSFET)104、及第二電晶體 (FET)205。第二電晶體是 p 通道電晶體。

如圖 3 所示，第一電容器 101、第二電容器 102、第一電晶體 104、及第二電晶體 205 彼此電連接。第一電容器 101 的一電極電連接至第二電晶體 205 的閘極。第二電容器 102 的一電極電連接至第二電晶體 205 的閘極。第二電容器 102 的一電極也電連接至第一電晶體 104 的源極和汲極中之一。由於第一電晶體 104 是 n 通道電晶體，所以，第一電晶體 104 的汲極電連接至第二電容器 102 的一電極。

第一電晶體 104 的開啓狀態或關閉狀態（也稱爲開 / 關）由輸入至其閘極的訊號控制。第二電晶體 205 的開 / 關由輸入至其閘極的訊號控制。高位準訊號（也稱爲高、H、V_{dd}、及 1）以及低位準訊號（也稱爲低、L、V_{ss}、及 0）從端子 A 及端子 B 輸入。

如圖 3 所示，第一電容器 101 及第二電容器 102 的電容值均以 C 表示，電連接至第一電容器 101 的一電極之節點的電荷以 Q 表示，節點電壓以 V_g 表示，第二電晶體 205 的閘極電容以 C_g 表示。節點電壓 V_g 以公式 14 表示。爲了簡明起見，將第二電晶體 205 的源極 - 汲極電壓假定爲 V_{dd}。

[公式 14]

$$V_g = \frac{C}{2C + C_g}(V_A + V_B) + \frac{Q}{2C + C_g} + \frac{C_g}{2C + C_g}V_{dd}$$

在公式 14 中， $Q/(2C + C_g)$ 的值取決於 Q 的值。換言之， $Q/(2C + C_g)$ 的值視經由第一電晶體 104 輸入的訊號而定。這是因為電荷 Q 取決於經由第一電晶體 104 輸入的訊號。由於第一電晶體 104 的關閉狀態電流顯著地低，所以， Q 輸入的值能保持。不同於習知技術，不用其它元件，即能保持 Q 輸入的值。

舉例而言，假定 Q 是 0，且第二電晶體 205 的臨界電壓 (V_{th}) 是負的小值。第一電晶體 104 開啓，經由第一電晶體 104，施加 Q 會為 0 的電壓 V_g 。之後，第一電晶體 104 關閉。 Q 輸入的值保持。假定高位準訊號 (1,1) 輸入至端子 A 及端子 B。電壓 V_g 以公式 15 表示。

[公式 15]

$$V_g = \left(1 - \frac{\frac{1}{2}}{1 + \frac{C_g}{2C}} \right) V_{dd}$$

此時，滿足 $V_g - V_{dd} > V_{th}(205)$ ；因此，第二電晶體 205 關閉。此處，第二電晶體 205 的臨界電壓以 $V_{th}(205)$ 表示。

類似地，假定 Q 為 0，以及，高位準訊號和低位準訊號 (1,0) 分別輸入至端子 A 和端子 B。電壓 V_g 以公式 16 表示。

[公式 16]

$$V_g = \left(1 - \frac{\frac{1}{2}}{1 + \frac{C_g}{2C}} \right) V_{dd}$$

此時，滿足 $V_g - V_{dd} < V_{th}(205)$ ；因此，第二電晶體 205 開啓。

類似地，假定 Q 爲 0，以及，低位準訊號和高位準訊號 (0,1) 分別輸入至端子 A 和端子 B。 V_g 以公式 17 表示。

[公式 17]

$$V_g = \left(1 - \frac{1}{1 + \frac{C_g}{2C}} \right) V_{dd}$$

此時，滿足 $V_g - V_{dd} < V_{th}(205)$ ；因此，第二電晶體 205 開啓。

類似地，假定 Q 爲 0，以及，低位準訊號輸入至端子 A 和端子 B。此時，滿足 $V_g - V_{dd} < V_{th}(205)$ ；因此，第二電晶體 205 開啓。

上述操作顯示於表 3 中。

[表 3]

Q=0

A	B	FET205
1	1	關
0	1	開
1	0	開
0	0	開

僅當高位準訊號輸入至端子 A 及端子 B 時，第二電晶體 205(FET)才關閉，在其它情形中，第二電晶體 (FET)205 開啓。第二電晶體 205 開啓的條件視經由第一電晶體 104 輸入的訊號而改變。亦即，第二電晶體 205 的開/關狀態視 Q 值而定。

接著，Q 值改變。由於第二電晶體 205 是 p 通道電晶體，所以，Q 大於 0(正的)。

第一電晶體 104 開啓，輸入一訊號，藉由此訊號，Q 大於 0。在完成輸入之後，第一電晶體 104 關閉。Q 輸入的值保持。假定高位準訊號 (1,1)輸入至端子 A 及端子 B。此時，Q 的值適當地改變，以致於 Q 大於 0，因而第二電晶體 205 關閉。

假定 Q 為類似的值 ($Q > 0$)，以及，高位準訊號和低位準訊號 (1,0)輸入至端子 A 和端子 B。此時，Q 適當地變化，因而第二電晶體 205 關閉。

假定 Q 為類似的值 ($Q > 0$)，以及，低位準訊號和高位準訊號 (0,1)分別輸入至端子 A 和端子 B。此時，Q 適當地改變，因而第二電晶體 205 關閉。

假定 Q 為類似的值 ($Q > 0$)，以及，低位準訊號 ($0, 0$) 輸入至端子 A 和端子 B。此時， Q 適當地改變，因而第二電晶體 205 開啓。

上述操作顯示於表 4 中。

[表 4]

$Q > 0$

A	B	FET205
1	1	關
0	1	關
1	0	關
0	0	開

僅當低位準訊號輸入至端子 A 及端子 B 時，第二電晶體 (FET)205 才開啓，在其它情形中，第二電晶體 (FET)205 關閉。第二電晶體 205 開啓的條件視經由第一電晶體 104 輸入的訊號而改變。亦即，第二電晶體 205 的開/關狀態視 Q 值而定。

未設置切換開關，且第二電晶體 205 的開/關狀態視 Q 值 ($Q=0$ 或 $Q > 0$) 而定。因此，邏輯電路是動態地可重規劃的。這是因為第一電晶體 104 的關閉狀態電流如此低，以致於 Q 是 0 的狀態及 Q 是大於 0 的狀態均能固持。

將說明一般操作。第二電晶體 205 的臨界電壓以 V_{thp} 表示。根據公式 5，發現 V_g 是端子 A、端子 B、及 Q 的函數。假定當高位準訊號輸入至端子 A 及端子 B 時

第二電晶體 205 的閘極電位是 $V_g(A=1, B=1, Q)$ ，當低位準訊號及高位準訊號分別輸入至端子 A 及端子 B 時第二電晶體 205 的閘極電位是 $V_g(A=0, B=1, Q)$ ，當高位準訊號及低位準訊號分別輸入至端子 A 及端子 B 時第二電晶體 205 的閘極電位是 $V_g(A=1, B=0, Q)$ ，以及，當低位準訊號輸入至端子 A 及端子 B 時第二電晶體 205 的閘極電位是 $V_g(A=0, B=0, Q)$ 。

當高位準訊號輸入至端子 A 及端子 B 時， V_g 以公式 18 表示。

[公式 18]

$$V_g(A=1, B=1, Q) = V_{dd} + \frac{Q}{2C + C_g}$$

當低位準訊號及高位準訊號分別輸入至端子 A 及端子 B 時， V_g 以公式 19 表示。

[公式 19]

$$V_g(A=0, B=1, Q) = \left\{ 1 - \frac{1}{2 \left(1 + \frac{C_g}{2C} \right)} \right\} V_{dd} + \frac{Q}{2C + C_g}$$

當高位準訊號及低位準訊號分別輸入至端子 A 及端子 B 時， V_g 以公式 20 表示。

[公式 20]

$$V_g(A=1, B=0, Q) = \left\{ 1 - \frac{1}{2 \left(1 + \frac{C_g}{2C} \right)} \right\} V_{dd} + \frac{Q}{2C + C_g}$$

當低位準訊號輸入至端子 A 及端子 B 時， V_g 以公式 21 表示。

[公式 21]

$$V_g(A=0, B=0, Q) = \left\{ 1 - \frac{1}{\left(1 + \frac{C_g}{2C} \right)} \right\} V_{dd} + \frac{Q}{2C + C_g}$$

從公式 18 至 21，導出公式 22。

[公式 22]

$$V_g(A=1, B=1, Q) > V_g(A=0, B=1, Q) = V_g(A=1, B=0, Q) > V_g(A=0, B=0, Q)$$

假定經由第一電晶體 104 施加的電荷是 Q_2 ，發現當 Q_2 滿足公式 23 時，符合表 3 的關係。

[公式 23]

$$V_g(A=1, B=1, Q=Q_2) > V_{thp} > V_g(A=1, B=0, Q=Q_2)$$

具體而言，假定供應的電位（當 A 是 0 且 B 是 0 時）是 V_{g2} ， V_{g2} 滿足公式 24。

[公式 24]

$$V_{thp} + V_{dd} \left\{ \frac{C_g}{2C + C_g} \right\} < V_{g2} < V_{thp} + V_{dd} \left\{ \frac{C + C_g}{2C + C_g} \right\}$$

假定經由第一電晶體 104 施加的電荷是 Q_3 ，發現當 Q_3 滿足公式 25 時，符合表 4 的關係。

[公式 25]

$$V_{g(A=1,B=1,Q=Q_3)} > V_{thp} > V_{g(A=1,B=0,Q=Q_3)}$$

具體而言，假定供應的電位（當 A 是 0 且 B 是 0）是 V_{g3} 時， V_{g3} 滿足公式 26。

[公式 26]

$$V_{thp} + V_{dd} \left\{ \frac{C + C_g}{2C + C_g} \right\} < V_{g3} < V_{thp} + V_{dd}$$

當在通道形成區中包含氧化物半導體的電晶體作為第一電晶體 104 時，邏輯電路具有執行邏輯操作的功能及儲存資料的功能。

不似實施例 1，在本實施例中， Q 是大於 0。使用 $Q=0$ 及 $Q>0$ 的組合；因此，使用具有 0 的訊號以及具有正值的訊號作為經由第一電晶體 104 輸入的訊號。本實施例中輸入至第一電晶體 104 的訊號的組合比實施例 1 中的組合較佳。

根據本發明的一實施例，由於當電晶體 (OSFET) 開啓時執行動態重規劃，所以，脈衝可以施加至電晶體的閘極（或閘極電極）。因此，可以在短時間內決定電晶體的狀態。

由於能與輸入訊號無關地控制功能，所以，根據本發

明的一實施例之動態重規劃功能不受輸入訊號不利影響。

根據本發明的一實施例，解決漏電流的問題。

根據本發明的一實施例，執行動態重規劃。

根據本發明的一實施例，電路配置小於習知的電路配置。

(實施例 3)

在本實施例中，將說明實施例 1 中所述的電路與實施例 2 中所述的電路相結合的邏輯電路。

在實施例 1 中所述的電路中(請參見圖 1)，第二電晶體 105 是 n 通道電晶體。在實施例 2 中所述的電路中(請參見圖 3)，第二電晶體 205 是 p 通道電晶體。這些電路相結合而形成 CMOS 電路。

圖 25 顯示 CMOS 電路，其包含第一電容器 501、第二電容器 502、第三電容器 511、第四電容器 512、第一電晶體(OSFET)504、第二電晶體(OSFET)514、第三電晶體 205、及第四電晶體 105。第三電晶體 205 及第四電晶體 105 分別是 p 通道電晶體及 n 通道電晶體。

如圖 25 所示，這些元件彼此電連接。第一電容器 501 的一電極電連接至端子 A。第三電容器 511 的一電極電連接至端子 A。訊號從端子 A(IN)輸入。第二電容器 502 的一電極電連接至端子 B。第四電容器 512 的一電極電連接至端子 B。訊號從端子 B(IN)輸入。第一電晶體(OSFET)504 的源極和汲極中之一電連接至第一電容器

501 的另一電極。第一電晶體 (OSFET)504 的源極和汲極中之一也電連接至第三電晶體 (FET)205 的閘極。連接至第三電晶體 205 的閘極之節點的電荷以 Q_p 表示。由於第一電晶體 504 是 n 通道電晶體，所以，第一電晶體 504 的汲極電連接至第三電晶體 (FET)205 的閘極。第二電晶體 (OSFET)514 的源極和汲極中之一電連接至第四電容器 512 的另一電極。第二電晶體 (OSFET)514 的源極和汲極中之一也電連接至第四電晶體 (FET)105 的閘極。連接至第四電晶體 105 的閘極之節點的電荷以 Q_n 表示。由於第二電晶體 514 是 n 通道電晶體，所以，第二電晶體 514 的汲極電連接至第四電晶體 (FET)105 的閘極。第三電晶體 205 的源極和汲極中之一電連接至第四電晶體 105 的源極和汲極中之一，以及，輸出訊號 (OUT)。

表 5 顯示輸入至端子 A 和端子 B 的輸入訊號 (IN) 與輸出訊號 (OUT) 之間的關係，在實施例 1 中所述的 Q_n 是 Q_0 ($Q_n=Q_{n1}$) 以及實施例 2 中所述的 Q_p 是 Q_3 ($Q_p=Q_{p1}$) 的情形中，滿足此關係。

[表 5]

A	B	$Q_n=Q_{n1}$ (Q_0)	$Q_p=Q_{p1}$ (Q_3)	輸出
1	1	開	關	0
0	1	開	關	0
1	0	開	關	0
0	0	關	開	1

表 5 顯示執行反或 (NOR) 操作作為邏輯操作。

表 6 顯示輸入至端子 A 和端子 B 的輸入訊號 (IN) 與輸出訊號 (OUT) 之間的關係，在實施例 1 中所述的 Q_n 是 Q_1 ($Q_n=Q_{n2}$) 以及實施例 2 中所述的 Q_p 是 Q_2 ($Q_p=Q_{p2}$) 的情形中，滿足此關係。

[表 6]

A	B	$Q_n=Q_{n2}$ (Q_1)	$Q_p=Q_{p2}$ (Q_2)	輸出
1	1	開	關	0
0	1	關	開	1
1	0	關	開	1
0	0	關	開	1

表 6 顯示執行反及 (NAND) 操作作為邏輯操作。注意， Q_{n2} 小於 Q_{n1} 且 Q_{p1} 大於 Q_{p2} 。

因此，即使是 CMOS 電路也可以動態地可重規劃。

此外，即使是 CMOS 電路也具有比習知配置更簡單的電路配置。

(實施例 4)

在本實施例中，將說明邏輯電路，其中，設置另一元件以執行及 (AND) 運算 (或邏輯乘) 以及或 (OR) 運算 (或邏輯加)。

圖 4A 顯示邏輯電路，其包含第一電容器 101、第二電容器 102、關閉狀態電流低的第一電晶體 (OSFET) 104、

第二電晶體 (FET)105、第三電晶體 (OSFET)311、第四電晶體 (OSFET)312、及反相器 313。

圖 4A 中的邏輯電路與圖 3 中的邏輯電路不同之處在於增加設置第三電晶體 (OSFET)311、第四電晶體 (OSFET)312、及反相器 313。

第一電晶體 104、第三電晶體 311、及第四電晶體 312 由於在通道形成區中包含氧化物半導體，所以也以 OSFET 表示。在很多情形中，包含氧化物半導體的通道形成區具有 n 型導電率；因此，第一電晶體、第三電晶體、及第四電晶體是 n 通道電晶體。在通道形成區中包含氧化物半導體的此電晶體的關閉狀態電流低。由於第三電晶體及第四電晶體的關閉狀態電流不一定是與第一電晶體的關閉狀態電流一樣低，所以，包含氧化物半導體的電晶體並非總是必須施加至第三電晶體及第四電晶體。

由於第二電晶體的關閉狀態電流不一定要與第一電晶體、第三電晶體及第四電晶體的關閉狀態電流一樣低，所以，使用通道形成區中包含矽的電晶體作為第二電晶體。第二電晶體是 p 通道電晶體。

如圖 4A 中所示，第一電容器 101、第二電容器 102、第一電晶體 104、第二電晶體 205、第三電晶體 311、第四電晶體 312、及反相器 313 彼此電連接。第一電容器 101 的一電極電連接至第二電晶體 205 的閘極。第二電容器 102 的一電極電連接至第二電晶體 205 的閘極。第二電容器 102 的一電極也電連接至第一電晶體 104 的源極和汲

極中之一。第二電容器 102 的一電極也電連接至第一電晶體 104 的源極和汲極中之一。當第一電晶體 104 是 n 通道電晶體時，第一電晶體 104 的汲極電連接至第二電容器 102 的一電極。第二電晶體 205 的源極和汲極中之一電連接至第三電晶體 311 的源極和汲極中之一。第三電晶體 311 的源極和汲極中之另一極電連接至第四電晶體 312 的源極和汲極中之一。第三電晶體 311 的源極和汲極中之另一極以及第四電晶體 312 的源極和汲極中之一電連接至反相器 313 的第一端。反相器 313 的第一端是輸入端。訊號從反相器 313 的第二端輸出。反相器 313 的第二端是輸出端。第二電晶體 205 的源極和汲極中之另一極以及第四電晶體 312 的源極和汲極中之另一極分別電連接至高電位電源以及低電位電源。

第一電晶體 104 的開/關由輸入至其閘極的訊號控制。第二電晶體 205 的開/關由輸入至其閘極的訊號控制。訊號從端子 A 及端子 B 輸入。這些訊號是高位準訊號及/或低位準訊號。因此，以類似於實施例 2 中所述的方式，控制第二電晶體 205 的開/關。當第二電晶體 205 開啓時，施加 V_{dd} 。

第三電晶體 311 的開/關由輸入至其閘極的訊號控制。第四電晶體 312 的開/關由輸入至其閘極的訊號控制。輸入至第三電晶體 311 的閘極的訊號是高位準訊號或是低位準訊號。輸入至第四電晶體 312 的閘極的訊號是高位準訊號或是低位準訊號。

將參考圖 4B 及 4C，說明圖 4A 中的邏輯電路的操作。假定 $Q=Q2$ (對應於表 3)被固持且高位準訊號(也以 H 標示)正輸入至端子 A 及端子 B(請參見圖 4B)。換言之，假定第二電晶體 205 關閉。首先，控制訊號 S1 變成在低位準(也以 L 表示)且控制訊號 S2 變成在高位準(也以 H 表示)。第三電晶體 311 關閉且第四電晶體 312 開啓，以作響應。節點 FN 的電位變成 V_{ss} 且反相器輸出 OUT 變成高位準(也以 H 表示)。

然後，控制訊號 S2 變成在低位準，且控制訊號 S1 變成在高位準。第三電晶體 311 開啓且第四電晶體 312 關閉，以作響應。第二電晶體 205 關閉，節點 FN 的電位因而維持 V_{ss} 。雖然節點 FN 的電位因第二電晶體 205 的漏電流而逐漸地上升，但是，節點 FN 維持在接近 V_{ss} 的電位短暫時間。因此，反相器輸出 OUT 維持在高位準。上述操作的結果，當 $Q=Q2$ (對應於表 3)保持且高位準訊號輸入至端子 A 及端子 B 時，輸出訊號也變成高位準。

在圖 4C 中，假定 $Q=Q2$ (對應於表 3)保持且低位準訊號正輸入至端子 A 及端子 B。換言之，假定第二電晶體 205 開啓。首先，控制訊號 S1 變成在低位準且控制訊號 S2 變成在高位準。第三電晶體 311 關閉且第四電晶體 312 開啓，以作響應。節點 FN 的電位變成 V_{ss} 且反相器輸出 OUT 變成高位準。

然後，控制訊號 S2 變成在低位準，且控制訊號 S1 變成在高位準。第三電晶體 311 開啓且第四電晶體 312 關閉

，以作響應。第二電晶體 205 開啓，節點 FN 的電位因而變成 V_{dd} 。因此，反相器輸出 OUT 變成在低位準。上述操作的結果，當 $Q=Q2$ (對應於表 3)保持且低位準訊號輸入至端子 A 及端子 B 時，輸出訊號也變成在低位準。注意，當控制訊號 S2 及控制訊號 S1 變成在低位準時，第三電晶體 311 及第四電晶體 312 關閉，以致於節點 FN 的電位維持。節點 FN 的電位由於被 OSFET 的關閉狀態維持，所以，其能穩定地長時間固持。

上述操作顯示圖 4A 中的電路當第二電晶體 205 開啓時輸出低位準訊號，以及，當第二電晶體 205 關閉時輸出高位準訊號。因此，根據表 3 及 4，取得圖 4A 中所示的電路的真值表。表 7 是真值表。

[表 7]

A	B	Q=Q2 輸出	Q=Q3 輸出
1	1	1	1
0	1	0	1
1	0	0	1
0	0	0	0

當 Q 是 Q2 及訊號 (1,1)輸入至端子 A 及端子 B 時，第二電晶體 205 關閉。因此，OUT 在高位準。當訊號 (1,0)、(0,1)、或 (0,0)輸入至端子 A 及端子 B 時，第二電晶體 205 開啓。因此，OUT 處於低位準。亦即，這些結果顯示此電路是及 (AND)電路。

當 Q 是 Q3 及訊號 (1,1)、(1,0)、或 (0,1) 輸入至端子 A 及端子 B 時，第二電晶體 205 關閉。因此，OUT 在高位準。當訊號 (0,0) 輸入至端子 A 及端子 B 時，第二電晶體 205 開啓。因此，OUT 處於低位準。亦即，這些結果顯示此電路是或 (OR) 電路。

此邏輯電路需要固持反相器 313 的輸入端側上的節點電位。取代反相器 313，可以設置開關、緩衝器、等等。

(實施例 5)

在本實施例中，將說明場效電晶體，其可應用至根據任何上述實施例中的邏輯電路中關閉狀態電流需要低的電晶體（例如，第一電晶體、第三電晶體、及第四電晶體）。場效電晶體均在通道形成區中包含氧化物半導體層。

將參考圖 5A 及 5B，說明本實施例中電晶體的結構實例。

圖 5A 中的電晶體包含導體層 601_a、絕緣層 602_a、半導體層 603_a、導體層 605a_a、及導體層 605b_a。

半導體層 603_a 包含區域 604a_a 及區域 604b_a。區域 604a_a 及區域 604b_a 彼此間隔，以及，摻雜劑添加至區域 604a_a 及區域 604b_a。在區域 604a_a 及區域 604b_a 之間的區域作為通道形成區。半導體層 603_a 設在元件形成層 600_a 上。雖然區域 604a_a 及區域 604b_a 不一定要設置，但是，在某些情形中，區域 604a_a 及區域 604b_a 的設置導致電阻降低及遷移率增加。

導體層 605a_b 及導體層 605b_a 設在半導體層 603_a 上而電連接至半導體層 603_a。此外，導體層 605a_a 及導體層 605b_a 的側表面（在內側上）是尾端漸細的。使用導體層 605a_b 及導體層 605b_a 作為部份掩罩，形成區域 604a_a 及區域 604b_a。

導體層 605a_a 與部份區域 604a_a 重疊，以致於導體層 605a_a 與區域 604a_a 之間的電阻小。但是，本發明的一實施例不必侷限於此。此外，與導體層 605a_a 重疊的半導體層 603_a 的區域可以是添加摻雜劑的整個區域 604a_a。但是，本發明的一實施例不必侷限於此。

導體層 605b_a 與區域 604b_a 重疊，以致於導體層 605b_a 與區域 604b_a 之間的電阻小。但是，本發明的一實施例不必侷限於此。此外，與導體層 605b_a 重疊的半導體層 603_a 的區域可以是添加摻雜劑的整個區域 604b_a。

絕緣層 602_a 設在半導體層 603_a、導體層 605a_a、及導體層 605b_a 上。絕緣層 602_a 作為閘極絕緣膜。

導體層 601_a 設在部份絕緣層 602_a 之上且與半導體層 603_a 重疊而以絕緣層 602_a 設於其間。與導體層 601_a 重疊而以絕緣層 602_a 設於其間的半導體層 603_a 的區域是通道形成區。使用導體層 601_a 作為部份掩罩，以形成區域 604a_a 及區域 604b_a。

圖 5B 中的電晶體包含導體層 601_b、絕緣層 602_b、半導體層 603_b、導體層 605a_b、導體層 605b_b、絕緣

層 606a、絕緣層 606b、及絕緣層 607。

半導體層 603_b 包含區域 604a_b 及區域 604b_b。區域 604a_b 及區域 604b_b 彼此間隔，以及，摻雜劑添加至區域 604a_b 及區域 604b_b。舉例而言，半導體層 603_b 設在元件形成層 600_b 上且電連接至導體層 605a_b 及導體層 605b_b。雖然區域 604a_b 及區域 604b_b 不一定要設置，但是，在某些情形中，區域 604a_b 及區域 604b_b 的設置導致電阻降低及遷移率增加。

絕緣層 602_b 設置在部份半導體層 603_b 上。

導體層 601_b 設在部份絕緣層 602_b 之上且與半導體層 603_b 重疊而以絕緣層 602_b 設於其間。與導體層 601_b 重疊而以絕緣層 602_b 設於其間的半導體層 603_b 的區域是電晶體的通道形成區。注意，絕緣層可以設在導體層 601_b 上。

絕緣層 606a 設在絕緣層 602_b 之上且與導體層 601_b 的成對側表面之一接觸。絕緣層 606b 設在絕緣層 602_b 之上且與導體層 601_b 的成對側表面中之另一表面接觸。絕緣層 606a 及絕緣層 606b 稱為側壁。

注意，與絕緣層 606a 及絕緣層 606b 分別重疊而以絕緣層 602_b 介於其間的部份區域 604a_b 及部份區域 604b_b 的摻雜劑的濃度可以低於分別未與絕緣層 606a 及絕緣層 606b 重疊之部份區域 604a_b 以及部份區域 604b_b 的摻雜劑的濃度。摻雜劑的濃度可以朝向通道形成區逐漸地降低。

導體層 605a_b 及導體層 605b_b 設於半導體層 603_b。

導體層 605a_b 電連接至區域 604a_b。此外，導體層 605a_b 接觸絕緣層 606a。

導體層 605b_b 電連接至區域 604b_b。此外，導體層 605b_b 接觸絕緣層 606b。

絕緣層 606a 防止導體層 601_b 與導體層 605a_b 之間的接觸。絕緣層 606b 防止導體層 601_b 與導體層 605b_b 之間的接觸。

絕緣層 607 設於導體層 601_b、導體層 605a_b、導體層 605b_b、絕緣層 606a、及絕緣層 606b 之上。

此外，將說明圖 5A 及 5B 中所示的元件。

舉例而言，絕緣層、具有絕緣表面的基底、等等可以作為元件形成層 600_a 及元件形成層 600_b。或者，有元件預先形成於上的層可以作為元件形成層 600_a 及元件形成層 600_b。

導體層 601_a 及 601_b 均作為電晶體的閘極。注意，作為電晶體的閘極之層也稱為閘極電極或閘極線。

舉例而言，可以使用例如鉬、鎂、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦或是含有任何這些金屬材料作為主成分的合金材料，以作為導體層 601_a 及 601_b 中的每一層。使用任何金屬材料的堆疊、任何合金材料的堆疊、或是它們的堆疊，以用於導體層 601_a 及 601_b 中的每一層。考慮這些材料的功函數。

絕緣層 602_a 及 602_b 中的每一層均作為電晶體的閘極絕緣層。

舉例而言，使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、氧化鉛層、或氧化鎳層，以作為絕緣層 602_a 至 602_b 中的每一層。或者，使用任何上述材料的堆疊，以形成絕緣層 602_a 至 602_b 中的每一層。

或者，舉例而言，可使用含有屬於週期表中第 13 族的元素及氧的材料之絕緣層，作為絕緣層 602_a 及 602_b 中的每一層。舉例而言，當半導體層 603_a 及 603_b 中的每一層均含有屬於第 13 族元素時，使用均含有屬於第 13 族元素的絕緣層作為接觸半導體層 603_a 及 603_b 之絕緣層，使得絕緣層與氧化物半導體層之間的介面狀態是有利的。

含有屬於第 13 族元素及氧的材料的實例包含氧化鎵、氧化鋁、鋁鎵氧化物、及鎵鋁氧化物。注意，鋁鎵氧化物是指原子百分比上鋁量大於鎵量的物質，以及，鎵鋁氧化物意指在原子百分比上鎵量大於或等於鋁量的物質。舉例而言，使用 Al_2O_x ($x=3+a$ ，其中， a 大於 0 且小於 1)、 Ga_2O_x ($x=3+a$ ，其中， a 大於 0 且小於 1)、或是 $Ga_xAl_{2-x}O_{3+a}$ (x 大於 0 且小於 2， a 大於 0 且小於 1) 表示的材料。

使用用於絕緣層 602_a 及 602_b 的任何上述材料的堆疊，形成絕緣層 602_a 及 602_b 中的每一層。舉例而言，

物、In-Sn-Al-Zn 為基礎的氧化物、In-Sn-Hf-Zn 為基礎的氧化物、In-Hf-Al-Zn 為基礎的氧化物等等，以作為四成分金屬氧化物。

舉例而言，使用 In-Ga-Zn 為基礎的氧化物(也稱為 IGZO)、In-Sn-Zn 為基礎的氧化物、In-Al-Zn 為基礎的氧化物、Sn-Ga-Zn 為基礎的氧化物、Al-Ga-Zn 為基礎的氧化物、Sn-Al-Zn 為基礎的氧化物、In-Hf-Zn 為基礎的氧化物、In-La-Zn 為基礎的金屬氧化物、In-Ce-Zn 為基礎的氧化物、In-Pr-Zn 為基礎的氧化物、In-Nd-Zn 為基礎的氧化物、In-Sm-Zn 為基礎的氧化物、In-Eu-Zn 為基礎的氧化物、In-Gd-Zn 為基礎的氧化物、In-Tb-Zn 為基礎的氧化物、In-Dy-Zn 為基礎的氧化物、In-Ho-Zn 為基礎的氧化物、In-Er-Zn 為基礎的氧化物、In-Tm-Zn 為基礎的氧化物、In-Yb-Zn 為基礎的氧化物、In-Lu-Zn 為基礎的氧化物、等等，以作為三成分金屬氧化物。

舉例而言，使用 In-Zn 為基礎的氧化物、Sn-Zn 為基礎的氧化物、Al-Zn 為基礎的氧化物、Zn-Mg 為基礎的氧化物、Sn-Mg 為基礎的氧化物、In-Mg 為基礎的氧化物、In-Sn 為基礎的氧化物、In-Ga 為基礎的氧化物、等等，以作為二成分金屬氧化物。

注意，舉例而言，In-Ga-Zn 為基礎的氧化物意指含有 In、Ga、及 Zn 的氧化物，對於 In、Ga、及 Zn 的成分比例並無特別限定。In-Ga-Zn 為基礎的氧化物可以又含有 In、Ga、及 Zn 以外的金屬元素。

以 $\text{InLO}_3(\text{ZnO})_m$ (m 大於 0) 表示的材料用於氧化物半導體。此處， $\text{InLO}_3(\text{ZnO})_m$ 中之 L 代表選自 Ga 、 Al 、 Mn 、及 Co 中之一或更多金屬元素。

舉例而言，能夠使用原子比為 $\text{In} : \text{Ga} : \text{Zn} = 1:1:1$ ($=1/3:1/3:1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2:2:1$ ($=2/5:2/5:1/5$) 的 In-Ga-Zn 為基礎的氧化物、或是成分在上述成分附近的任何氧化物，以作為氧化物半導體。或者，能夠使用原子比為 $\text{In} : \text{Sn} : \text{Zn} = 1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2:1:3$ ($=1/3:1/6:1/2$)、或 $\text{In} : \text{Sn} : \text{Zn} = 2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 為基礎的氧化物、或是成分在上述成分附近的任何氧化物，以作為氧化物半導體。

注意，揭示的發明的一實施例不限於此，可以使用視半導體特徵（例如，遷移率、臨界電壓、變異、等等）而使用具有適當成分的材料。此外，較佳的是將載子密度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間距離、密度、等等設定在適當值，以取得所需半導體特徵。

氧化物半導體可以具有單晶結構。

或者，氧化物半導體可以具有非單晶結構。

在氧化物半導體具有非單晶結構情形中，非單晶氧化物半導體可以是非晶的。

在氧化物半導體具有非單晶結構情形中，非單晶氧化物半導體可以是多晶的。

氧化物半導體可以具有包含結晶部份的非晶結構或是

非非晶結構。

氧化物半導體可以視其成分比例而具有上述結構。或者，氧化物半導體可以視其厚度而具有上述結構。或者，氧化物半導體可以視對其執行的熱處理、膜形成時的基底溫度等等而具有上述結構。

關於半導體層 603_a 及半導體層 603_b，使用含有氧化物的層，所述氧化物包含當從 a-b 平面、表面、或介面的方向觀視時具有三角形或六角形原子配置的具有 c 軸對齊的晶體（也稱為 c 軸對齊晶體 (CAAC)）。在晶體中，金屬原子以層疊方式配置，或者，金屬原子與氧原子延著 c 軸以層疊方式配置，以及，a 軸或 b 軸的方向在 a-b 平面中變化（晶體圍繞 c 軸旋轉）。

CAAC 不是單晶，但是這並非意謂 CAAC 僅由非晶成分組成。雖然 CAAC 包含晶化部份（結晶部份），但是，在某些情形中，一結晶部份與另一結晶部份之間的邊界並不清楚。

在氧包含於 CAAC 的情形中，氮可以替代包含於 CAAC 中的部份氧。包含於 CAAC 中的個別結晶部份的 c 軸可以在一方向（例如，垂直於 CAAC 形成於上的基底表面或是 CAAC 的表面之方向）上對齊。或者，包含於 CAAC 中的個別的結晶部份的 a-b 平面的法線可以在一方向上對齊（例如，垂直於 CAAC 形成於上的基底表面或是 CAAC 的表面之方向）。

氧化物半導體視其成分等而為導體、半導體、或是絕

緣體。氧化物半導體視其成分等而使可見光透射或不透射。

關於此 CAAC 的實施例，有形成為膜狀及從垂直於膜的表面或是 CAAC 形成於上的基底表面之方向觀視為具有三角形或六角形原子配置的晶體，以及，其中，當觀測膜的剖面時，金屬原子以層疊方式配置或是金屬原子和氧原子（或氮原子）以層疊方式配置。

關於氧化物半導體，可以使用包含具有 c 軸對齊的結晶區之半導體層。注意，具有 c 軸對齊的結晶區的成分以 $\text{In}_{1+\delta}\text{Ga}_{1-\delta}\text{O}_3(\text{ZnO})_M$ ($0 < \delta < 1$, $1 \leq M \leq 3$) 表示，以及，包含具有 c 軸對齊的結晶區之整個半導體層的成分以 $\text{In}_P\text{Ga}_Q\text{O}_R(\text{ZnO})_M$ ($0 < P < 2$, $0 < Q < 2$, $1 \leq M \leq 3$) 表示。

此外，在半導體層 603_a 及半導體層 603_b 是 CAAC 氧化物半導體層以及電晶體的通道長度是 30 nm 時，即使當半導體層 603_a 及半導體層 603_b 的各別厚度約為例如 5 nm 時，能抑制電晶體中的短通道效應。

此處，參考圖 6A 至 6E、圖 7A 至 7C、及圖 8A 至 8C，進一步說明 CAAC 的晶體結構的實例。在圖 6A 至 6E、圖 7A 至 7C、及圖 8A 至 8C 中，除非另外指明，否則，垂直方向相當於 c 軸方向以及垂直於 c 軸方向的平面相當於 a-b 平面。當簡單地使用「上半部」及「下半部」等詞時，它們意指在 a-b 平面上方的上半部、以及在 a-b 平面下方的下半部（相對於 a-b 平面的上半部及下半部）。此外，在圖 6A 至 6E 中，由圓圈圍繞的 O 原子代表四配位

O 原子，由雙圓圈圍繞的 O 原子代表三配位 O 原子。

圖 6A 顯示包含一個六配位 In 原子(也稱為六配位 In)及接近 In 原子的六個四配位氧原子(也稱為四配位 O)的結構。注意，包含例如 In 等一金屬原子及接近其的氧原子的結構稱為小基團。圖 6A 中的小基團真實地為八面體結構，但是，為了簡明起見而顯示為平面結構。注意，三個四配位 O 原子存在於圖 6A 中的上半部及下半部中。在圖 6 A 中所示的小基團中，電荷為 0。

圖 6B 顯示包含一個五配位 Ga 原子、接近五配位 Ga 原子的三個三配位氧(也稱為三配位 O)原子、及接近五位 Ga 原子的二個四配位 O 原子之結構。所有三個三配位 O 原子存在於 a-b 平面上。一個四配位 O 原子存在於圖 6B 中的上半部及下半部中。由於不僅有四配位 In 原子，也有五配位 In 原子，所以，圖 6B 中所示的結構可以包含一個五配位 In 原子、三個三配位 O 原子、及兩個四配位 O 原子。在圖 6B 中所示的小基團中，電荷為 0。

圖 6C 顯示包含一個四配位鋅(也稱為四配位 Zn)原子及接近四配位 Zn 原子的四個四配位 O 原子之結構。在圖 6C 中，一個四配位 O 原子存在於上半部，三個四配位 O 原子存在於下半部中。或者，在圖 6C 中，三個四配位 O 原子存在於上半部中以及一個四配位 O 原子存在於下半部中。在圖 6C 中所示的小基團中，電荷為 0。

圖 6D 顯示包含一個六配位錫(也稱為六配位 Sn)原子及接近六配位 Sn 原子的六個四配位 O 原子之結構。在圖

6D 中，三個四配位 O 原子存在於上半部及下半部中。在圖 6D 中所示的小基團中，電荷為 +1。

圖 6E 顯示包含二個 Zn 原子的小基團。在圖 6E 中，一個四配位 O 原子存在於上半部及下半部中。在圖 6E 中所示的小基團中，電荷為 -1。

注意，眾多小基團形成中基團，以及，眾多中基團形成大基團（也稱為單一胞）。

現在，將說明小基團之間的接合規則。舉例而言，相對於六配位 In 原子之上半部中的三個四配位 O 原子在向下方向上均具有三個接近的六配位 In 原子，以及，在下半部中的三個四配位 O 原子在向上方向上均具有三個接近的六配位 In 原子。相對於五配位 Ga 原子的上半部中的一個四配位 O 原子在向下方向接合至一個接近的五配位 Ga 原子，以及，在下半部中的一個三配位 O 原子在向上方向上接合至一個接近的五配位 Ga 原子。相對於四配位 Zn 原子的上半部中的一個四配位 O 原子在向下方向上接合至一個接近的四配位 Zn 原子，以及，在下半部中的三個四配位 O 原子在向上方向上均接合至三個接近的四配位 Zn 原子。依此方式，在金屬原子上方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的下方之金屬原子數目。類似地，在金屬原子下方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的上方之金屬原子數目。在此情形中，由於四配位 O 原子的軸數為 4，所以，接近 O 原子且在 O 原

子的下方的金屬原子的數目與接近 O 原子且在 O 原子的上方的金屬原子的數目之總合為 4。因此，當在金屬原子上方的四配位 O 原子的數目與在另一金屬原子下方的四配位 O 原子的數目之總合為 4 時，二種包含金屬原子的小基團可以接合。舉例而言，在六配位金屬 (In 或 Sn) 原子經由下半部中的三個四配位 O 原子接合的情形中，其接合至五配位金屬 (Ga 或 In) 原子或四配位金屬 (Zn) 原子。

軸數為 4、5、或 6 的金屬原子經由 c 軸方向上的四配位 O 原子而接合至另一金屬原子。上述之外，還可藉由結合眾多小基團以致於層疊結構的總電荷為 0，而以不同方式形成中基團。

圖 7A 顯示包含在 In-Sn-Zn 為基礎的材料之層疊結構中的中基團的模型。圖 7B 顯示包含三個中基團的大基團。注意，圖 7C 顯示從 c 軸方向觀測的圖 7B 中的層疊結構的情形中之原子配置。

在圖 7A 中，為簡明起見，省略三配位 O 原子，以及，以圓圈顯示四配位 O 原子；圓圈中的數目顯示四配位 O 原子的數目。舉例而言，存在於相對於 Sn 原子的上半部及下半部中的各部中的三個四配位 O 原子以圓圈圍繞 3 表示。類似地，在圖 7A 中，存在於相對於 In 原子的上半部及下半部中的各部中的一個四配位 O 原子以圓圈圍繞 1 表示。圖 7A 也顯示接近下半部中的一個四配位 O 原子及上半部中的三個四配位 O 原子的 Zn 原子、以及接近上半

部中的一個四配位 O 原子及下半部中的三個四配位 O 原子之 Zn 原子。

在包含於圖 7A 中的 In-Sn-Zn-O 為基礎的材料的層結構中的中基團中，從頂部依序地，接近上半部及下半部中各部中的三個四配位 O 原子之 Sn 原子接合至接近上半部及下半部中各部中的一個四配位 O 原子之 In 原子、In 原子接合至接近上半部中的三個四配位 O 原子之 Zn 原子、Zn 原子經由下半部中的一個四配位 O 原子及 Zn 原子而接合至接近上半部及下半部中各部中的三個四配位 O 原子之 In 原子、In 原子接合至包含二個 Zn 原子且接近上半部中的一個四配位 O 原子的小基團，以及，小基團經由相對於小基團之下半部中一個四配位 O 原子而接合至接近上半部及下半部中各部中的三個四配位 O 原子之 Sn 原子。眾多這些中基團相接合，以致於形成大基團。

此處，將三配位 O 原子的一鍵的電荷及四配位 O 原子的一鍵的電荷分別假定為 -0.667 和 -0.5。舉例而言，(六配位或五配位)In 原子的電荷、(四配位)Zn 原子的電荷、及(五配位或六配位)Sn 原子的電荷分別為 +3、+2、及 +4。因此，包含 Sn 原子的小基團的電荷為 +1。因此，需要抵消 +1 的電荷之 -1 電荷以形成包含 Sn 原子的層結構。關於具有 -1 的電荷之結構，可為如圖 6E 所示之包含二個 Zn 原子的小基團。舉例而言，藉由包含二個 Zn 原子的一個小基團，抵消包含 Sn 原子的一個小基團的電荷，以致於層結構的總電荷為 0。

此外，當圖 7B 中所示的大基團重複時，取得 In-Sn-Zn 為基礎的晶體 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，取得的 In-Sn-Zn 為基礎的晶體之層結構表示為成分公式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數)。

上述規則也應用至使用四成分金屬氧化物、三成分金屬氧化物、二成分金屬氧化物、或本實施例中所述的任何其它金屬氧化物。

舉例而言，圖 8A 顯示包含於 In-Ga-Zn 為基礎的材料的層結構中的中基團的模型。

在圖 8A 中包含於 In-Ga-Zn 為基礎的材料的層結構中的中基團中，從頂部依序地，接近上半部及下半部中各部的三個四配位 O 原子之 In 原子接合至接近上半部中的一個四配位 O 原子之 Zn 原子、Zn 原子經由相對於 Zn 原子之下半部中三個四配位 O 原子而接合至接近上半部及下半部中各部中的一個四配位 O 原子之 Ga 原子、Ga 原子經由相對於 Ga 原子之下半部中一個四配位 O 原子而接合至接近上半部及下半部中各部中的三個四配位 O 原子之 In 原子。眾多這些中基團相接合，以致於形成大基團。

圖 8B 顯示包含三個中基團的大基團。注意，圖 8C 顯示從 c 軸方向觀測的圖 8B 中的層結構之情形中之原子配置。

此處，由於(六配位或五配位)In 原子的電荷、(四配位)Zn 原子的電荷、及(五配位)Ga 原子的電荷分別為 +3、

+2、+3，所以，包含 In 原子、Zn 原子、及 Ga 原子中任何原子的小基團的電荷為 0。結果，具有這些小基團的結合之中基團的總電荷總是 0。

爲了形成 In-Ga-Zn 爲基礎的氧化物之層結構，不僅使用圖 8A 中所示的中基團，也使用 In 原子、Ga 原子、及 Zn 原子的配置不同於圖 8A 中的配置之中基團，以形成大基團。

具體而言，當重複圖 8B 中所示的大基團時，取得 In-Ga-Zn-O 爲基礎的晶體。注意，取得的 In-Ga-Zn-O 爲基礎的晶體之層結構以成分公式 $\text{InGaO}_3(\text{ZnO})_n$ (n 是自然數)表示。

在 n 是 1 之 (InGaZnO_4) 的情形中，舉例而言，取得圖 24A 中所示的晶體結構。注意，在圖 24A 中所示的晶體結構中，由於如圖 6B 所示般，Ga 原子及 In 原子均具有五個配位基，所以，取得 Ga 原子由 In 取代的結構。

在 n 是 2 之 ($\text{InGaZn}_2\text{O}_5$) 的情形中，舉例而言，取得圖 24B 中所示的晶體結構。注意，在圖 24B 中的晶體結構中，由於如圖 6B 所示般，Ga 原子及 In 原子均具有五個配位基，所以，取得 Ga 由 In 取代的結構。

上述是 CAAC 的結構實例的說明。在例如 CAAC 氧化物半導體等結晶氧化物半導體中，塊體中的缺陷數目小。

摻雜劑添加至圖 5A 及 5B 中所示的區域 604a_a、區域 604b_a、區域 604a_b、及區域 604b_b，以及區域 604a_a、區域 604b_a、區域 604a_b、及區域 604b_b 作爲

電晶體的源極或汲極。舉例而言，關於作為添加的摻雜劑，可以使用週期表的第 13 族元素(例如硼)、週期表的第 15 族元素(例如氮、磷、及砷中之一或更多)、以及稀有氣體元素(例如，氦、氬、及氙中之一或更多)。作為電晶體的源極之區域也稱為源極區，作為電晶體的汲極之區域也稱為汲極區。摻雜劑添加至區域 604a_a、區域 604b_a、區域 604a_b、及區域 604b_b，使得這些區域與導體層之間的電阻降低；因此，電晶體能縮小尺寸。

導體層 605a_a、605b_a、605a_b、及 605b_b 作為電晶體的源極和汲極。注意，作為電晶體的源極之層也稱為源極電極或源極線，以及，作為電晶體的汲極之層也稱為汲極電極或汲極線。未設置源極電極和汲極電極，導體層 605a_a、605b_a、605a_b、及 605b_b 設置作為源極線和汲極線。因此，能取得高集成度。

舉例而言，可以使用例如鋁、鎂、鉻、銅、鋇、鈦、鉬、或鎢等金屬材料或是含有上述金屬材料作為主成分的合金材料，以作為導體層 605a_a、605b_a、605a_b、及 605b_b 中的每一層。舉例而言，使用含有銅、鎂、及鋁的合金材料之層，以形成導體層 605a_a、605b_a、605a_b、及 605b_b 中的每一層。或者，使用用於導體層 605a_a、605b_a、605a_b、及 605b_b 之材料層的堆疊，形成導體層 605a_a、605b_a、605a_b、及 605b_b 中的每一層。舉例而言，使用含有銅、鎂、及鋁的合金材料之層以及含銅的層之堆疊，形成導體層 605a_a、605b_a、605a_b、及

605b_b 中的每一層。

使用含有導體金屬氧化物的層，以作為導體層 605a_a、605b_a、605a_b、及 605b_b 中的每一層。舉例而言，能夠使用氧化銦、氧化錫、氧化鋅、銦錫氧化物、或銦鋅氧化物，以作為導體金屬氧化物。注意，用於導體層 605a_a、605b_a、605a_b、及 605b_b 中的每一層之導體金屬氧化物可以含有氧化矽。

舉例而言，使用用於絕緣層 602_a 及 602_b 的材料層，以用於絕緣層 606a 及 606b。或者，使用用於絕緣層 606a 及 606b 之材料層的堆疊，形成各絕緣層 606a 及 606b。

絕緣層 607 作為抑制雜質進入電晶體的保護絕緣層。

舉例而言，使用用於絕緣層 602_a 及 602_b 的材料層，以用於絕緣層 607。或者，使用用於絕緣層 607 之材料層的堆疊，形成絕緣層 607。舉例而言，使用氧化矽層、氧化鋁層、等等，以形成絕緣層 607。舉例而言，以氧化鋁層用於絕緣層 607 能更有效地防止雜質進入半導體層 603_b 及有效地防止半導體層 603_b 釋放氧。

注意，本實施例的電晶體可以包含絕緣層，絕緣層設於作為通道形成層的部份氧化物半導體層以及作為源極或汲極且與氧化物半導體層重疊而以絕緣層設於其間的導體層之上。在上述結構的情形中，絕緣層作為保護電晶體的通道形成層（也稱為通道保護層）之層。關於作為通道保護層的絕緣層，舉例而言，使用用於絕緣層 602_a 至

602_b 之材料的層。或者，使用能用於絕緣層 602_a 至 602_b 之材料層的堆疊，作為通道保護層之絕緣層。

基部層可以形成於元件形成層 600_a 及 600_b 之上，以及，電晶體可以形成於基部層之上。在此情形中，舉例而言，基部層可為用於絕緣層 602_a 及 602_b 之材料的層。或者，使用用於絕緣層 602_a 及 602_b 之材料層的堆疊，形成基部層。舉例而言，使用氧化鋁層及氧化矽層的堆疊形成的基部層，能防止基部層經由半導體層 603_a 及 603_b 而釋放氧。

將參考圖 9A 至 9E，說明圖 5A 中所示的電晶體的製造方法之實例，以作為根據本實施例的電晶體之製造方法的實例。圖 9A 至 9E 是剖面圖，顯示用於製造圖 5A 中的電晶體之製造方法的實例。

首先，如圖 9A 中所示般，製備元件形成層 600_a，以及，在元件形成層 600_a 上形成半導體層 603_a。

舉例而言，以濺射法形成用於半導體層 603_a 的氧化物半導體材料層(也稱為氧化物半導體層)，以致於形成半導體層 603_a。注意，在形成氧化物半導體層之後，蝕刻部份氧化物半導體層。此外，在稀有氣體氛圍、氧氛圍、或稀有氣體及氧的混合氛圍中，形成氧化物半導體膜。

使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ [莫耳比] 的成分比之氧化物靶作為濺射靶，形成氧化物半導體層。或者，舉例而言，以具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:2$ [莫耳比] 的成分比之氧化物靶，用於形成氧化物半導體層。

又或者，使用具有 $\text{In} : \text{Sn} : \text{Zn} = 1:2:2$ [原子比]、 $2:1:3$ [原子比]、 $1:1:1$ [原子比]、或 $4:9:7$ [原子比] 的成分比之氧化物靶作為濺射靶以形成氧化物半導體層。當使用具有 $\text{In} : \text{Sn} : \text{Zn} = 2:1:3$ [原子比] 的成分比之氧化物靶作為濺射靶以用於形成氧化物半導體層時，氧化物半導體層具有高結晶性。

使用具有下述成分比的氧化物靶作為濺射靶，以形成 In-Zn 為基礎的氧化物層：成分比為 $\text{In} : \text{Zn}$ 是 $50:1$ 至 $1:2$ ($\text{In}_2\text{O}_3 : \text{ZnO} = 25:1$ 至 $1:4$ 莫耳比)，較佳地 $20:1$ 至 $1:1$ ($\text{In}_2\text{O}_3 : \text{ZnO} = 10:1$ 至 $1:2$ 莫耳比)、更較佳地 $15:1$ 至 $1.5:1$ ($\text{In}_2\text{O}_3 : \text{ZnO} = 15:2$ 至 $3:4$ 莫耳比)。舉例而言，當用於形成 In-Zn 為基礎的氧化物半導體層的靶具有的原子比為 $\text{In}:\text{Zn}:\text{O}=\text{S}:\text{U}:\text{R}$ ，滿足 $\text{R} > 1.5\text{S} + \text{U}$ 。 In 含量的增加以使電晶體的場效遷移率（也簡稱為遷移率）更高。

在使用濺射法的情形中，舉例而言，在稀有氣體氛圍（典型地，氬）、氧氛圍、或稀有氣體及氧的混合氛圍中，形成半導體層 603_a。此外，當在稀有氣體及氧的混合氛圍中形成半導體層 603_a 時，較佳的是氧量大於稀有氣體的量。

此外，在以濺射法執行膜形成的情形中，較佳的是充份地抑制來自沈積室外部及由其沈積室的內壁脫氣之洩漏，以致於例如氬、水、羥基、及氫化物（也稱為氫化合物）不會含於要形成的膜中。

舉例而言，在以濺射法形成膜之前，可以在濺射設備

的預熱室中執行預熱處理。藉由預熱處理，移除上述雜質。

此外，在以濺射法形成膜之前，舉例而言，執行一處理，其中，藉由使用 RF 電力，在氬氛圍、氮氛圍、氦氛圍、或氧氛圍中，電壓未施加至靶側而是至基底側，以及產生電漿，以致於修改膜要形成於上的表面（此處理也稱為逆濺射）。藉由逆濺射，移除附著至膜要形成於上的表面的粉末物質（也稱為粒子或灰塵）。

在以濺射法形成膜的情形中，藉由使用捕獲型真空泵等，移除餘留在膜要被形成的沈積室中的濕氣。舉例而言，使用低溫泵、離子泵、或鈦昇華泵等作為捕獲型真空泵。或者，藉由使用設有冷阱的渦輪分子泵，移除餘留在沈積室中的濕氣。使用捕獲型真空泵，允許抑制含有上述雜質的空氣排氣的回流。

注意，舉例而言，當使用上述雜質被移除的高純度氣體作為濺射氣體時，形成於膜中的雜質濃度降低。舉例而言，較佳地使用露點為 -70°C 或更低的氣體作為濺射氣體。

在根據本實施例的電晶體製造方法之實例中，蝕刻部份膜以形成層的情形中，舉例而言，執行下述步驟：經由微影製程，在部份膜上形成光阻掩罩，以及，使用光阻掩罩以將膜蝕刻，藉以形成層。注意，在此情形中，在形成層之後，移除光阻掩罩。

在形成 CAAC 氧化物半導體層作為半導體層 603_a 的

情形中，在有氧化物半導體層形成的元件形成層的溫度高於或等於 100°C 且低於或等於 500°C，較佳地高於或等於 200°C 且低於或等於 350°C 時，以濺射形成氧化物半導體層。當在膜形成層的溫度高時形成氧化物半導體層時，所製造的電晶體的場效遷移率增加，以及，抗閘極偏壓應力的穩定度增加。

在該情形中，元件形成層 600_a 較佳的是平坦的。元件形成層 600_a 的平均表面粗糙度較佳的是小於或等於 1 nm，更較佳的是小於或等於 0.3 nm。當元件形成層 600_a 的平坦度增進時，遷移率增加至高於非晶狀態的氧化物半導體的遷移率。舉例而言，藉由化學機械拋光（CMP）處理及電漿處理中之一或二者，將元件形成層 600_a 平坦化。電漿處理包含離表面之稀有氣體濺射的處理以及使用蝕刻氣體蝕刻表面的處理。

接著，如圖 9B 中所示，在半導體層 603_a 上形成導體層 605a_a 及 605b_a。

舉例而言，以濺射法等，形成可應用至導體層 605a_a 及 605b_a 的材料膜，以作為第一導體膜，以及，部份地蝕刻第一導體膜，因而形成導體層 605a_a 及 605b_a。

接著，如圖 9C 中所示，形成與半導體層 603_a 接觸的絕緣層 602_a。

舉例而言，藉由濺射方法，在稀有氣體氛圍（典型地為氬）、氧氛圍、或稀有氣體及氧的混合氛圍中，藉由形

成可以應用至絕緣層 602_a 的膜，以形成絕緣層 602_a。藉由濺射法所形成的絕緣層 602_a 能抑制作為電晶體的背通道之氧化物半導體層 603_a 的一部份的電阻下降。在形成絕緣層 602_a 時的元件形成層 600_a 的溫度較佳的是高於或等於室溫且低於或等於 300°C。

在形成絕緣層 602_a 之前，執行使用例如 N₂O、N₂、或 Ar 等氣體的電漿處理，以移除被吸附至半導體層 603_a 的曝露表面上之水等等。在執行電漿處理的情形中，在電漿處理之後較佳地形成絕緣層 602_a，而未曝露至空氣。

然後，在絕緣層 602_a 上形成導體層 601_a。

舉例而言，以濺射方法等等，形成可以應用至導體層 601_a 的材料膜作為第二導體膜，以及，部份地蝕刻第二導體膜，因而形成導體層 601_a。

此外，在製造圖 5A 中所示的電晶體之方法實例中，舉例而言，以高於或等於 600°C 且低於或等於 750°C、或是高於或等於 600°C 且低於基底的應變點之溫度，執行熱處理。舉例而言，在形成氧化物半導體層之後、在蝕刻部份氧化物半導體層之後、在形成第一導體膜之後、在蝕刻部份第一導體膜之後、在形成絕緣層 602_a 之後、在形成第二導體膜之後、或在蝕刻部份第二導體膜之後，執行熱處理。藉由熱處理，從半導體層 603_a 移除例如氫、水、羥基、或氫化物等雜質。

注意，關於熱處理的熱處理設備，可以使用電熱爐、

或是以來自例如電阻式加熱器等加熱器之熱傳導或熱輻射以將物品加熱之設備；舉例而言，使用例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA 設備是藉由例如鹵素燈、金屬鹵化物燈、氬電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將物體加熱。GRTA 設備是使用高溫氣體執行熱處理的設備。關於高溫氣體，舉例而言，使用不會因熱處理而與物體反應之稀有氣體或惰性氣體（例如氮）。或者，執行雷射照射，以用於熱處理。

在熱處理之後，在加熱溫度維持或下降時，將高純度氧氣、高純度 N_2O 氣體、或超乾空氣（露點為 $-60^\circ C$ 或更低，較低地在 $-60^\circ C$ 或更低）導入熱處理中使用的爐。較佳的是，氧氣或 N_2O 氣體未含水、氫、等等。被導入至熱處理設備的氧氣或 N_2O 氣體的純度較佳的是 6N 或更高，更較佳的是 7N 或更高，亦即，在氧氣或 N_2O 氣體中的雜質濃度較佳的是 1 ppm 或更低，更較佳的是 0.1 ppm 或更低。藉由氧氣或 N_2O 氣體的作用，氧被供應至半導體層 603_a，以致於由半導體層 603_a 中的氧缺乏造成的缺陷降低。注意，可以在上述熱處理時，執行高純度氧氣、高純度 N_2O 氣體、或是超乾空氣的導入。

此外，在圖 5A 中的電晶體製造方法的實例中，在形成半導體層 603_a 之後、在形成導體層 605_a 及 605_b 之後、在形成絕緣層 602_a 之後、在形成導體層 601_a 之後

、或是在熱處理之後，以例如使用氧電漿的氧摻雜處理等等以電場加速氧離子的方法，將氧添加至氧化物半導體膜。舉例而言，執行使用 2.45 GHz 的高密度電漿的氧摻雜處理。以離子佈植法，執行氧摻雜處理。氧摻雜處理允許要製造的電晶體的電特徵變異降低。舉例而言，執行氧摻雜處理，以致於絕緣層 602_a 含有比化學計量成分中氧比例更高比例的氧。

當使接觸半導體層 603_a 的絕緣層含有過量的氧時，氧更容易供應至半導體層 603_a。因此，降低半導體層 603_a 中或是在半導體層 603_a 與絕緣層 602_a 之間的介面處的氧缺陷，造成半導體層 603_a 中載子濃度的進一步降低。本發明的一實施例不侷限於此。即使當半導體層 603_a 經由製造步驟而含有過量的氧時，接觸半導體層 603_a 之絕緣層能抑制來自半導體層 603_a 的氧釋放。

舉例而言，當形成含有氧化鎵的絕緣層作為絕緣層 602_a 時，藉由供應氧給絕緣層，氧化鎵的成分設定為 Ga_2O_x 。

或者，當形成含有氧化鋁的絕緣層作為絕緣層 602_a 時，藉由供應氧給絕緣層，氧化鋁的成分設定為 Al_2O_x 。

又或者，當形成含有鎵鋁氧化物或鋁鎵氧化物的絕緣層作為絕緣層 602_a 時，藉由供應氧給絕緣層，鎵鋁氧化物或鋁鎵氧化物的成分設定為 $Ga_xAl_{2-x}O_{3+a}$ 。

經由上述步驟，例如氫、水、羥基、或氫化物（也稱為氫化合物）等雜質從半導體層 603_a 中移除，以及，氧

供應至半導體層 603_a；如此，將半導體層高度純化。

此外，除了熱處理之外，在形成絕緣層 602_a 之後，在惰性氣體氛圍或氧氣氛圍中，執行熱處理（較佳地，高於或等於 200°C 且低於或等於 600°C，舉例而言，高於或等於 250°C 且低於或等於 350°C）。

元件形成層 600_a 的刻意加熱之溫度或是膜形成後熱處理的溫度為 150°C 或更高，較佳地 200°C 或更高，更較佳地為 400°C 或更高。當在 300°C 或更高溫下執行氧化物半導體膜形成後的熱處理時，含於膜中的例如氫等雜質被釋放，造成雜質移除（脫水或脫氫）。

在氧氛圍中，執行熱處理；或者，在氮氛圍中或是降壓下，執行脫水或脫氫的第一熱處理，然後，在氧氛圍中，執行第二熱處理，依此方式，以二步驟執行熱處理。在脫水或脫氫之後的氧氛圍中執行的第二熱處理允許氧添加至氧化物半導體；因此，更有效地執行熱處理。關於供應氧的熱處理，以絕緣層設置成接觸氧化物半導體層，執行熱處理。舉例而言，在氧化物半導體層中或是在氧化物半導體層與接觸氧化物半導體層的層之間，容易造成導因於氧缺乏的空乏；但是，當藉由熱處理而在氧化物半導體中含有過量的氧時，能夠以過量的氧補償固定地造成的氧缺陷。過量的氧是主要存在於晶格之間的氧。舉例而言，當氧的濃度設定為高於或等於 $1 \times 10^{16}/\text{cm}^3$ 且低於或等於 $2 \times 10^{20}/\text{cm}^3$ 時，即使在執行晶化的情形中，氧仍然能含於氧化物半導體層中而不會造成晶體扭曲。

在氧化物半導體膜形成之後執行的熱處理能夠增加要製造的電晶體的抗閘極偏壓應力之穩定度。此外，電晶體的場效遷移率增進。

然後，如圖 9E 中所示般，從導體層 601_a 形成於其上的側，經由絕緣層 602_a，將摻雜劑添加至半導體層 603_a，以致於區域 604a_a 及區域 604b_a 以自行對準方式形成。

舉例而言，藉由使用離子摻雜設備或離子佈植設備，添加摻雜劑。

注意，雖然說明圖 5A 中所示的電晶體製造方法的實例，但是，本發明的一實施例不侷限於此。舉例而言，關於具有與圖 5A 中的元件相同的代號且功能至少與圖 5A 中的元件部份相同之圖 5B 中的元件，可以適當地參考圖 5A 中所示的電晶體製造方法的實例之說明。

如同參考圖 5A 及 5B、圖 6A 至 6E、圖 7A 至 7C、圖 8A 至 8C、及圖 9A 至 9E 所述般，本實施例中舉例說明的電晶體包含作為閘極的導體層；作為閘極絕緣層的絕緣層；氧化物半導體層，與作為閘極的導體層重疊而以作為閘極絕緣層的絕緣層設於其間，以及，通道形成在氧化物半導體層中；電連接至氧化物半導體層及作為源極和汲極中之一的導體層；以及，電連接至氧化物半導體層及作為源極和汲極中之另一極的導體層。

此外，在本實施例中舉例說明的電晶體中，氧化物半導體層中的載子濃度低於 $1 \times 10^{14} / \text{cm}^3$ 、較佳地低於

$1 \times 10^{12}/\text{cm}^3$ 、更較佳地低於 $1 \times 10^{11}/\text{cm}^3$ 。

當以氧化物半導體用於電晶體時，載子密度較佳地為 $1 \times 10^{18}/\text{cm}^3$ 或更低。當使氧化物半導體膜不僅含有 Ga 或 Sn 作為成分也高度純化(移除氫等等)且在膜形成後接受熱處理時，含有 In 或 Zn 的氧化物半導體膜的載子密度設定為 $1 \times 10^{18}/\text{cm}^3$ 或更低。

當在氧化物半導體膜形成期間及/或之後執行熱處理時，電晶體的臨界電壓正向偏移。此外，電晶體為常關的。

每微米通道寬度的關閉狀態電流為 10 aA (1×10^{-17} A) 或更低、1 aA (1×10^{-18} A) 或更低、10 zA (1×10^{-20} A) 或更低、1 zA (1×10^{-21} A) 或更低、或 100 yA (1×10^{-22} A) 或更低。當第一電晶體、第三電晶體、及第四電晶體的關閉狀態電流均儘可能如上述值一般低時，能解決邏輯電路的漏電流問題。此外，邏輯電路是動態地可重規劃的。

較佳的是，電晶體的關閉狀態電流儘可能低；但是，本實施例中的電晶體的關閉狀態電流的下限值評估約為 10^{-30} A/ μm 。

不論氧化物半導體是非晶的或是結晶的，使用氧化物半導體形成的電晶體的場效遷移率都相當高。假定不僅藉由脫水或脫氫而移除雜質，也藉由因密度增加而降低原子間距離，而取得此場效遷移率的增進。為了高度純化，從氧化物半導體移除雜質，以將氧化物半導體膜晶化。舉例而言，In-Sn-Zn 為基礎的氧化物半導體的場效遷移率高於

31 $\text{cm}^2/\text{V} \cdot \text{s}$ ，較佳地高於 39 $\text{cm}^2/\text{V} \cdot \text{s}$ ，更較佳地高於 60 $\text{cm}^2/\text{V} \cdot \text{s}$ 。此外，建議高度純化的非單晶氧化物半導體的場效遷移率理想上高於 100 $\text{cm}^2/\text{V} \cdot \text{s}$ 。建議本實施例中舉例說明的電晶體的場效遷移率隨著氧化物半導體層的缺陷密度愈低而愈高。其理由如下所述。

由於各種原因，真正測量到的場效電晶體的場效遷移率低於其原始遷移率：此現象不僅發生於使用包含氧化物半導體層的場效電晶體的情形。原因之一在於半導體層內部的缺陷或是在半導體層與絕緣膜之間的介面處的缺陷會降低遷移率。當使用李文森（Levinson）模型時，理論上能夠計算無缺陷存在於氧化物半導體層內部之假設下的場效遷移率。

假設半導體層之原始遷移率以及測量的場效遷移率分別為 μ_0 及 μ ，以及電位障壁（例如晶粒邊界）存在於半導體層中時，以公式 27 表示測量的場效遷移率 μ 。

[公式 27]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在公式 27 中，E 代表電位障壁的高度，k 代表波茲曼常數，T 代表絕對溫度。當電位障壁被假定為歸因於缺陷時，根據李文森模式，電位障壁的高度 E 以公式 28 表示。

[公式 28]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在公式 28 中， e 代表基本電荷， N 代表通道中每單位面積之平均缺陷密度， ϵ 代表半導體的介電係數， n 代表通道中載子的表面密度， C_{ox} 代表每單位面積的電容， V_g 代表閘極電壓， t 代表通道的厚度。在半導體層的厚度小於或等於 30 nm 的情形中，通道的厚度被視為與半導體層的厚度相同。線性區中的汲極電流 I_d 以公式 29 表示。

[公式 29]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在公式 29 中，此處， L 代表通道長度， W 代表通道寬度， L 及 W 均為 $10\mu\text{m}$ 。此外， V_d 代表汲極電壓。當以 V_g 除上述公式的二側，然後二側取對數時，公式 29 轉換成公式 30。

[公式 30]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

公式 30 的右側是 V_g 的函數。從公式 30，發現從以 $\ln(I_d/V_g)$ 為縱軸及 $1/V_g$ 為橫軸而繪製的真實測量值而取得之圖形中的線之斜率，可以取得缺陷密度 N 。亦即，從電晶體的 I_d-V_g 特徵曲線，評估缺陷密度。舉例而言，銦 (In)、鎵 (Ga)、及鋅 (Sn) 的比例為 1:1:1[原子比]的

氧化物半導體膜的缺陷密度 N 約為 $1 \times 10^{12}/\text{cm}^2$ 。

根據以上述方法等取得的缺陷密度，從公式 27 和公式 28，計算出半導體層的原始場效遷移率 μ_0 為 $120 \text{ cm}^2/\text{V} \cdot \text{s}$ 。具有缺陷之 In-Ga-Zn 為基礎的氧化物之場效遷移率通常約為 $35 \text{ cm}^2/\text{V} \cdot \text{s}$ 。相反地，假設無缺陷存在於半導體層的內部及半導體層與絕緣膜之間的介面，則預期氧化物半導體的遷移率 μ_0 為 $120 \text{ cm}^2/\text{V} \cdot \text{s}$ 。因此，能夠瞭解，隨著缺陷降低，氧化物半導體的遷移率、甚至電晶體的場效遷移率增加。舉例而言，例如 CAAC 氧化物半導體層等氧化物半導體層的缺陷密度低。

注意，即使當無缺陷存在於半導體層內部時，在通道與閘極絕緣層之間的介面的散射仍影響電晶體的傳輸特性。換言之，在離開通道與閘極絕緣層之間的介面一距離 x 的位置之遷移率 μ_1 ，以公式 31 表示。

[公式 31]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在公式 31 中， D 代表閘極方向上的電場， B 及 G 是常數。 B 及 G 是從真實測量結果取得；根據上述測量結果， B 是 $2.38 \times 10^7 \text{ cm/s}$ ， G 是 10 nm (介面散射影響到達的深度)。在公式 31 中，當 D 增加 (亦即，當閘極電壓 V_g 增加時) 時，公式 31 的第二項增加，因此，遷移率 μ_1 降低。

圖 10 顯示電晶體的遷移率 μ_2 的計算結果，在電晶體

中，通道包含半導體層內部沒有缺陷的理想氧化物半導體層。關於計算，使用 Synopsys Inc. 製造的裝置模擬軟體 Sentaurus Device。將氧化物半導體層的能帶隙、電子親和力、相對介電係數、及厚度分別假定為 2.8 eV、4.7 eV、15 及 15 nm。此外，閘極、源極、和汲極的功函數分別假定為 5.5 eV、4.6 eV、及 4.6 eV。閘極絕緣層的厚度假定為 100 nm，以及，其相對介電係數假定為 4.1。電晶體的通道長度及通道寬度均假定為 10 μm，汲極電壓 V_d 假定為 0.1 V。

如圖 10 所示，當閘極電壓 V_g 在 1V 附近時場效遷移率大於 100 $\text{cm}^2/\text{V} \cdot \text{s}$ ，且因為介面散射的影響增加而隨著閘極電壓 V_g 更高而下降。注意，為了降低介面散射，較佳的是半導體層的表面是原子等級平坦的（也稱為原子層平坦）。

此外，於下將說明使用具有此高的場效遷移率的氧化物半導體層製造的微小電晶體之電特徵的計算結果。

圖 11A 及 11B 顯示用於計算的電晶體的剖面結構。圖 11A 及 11B 中所示的電晶體均包含半導體區 653a 和半導體區 653b，半導體區 653a 和半導體區 653b 在氧化物半導體層中具有 n 型導電率。半導體區 653a 和半導體區 653b 的電阻率是 $2 \times 10^{-3} \Omega \text{ cm}$ 。

圖 11A 中的電晶體設置於設有嵌入絕緣體 652 的基部絕緣體 651 之上。使用氧化鋁以形成嵌入絕緣體 652，以致嵌入於基部絕緣體 651 中。

此外，圖 11A 中的電晶體含半導體區 653a、半導體區 653b、半導體區 653c、閘極絕緣層 654、閘極電極 655、側壁絕緣體 656a、側壁絕緣體 656b、絕緣體 657、源極電極 658a、以及汲極電極 658b。

半導體區 653c 設於半導體區 653a 與半導體區 653b 之間。半導體區 653c 是作為通道形成區的本質半導體區。

閘極電極 655 設於閘極絕緣層 654 之上。注意，閘極電極 655 的寬度是 33 nm。

側壁絕緣體 656a 及側壁絕緣體 656b 設置成接觸閘極電極 655 的側表面。在圖 11A 中的電晶體中，在側壁絕緣體 656a 及側壁絕緣體 656b 之下的半導體區分別是具有 n 型導電率的部份半導體區 653a 以及具有 n 型導電率的部份半導體區 653b。注意，側壁絕緣體 656a 及側壁絕緣體 656b 的寬度均為 5 nm。

絕緣層 657 設於閘極電極 655 上。絕緣層 657 具有防止閘極電極 655 與另一佈線之間短路。

源極電極 658a 接觸半導體區 653a。

汲極電極 658b 接觸半導體區 653b。

注意，圖 11A 中電晶體的通道寬度是 40 nm。

圖 11B 中所示的電晶體與圖 11A 中的電晶體不同之處在於側壁絕緣體 656a 及側壁絕緣體 656b 之下的半導體區的導電率型。在圖 11B 所示的電晶體中，在側壁絕緣體 656a 及側壁絕緣體 656b 之下的半導體區是部份本質半導

體區 653c。換言之，在圖 11B 的電晶體中，設置半導體區 653a 未與閘極電極 655 重疊的區域以及半導體區 653b 未與閘極電極 655 重疊的區域。這些區域稱為偏移區，以及，其寬度偏移長度（也稱為 L_{off} ）。在圖 11B 中，偏移長度等於各側壁絕緣體 656a 及側壁絕緣體 656b 的寬度。

計算中所使用的其它參數如上所述。關於計算，使用 Synopsys Inc. 製造的裝置模擬軟體 Sentaurus Device。

圖 12A 至 12C 顯示具有圖 11A 中所示的結構之電晶體的汲極電流 (I_d ，實線) 及場效遷移率 (μ ，虛線) 之閘極電壓 (V_g ：閘極與源極之間的電位差) 的相依性。在汲極電壓 (汲極與源極之間的電位差) 為 +1V 之假設下，藉由計算取得汲極電流 I_d ，以及在汲極電壓為 +0.1 V 之假設下，藉由計算取得遷移率 μ 。

圖 12A 顯示閘極絕緣層 654 的厚度為 15 nm 的電晶體的情形，圖 12B 顯示閘極絕緣層 654 的厚度為 10 nm 的電晶體的情形，圖 12C 顯示閘極絕緣層 654 的厚度為 5 nm 的電晶體的情形。如圖 12A 至 12C 所示，隨著閘極絕緣層 654 的厚度愈薄，特別是在關閉狀態時的汲極電流 I_d (關閉狀態電流) 顯著地降低。相反地，場效遷移率 μ 的峰值及開啓狀態時的汲極電流 I_d (開啓狀態電流) 並無顯著改變。此外，在約 1V 的閘極電壓時汲極電流超過 10 μ A。

圖 13A 至 13C 顯示具有圖 11B 中所示的結構且偏移長度 (L_{off}) 為 5 nm 之電晶體的汲極電流 I_d (實線) 及場效

遷移率 μ (虛線) 之閘極電壓 V_g 的相依性。此處，在汲極電壓為 $+1V$ 之假設下，計算汲極電流 I_d ，以及在汲極電壓為 $+0.1 V$ 之假設下，計算場效遷移率 μ 。圖 13A 顯示閘極絕緣層 654 的厚度為 15 nm 的情形，圖 13B 顯示閘極絕緣層 654 的厚度為 10 nm 的情形，圖 13C 顯示閘極絕緣層 654 的厚度為 5 nm 的情形。

圖 14A 至 14C 顯示具有圖 11B 中所示的結構及偏移長度 L_{off} 為 15 nm 之電晶體的汲極電流 I_d (實線) 及遷移率 μ (虛線) 之閘極電壓相依性。此處，在汲極電壓為 $+1V$ 之假設下，藉由計算取得汲極電流 I_d ，以及在汲極電壓為 $+0.1 V$ 之假設下，藉由計算取得遷移率 μ 。圖 14A 顯示閘極絕緣層 654 的厚度為 15 nm 的情形，圖 14B 顯示閘極絕緣層 654 的厚度為 10 nm 的情形，圖 14C 顯示閘極絕緣層 654 的厚度為 5 nm 的情形。

圖 12A 至 12C、圖 13A 至 13C、及圖 14A 至 14C 顯示在任一結構中，隨著閘極絕緣層 654 更薄，電晶體的關閉狀態電流顯著地降低，而場效遷移率 μ 的峰值及電晶體的開啓狀態電流並無明顯改變。

注意，在圖 12A 至 12C 中場效遷移率 μ 的峰值約為 $80 \text{ cm}^2/V \cdot s$ ，在圖 13A 至 13C 中約為 $60 \text{ cm}^2/V \cdot s$ ，以及，在圖 14A 至 14C 中約為 $40 \text{ cm}^2/V \cdot s$ ；因此，場效遷移率 μ 的峰值隨著偏移長度 (L_{off}) 增加而降低。此外，同理可用於電晶體的關閉狀態電流。電晶體的開啓狀態電流也隨著偏移長度 (L_{off}) 增加而降低；但是，電晶體的開啓狀

態電流的下降比電晶體的關閉狀態電流的下降更加緩和。此外，在任何這些電晶體中，在閘極電壓約 1V 時，汲極電流超過 $10 \mu A$ 。

在本實施例中舉例說明的電晶體及另一電晶體（例如，包含含有屬於週期表中的第 14 族的半導體（例如矽）之半導體層的電晶體）相堆疊。因此，能夠在一基底上形成包含氧化物半導體層的電晶體及另一電晶體等二者，而取得電路面積縮減。此外，包含氧化物半導體層的電晶體的場效遷移率增加，使得根據上述實施例的邏輯電路能沒有任何問題地操作。

當根據本實施例的包含氧化物半導體層的電晶體應用至根據上述實施例中的邏輯電路中的第一電晶體、或第三電晶體及第四電晶體時，能夠可靠地固持邏輯電路中的資料。

此外，將以上述舉例說明的電晶體，說明均包含含有 In、Sn、及 Zn 的氧化物半導體層作為通道形成區的電晶體實例。

舉例而言，圖 15A 至 15C 均顯示電晶體的特徵，電晶體包括包含 In、Sn、及 Zn 作為主成分且具有 $3 \mu m$ 的通道長度及 $10 \mu m$ 的通道寬度 W 之氧化物半導體層以及厚度 100 nm 的閘極絕緣層。注意， V_d 是 10 V。

圖 15A 顯示電晶體之特徵，其中，以濺射法而未刻意地加熱元件形成區以形成含有 In、Sn、及 Zn 作為主成分之氧化物半導體膜，接著將氧化物半導體膜蝕刻，以此

方式，形成電晶體氧化物半導體層。在圖 15A 中，場效遷移率為 $18.8 \text{ cm}^2/\text{V} \cdot \text{s}$ 。圖 15B 顯示電晶體之特徵，其中，在以 200°C 加熱基底之後，形成含有 In、Sn、及 Zn 作為主成分之氧化物半導體膜，接著將氧化物半導體膜蝕刻，以此方式，形成電晶體的氧化物半導體層。在圖 15B 中，場效遷移率為 $32.2 \text{ cm}^2/\text{V} \cdot \text{s}$ 。這些結果顯示刻意加熱會增進電晶體的場效遷移率。

圖 15C 顯示電晶體的特徵，其中，以濺射法，以 200°C 形成含有 In、Sn、及 Zn 作為主成分之氧化物半導體膜，接著將氧化物半導體膜蝕刻，以此方式形成電晶體的氧化物半導體層之後，使其接受 650°C 的熱處理。在圖 15C 中，場效遷移率為 $34.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 。這些結果顯示氧化物半導體膜形成之後執行的熱處理會增進場效遷移率。

注意，氧離子可以植入含有 In、Sn、及 Zn 作為主成分氧化物半導體層中，藉由熱處理以釋放含於氧化物半導體層中的例如氫、水、羥基、或氫化物，以及，經由熱處理或稍後執行的另一熱處理，以使氧化物半導體層結晶。藉由此結晶處理或再結晶處理，取得具有有利的結晶性的非單晶氧化物半導體層。

舉例而言，在包含含有 In、Sn、及 Zn 作為主成分且未刻意地加熱元件形成層而形成的氧化物半導體層的電晶體中，如圖 15A 中所示般，臨界電壓趨向於負向偏移。相反地，當使用刻意地加熱元件形成層而形成的氧化物半導體層時，如圖 15B 中所示般，臨界電壓相當地正向偏移

。因此，在氧化物半導體膜形成期間及/或之後藉由熱處理，電晶體可能是常關的。

注意，藉由改變 In、Sn、及 Zn 的比例，也能控制臨界電壓。舉例而言，當 In、Sn、及 Zn 的成分比例為 2:1:3 時，容易形成常關的電晶體。

此氧化物半導體膜用於第一電晶體、第三電晶體、或第四電晶體。

此外，舉例而言，當在 150°C 下以 2 MV/cm 的電場強度執行閘極偏壓溫度應力測試（也稱為 BT 測試）一小時時，臨界電壓的漂移小於 $\pm 1.5\text{V}$ ，較佳地小於 $\pm 1.0\text{V}$ 。因此，可以瞭解，在氧化物半導體膜形成期間及/或之後的熱處理會增加抗閘極偏壓應力測試的穩定度。圖 16A 及 16B 以及圖 17A 和 17B 顯示對下述二電晶體執行 BT 測試的結果：在形成氧化物半導體膜之後未執行熱處理的樣品 1，以及在形成氧化物半導體膜之後以 650°C 執行熱處理的樣品 2。注意，關於 BT 測試，執行正 BT 測試及負 BT 測試。

在正 BT 測試中，首先，在元件形成層（基底）溫度為 25°C 及 V_d 為 10V 的條件下，測量這些電晶體的 V_g-I_d 特徵。然後，元件形成層（基底）溫度設定於 150°C，且 V_d 設定於 0.1V。之後，施加 20V 的 V_g ，以致於施加至閘極絕緣層電場的強度為 2 MV/cm，以及，所述條件保持一小時。接著，將 V_g 設定於 0V，以及，在元件形成層（基底）溫度為 25°C 及 V_d 為 10V 的條件下，測量這些電晶體

的 V_g-I_d 特徵。

在負 BT 測試中，首先，在元件形成層（基底）溫度為 25°C 及 V_d 為 10V 的條件下，測量這些電晶體的 V_g-I_d 特徵。然後，將元件形成層（基底）溫度設定於 150°C ，且 V_d 設定於 0.1V 。之後，施加 -20V 的 V_g ，以致於施加至閘極絕緣層的電場的強度為 -2 MV/cm ，以及，所述條件保持一小時。接著，將 V_g 設定於 0V ，以及，在元件形成層（基底）溫度為 25°C 及 V_d 為 10V 的條件下，測量這些電晶體的 V_g-I_d 特徵。

圖 16A 及 16B 分別顯示樣品 1 的正 BT 測試結果及樣品 1 的負 BT 測試結果。圖 17A 及 17B 分別顯示樣品 2 的正 BT 測試結果及樣品 2 的負 BT 測試結果。

如圖 16A 及 16B 中所示，導因於正 BT 測試及導因於負 BT 測試的樣品 1 的電晶體之臨界電壓偏移量分別為 1.80 V 及 -0.42V 。如圖 17A 及 17B 中所示，導因於正 BT 測試及導因於負 BT 測試的樣品 2 的電晶體之臨界電壓偏移量分別為 0.79 V 及 0.76V 。因此，發現在樣品 1 及樣品 2 等各樣品中，BT 測試之前及之後之間的臨界電壓的偏移量均小且可靠度均高。

當以 X 光繞射（XRD）來分析使用 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 的成分比之金屬氧化物靶的濺射法但未刻意地加熱元件形成層所形成的氧化物半導體膜時，觀測到光暈圖案。但是，藉由使氧化物半導體膜接受熱處理而將其晶化。熱處理的溫度適當地設定：舉例而言，當以 650°C 執行熱處理時，

以 X 光繞射分析，可以觀測到清楚的繞射峰值。

此處，於下將說明 In-Sn-Zn-O 膜的 XRD 分析的結果。使用 Bruker AXS 製造的 X 光繞射儀 D8 ADVANCE，執行 XRD 分析，以及，以平面外方法執行測量。

製備樣品 A 及樣品 B 以及對其執行 XRD 分析。於下，將說明樣品 A 和樣品 B 的形成方法。

在已接受脫氫處理的石英基底上形成厚度 100 nm 的 In-Sn-Zn-O 膜。在氧氛圍中，以 100 W(DC)功率之濺射設備，形成 In-Sn-Zn-O 膜。使用具有 In:Sn:Zn=1:1:1 的原子比之 In-Sn-Zn-O 靶作為靶。注意，在膜形成時的加熱溫度設定在 200°C。使用經由上述步驟形成的樣品作為樣品 A。

接著，以類似於樣品 A 的方法製造的樣品接受 650°C 的熱處理。此處，首先執行氮氛圍中的熱處理一小時，以及，又執行氧氛圍中的熱處理一小時但未降低溫度。使用經由上述步驟形成的樣品作為樣品 B。

圖 18 顯示樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中觀測到沒有導因於晶體的峰值，但是，在樣品 B 中，當 2θ 約 35 度、及 37 度至 38 度時，觀測到導因於晶體的峰值。因此，發現在含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜形成期間及/或之後的熱處理，能增進氧化物半導體層的結晶性。

舉例而言，如圖 23 所示，當基底溫度（元件形成層的溫度）分別為 125°C 及 85°C 時，在氧化物半導體膜形成

期間及/或之後由熱處理形成的電晶體的每微米通道寬度之關閉狀態電流為 $0.1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$)或更低及 $10 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{ A}/\mu\text{m}$)或更低。關閉狀態電流的對數與溫度倒數之間的比例關係顯示在室溫時 (27°C) 的關閉狀態電流為 $0.1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-22} \text{ A}/\mu\text{m}$)或更低。因此，在 125°C 、 85°C 、及室溫時，關閉狀態電流分別為 $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$)或更低、 $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$)或更低、及 $1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$)或更低。

當第一電晶體、第三電晶體、及第四電晶體中各電晶體的關閉狀態電流落在上述範圍之內時，能解決邏輯電路的漏電流問題。此外，邏輯電路是動態地可重規劃的。

雖然藉由熱處理而能夠從含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜中移除氫，但是，由於相較於含有 In、Ga、及 Zn 作為主成分的氧化物半導體膜，濕氣在較高的溫度下從含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜釋放，所以，較佳地形成原始地未含有任何雜質的膜。

評估使用氧化物半導體膜形成後執行 650°C 熱處理之樣品 B 形成的電晶體之電特徵與元件形成層（基底）溫度之間的關係。

用於測量的電晶體具有 $3\mu\text{m}$ 的通道長度 L 、 $10\mu\text{m}$ 的通道寬度 W 、 $0\mu\text{m}$ 的 L_{ov} 、及 $0\mu\text{m}$ 的 dW 。注意， V_d 設定於 10V 。在六條件下執行評估：元件形成層（基底）溫度為 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 、及 150°C 。注意，

L_{ov} 意指在閘極電極與成對電極中之一相重疊的部份之寬度，以及， dW 意指成對電極未與氧化物半導體膜重疊的部份之寬度。

圖 20 顯示 I_d (實線) 及場效遷移率 (虛線) 之 V_g 相依性。圖 21A 顯示元件形成層 (基底) 溫度與臨界電壓之間的關係，圖 21B 顯示元件形成層 (基底) 溫度與場效遷移率之間的關係。

從圖 20 及圖 21A 中，發現臨界電壓隨著元件形成層 (基底) 溫度增加而降低。注意，在 -40°C 至 150°C 的範圍中，臨界電壓從 1.09V 下降至 -0.23V 。

從圖 20 及圖 21B 中，發現場效遷移率隨著元件形成層 (基底) 溫度增加而降低。注意，在 -40°C 至 150°C 的範圍中，遷移率從 $36\text{ cm}^2/\text{V}\cdot\text{s}$ 下降至 $32\text{ cm}^2/\text{V}\cdot\text{s}$ 。因此，發現在上述溫度範圍中電特徵的變異小。

上述是包含含有 In、Sn、及 Zn 之氧化物半導體層的電晶體的說明。

在包含含有 In、Sn、及 Zn 作為主成分的氧化物半導體的電晶體中，以維持在 $1\text{ aA}/\mu\text{m}$ 或更低 (每微米通道) 的關閉狀態電流，取得 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 或更高、較佳地 $40\text{ cm}^2/\text{V}\cdot\text{s}$ 或更高、更較佳地 $60\text{ cm}^2/\text{V}\cdot\text{s}$ 或更高之場效遷移率，這能夠取得 LSI 所需的開啓狀態電流。舉例而言，在 L/W 為 $33\text{ nm}/40\text{ nm}$ 的電晶體中，當閘極電壓為 2.7V 及汲極電壓為 1.0V 時， $12\mu\text{A}$ 或更高的開啓狀態電流能夠流通。此外，在電晶體操作所需的溫度範圍中，能夠確

保充分的電特徵。當確保這些特徵時，包含氧化物半導體層的電晶體應用至第一電晶體、第三電晶體、及第四電晶體，以及，包含含有屬於週期表的第 14 族之半導體的半導體層之電晶體應用至第二電晶體。也就是說，設置具有例如動態地可重規劃的新穎特性之邏輯電路，即使當包含氧化物半導體層的電晶體也設於包含含有屬於週期表的第 14 族之半導體（例如矽）的半導體層之電晶體時，仍然不會降低操作速度。

(實施例 6)

在本實施例中，將說明設有根據本發明的一實施例之邏輯電路的 CPU(算術處理單元)的實例。

將參考圖 22，說明本實施例中的算術處理單元的實例。

圖 22 中所示的算術處理單元包含匯流排介面（也稱為 IF）801、控制單元（也稱為 CTL）802、快取記憶體（也稱為 CACH）803、指令解碼器（也稱為 IDecoder）805、以及算術邏輯單元（也稱為 ALU）806。

舉例而言，匯流排介面 801 具有對算術處理單元的外部傳送及接收訊號的功能以及對算術處理單元中的電路傳送及接收訊號的功能。

控制單元 802 具有控制算術處理單元中的電路操作的功能。

舉例而言，使用根據上述實施例的邏輯電路，形成控

制單元 802。

快取記憶體 803 由控制單元 802 控制且在算術處理單元操作時具有暫時儲存資料的功能。注意，舉例而言，算術處理單元可以包含眾多快取記憶體 803 以作為第一快取記憶體及第二快取記憶體。

指令解碼器 805 具有轉譯讀取命令訊號的功能。被轉譯的命令訊號輸入至控制單元 802，以及，控制單元 802 將根據命令訊號的控制訊號輸出至算術邏輯單元 806。

舉例而言，使用根據上述實施例的邏輯電路，形成指令解碼器 805。

算術邏輯單元 806 由控制單元 802 控制且具有根據輸入的命令訊號以執行邏輯操作的功能。

舉例而言，使用根據上述實施例的邏輯電路，形成算術邏輯單元 806。

注意，算術處理單元可以設置暫存器。當算術處理單元設有暫存器時，暫存器由控制單元 802 控制。舉例而言，算術處理單元可以設有眾多暫存器，其中之一作為用於算術邏輯單元 806 的暫存器，而其它暫存器作為用於指令解碼器 805 的暫存器。

如同參考圖 22 所述般，在根據本實施例的算術處理單元的一實例中，根據上述實施例之邏輯電路用於例如控制單元、指令解碼器、及算術邏輯單元等等各單元，允許在單元中固持資料以及增加處理速度。

(實施例 7)

在本實施例中，將說明均設有根據任何上述實施例之邏輯電路的電子裝置的實例。

將參考圖 23A 至 23D，說明根據本實施例的電子裝置的結構實例。

圖 23A 中的電子裝置是可攜式資訊終端的實例。圖 23A 中的可攜式資訊終端包含機殼 1001a 和設於機殼 1001a 中的顯示部 1002a。

注意，機殼 1001a 的側表面 1003a 可以設有連接端子及 / 或按鍵，連接端子用於連接圖 23A 中的可攜式資訊終端至外部裝置，按鍵用以操作可攜式資訊終端。

在圖 23A 中所示的可攜式資訊終端的機殼 1001a 中，設有 CPU、記憶體電路、介面、及天線，藉由介面，在外部裝置與各 CPU 及記憶體電路之間傳送及接收訊號，天線對外部裝置傳送及接收訊號。

圖 23A 中所示的可攜式資訊終端具有電話機、電子書、個人電腦、及遊戲機中之一或更多的功能。

圖 23B 中的電子裝置是折疊式可攜式資訊終端。顯示於圖 23B 中的可攜式資訊終端包含機殼 1001b、設在機殼 1001b 中的顯示部 1002b、機殼 1004、設在機殼 1004 中的顯示部 1005、及用於連接機殼 1001b 與機殼 1004 之軸部 1006。

在圖 23B 中的可攜式資訊終端中，以軸部 1006 移動機殼 1001b 或機殼 1004，可使機殼 1001b 堆疊於機殼

1004 上。

注意，機殼 1001b 的側表面 1003b 或是機殼 1004 的側表面 1007 設有連接端子及 / 或按鍵，連接端子用於連接圖 23B 中的可攜式資訊終端至外部裝置，按鍵用以操作可攜式資訊終端。

顯示部 1002b 及顯示部 1005 可以顯示不同的影像或一影像。注意，不一定要設置顯示部 1005，可以設置輸入裝置的鍵盤以取代顯示部 1005。

圖 23B 中所示的可攜式資訊終端在機殼 1001b 或機殼 1004 中包含 CPU、記憶體電路、及介面，介面用於在外部裝置與各 CPU 及記憶體電路之間傳送及接收訊號。注意，圖 23B 中的可攜式資訊終端可以又設有天線，天線對外部裝置傳送及接收訊號。

圖 23B 中所示的可攜式資訊終端具有電話機、電子書、個人電腦、及遊戲機中之一或更多功能。

圖 23C 中的電子裝置是固定式資訊終端的實例。圖 23C 中所示的固定式資訊終端包含機殼 1001c 及設在機殼 1001c 中的顯示部 1002c。

注意，顯示部 1002c 設於機殼 1001c 的桌部 1008 上。

圖 23C 中所示的固定式資訊終端在機殼 1001c 中包含 CPU、記憶體電路、及介面，介面用於在外部裝置與各 CPU 及記憶體電路之間傳送及接收訊號。注意，圖 23C 中的固定式資訊終端可以又設有天線，天線對外部裝置傳

送及接收訊號。

此外，圖 23C 中的固定式資訊終端中的機殼 1001c 的側表面 1003c 可以設有選自出票部、硬幣槽、及紙鈔槽中之一或更多構件，出票部送出票證等等。

舉例而言，圖 23C 中的固定式資訊終端作為自動櫃員機、資訊通訊端、或遊戲機，資訊通訊端用於出票等等（也稱為多媒體站）。

圖 23D 顯示固定式資訊終端。圖 23D 中的固定式資訊終端包含機殼 1001d 和設在機殼 1001d 中的顯示部 1002d。注意，也可以設置用於支撐機殼 1001d 的支撐構件。

注意，機殼 1001d 的側表面 1003d 可以設有連接端子及/或按鍵，連接端子用於連接圖 23D 中的固定式資訊終端至外部裝置，按鍵用以操作固定式資訊終端。

圖 23D 中所示的固定式資訊終端在機殼 1001d 中包含 CPU、記憶體電路、及介面，介面用於在外部裝置與 CPU 及記憶體電路中各者之間傳送及接收訊號。注意，圖 23D 中所示的固定式資訊終端可以設有天線，天線對外部裝置傳送及接收訊號。

舉例而言，圖 23D 中的固定式資訊終端作為數位相框、監視器、或電視機。

根據上述實施例之邏輯電路作為圖 23A 至 23D 中所示的電子裝置中的各 CPU。

如上所述，參考圖 23A 至 23D，根據本實施例的電

子裝置的實例均包含根據上述實施例的邏輯電路以作為 CPU。

本申請案根據 2011 年 5 月 20 日向日本專利局申請之日本專利申請序號 2011-113734，其整體內容於此一併列入參考。

【圖式簡單說明】

在附圖中：

圖 1 是根據本發明的一實施例之邏輯電路的電路圖；

圖 2 顯示根據本發明的一實施例之邏輯電路的動態重規劃的概圖；

圖 3 是根據本發明的一實施例之邏輯電路的電路圖；

圖 4A 是根據本發明的一實施例之邏輯電路的電路圖，圖 4B 及 4C 是時序圖；

圖 5A 及 5B 顯示電晶體的結構；

圖 6A 至 6E 均顯示 CAAC 結構；

圖 7A 至 7C 均顯示 CAAC 結構；

圖 8A 至 8C 均顯示 CAAC 結構；

圖 9A 至 9E 顯示電晶體的製造方法；

圖 10 顯示氧化物半導體層的缺陷密度與電晶體的場效遷移率之間的關係；

圖 11A 及 11B 均顯示電晶體的結構；

圖 12A 至 12C 均顯示電晶體的電特徵的計算結果；

圖 13A 至 13C 均顯示電晶體的電特徵的計算結果；

圖 14A 至 14C 均顯示電晶體的電特徵的計算結果；

圖 15A 至 15C 均顯示電晶體的電特徵的計算結果；

圖 16A 及 16B 均顯示電晶體的電特徵的計算結果；

圖 17A 及 17B 均顯示電晶體的電特徵的計算結果；

圖 18 顯示電晶體的 XRD 測量結果；

圖 19 顯示電晶體的特徵；

圖 20 顯示電晶體的特徵；

圖 21A 及 21B 均顯示電晶體的特徵；

圖 22 顯示包含根據本發明的一實施例之邏輯電路的算術處理單元；

圖 23A 至 23D 顯示均包含根據本發明的一實施例之邏輯電路的電子裝置；

圖 24A 及 24B 均顯示 CAAC 結構；及

圖 25 是根據本發明的一實施例之邏輯電路的電路圖。

【主要元件符號說明】

101：第一電容器

102：第二電容器

104：第一電晶體

105：第二電晶體

205：第二電晶體

311：第三電晶體

312：第四電晶體

313：反相器

501 : 第一電容器

502 : 第二電容器

504 : 第一電晶體

511 : 第三電容器

512 : 第四電容器

514 : 第二電晶體

600_a : 元件形成層

600_b : 元件形成層

601_a : 導體層

601_b : 導體層

602_a : 絕緣層

602_b : 絕緣層

603_a : 半導體層

603_b : 導體層

604a_a : 區域

604a_b : 區域

604b_a : 區域

604b_b : 區域

605a_a : 導體層

605a_b : 導體層

605b_a : 導體層

605b_b : 導體層

606a : 絕緣層

606b : 絕緣層

- 607 : 絕緣層
- 651 : 基部絕緣體
- 652 : 嵌入絕緣體
- 653a : 半導體區
- 653b : 半導體區
- 653c : 半導體區
- 654 : 閘極絕緣層
- 655 : 閘極電極
- 656a : 側壁絕緣體
- 656b : 側壁絕緣體
- 657 : 絕緣體
- 658a : 源極電極
- 658b : 汲極電極
- 801 : 匯流排介面
- 802 : 控制單元
- 803 : 快取記憶體
- 805 : 指令解碼器
- 806 : 算術邏輯單元
- 1001a : 機殼
- 1001b : 機殼
- 1001c : 機殼
- 1001d : 機殼
- 1002a : 顯示部
- 1002b : 顯示部

1002c : 顯示部

1002d : 顯示部

1003a : 側表面

1003b : 側表面

1003c : 側表面

1003d : 側表面

1004 : 機殼

1005 : 顯示部

1006 : 軸部

1007 : 側表面

1008 : 桌部

七、申請專利範圍：

1. 一種半導體裝置，包括：

第一電容器；

第二電容器；

第一電晶體；以及

第二電晶體，

其中，該第一電容器的一電極與該第二電容器的一電極彼此電連接，

其中，該第一電容器的該一電極電連接至該第二電晶體的閘極電極，以及，

其中，該第二電容器的該一電極電連接至該第一電晶體的源極電極和汲極電極中之一。

2. 如申請專利範圍第 1 項之半導體裝置，其中，該第一電晶體包含氧化物半導體。

3. 如申請專利範圍第 1 項之半導體裝置，其中，該第二電晶體為 n 型通道電晶體。

4. 如申請專利範圍第 1 項之半導體裝置，其中，該第二電晶體為 p 型通道電晶體。

5. 如申請專利範圍第 1 項之半導體裝置，

其中，電連接至該第二電晶體的該閘極電極之節點具有電荷，

其中，第一訊號經由該第一電容器輸入至該第二電晶體的該閘極電極，

其中，第二訊號經由該第二電容器輸入至該第二電晶

體的該閘極電極，以及

其中，該電荷、該第一訊號及該第二訊號配置成控制該第二電晶體的切換功能。

6.如申請專利範圍第 1 項之半導體裝置，其中，該半導體裝置配置成被動態地重規劃。

7.一種半導體裝置，包括：

第一電容器；

第二電容器；

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；及

反相器，

其中，該第一電容器的一電極與該第二電容器的一電極彼此電連接，

其中，該第一電容器的該一電極電連接至該第二電晶體的閘極電極，

其中，該第二電容器的該一電極電連接至該第一電晶體的源極電極和汲極電極中之一，

其中，該第二電晶體的源極電極和汲極電極中之一電連接至該第三電晶體的源極電極和汲極電極中之一，

其中，該第三電晶體的該源極電極和該汲極電極中之另一極電連接至該第四電晶體的源極電極和汲極電極中之一以及該反相器。

8.如申請專利範圍第 7 項之半導體裝置，其中，該第一電晶體包括氧化物半導體。

9.如申請專利範圍第 7 項之半導體裝置，其中，該第三電晶體及該第四電晶體中至少之一包括氧化物半導體。

10.如申請專利範圍第 7 項之半導體裝置，其中，該第二電晶體為 n 型通道電晶體。

11.如申請專利範圍第 7 項之半導體裝置，其中，該第二電晶體為 p 型通道電晶體。

12.如申請專利範圍第 7 項之半導體裝置，

其中，電連接至該第二電晶體的該閘極電極之節點具有電荷，

其中，第一訊號經由該第一電容器輸入至該第二電晶體的該閘極電極，

其中，第二訊號經由該第二電容器輸入至該第二電晶體的該閘極電極，以及

其中，該電荷、該第一訊號及該第二訊號配置成控制該第二電晶體的切換功能。

13.如申請專利範圍第 7 項之半導體裝置，

其中，該第二電晶體的該源極電極和該汲極電極中之另一極電連接至高電位電源；以及

其中，該第四電晶體的該源極電極和該汲極電極中之另一極電連接至低電位電源。

14.如申請專利範圍第 7 項之半導體裝置，其中，該半導體裝置配置成被動態地重規劃。

15.如申請專利範圍第 12 項之半導體裝置，

其中，邏輯運算從該反相器輸出，

其中，當該電荷在第一條件中時，該邏輯運算是邏輯乘法，以及

其中，當該電荷在第二條件中時，該邏輯運算是邏輯加法。

16.如申請專利範圍第 15 項之半導體裝置，

其中，該第一訊號及該第二訊號在該第一條件中是高電位，以及

其中，該第一訊號及該第二訊號在該第二條件中是低電位。

17.一種半導體裝置驅動方法，該半導體裝置包括第一電容器、第二電容器、第一電晶體、及第二電晶體，

其中，該第一電容器的一電極以及該第二電容器的一電極彼此電連接，

其中，該第一電容器的該一電極電連接至該第二電晶體的閘極電極，以及

其中，該第二電容器的該一電極電連接至該第一電晶體的源極電極和汲極電極中之一，

該方法包括下述步驟：

開啟該第一電晶體；

關閉該第一電晶體以固持電連接至該第二電晶體的該閘極電極之節點的電荷；

經由該第一電容器供應第一訊號至該第二電晶體的該

閘極電極；

經由該第二電容器供應第二訊號至該第二電晶體的該閘極電極；以及，

藉由該電荷、該第一訊號及該第二訊號，控制該第二電晶體的切換功能。

18.如申請專利範圍第 17 項之半導體裝置驅動方法，其中，該第一電晶體包括氧化物半導體。

19.如申請專利範圍第 17 項之半導體裝置驅動方法，其中，該第二電晶體為 n 型通道電晶體。

20.如申請專利範圍第 17 項之半導體裝置驅動方法，其中，該第二電晶體為 p 型通道電晶體。

21.如申請專利範圍第 17 項之半導體裝置驅動方法，其中，該半導體裝置配置成被動態地重規劃。

22.一種半導體裝置驅動方法，該半導體裝置包括第一電容器、第二電容器、第一電晶體、第二電晶體、第三電晶體、第四電晶體及反相器，

其中，該第一電容器的一電極以及該第二電容器的一電極彼此電連接，

其中，該第一電容器的該一電極電連接至該第二電晶體的閘極電極，

其中，該第二電容器的該一電極電連接至該第一電晶體的源極電極和汲極電極中之一，

其中，該第二電晶體的源極電極和汲極電極中之一電連接至該第三電晶體的該源極電極和該汲極電極中之一，

以及

其中，該第三電晶體的源極電極和汲極電極中之另一極電連接至該第四電晶體的源極電極和汲極電極中之一以及該反相器，

該方法包括下述步驟：

開啓該第一電晶體；

關閉該第一電晶體以固持電連接至該第二電晶體的該閘極電極之節點的電荷；

經由該第一電容器供應第一訊號至該第二電晶體的該閘極電極；

經由該第二電容器供應第二訊號至該第二電晶體的該閘極電極；

藉由該電荷、該第一訊號及該第二訊號，控制該第二電晶體的切換功能；以及

從該反相器輸出邏輯運算。

23.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該第一電晶體包括氧化物半導體。

24.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該第三電晶體及該第四電晶體中至少之一包括氧化物半導體。

25.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該第二電晶體為 n 型通道電晶體。

26.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該第二電晶體為 p 型通道電晶體。

27.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該半導體裝置配置成被動態地重規劃。

28.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，該第二電晶體的該源極電極和該汲極電極中之另一極電連接至高電位電源，以及

其中，該第四電晶體的該源極電極和該汲極電極中之另一極電連接至低電位電源。

29.如申請專利範圍第 22 項之半導體裝置驅動方法，其中，當該電荷在第一條件中時，該邏輯運算是邏輯乘法，以及

其中，當該電荷在第二條件中時，該邏輯運算是邏輯加法。

30.如申請專利範圍第 29 項之半導體裝置驅動方法，其中，該第一訊號及該第二訊號在該第一條件中是高電位，以及

其中，該第一訊號及該第二訊號在該第二條件中是低電位。

圖 1

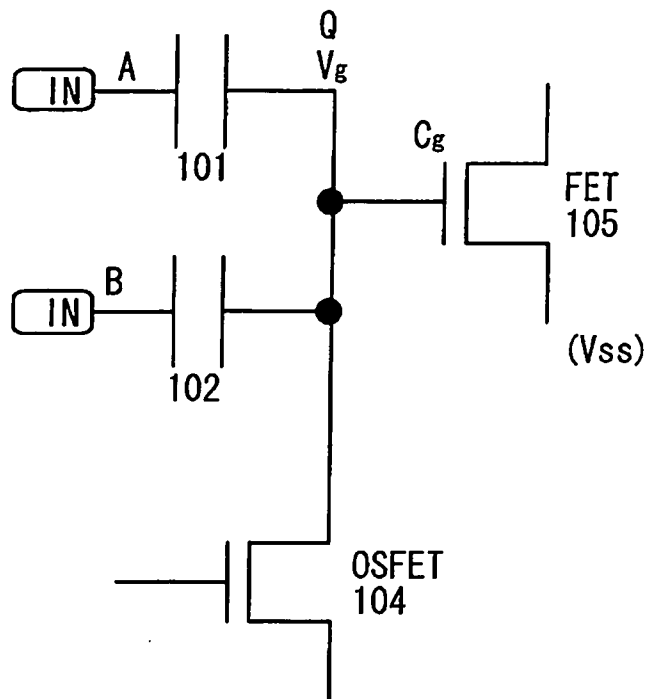


圖 2

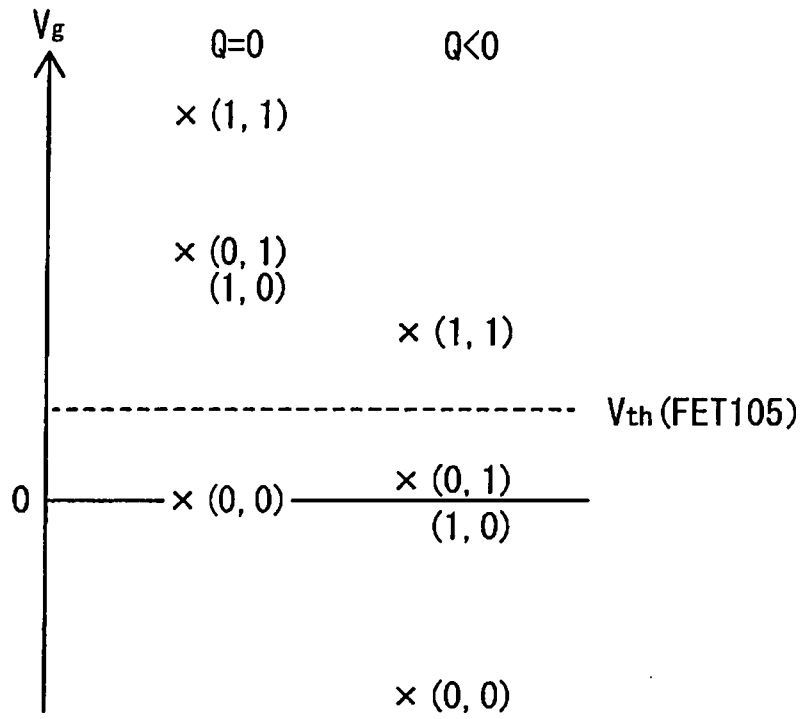


圖 3

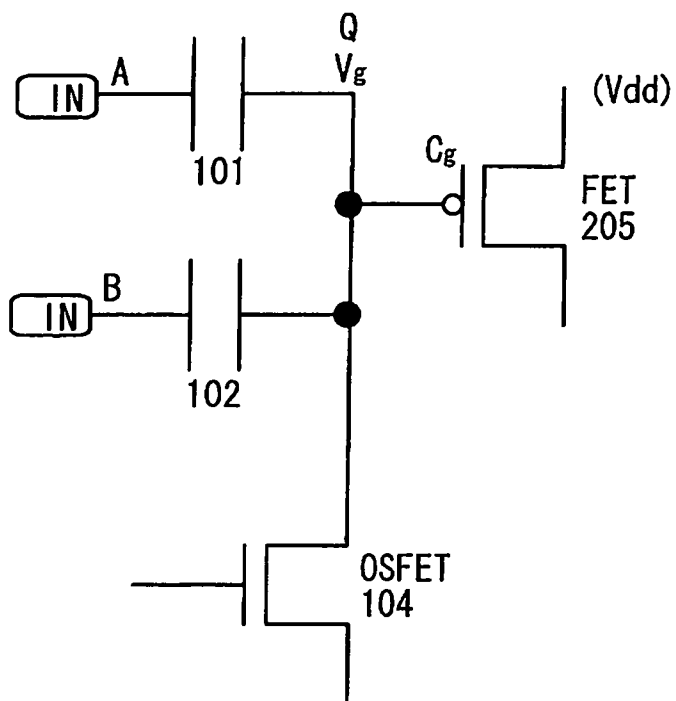


圖 4A

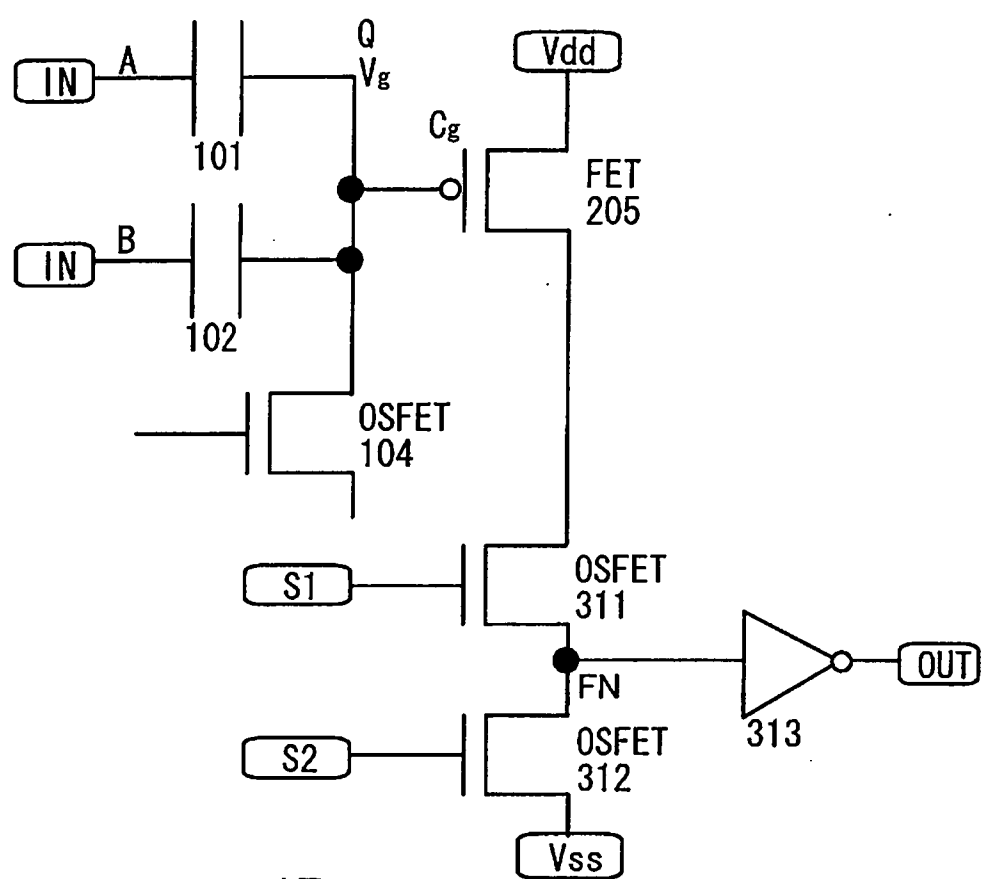


圖 4B

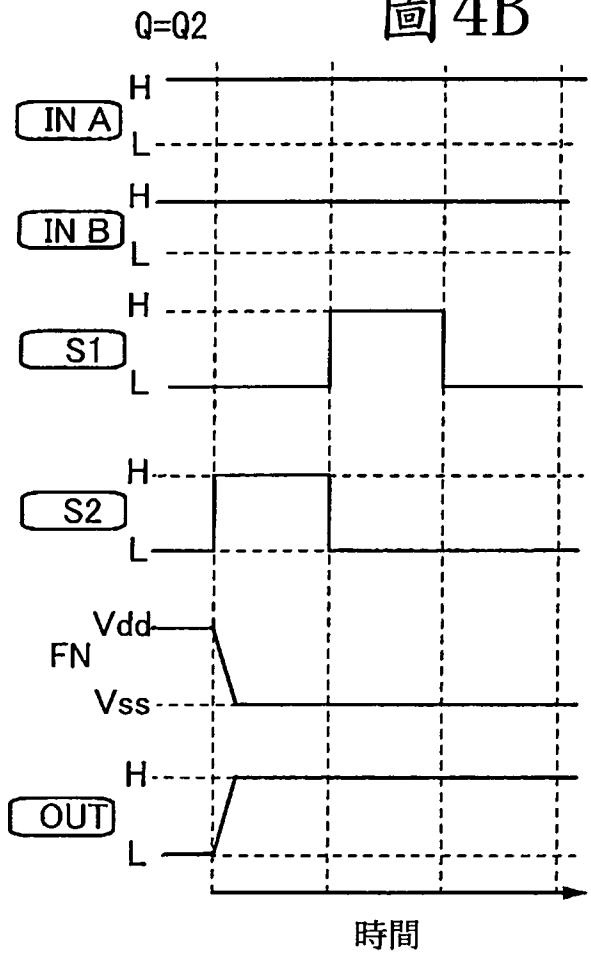


圖 4C

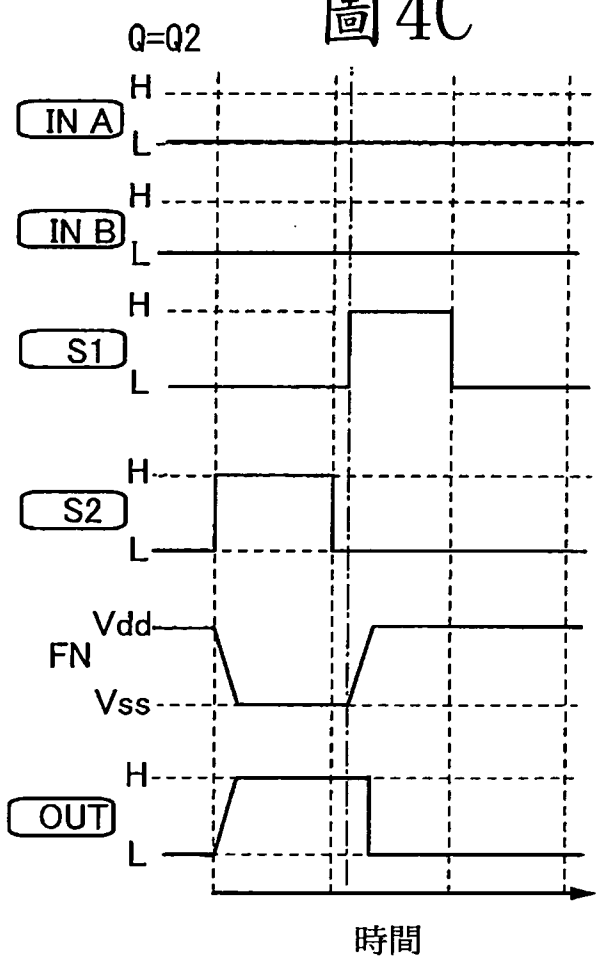


圖 5A

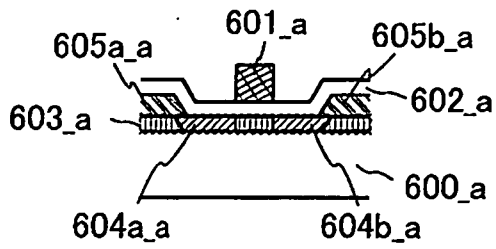


圖 5B

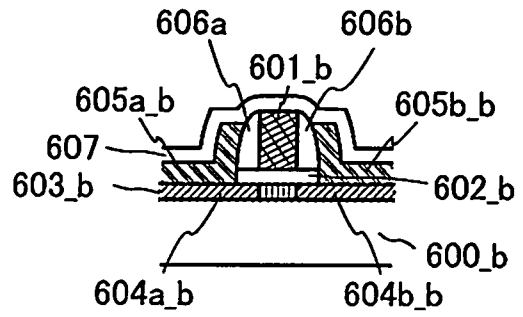


圖 6A

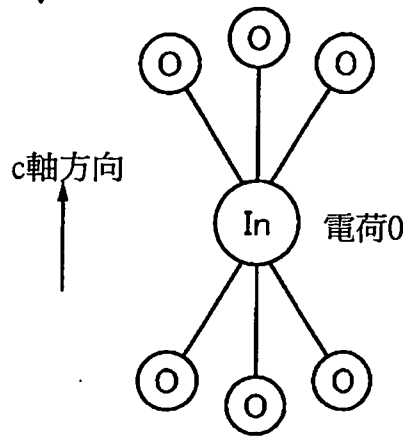


圖 6D

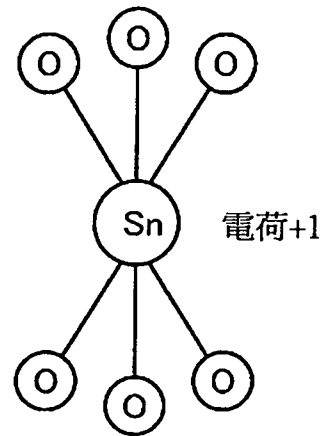


圖 6B

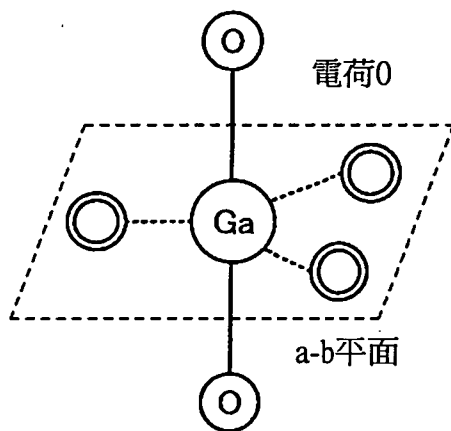


圖 6E

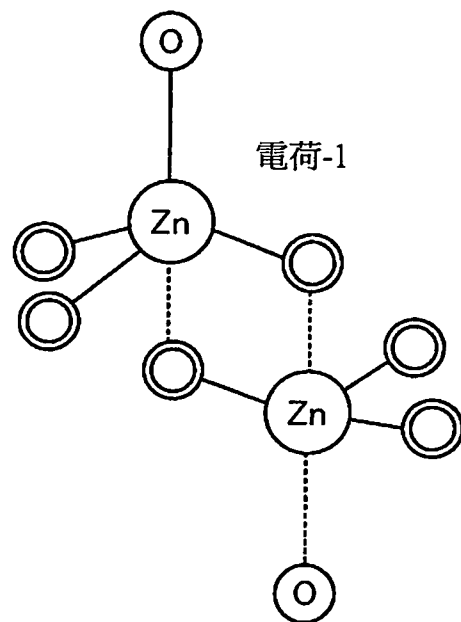


圖 6C

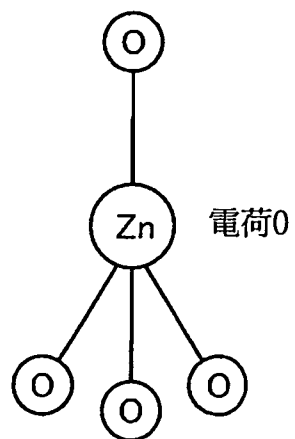


圖 7A

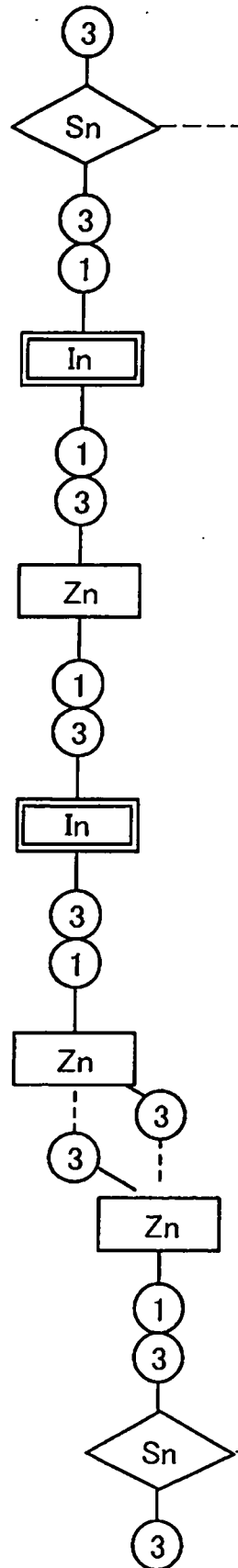
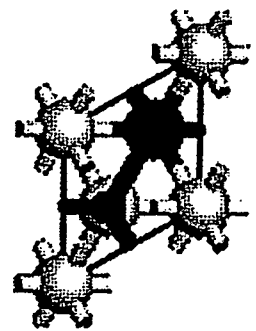


圖 7B



圖 7C



- In
- Sn
- Zn
- O

圖 8A

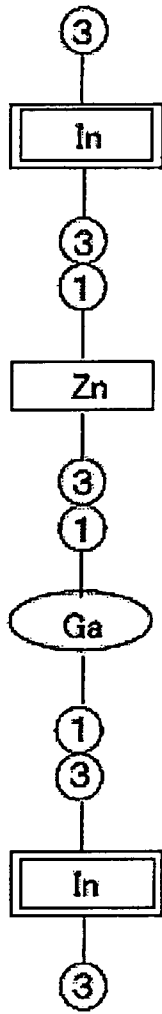


圖 8B

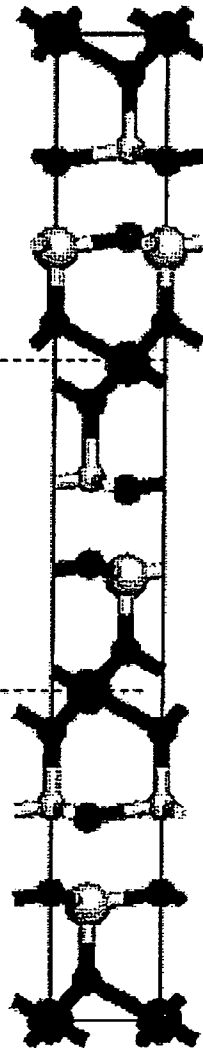


圖 8C

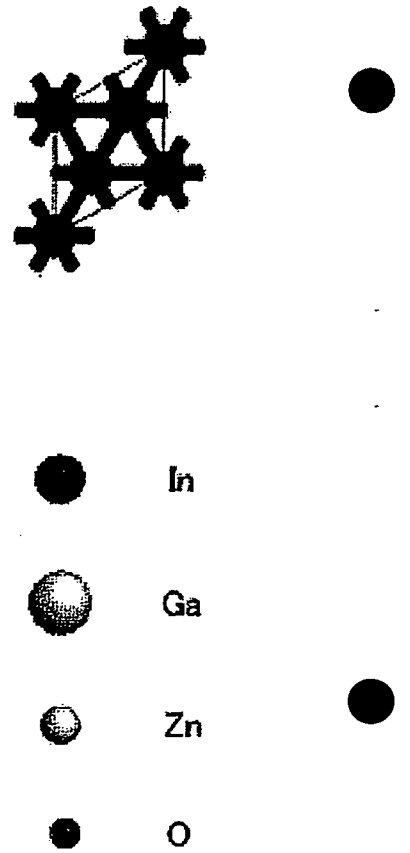


圖 9A

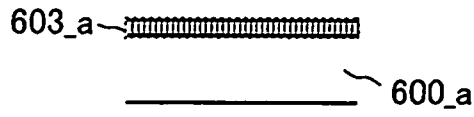


圖 9B

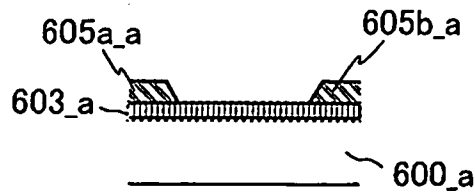


圖 9C

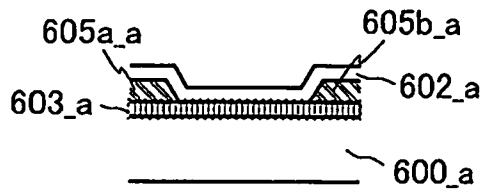


圖 9D

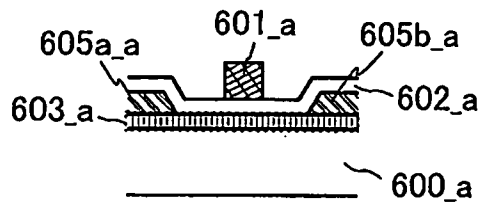


圖 9E

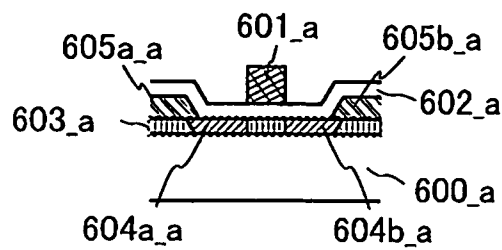


圖 10

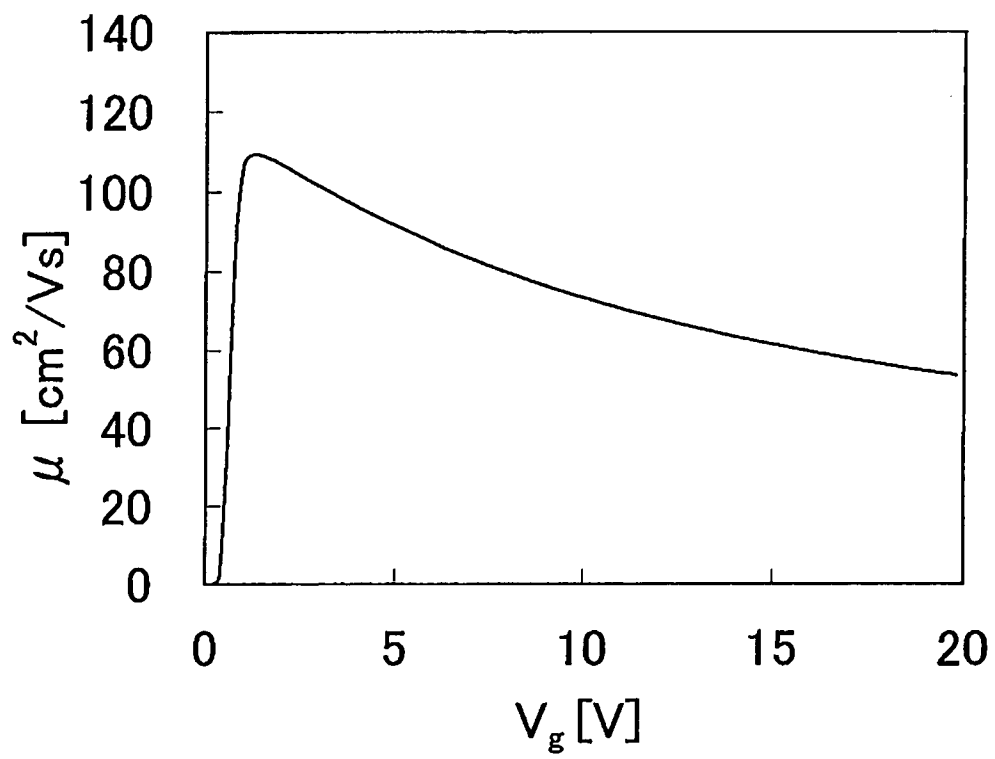


圖 11A

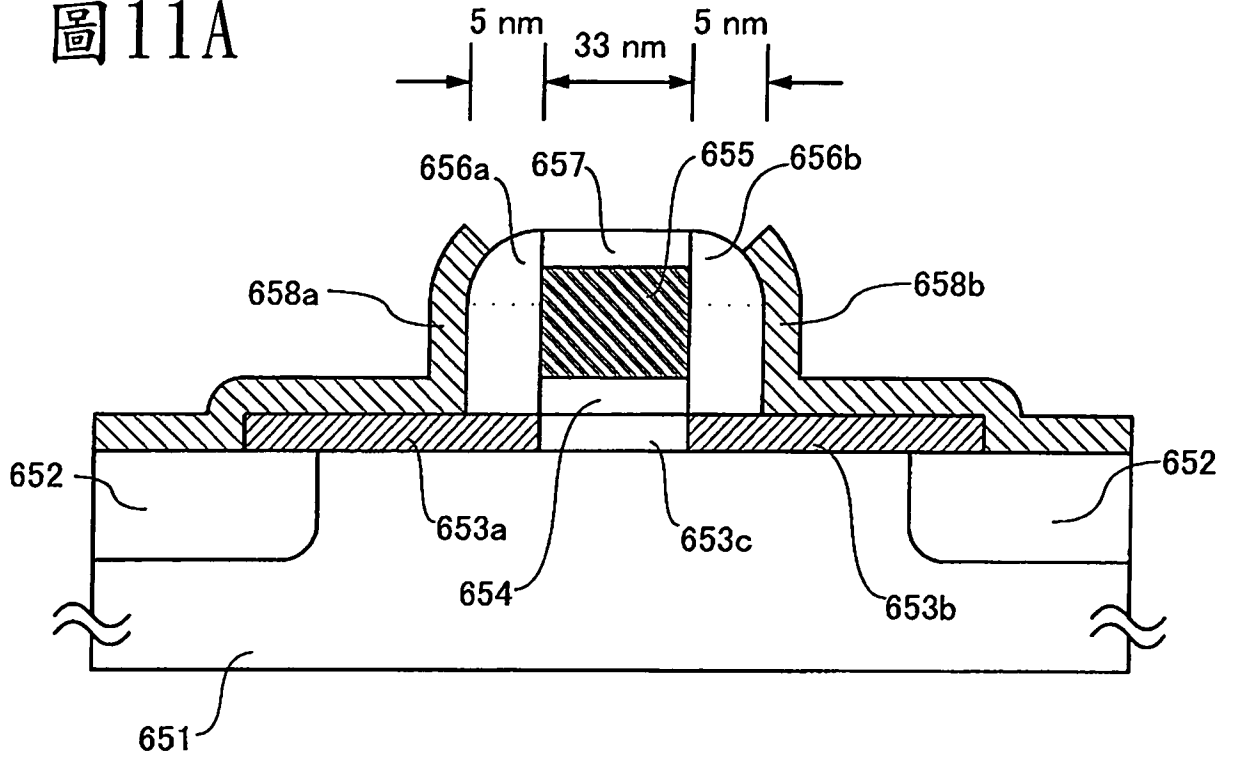


圖 11B

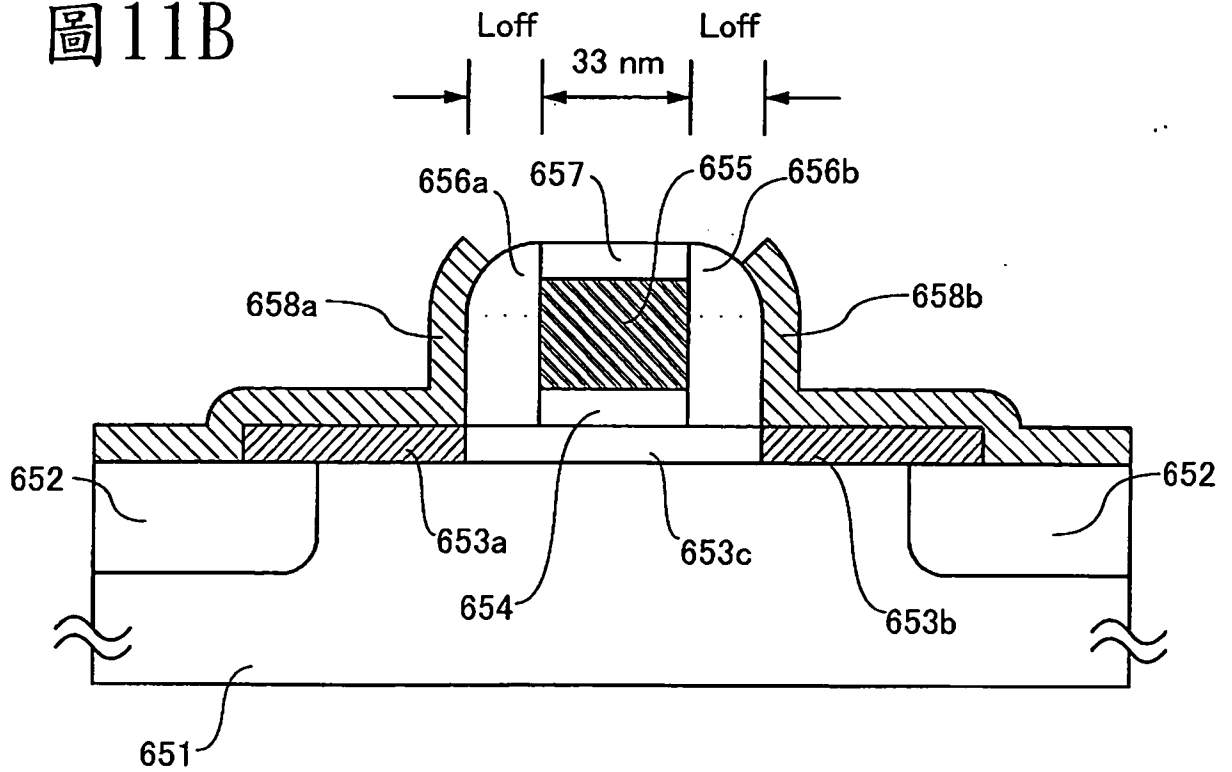


圖 12A

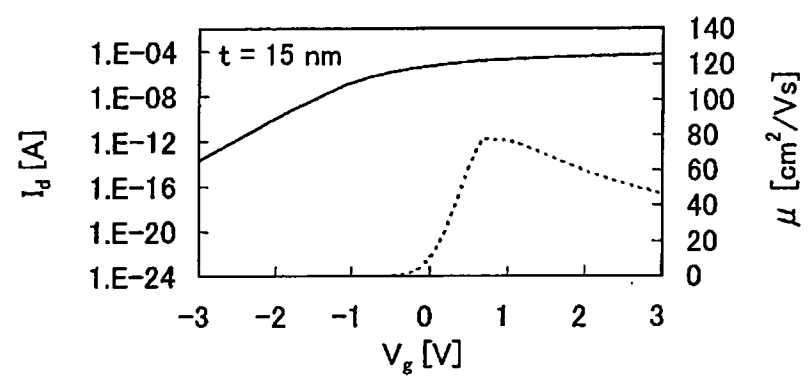


圖 12B

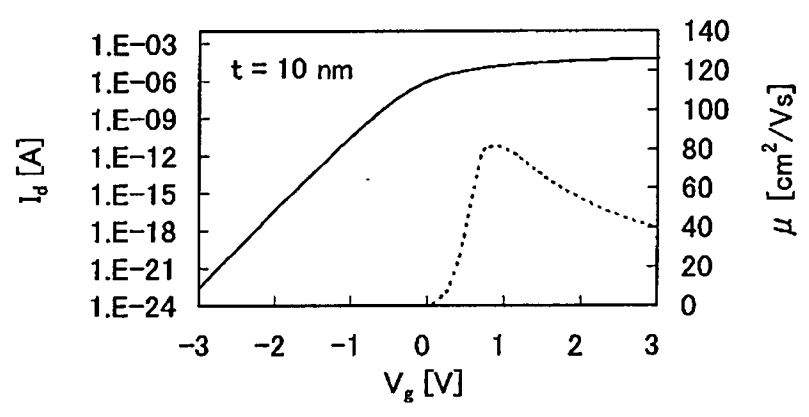


圖 12C

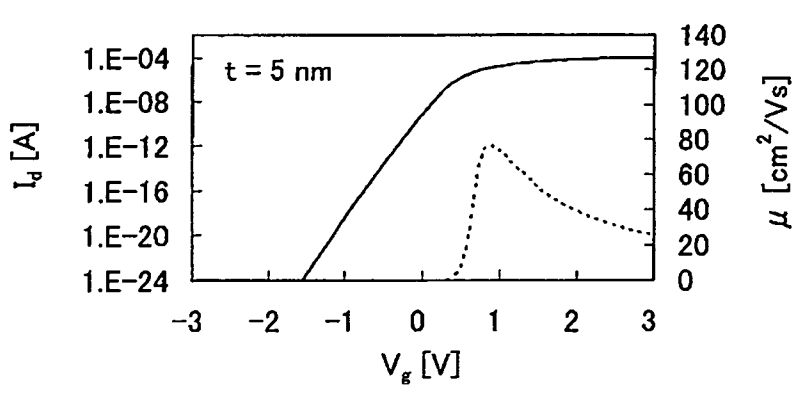


圖 13A

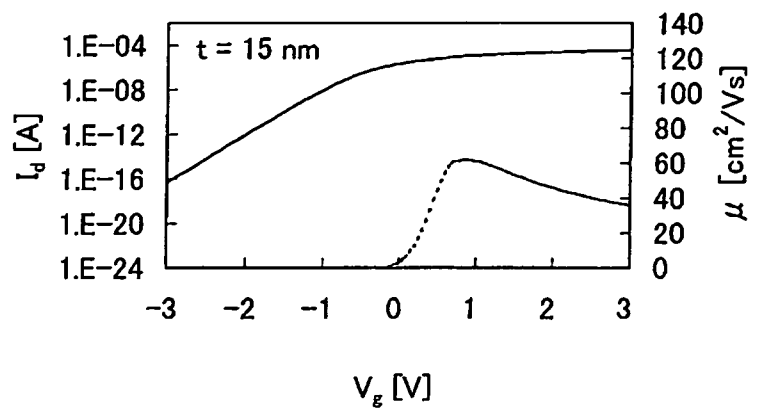


圖 13B

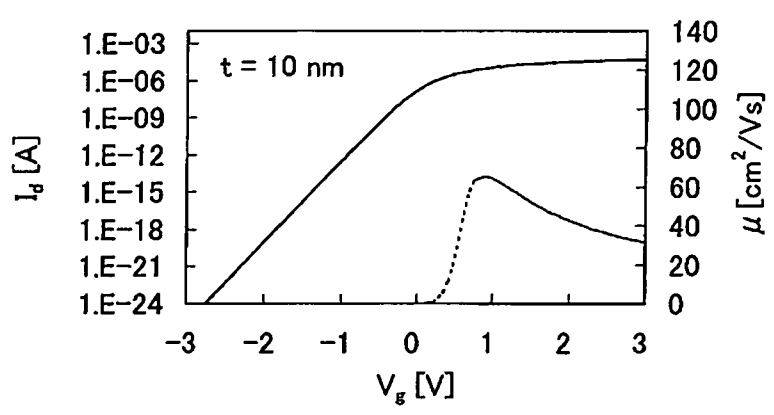


圖 13C

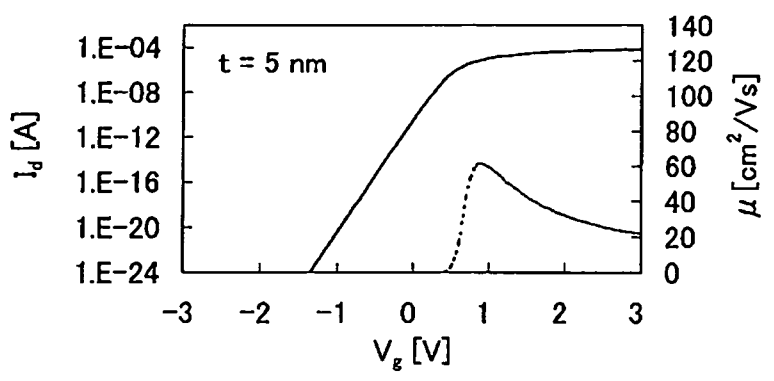


圖 14A

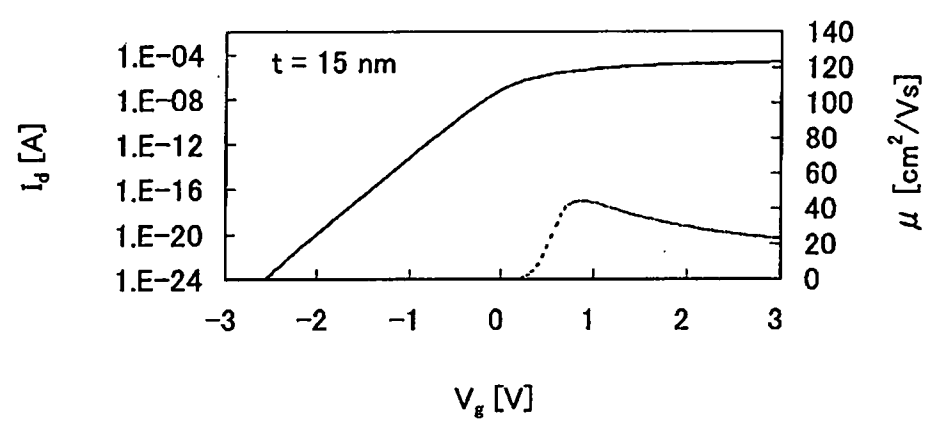


圖 14B

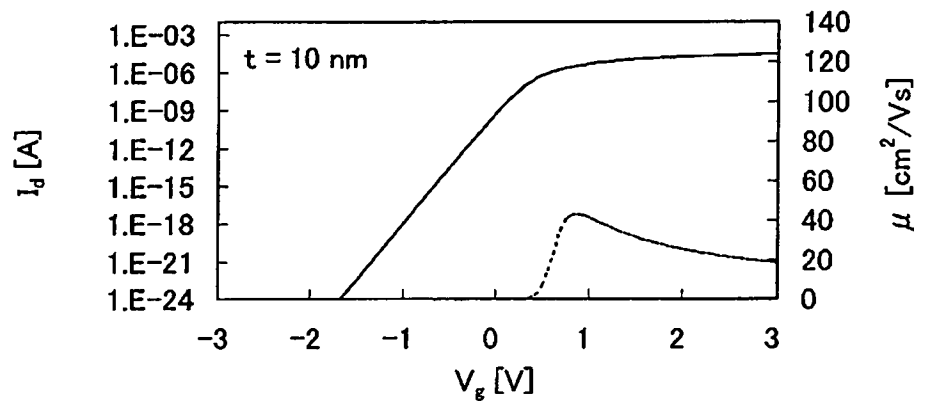


圖 14C

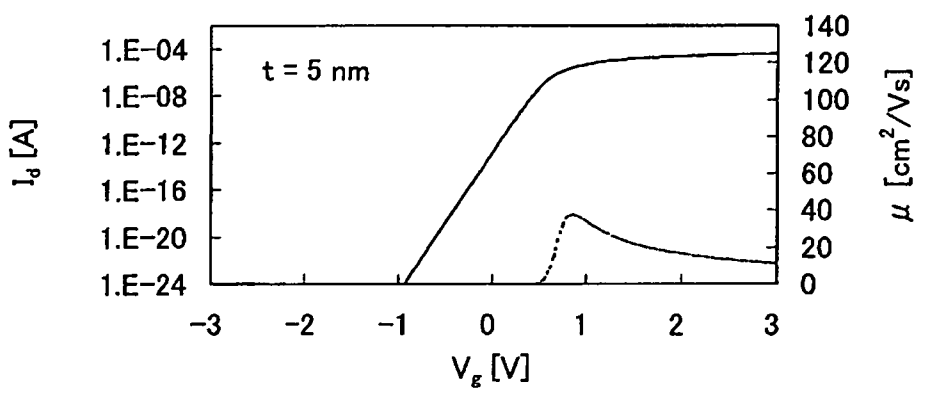


圖 15A

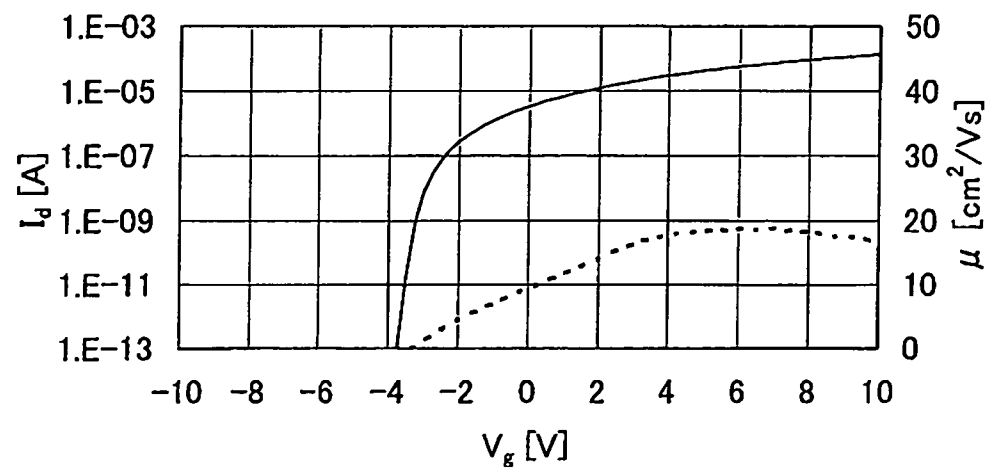


圖 15B

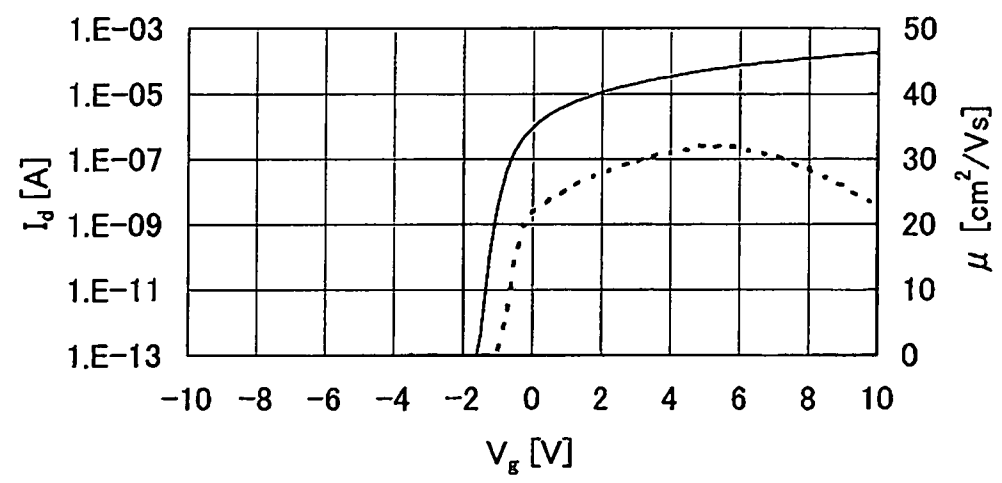


圖 15C

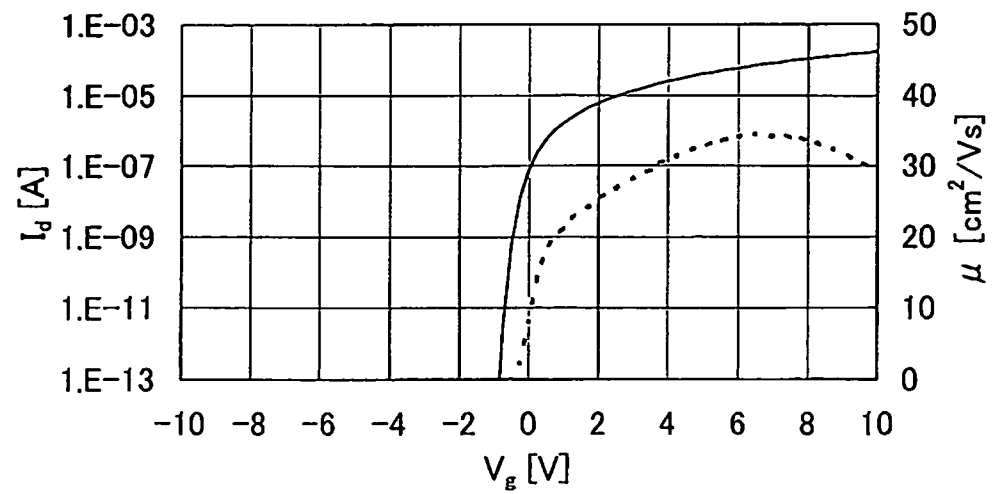


圖 16A

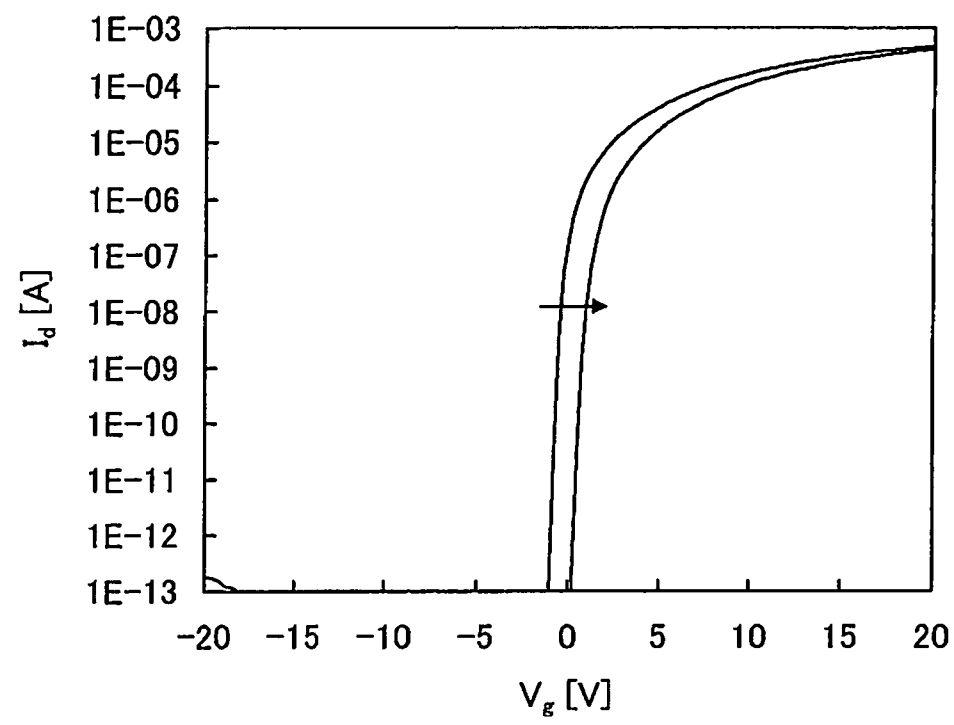


圖 16B

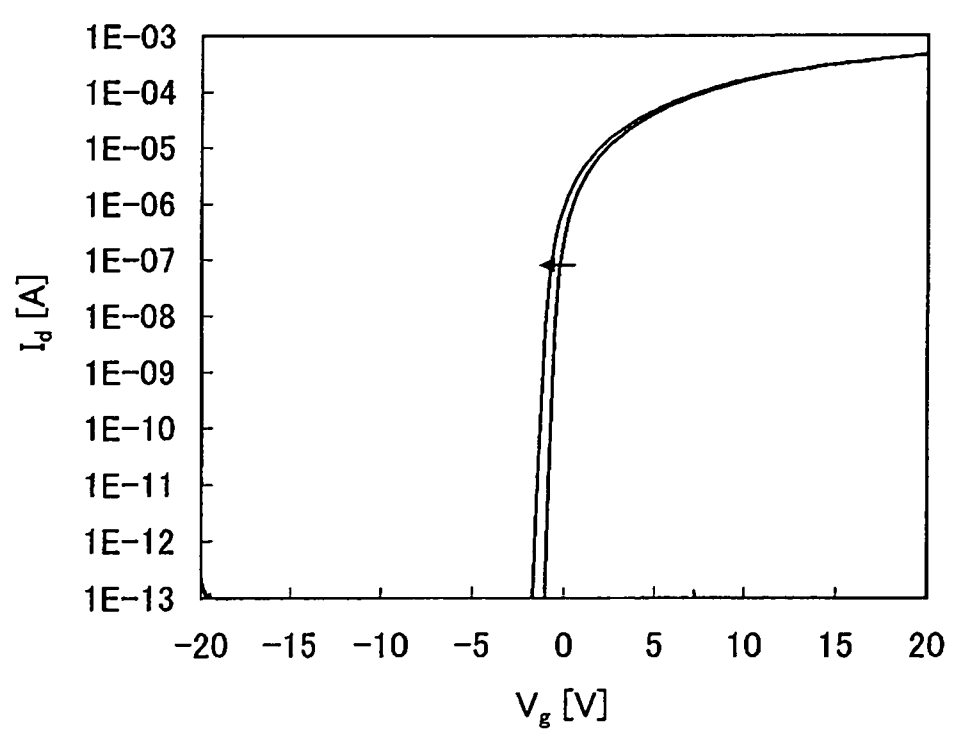


圖 17A

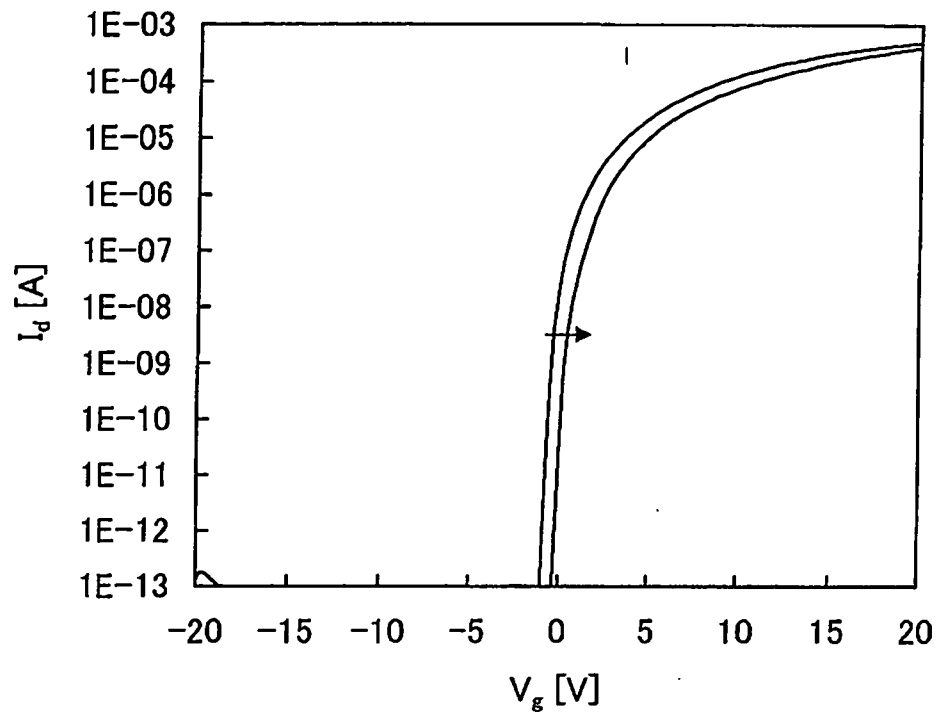


圖 17B

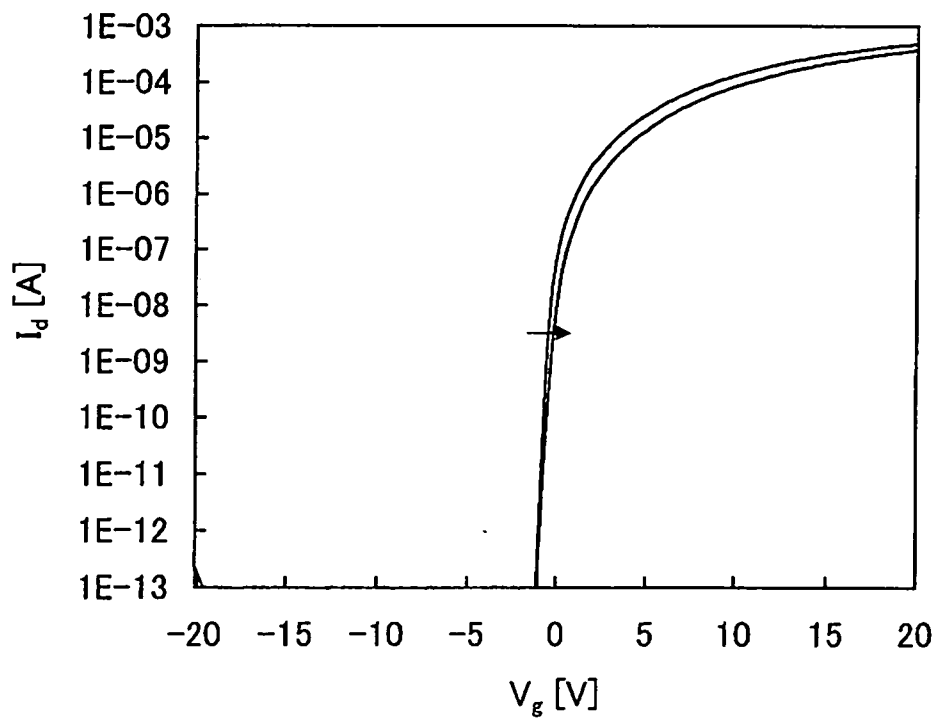


圖 18

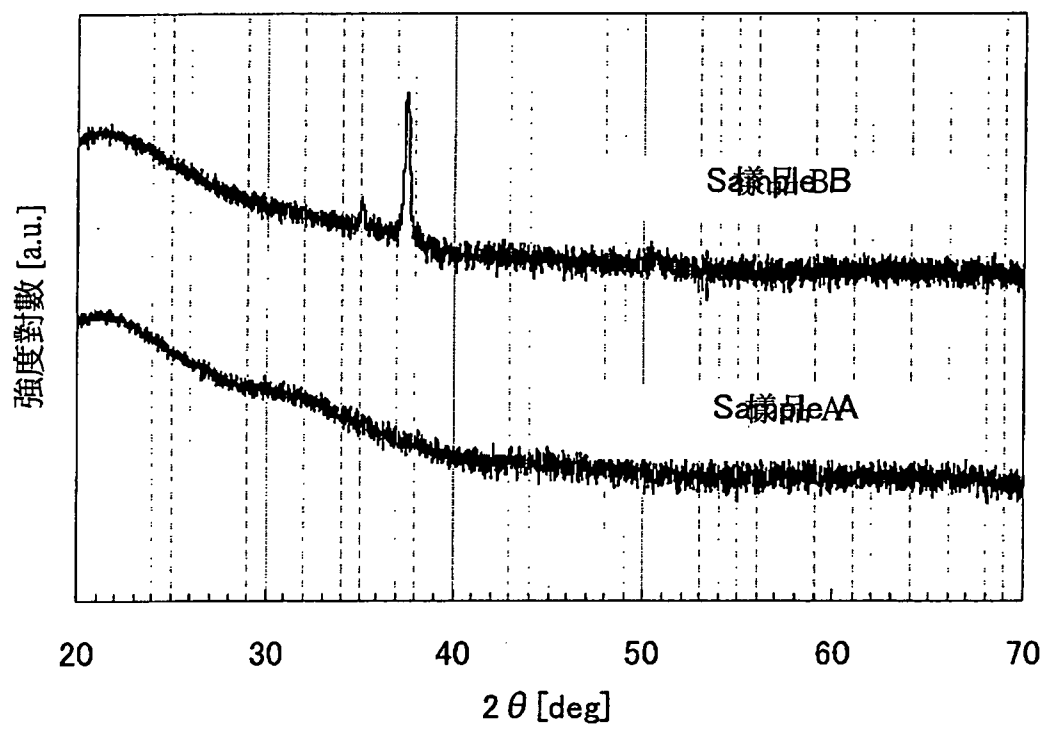


圖 19

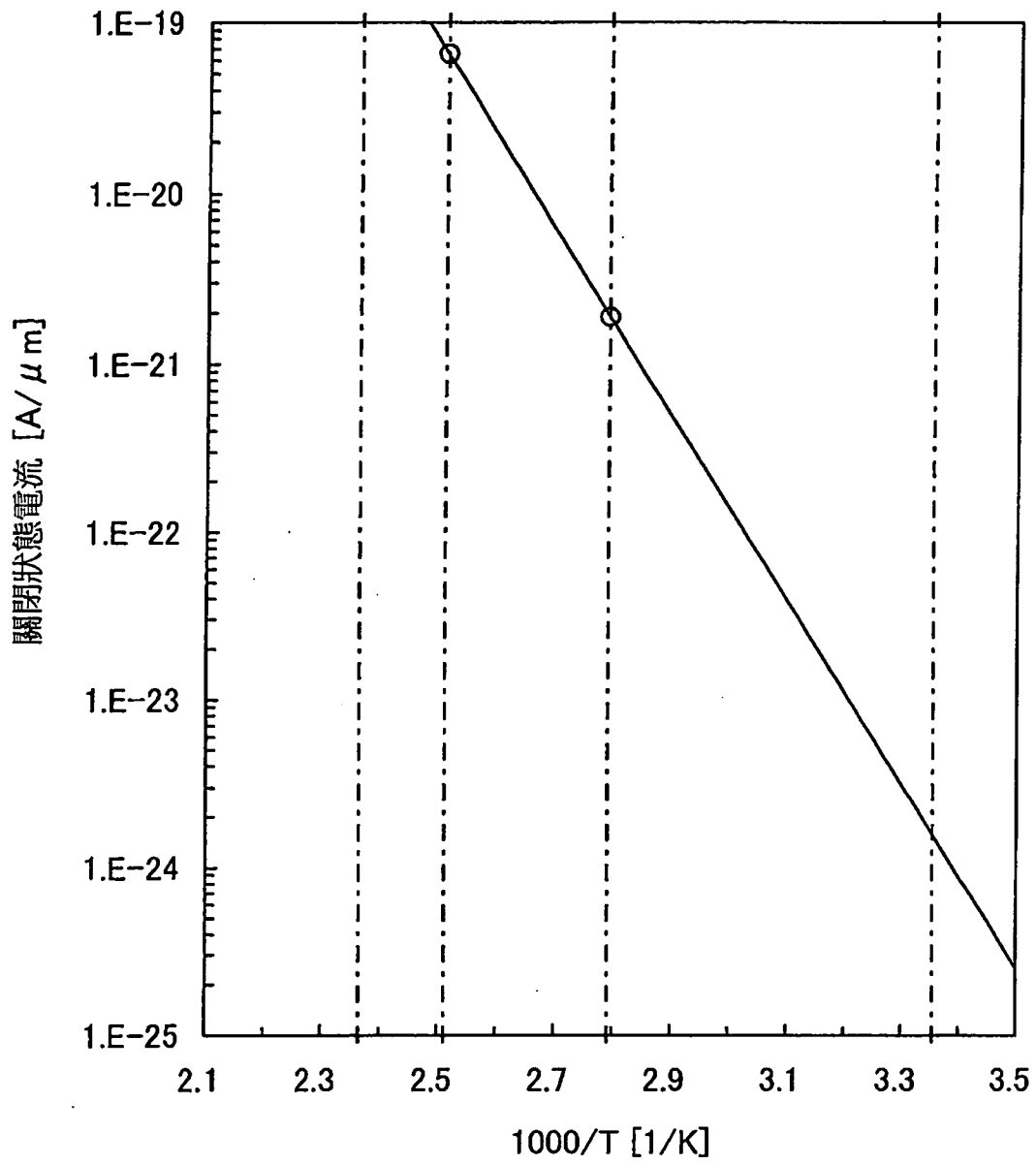


圖 20

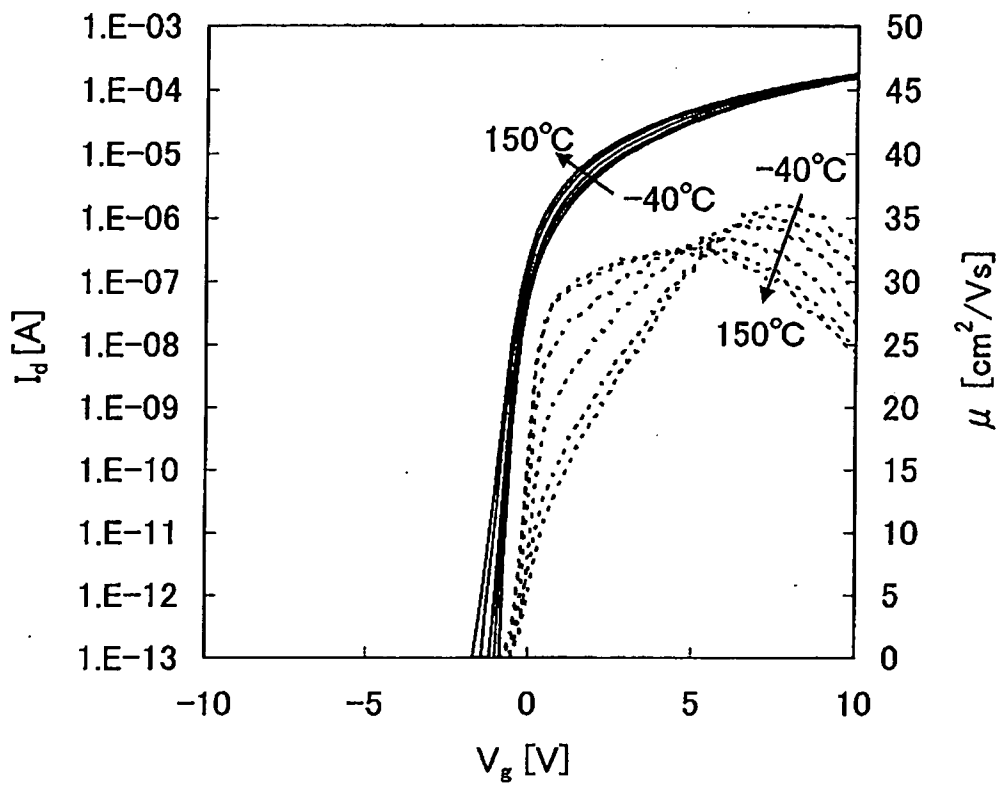


圖 21A

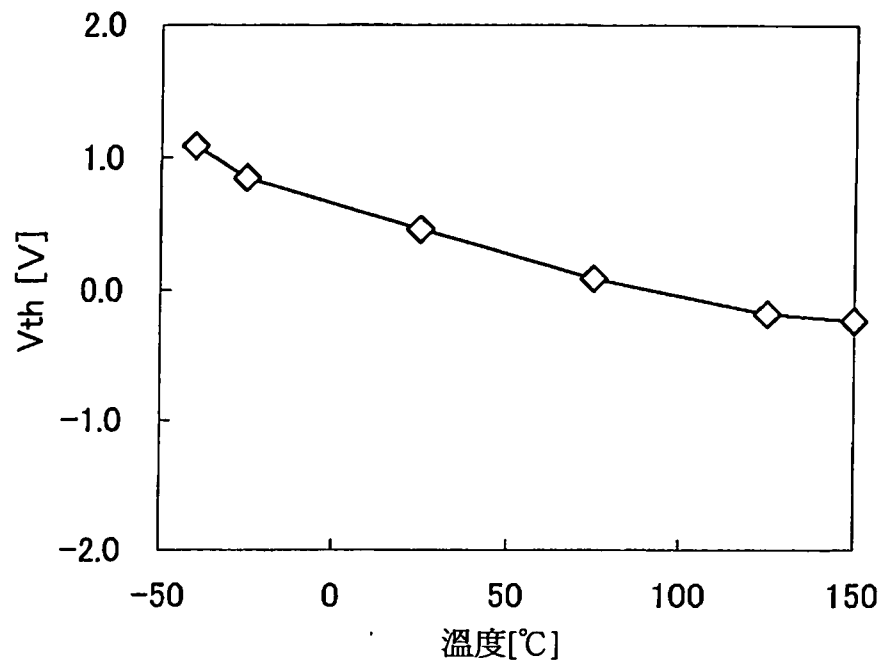


圖 21B

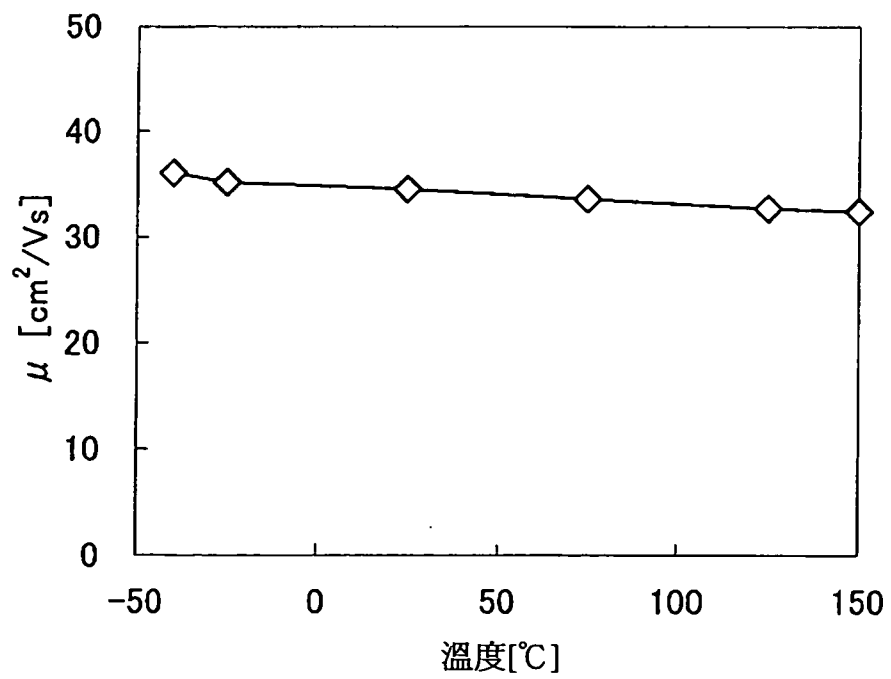


圖 22

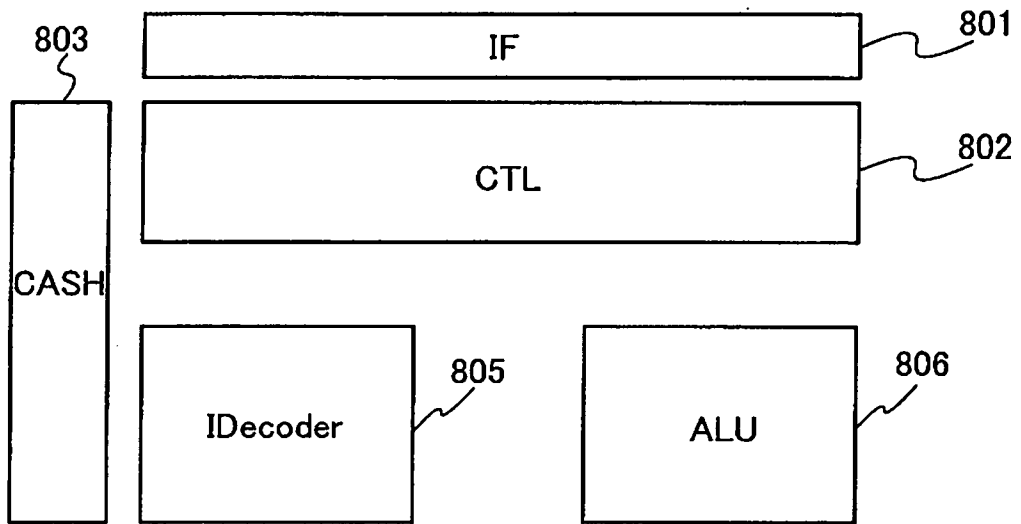


圖 23A

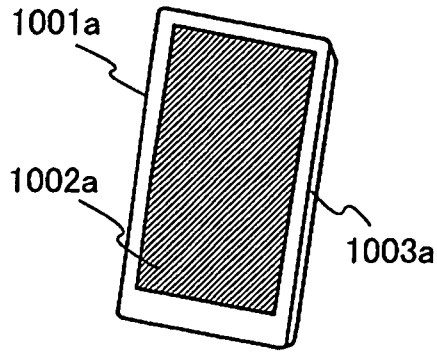


圖 23C

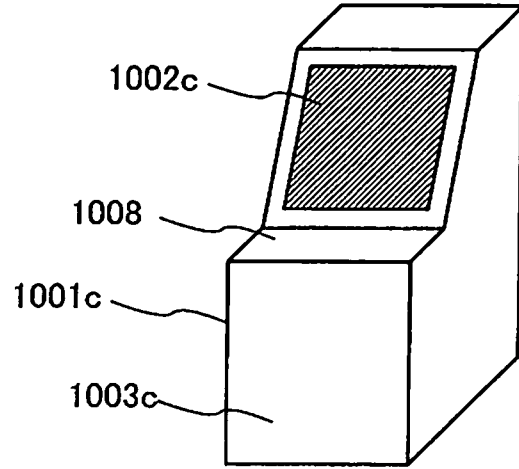


圖 23B

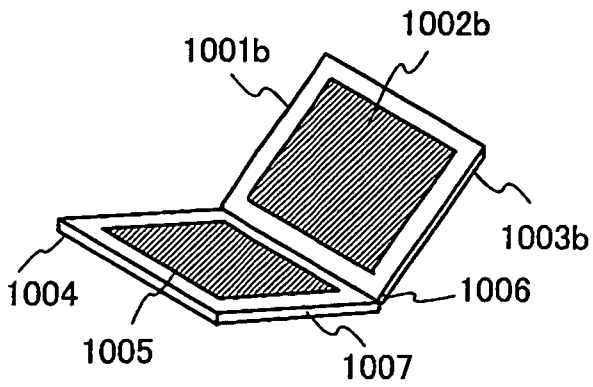


圖 23D

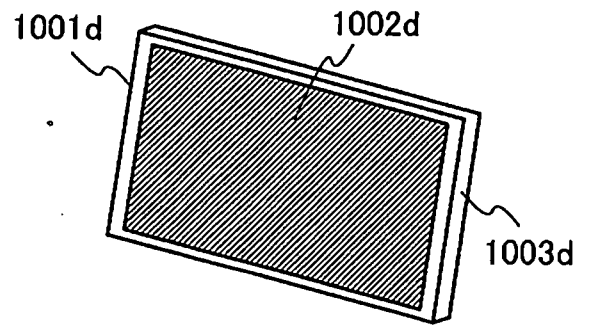


圖 24A

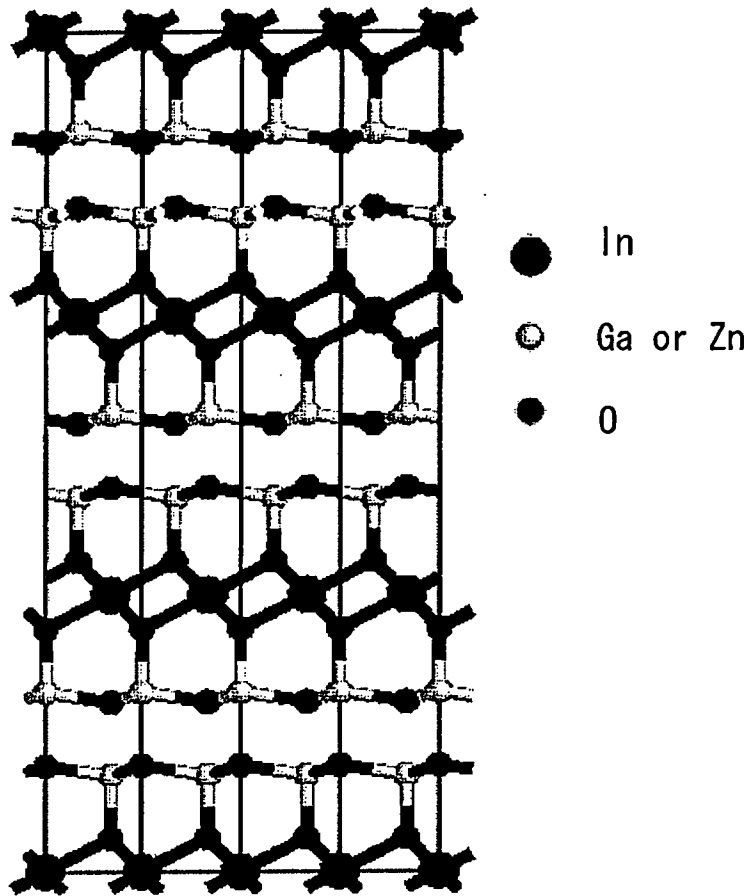


圖 24B

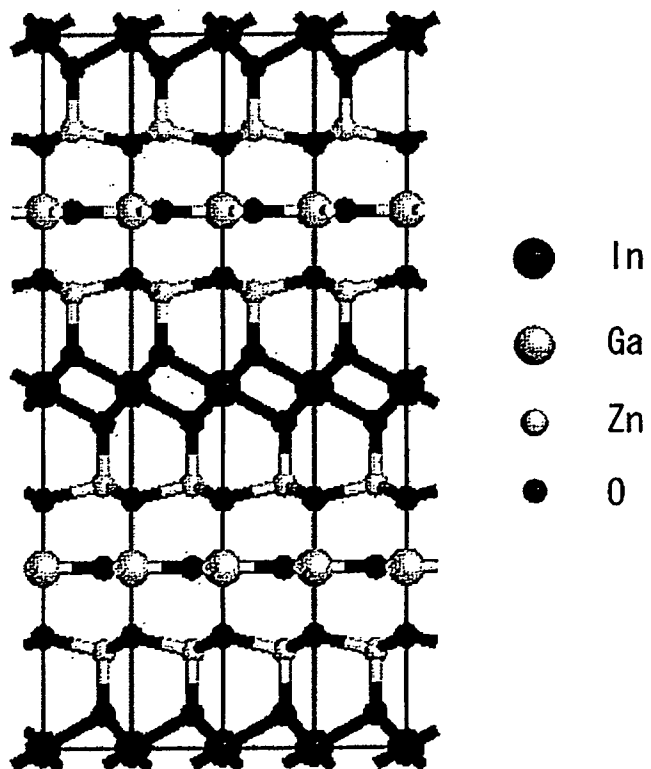


圖 25

