

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3854190号
(P3854190)

(45) 発行日 平成18年12月6日(2006.12.6)

(24) 登録日 平成18年9月15日(2006.9.15)

(51) Int. Cl. F I
 HO2P 6/16 (2006.01) HO2P 6/00 331H
 HO2M 7/537 (2006.01) HO2M 7/537 C

請求項の数 5 (全 18 頁)

(21) 出願番号	特願2002-126962 (P2002-126962)	(73) 特許権者	000001247
(22) 出願日	平成14年4月26日(2002.4.26)		株式会社ジェイテクト
(65) 公開番号	特開2003-324928 (P2003-324928A)		大阪府大阪市中央区南船場3丁目5番8号
(43) 公開日	平成15年11月14日(2003.11.14)	(74) 代理人	100068755
審査請求日	平成16年8月4日(2004.8.4)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	鈴木 浩
			愛知県刈谷市朝日町1丁目1番地 豊田工機株式会社内
		審査官	杉浦 貴之

最終頁に続く

(54) 【発明の名称】 モータ制御装置

(57) 【特許請求の範囲】

【請求項1】

電源の印加点と接地点の間にブラシレスDCモータのU、V、W各相毎に対応して設けられた各回路において、直列に配置され排他的に選択されるスイッチ手段である電源側に配置された上段FET及び接地側に配置された下段FETと、

当該上段FET及び下段FETの間に設けられ、各相の上段FET及び下段FETの開閉の組み合わせによりU、V、W各相のモータ巻線に駆動電流を供給する接続点と、

前記回路の電流を検出するため電流検出手段と、

前記スイッチ手段を制御して前記ブラシレスDCモータを駆動するスイッチ制御手段とを備えたモータ制御装置において、

所定のタイミングで前記電流検出手段により電流を検出する異常電流検出手段と、

前記異常電流検出手段により検出した電流値に基づきモータ駆動回路の異常を判定するモータ駆動回路異常判定手段と、

前記異常電流検出手段により検出した電流値に基づきデッドタイム設定値を修正する修正手段とを備え、

前記異常電流検出手段は、U、V、W相のいずれかのゲート信号が少なくともオンからオフする立ち下がりエッジ、若しくは、オフからオンする立ち上がりエッジのいずれかを検出して、当該タイミングを基準にして前記電流検出手段により各相毎のデッドタイムの貫通電流を検出することを特徴とするモータ制御装置。

【請求項2】

10

20

前記修正手段は、予め設定されたターンオフデッドタイムおよびターンオンデッドタイムにより設定されるデッドタイム設定値を、前記異常電流検出手段に基づいて所定の貫通電流を検出しない場合は所定時間短縮し、前記所定の貫通電流を検出した場合は所定時間延長することを特徴とする請求項 1 に記載のモータ制御装置。

【請求項 3】

前記修正手段は、所定のデッドタイム設定値で貫通電流を検出した場合は、当該貫通電流を検出したデッドタイム設定値より短縮しないことを特徴とする請求項 2 に記載のモータ制御装置。

【請求項 4】

前記修正手段は、各相毎に独立してデッドタイム設定値を設定することを特徴とする請求項 2 又は請求項 3 に記載のモータ制御装置。

10

【請求項 5】

前記修正手段は、前記デッドタイム設定値をターンオフデッドタイムおよびターンオンデッドタイム毎に独立して設定すること
を特徴とする請求項 2 乃至請求項 4 のいずれか 1 項に記載のモータ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電動パワーステアリング装置のアシスト用モータ等に利用する 3 相ブラシレス DC モータのモータ制御装置に係り、詳しくは、デッドタイムを極力小さくするようにアクティブにデッドタイム値を設定し、モータの電源利用率、制御性の向上と異音低減を図ることができるモータ制御装置に関するものである。

20

【0002】

【従来の技術】

例えば電動パワーステアリング装置のアシスト用モータには比較的俊敏で高トルクを発生でき、制御がしやすい U, V, W 相をもった 3 相ブラシレス DC モータ（以下モータと略記する）が利用されている。このモータの制御装置では、モータ駆動装置にパワー MOS FET（Metal Oxide Semiconductor Field Effect Transistor）などにより構成されるスイッチ手段を備えたトランジスタインバータを備える。このモータ駆動装置では、モータの U, V, W の各相毎に上段の FET と下段の FET を、CPU を備えたモータ制御装置により交互にオンすることで電源利用率を高め、且つ円滑に駆動できるように構成されている。しかし、何らかの理由でこの上段 FET と下段 FET は、同時にオンされた状態になると、その相の上段 FET と同相の下段 FET がモータを通過しないで、電源から接地 G R D に直接抜ける回路が形成されていわゆる貫通電流が流れてしまう。この場合、抵抗の大きなモータの巻線を通過していないため回路の抵抗値が低く、大電流が流れ、FET を破壊してしまうことがある。そこで、一方の FET をオンするときには、遅延回路により遅延させデッドタイムを設けて他方の FET がオフされてから所定時間経過後にオンすることで貫通電流を防止し、FET を保護するようにしていた。

30

【0003】

【発明が解決しようとする課題】

しかしながら、パワー MOS FET 等では、生産時のバラツキが生じるため、反応時間や信号の立ち上がり等に差を生じる場合がある。さらに、温度変化、経年変化により特性に変化を生じる場合がある。このような場合をすべて考慮し所定のデッドタイムを余裕を見て大きめに設定したとき、電源利用率の低下を招き効率が下がるばかりでなく、モータ駆動の信号の非線形要素となり、トルクリプル（トルクの脈動）を生じて操作性が悪くなったり、異音が生じてしまうという問題があった。

40

【0004】

なお、デッドタイムに起因する非線形性を修正するため、デッドタイム補償の処理を行うことも考えられるが、処理が複雑になるにもかかわらず、静的な処理であるため経年変化や温度変化に対しては適切な対処ができないという問題があった。

50

【 0 0 0 5 】

上記課題を解決するため、本発明のモータ制御装置では、各スイッチ手段が生産のバラツキなどの静的な誤差の他、温度変化や経年変化などの動的な変化により差を生じて、デッドタイム時の貫通電流の発生を早期に発見するモータ制御装置を提供することを目的とする。併せて、デッドタイムを極力小さくするようにアクティブにデッドタイム値を設定し、スイッチ手段の特性のバラツキに起因する非線形性を小さくし、モータの効率と制御性の向上と異音低減を図ることができるモータ制御装置を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

請求項 1 に係るモータ制御装置では、電源の印加点と接地点の間にブラシレス DC モータの U, V, W 各相毎に対応して設けられた各回路において、直列に配置され排他的に選択されるスイッチ手段である電源側に配置された上段 FET 及び接地側に配置された下段 FET と、当該上段 FET 及び下段 FET の間に設けられ、各相の上段 FET 及び下段 FET の開閉の組み合わせにより U, V, W 各相のモータ巻線に駆動電流を供給する接続点と、前記回路の電流を検出するため電流検出手段と、前記スイッチ手段を制御して前記ブラシレス DC モータを駆動するスイッチ制御手段とを備えたモータ制御装置において、所定のタイミングで前記電流検出手段により電流を検出する異常電流検出手段と、前記異常電流検出手段により検出した電流値に基づきモータ駆動回路の異常を判定するモータ駆動回路異常判定手段と、前記異常電流検出手段により検出した電流値に基づきデッドタイム設定値を修正する修正手段とを備え、前記異常電流検出手段は、U, V, W 相のいずれかのゲート信号が少なくともオンからオフする立ち下がりエッジ、若しくは、オフからオンする立ち上がりエッジのいずれかを検出して、当該タイミングを基準にして前記電流検出手段により各相毎のデッドタイムの貫通電流を検出することを要旨とする。

【 0 0 0 7 】

この構成に係るモータ制御装置では、モータ駆動回路異常判定手段により異常電流検出手段により検出した電流値に基づきモータ駆動回路の異常を直ちに判定できるとともに、モータ駆動回路異常判定手段により異常と判定されたときに修正手段により異常電流検出手段により検出した電流値に基づきデッドタイム設定値を修正することができ、さらに、U, V, W 相のいずれかのゲート信号がオンからオフする立ち下がりエッジ、若しくは、オフからオンする立ち上がりエッジのいずれかを検出して、各相毎の貫通電流をデッド タイムに合わせたタイミングで検出するため、精緻な制御をおこなうことができるという作用がある。

【 0 0 1 5 】

請求項 2 に係るモータ制御装置では、請求項 1 に記載のモータ制御装置の構成に加え、前記修正手段は、予め設定されたターンオフデッドタイムおよびターンオンデッドタイムにより設定されるデッドタイム設定値を、前記異常電流検出手段に基づいて所定の貫通電流を検出しない場合は所定時間短縮し、前記所定の貫通電流を検出した場合は所定時間延長することを要旨とした。

【 0 0 1 6 】

この構成に係るモータ制御装置では、請求項 1 に記載のモータ制御装置の作用に加え、貫通電流が流れていない場合はデッドタイムを短縮して、電源利用率を高め、且つトルクリップルや異音を低減させることができ、貫通電流が流れてしまった場合は、ターンオフデッドタイムおよびターンオンデッドタイムを再設定してデッドタイムを延長することで、FET を安全に保護することができる。

【 0 0 1 7 】

請求項 3 に係るモータ制御装置では、請求項 2 に記載のモータ制御装置の構成に加え、前記修正手段は、所定のデッドタイム設定値で貫通電流を検出した場合は、当該貫通電流を検出したデッドタイム設定値より短縮しないことを要旨とする。

【 0 0 1 8 】

この構成に係るモータ制御装置では、請求項 2 に記載のモータ制御装置の作用に加え、

修正手段は、所定のデッドタイム設定値で貫通電流を検出した場合は、貫通電流を検出したデッドタイム設定値より短縮しないため、F E Tを安全に保護するという作用がある。

【0019】

請求項4に係るモータ制御装置では、請求項2又は請求項3に記載のモータ制御装置の構成に加え、前記修正手段は、各相毎に独立してデッドタイム設定値を設定することを要旨とする。

【0020】

この構成に係るモータ制御装置では、請求項2又は請求項3に記載のモータ制御装置の作用に加え、各相毎に独立してデッドタイムを設定するため、個別のF E Tのバラツキに対応した最適な設定とすることができるという作用がある。

10

【0021】

請求項5に係るモータ制御装置では、請求項2乃至請求項4のいずれか1項に記載のモータ制御装置記載のモータ制御装置の構成に加え、前記修正手段は、前記デッドタイム設定値をターンオフデッドタイムおよびターンオンデッドタイム毎に独立して設定することを要旨とする。

【0022】

この構成に係るモータ制御装置では、請求項2乃至請求項4のいずれか1項に記載のモータ制御装置の作用に加え、ターンオフデッドタイムおよびターンオンデッドタイム毎に独立してデッドタイムを設定するため、個別のF E Tのバラツキに対応した最適な設定とすることができるという作用がある。

20

【0023】

【発明の実施の形態】

(第1の実施形態)

以下、本発明のモータ駆動回路異常判定手段を備えたモータ制御装置を電動パワーステアリング装置におけるモータ制御装置20として具体化した第1の実施形態を図1～図6を参照して説明する。

【0024】

図1は、電動パワーステアリング装置の概略を示す。ステアリングホイール1に連結したステアリングシャフト2には、トーションバー3が設けられている。このトーションバー3には、トルクセンサ4が装着されている。そして、ステアリングシャフト2が回転してトーションバー3に力が加わると、加わった力に応じてトーションバー3が捻れ、その捻れ、即ちステアリングホイール1にかかる操舵トルクをトルクセンサ4が検出している。

30

【0025】

ステアリングシャフト2には減速機5が固着されている。この減速機5には電動機としてのブラシレスDCモータ(以下、モータ6という)の回転軸に取着したギア7が噛合されている。このモータ6は、コアに永久磁石を用いた三同期式永久磁石モータとして構成されている。

【0026】

又、モータ6には、同モータ6の回転角を検出するためのエンコーダにより構成された回転角センサ30が組み付けられている(図3参照)。回転角センサ30は、モータ6の回転子の回転に応じて1/2ずつ位相の異なる2相パルス列信号と基準回転位置を表す零相パルス列信号を出力する。

40

【0027】

減速機5にはピニオンシャフト8が固着されている。ピニオンシャフト8の先端には、ピニオン9が固着されるとともに、このピニオン9はラック10と噛合している。ラック10の両端には、タイロッド12が固設されており、そのタイロッド12の先端部にはナックル13が回動可能に連結されている。このナックル13には、タイヤとしての前輪14が固着されている。又、ナックル13の一端は、クロスメンバ15に回動可能に連結されている。

50

【0028】

従って、モータ6が回転すると、その回転数は減速機5によって減少されてピニオンシャフト8に伝達され、ピニオン及びラック機構11を介してラック10に伝達される。そして、ラック10は、タイロッド12を介してナックル13に設けられた前輪14の向きを変更して車両の進行方向を変えることができる。

【0029】

前輪14には、車速センサ16が設けられている。この車速センサ16は、その時の車速を前輪14の回転数に相対する周期のパルス信号としてモータ制御装置20のCPU21にインタフェースを介して出力する。また、トルクセンサ4は、ステアリングホイール1の操舵トルクに応じた電圧をCPU21にインタフェースを介して出力している。モータ制御装置20は、車速センサ16、トルクセンサ4からの信号に基づいてモータ6に駆動信号を送って制御する。

10

【0030】

次に、モータ制御装置20の電気的構成を示す。モータ制御装置20は、CPU21、ROM22及びRAM23、U、V、W各相に駆動電流を供給するための電源、インバータ、スイッチ手段からなるモータ駆動装置24を備えている。このモータ制御装置20が本発明のモータ制御装置の一例に相当する。また、このCPU21が本発明のスイッチ制御手段に相当する。ROM22には、CPU21による演算処理を行わせるための制御プログラムや、演算に必要なデータ等が格納されている。また図示しない基本アシストマップもROM22に格納されている。基本アシストマップは、操舵トルク（回動トルク）に対応し、かつ車速に応じた基本アシスト電流を求めるためのものであり、操舵トルクに対する基本アシスト電流が記憶されている。RAM23は、CPU21が演算処理を行うときの演算処理結果、計測値、ターンオフデッドタイム、ターンオンデッドタイムから設定されるデッドタイムDT、デッドタイム最小値DTmin等を一時記憶する。なお、ROM22は、本実施形態ではEEPROMなどにより書き込み可能に構成された記憶手段により、電源を落としてもデッドタイムDT、デッドタイム最小値DTminが保持できるように構成されている。

20

【0031】

図2は、図1に示すモータ制御装置20を詳細に示す図である。以下、モータ制御装置20についてさらに詳細に説明する。モータ制御装置20は、演算を行うCPU21と、モータ6に電流を供給するモータ駆動装置24を主要部とする。

30

【0032】

モータ駆動装置24は、図2において、モータ制御装置20のCPU21、ROM22、RAM23を除く部分により構成される。モータ駆動装置24には図2に示すように、スイッチ手段であるパワーMOS FET (Metal Oxide Semiconductor Field Effect Transistor) により構成されるトランジスタインバータを備える。これらのFETには、寄生ダイオードが生成されている。そして、このダイオードは、巻線に並列に接続された逆起電力を吸収するフライホイールダイオードとして機能する。まずU相に対応するFET81U、FET82Uの直列回路と、V相に対応するFET81V、82Vの直列回路と、W相に対応するFET81W、FET82Wの直列回路とが並列に接続されている。

40

【0033】

各直列回路のFET81U、FET81V、FET81Wのドレイン側の印加点Pにおいて、車両に搭載されたDC12Vのバッテリーからなる電源Bの電圧が印加されている。また、各直列回路のFET82U、FET82V、FET82Wのソース側は、接続点Qで合流された接地点である接地GRDに接続されている。

【0034】

本実施形態において、U、V、W各相の電源側のFET81U、FET81V、FET81Wを「上段FET」という。また、接地GRD側のFET82U、FET82V、FET82Wを「下段FET」という。

【0035】

50

また、FET 81U, FET 82U間の接続点83Uがモータ6のU相巻線に接続され、FET 81V, FET 82V間の接続点83Vがモータ6のV相巻線に接続され、そしてFET 81W, FET 82W間の接続点83Wがモータ6のW相巻線に接続されている。

【0036】

また、下段FETのFET 82U、FET 82V、FET 82Wと接地GRDへの接続点Qとの間には、シャント抵抗RU、RV、RWがそれぞれ挿入されている。シャント抵抗RU、RV、RWに両端には、それぞれオペアンプAU、AV、AWの差動入力端子が接続されている。シャント抵抗RU、RV、RWの電源側はオペアンプAU、AV、AWの非反転入力端子に、シャント抵抗RU、RV、RWの接地側はオペアンプAU、AV、AWの反転入力端子にそれぞれ接続されている。シャント抵抗RU、RV、RWは、モータ駆動に影響を与えない極めて小さな抵抗値の抵抗である。そのため、シャント抵抗RU、RV、RWに電流が流れるとその両端に僅かに電位差が生じる。その電位差をオペアンプAU、AV、AWによってそれぞれ増幅し、これをA/Dコンバータ86U、86V、86Wによりデジタル化してシャント抵抗RU、RV、RWを通っている電流をCPU21でそれぞれ演算する。

10

【0037】

ここで、図5は、アンプ回路を詳細に示す図である。なお、アンプ回路は各相が共通の構成であるため、ここではU相を例に説明する。このアンプ回路は、差動入力型のオペアンプAUを用いて差動増幅回路として構成されている。各相に流れる電流は双方向に流れるため、アンプ回路は、抵抗R2を介して基準電圧V1として+2.5[V]が供給されている。U相の回路のシャント抵抗RUの電源側のV0から抵抗R1を介してオペアンプAUの非反転入力端子+に接続される。また、シャント抵抗RUの接地GRD側から抵抗R3を介してオペアンプの反転入力端子-に接続される。また反転入力端子-と出力端子には、負帰還抵抗R4を接続している。ここでは、R1=R3、R2=R4としている。従って、増幅率Gは、R4/R3により決定される。これらはいわゆるシャントアンメータとして構成され、これらが本発明の電流検出手段に相当する。

20

【0038】

なお、電流検出手段を構成する各相のシャント抵抗RU、RV、RWが配設される場所は、下段FETと接地GRDの間に限定されるものではなく、上段FETと電源Bなど適宜設計変更できる。さらに電流検出手段は、シャントアンメータにより構成されるものに限定されず、電流が直接又は間接に検出可能であれば他の構成によるものでもよい。

30

【0039】

CPU21は、上段ドライブ回路87を介して、上段FETであるFET 81U、FET 81V、FET 81Wのゲートに接続される。そして、PWM制御部62(図3参照)であるCPU21から所定のタイミングでそれぞれPWM制御信号UU、VU、WU(各相のPWM制御信号にはPWM波信号及びモータ6の回転方向を表す信号を含む)が入力される。

【0040】

同様に、CPU21は、下段ドライブ回路88を介して、下段FETであるFET 82U、FET 82V、FET 82Wのゲートに接続される。そして、CPU21からそれぞれPWM制御信号UU、VU、WU(各相のPWM制御信号にはPWM波信号及びモータ6の回転方向を表す信号を含む)が入力される。

40

【0041】

トランジスタインバータとして構成されたモータ駆動装置24は、PWM制御信号UU、VU、WUに対応した3相の励磁電流を発生して、3相の励磁電流路を介してモータ6にそれぞれ供給する。

【0042】

ここで図4は、CPU21からU、V、W各相の上段FET及び下段FETのスイッチングのための制御信号であるゲート信号のタイミングを示したタイミングチャートである。CPU21は、図4の上部に示すようなPWM周期となる三角波PWを発生させ、U相、

50

V相、W相に対応するスレッシュヨルドレベルに応じて、それぞれのスイッチングのタイミングを決定する。具体的には、三角波PWがそれぞれのスレッシュヨルドレベルに達すると、上段のFETから下段のFETに切り替えられる。また、スレッシュヨルドレベルを下回れば再び下段のFETから上段のFETに切り替えられる。

【0043】

なお、同相の上段FETと下段が同時にオンされた状態になると、モータ6を通過しないで、電源Bから、その相の上段FET、下段FET、接地GRDに直接抜ける回路が形成されていわゆる貫通電流が流れてしまう。この場合、抵抗の大きなモータ6の巻線を通していないため回路の抵抗値が低く、大電流が流れ、上段FET、下段FETを破壊してしまうことがある。そこで、下段FET82Wのオンのタイミングについては、遅延回路により遅延させデッドタイム t_d を設けて貫通電流を防止するようにしている。

10

【0044】

さらに、CPU21がゲート信号を送出していない場合においても、FETが故障して絶縁不良になっている場合には、貫通電流が生じることがある。この場合は、デッドタイムの設定の不良の場合と異なり、初期故障の場合は微弱な電流が流れる場合もある。この場合も他のFET等のさらなる故障を招いたり、著しい制御不良が生じるため速やかに発見して修理する必要が生じる。

【0045】

ここで、図4に示すタイミングチャートは、上段ドライブ回路87又は下段ドライブ回路88における制御オン/オフ信号(ゲート信号)についてのものであり、ドライブ回路88、各FETの作動については、ゲート信号からスイッチング遅延による遅れを生じている。ここで、ターンオフデッドタイム $t_{d_{off}}$ とは、一方のFETがゲート信号によりオフされ、このFETを流れる電流がオフされるまでの時間であり、デッドタイムの開始となる時間である。また、ターンオンデッドタイム $t_{d_{on}}$ とは、一方のFETがゲート信号によりオンされ、このFETを流れる電流がオンされるまでの時間であり、デッドタイムの終了となる時間である。いずれもゲート信号を契機に開始される。したがって、デッドタイム t_d は、理論的には、ターンオフデッドタイム $t_{d_{off}}$ とターンオンデッドタイム $t_{d_{on}}$ の合計時間となる。しかしながら、実際のデッドタイム t_d には、種々の変動が生じうるため、これらのタイムラグに加えてマージン分を含められて、ゲート信号のタイミングが決定される。そのため、図4に示すデッドタイム t_d については、制御オン/オフ信号に非ラップ期間を設けるだけでなく、所定の余裕を持った時間とする必要がある。

20

30

【0046】

このデッドタイム t_d の所定時間は、スイッチング遅延の状態などにより異なり、また変化する。具体的には、FET自体の特性、製品のバラツキ、温度変化、経年変化、ノイズの影響などにより異なる。そこで、従来は安全を見て、全ての相のFETに貫通電流が流れないように十分なターンオフデッドタイム $t_{d_{off}}$ とターンオンデッドタイム $t_{d_{on}}$ の設定により一律に十分な余裕を持った固定的な時間が設定されていた。このようにデッドタイム t_d は必要不可欠な時間であるが、必要以上に大きなマージンを取ると、電源利用率の低下を招く他、トルクリプルや異音の原因となるため、可能な限度で短縮することが好ましい。

40

【0047】

以下、図4に従って各FETへの制御信号の送出タイミングを説明する。図4の上部に示すように、初期状態であるタイミング t_0 では、三角波PWは、U、V、Wのスレッシュヨルドレベルのいずれにも達していないため、全ての上段FETがオンされ、下段FETがオフとなっている。このタイミングでは、図2において、電源Bから接地GRDへ閉じた回路は形成されない。この初期のタイミングでは、モータ巻線のインダクタンスによる逆起電力は生じない。なお、同じ三角波の谷の部分でもタイミング t_2 のときはモータ6が回転しているため、電源Bからモータ6に電力が供給されていないときでも、スイッチオフによりモータ6の巻線に発生する逆起電力により電流が流れる。

【0048】

50

このとき、例えば図示しないモータのU相の巻線から発生した電流は、図示しないモータ6内でV相とW相とに分岐する。そして、V相の接続点83Vを通った電流は上段のFET81Vから印加点Pに、W相の接続点83Wを通った電流は上段のFET81Vから印加点Pにそれぞれ流れる。そして印加点Pで合流してU相の上段のFET81Uから接続点83Uを経てモータ6のU相の巻線に環流する。

【0049】

t2のタイミングの場合には、上段FET81U、81V、81Wのみで電流が還流し、シャント抵抗RU、RV、RWのいずれにも電流は流れておらず、したがって、いずれのシャント抵抗RU、RV、RWの両端部にも電位差は生じてない。

【0050】

次に、t1から三角波PWがW相に対応するレベルになると、制御信号WHが停止してW相の上段FET81Wがオフとなる。次に、デッドタイムtdが経過すると制御信号WLが入力されてW相の下段FET82Wがオンされる。ここで、デッドタイムtdをさらに詳細に説明する。予め設定されたタイミングにより制御信号WHが停止されるとW相の上段FET81Wに起因するターンオフデッドタイムtd_{off}が経過後、回路に流れる電流が停止する。ここで、所定のマージンを挟み、W相の下段FET82Wに起因するターンオンデッドタイムtd_{on}から予め逆算されて設定されたタイミングでFET82Wに制御信号WLが入力される。このように、デッドタイムtdは、制御信号WHの送出タイミングで決定されるターンオフデッドタイムtd_{off}と、制御信号WLの送出タイミングで決定されるターンオンデッドタイムtd_{on}から設定される。これら制御信号WH、WLの送出タイミングは、CPU21が三角波PWを基準にROM22、RAM23に記憶されたデータにより決定される。

【0051】

W相の上段FET81Wに換えて、W相の下段FET82Wがオンされると、電源Bから印加された電圧により、オンされているU相の上段FET81UとV相の上段FET81Vに電流が流れるが、オフされているW相の上段FET81Wは回路が開いているため電流が流れない。接続点83U、83Vからそれぞれモータ6に流れ込んだ電流は、モータ6内で合流し、接続点83Wに出力されオンされた下段FET82Wからシャント抵抗RWを経て接地GRDに流れる。このため、オペアンプAWでは、シャント抵抗RWの両端の電位が入力され、その差を増幅してA/Dコンバータ86Wに出力する。A/Dコンバータ86Wでデジタル化された数値がCPU21に入力され、電流値が演算される。

【0052】

なお、A/Dコンバータ86Wでは、デッドタイムtdを監視するため、三角波PWがW相のレベルに達したタイミングtwで、制御信号WLのオフを検出しながら、エッジ検出回路84Wにより制御信号WHの立下りのエッジを検出する。このようにして制御信号WHの立下りのエッジを検出すると、A/Dトリガ発生回路85でA/Dトリガ信号及びA/Dチャンネル選択信号を発生させて、インタフェイスを介してCPU21に出力し、A/Dコンバータ86Wにより直ちにそのチャンネル(相)のサンプリングを開始する。

【0053】

同様に、三角波PWがV相のレベルに達するタイミングtvでは、V相の上段FET81Vがオフされる。デッドタイムtdの経過後U相の上段FET81Uのみがオンされており、下段ではV相、W相のFET82V、82Wがオンされた状態になる。そうすると、シャント抵抗RV、RWに電流が流れるため、V相、W相の電流を検出できる。

【0054】

また、三角波PWがU相のレベルに達するタイミングtuではU相の上段FET81Uがオフされる。デッドタイムtdの経過後、上段FETはすべてオフとなっており、U相、V相、W相の下段のすべてのFET82U、82V、82Wがオンされた状態になる。そうすると、タイミングtwから三角波PWの山のタイミングt1を含む区間では、例えば、図示しないU相の巻線から流れる電流は、モータ6内のV相、W相の巻線に分岐し接続点83V、83Wからそれぞれ下段FET82V、82Wを通り、シャント抵抗RV、R

10

20

30

40

50

Wを通る。そしてGRD側の接続点QでV相、W相の電流が合流してU相のシャント抵抗RU、下段FET82Uを経て接続点83UからU相の巻線に還流する。したがって、この場合は、シャント抵抗RU、RV、RWによりU相、V相、W相の電流を検出できる。また、この場合であるとシャント抵抗RUに流れる電流は、シャント抵抗RV、RWに流れる電流の和に等しい。

【0055】

つまり、三角波PWの山のタイミング t_1 では、全てのシャント抵抗RU、RV、RWに電流が流れ、一方、三角波PWの谷のタイミング t_2 では、全てのシャント抵抗RU、RV、RWに電流が流れない。

【0056】

さらに所定時間が経過して、三角波PWがU相に対応するレベルを下回ると、U相の下段FET82Uがオフとなる。そして、所定のデッドタイム t_d 経過後、U相の上段FET81Uがオンになる。次に、三角波PWがV相に対応するレベルを下回ると、V相の下段FET82Vがオフとなり、所定のデッドタイム t_d 経過後、V相の上段FET81Vがオンになる。そして、三角波PWがW相に対応するレベルを下回ると、W相の下段FET82Wがオフとなり、所定のデッドタイム t_d 経過後、W相の上段FET81Wがオンになる。このようにして三角波PWのPWM周期に応じて各FETへの制御信号の送出タイミングが制御される。

【0057】

図2に示す、エッジ検出回路84Uは制御信号ULがオフの時の制御信号UHの立下りのエッジを検出する。同様に、エッジ検出回路84Vは、制御信号VLがオフの時の制御信号VHの立下りのエッジを検出し、エッジ検出回路84Wは、制御信号WLがオフの時の制御信号WHの立下りのエッジを検出する。このようにしてそれぞれのエッジを検出すると、A/Dトリガ発生回路85でA/Dトリガ信号及びA/Dチャンネル選択信号を発生させて、インタフェイスを介してCPU21に入力する。

【0058】

図3は、CPU21内部において、プログラムで実行される機能を示す制御ブロック図である。以下、図3に沿って、電動パワーステアリング装置の機能を説明する。なお、この制御ブロック図で図示されている各部分は、独立したハードウェアを示すものではなく、CPU21で実行される機能を概念的に示すものである。

【0059】

モータ制御装置20のCPU21は、指令トルク T^* を計算するための基本アシスト力演算部51、戻り力演算部52及び加算部53を備える。基本アシスト力演算部51は、トルクセンサ4からの操舵トルク T 及び車速センサ16によって検出された車速 V を入力し、操舵トルク T の増加にしたがって増加するとともに車速 V の増加にしたがって減少するアシストトルクを計算する。

【0060】

戻り力演算部52は、車速 V と共にモータ6の回転子の電気角 θ （回転角に相当）及び角速度 ω を入力し、これらの入力値に基づいてステアリングシャフト2の基本位置への復帰力及びステアリングシャフト2の回転に対する抵抗力に対応した戻りトルクを計算する。加算部53は、アシストトルクと戻りトルクを加算することにより指令トルク T^* を計算し、指令電流設定部54に出力する。

【0061】

指令電流設定部54は、指令トルク T^* に基づいて、2相指令電流 I_d^* 、 I_q^* を計算する。指令電流 I_d^* 、 I_q^* は、モータ6の回転子上の永久磁石が作り出す回転磁束と同期した回転座標系において、永久磁石と同一方向のd軸及びこれに直交したq軸にそれぞれ対応する。これらの指令電流 I_d^* 、 I_q^* はそれぞれd軸及びq軸指令電流という。

【0062】

d軸指令電流 I_d^* 、q軸指令電流 I_q^* は減算器55、56に供給される。減算器55、56は、d軸指令電流 I_d^* 、q軸指令電流 I_q^* と、d軸及びq軸検出電流 I_d 、 I_q とのそ

10

20

30

40

50

それぞれの差分値 I_d , I_q を演算し、その結果をP I制御部(比例積分制御部)57, 58に供給する。

【0063】

P I制御部57, 58は、差分値 I_d , I_q に基づきd軸及びq軸検出電流 I_d , I_q がd軸指令電流 I_d^* , q軸指令電流 I_q^* に追従するようにd軸及びq軸指令電圧 V_d^* , V_q^* をそれぞれ計算する。

【0064】

d軸及びq軸指令電圧 V_d^* , V_q^* は、非干渉制御補正值演算部63及び減算器59, 60により、d軸及びq軸補正指令電圧 V_d^{**} , V_q^{**} に補正されて2相/3相座標変換部61に供給される。

10

【0065】

非干渉制御補正值演算部63は、d軸及びq軸検出電流 I_d , I_q 及びモータ6の回転子の角速度 ω に基づいて、d軸及びq軸指令電圧 V_d^* , V_q^* のための非干渉制御補正值 $-L_a \cdot I_q$, $-L_a \cdot (a + L_a \cdot I_d)$ を計算する。なお、インダクタンス L_a 、及び磁束 a は、予め決められた定数である。

【0066】

減算器59, 60は、d軸及びq軸指令電圧 V_d^* , V_q^* から前記非干渉制御補正值をそれぞれ減算することにより、d軸及びq軸補正指令電圧 V_d^{**} , V_q^{**} を算出して、2相/3相座標変換部61に出力する。2相/3相座標変換部61は、d軸及びq軸補正指令電圧 V_d^{**} , V_q^{**} を3相指令電圧 V_u^* , V_v^* , V_w^* に変換して、同変換した3相指令電圧 V_u^* , V_v^* , V_w^* をPWM制御部62に出力する。

20

【0067】

PWM制御部62は、この3相指令電圧 V_u^* , V_v^* , V_w^* に対応したPWM制御信号 U_U , V_U , W_U (PWM波信号及びモータ6の回転方向を表す信号を含む)に変換し、インバータ回路であるモータ駆動装置24に出力する。

【0068】

図2に示すように3相の下段FETと接地GRDの間に配設されたシャント抵抗 R_U , R_V , R_W の両端から検出した電位差を、オペアンプ A_U , A_V , A_W により増幅する。そして、A/Dコンバータ86U, 86V, 86WによりA/D変換して、CPU21で電流値を演算してその値を図3に示す3相/2相座標変換部73に電流 I_u , I_v , I_w を出力する。

30

【0069】

3相/2相座標変換部73は、これらの3相検出励磁電流 I_u , I_v , I_w を2相のd軸及びq軸検出電流 I_d , I_q に変換し、減算器55, 56、非干渉制御補正值演算部63に入力する。

【0070】

又、回転角センサ30からの2相パルス列信号及び零相パルス列信号は、所定のサンプリング周期で電気角変換部64に連続的に供給されている。電気角変換部64は、前記各パルス列信号に基づいてモータ6における回転子の固定子に対する電気角 θ を演算し、演算された電気角 θ を角速度変換部65に入力する。角速度変換部65は、電気角 θ を微分して回転子の固定子に対する角速度 ω を演算する。角速度 ω は、正により回転子の正方向の回転を表し、負により回転子の負方向の回転を表している。

40

【0071】

ここで、第1の実施形態のモータ駆動回路異常判定手段を説明する。なお、このモータ駆動回路異常判定の手順を実行するCPU21が本発明のモータ駆動回路異常判定手段に相当する。

【0072】

ここで、図6は、モータ駆動回路異常判定の手順を示すフローチャートである。ここでは説明の便宜上、U相について説明し、他の相の手順は同様であるため省略する。まず、上述した三角波PW(図4参照)の谷のタイミング t_0 , t_2 などでシャント抵抗 R_U の両

50

端の電位差をオペアンプAUで増幅してA/Dコンバータ86U(図2参照)によりA/D変換してCPU21で演算する。その結果である電流値I_dを読み込み、RAM23の所定領域に記憶する(S1)。ここで、読み込んだ電流値I_dの絶対値を、異常電流が流れているか否かを判断するため予めROM22に記憶されている所定の閾値であるI_oと比較する(S2)。

【0073】

ここでは、三角波PW(図4参照)の谷のタイミングt₀、t₂などでシャント抵抗RUに流れる電流値I_dを読み込んでいるため、下段FETのすべてがオフの状態、シャント抵抗RUには、電源Bからの電流が流れていないはずである。但し、下段FETが貫通電流などにより損傷を受けて絶縁不良を生じ、タイミング不良により生じる貫通電流に比較して微弱な貫通電流が流れる場合がある。さらに、ダイオードなどに電流が還流することがある。そこで、異常な電流か、正常な電流かを判断する閾値として、予め設定された電流値I_oと比較して判断する。なお、電流値I_dは、回路を両方向に流れるため、この絶対値|I_d|を電流値I_oと比較して、貫通電流か否かを判断する。なお、この所定のタイミングで異常電流を検出するCPU21が、本発明の異常電流検出手段に相当する。

10

【0074】

ここでもし、|I_d| < I_oであれば、U相の回路には異常電流が流れていないものと判断し(S2; YES)、FET81U、FET82UのMOSFETは正常として処理をし(S3)、処理を終了する(終了)。

【0075】

次に、検出された電流値I_dが、|I_d| < I_oではない場合(S2; NO)、モータ駆動回路に異常が認められる。そこで、この異常が、微弱な貫通電流によるものか、大電流が流れるものかを判断するため、電流値I_dの絶対値を、予め設定され、ROM22に記憶されていた電流値I_eと比較をする(S4)。ここで、もし、|I_d| < I_eの場合には(S4; YES)、貫通電流が微弱であると判断され、図示しない報知手段である表示手段に微弱貫通電流有りの警告を表示して(S5)、処理を終了する(終了)。

20

【0076】

一方、|I_d| < I_eではない場合には(S4; NO)、貫通電流が微弱ではないと判断され、FETのショート故障が疑われるため、報知手段である図示しない表示手段にFETショート故障の警告を表示して(S6)、処理を終了する。

30

【0077】

第1の実施形態のモータ制御装置20によれば、上記のような構成及び作用を備えるため、以下のような特徴を得ることができる。

- ・ モータ駆動回路異常判定手段であるCPU21により、異常電流が流れた場合に表示装置に警告が表示されるため、直ちに使用の中止、故障の修理等の対処が可能になるという効果がある。

【0078】

- ・ 特に、検出されにくい微弱な貫通電流も直ちに検出できるため、他のFETが破壊する前に対処することができるという効果がある。

- ・ さらに、異常が発見された場合に、パワーステアリング装置におけるステアリングのアシストを中止することもできるという効果がある。

40

【0079】

なお、本実施形態は以下のように構成してもよい。

以上のように異常が検出された場合に、表示手段による表示に替えて、若しくは加えてパワーステアリング装置におけるステアリングのアシストを中止するように構成してもよい。

【0080】

或いは、EEPROMなどからなる記録手段に時間と電流値などを記録しておき、後日のメンテナンスにより読み出して分析するようにしてもよい。

上記実施形態では、電流検出手段を構成するシャント抵抗RU、RV、RWは、下段

50

F E Tの下流側に流れる電流を検出するように配置される。また、C P U 2 1は、U , V , W相のすべての上段F E Tのゲート信号がオフしており、かつすべての下段のF E Tのゲート信号がオンしているタイミングを検出して、そのタイミングで前記電流検出手段で各相毎の貫通電流を検出している。しかしながら本発明の所定のタイミングはこのようなタイミングに限定されるものではない。例えば、U , V , W相のいずれかのゲート信号がオンからオフする立ち下がりエッジをエッジ検出回路8 4 U , 8 4 V , 8 4 Wで検出して、当該タイミングを基準にしてC P U 2 1により各相毎の貫通電流を独立して検出するようにしてもよい。このように構成することで、各相のデッドタイムを個別に直接監視でき、より正確な判定が可能になるという効果がある。

【0081】

電流の検出はシャント抵抗R U , R V , R W以外の、例えば、ホール素子などを用いて検出するものなどその方法は限定されるものではない。また、その位置も各相の電流が直接又は間接に検出できれば限定されるものではない。また、2つのセンサから3相それぞれの電流を求めるような構成のものでもよい。

【0082】

さらに、各相毎に電流検出手段を配置しなくても、全体で1つで構成することもできる。このような構成でも異常電流は発見できるからである。

(第2の実施形態)

次に、本発明の第2の実施形態を説明する。第2の実施形態では、第1の実施形態のモータ制御装置20の構成に加え、所定タイミングは各相のデッドタイムを直接監視するタイミングである。また、異常電流検出手段により検出する異常電流は、貫通電流であり、この貫通電流の電流値に基づきデッドタイム設定値をアクティブに修正する修正手段をさらに備えたことを特徴とするものである。詳しくは、修正手段であるC P U 2 1は、予め設定されたデッドタイムD Tを、異常電流検出手段により検出された電流値I dが、所定の貫通電流を示す電流値I oより大きな値を検出しない場合は T 0時間短縮し、貫通電流を検出した場合は T 1の時間延長することを特徴とするものである。なお、ハード構成及び基本的な作用は共通するため、この修正手段における手順のみを説明し、他の説明は省略する。

【0083】

ここで、図7は、第2の実施形態の修正手段であるC P U 2 1によるデッドタイムアクティブ制御の手順を示すフローチャートである。以下、このフローチャートに従って、デッドタイムアクティブ制御の手順を説明する。なお、この手順は、各相毎に行われるため、U相について説明をし、他の相については説明を省略する。まず、C P U 2 1では、エッジ検出回路8 4 Uによって、上段ドライブ回路8 7からの制御信号U Hの立下りエッジの検出を待つ(S 1 1)。ここで、図4に示すt uのタイミングで制御信号U Hの立下りエッジの検出をしたときは(S 1 1 ; Y E S)、デッドタイムt dの開始であるので、そのときのU相の回路を流れる電流値I dのA / D値を読み込む(S 1 2)。この読み込みは、シャント抵抗R U、オペアンプA U、A / Dコンバータ8 6 Uにより行い、R A M 2 3の所定領域に記憶する。

【0084】

次に、R O M 2 2から予め設定された基準電圧である電流値I oを呼び出し、R A M 2 3に記憶された電流値I dの絶対値と比較する(S 1 3)。ここで、 $|I d| < I o$ である場合は(S 1 3 ; Y E S)、貫通電流が流れていないため、 $D T = D T - T 0$ としてデッドタイムD Tを所定時間 T 0だけ短縮して設定し(S 1 4)、次のエッジ検出を待つ(S 1 1)。このD Tの設定変更により、このD Tに基づいて決定される図4のデッドタイムt dが短縮される。なお、デッドタイムt dの短縮は、制御信号のオフのタイミングを遅らせる方法と、制御信号のオンのタイミングを早める方法があり、本実施形態では、それぞれを独立して制御することが可能となっている。

【0085】

一方、 $|I d| < I o$ でない場合は(S 1 3 ; N O)、貫通電流が流れているため、D T

10

20

30

40

50

= $DT + T1$ としてデッドタイム DT を所定時間 $T1$ だけ延長して設定し (S15) 次のエッジ検出を待つ (S11)。なお、デッドタイム t_d の延長は、制御信号のオフのタイミングを早める方法と、制御信号のオンのタイミングを遅らせる方法があり、本実施形態では、それぞれを独立して制御することが可能となっている。この設定により、図4のデッドタイム t_d が延長される。なお、この $T1$ は、制御を損なわない程度に $T0$ より十分大きい数値であると、貫通電流の回数が減少するため好ましい。

【0086】

以上の手順を繰り返すことで、デッドタイム DT は最短化されるという効果がある。なお、この手順は以下のようにしてもよい。

例えば、この処理全体をメインルーチンの途中でカウンターを挿入して所定回数カウントする毎に行うようにして、所定時間ごとに行われるようにしてもよい。このようにすることで、デッドタイム設定値が短時間で変動し、貫通電流が頻繁に流れることを抑制することができる。

【0087】

特に、S13で貫通電流を検出したNOの場合には、S14のデッドタイム短縮の手順を所定時間実行しないようなフラグをたてて、貫通電流を検出して十分な時間が経過してからS14の手順を行わせるように構成することも好ましい。このようにすることでも貫通電流が流れる回数を抑制することができる。

【0088】

(第3の実施形態)

第3の実施形態では、第2の実施形態と比較して、修正手段であるCPU21は、所定のデッドタイム設定値で貫通電流を検出した場合は、その貫通電流を検出したデッドタイム設定値より短縮しないことを特徴とする。第2の実施形態では、貫通電流が繰り返し流れるため、耐圧性のよいFETであれば耐えうるが、耐圧性が低い場合はFETの破壊を生じる。そのため、一旦貫通電流が流れた場合には、そのデッドタイム DT より短いデッドタイムには設定しないように処理をしてFETの保護を高めるものである。なお、ハード構成及び基本的な作用は第1、第2の実施形態と共通するため、この修正手段の手順のみを説明し、他の説明は省略する。

【0089】

ここで、図8は、第3の実施形態の修正手段であるCPU21によるデッドタイムアクティブ制御の手順を示すフローチャートである。以下、このフローチャートに従って、デッドタイムアクティブ制御の手順を説明する。なお、この手順は、各相毎に行われるため、U相について説明をし、他の相については説明を省略する。まず、CPU21では、エッジ検出回路84Uによって、上段ドライブ回路87からの制御信号UHの立下りエッジの検出するのを待つ (S21)。ここで、図4に示す t_u のタイミングで制御信号UHの立下りエッジの検出をしたときは (S21; YES)、デッドタイム t_d の開始であるので、そのときのU相の回路を流れる電流値 I_d のA/D値を読み込む (S22)。この読み込みは、シャント抵抗RU、オペアンプAU、A/Dコンバータ86Uにより行い、RAM23の所定領域に記憶する。

【0090】

次に、ROM22から予め設定された基準電圧である電流値 I_o を呼び出し、RAM23に記憶された電流値 I_d の絶対値と比較する (S23)。

ここで、 $|I_d| < I_o$ である場合は (S23; YES)、貫通電流が流れていないため、予め設定されているデッドタイム最小値 DT_{min} と現在設定されているデッドタイム DT とを比較して、デッドタイム DT が短縮可能か否か判断する (S24)。ここで、仮に、デッドタイム最小値 DT_{min} の初期値が $DT_{min} = 200ns$ であり、現在のデッドタイム $DT = 100ns$ であるとする。そうすれば、 $DT < DT_{min}$ であるので (S24; YES)、 DT_{min} を更新する (S25)。

【0091】

ここでは、 $DT_{min} = DT$ と代入するため、 DT_{min} が現在のデッドタイム $DT = 1$

10

20

30

40

50

00 nsとなり、 $DT_{min} = 100\text{ ns}$ に更新される。この場合、さらに貫通電流が流れるデッドタイムDTは、現在の値より小さいため、所定時間、例えば、10 nsデッドタイムを短くするため、 $DT = DT - T_0$ として、 $DT = 90\text{ ns}$ と短縮設定する(S26)。そして、同様にS21からの処理を繰り返す(RETURN)。

【0092】

この場合、貫通電流がなければ(S23; YES)、S24では、 $DT = 90\text{ ns}$ であり、 $DT_{min} = 100$ となるので、デッドタイムDTは短縮可能であるので(S24; YES)、 $DT_{min} = 90\text{ ns}$ に更新される(S25)。そして、 $DT = 80\text{ ns}$ に短縮設定される。

【0093】

ここで、実際のデッドタイムの最短の値を55 nsとすると、S21~S26で同様の手順が繰り返されてDTが短縮されると、 $DT = 50\text{ ns}$ に設定された時に貫通電流が流れることになる。この状態では、 $DT = 50\text{ ns}$ 、 $DT_{min} = 60\text{ ns}$ となっている。ここで貫通電流が流れたため(S23; NO)、デッドタイムDTは、 $DT = DT + T_1$ と延長される(S27)。ここで所定時間を、例えば $T_1 = 10\text{ ns}$ とすると、 $DT = 60\text{ ns}$ となる。なお、再び貫通電流を流さないためには、 $T_0 = T_1$ である必要がある。ここで、 $DT = 60\text{ ns}$ に設定されると、他の条件が変化しなければ、貫通電流は流れない(S23; YES)。ここで、 $DT = 60\text{ ns}$ であり、 $DT_{min} = 60\text{ ns}$ であるので、 $DT < DT_{min}$ となる。前述のように $T_0 = T_1$ であるので、一旦貫通電流が流れた場合は(S23; NO)、必ずS24はNOとなる。したがって、一旦貫通電流が流れた場合は、デッドタイムDTは再びS26の手順で短縮されることはない。

【0094】

ここで、経年変化や温度変化等の条件が変化して、仮に実際に必要なデッドタイムが65 nsに変化した場合を考える。現在の設定値である $DT = 60\text{ ns}$ の状態では、貫通電流が再び流れ(S23; NO)、デッドタイムは $DT = 70\text{ ns}$ に延長設定される(S27)。この場合は、 $DT_{min} = 60\text{ ns}$ の設定は変更されることはないため、S24では、 $DT < DT_{min}$ を満たさず(S24; NO)、デッドタイムDTは、減少することがない。

【0095】

以上説明したように、第3の実施形態では、この制御を開始して一回貫通電流が流れると、条件が変化しない限り、貫通電流は二度と流ることがない。またそのときのDTは一定の値を示す。また、条件が変化して再び貫通電流が流れた場合でも、その後は直ちに貫通電流の流れないデッドタイムに再設定され、条件が変わらない限り再び貫通電流が流れることはない。

【0096】

第3の実施形態では、デッドタイムの最小化をしつつ、貫通電流の流れるリスクを最小化し、FETを最も効果的に保護することができるという効果がある。そのため、比較的耐圧性の低いFETであっても破壊することが少ない。

【0097】

なお、上記第1~第3の実施形態では、以下のように変更してもよい。

例えば、上記実施形態においてデッドタイム設定値は、各相毎に設定、制御しても、あるいは3相をまとめて設定、制御してもよい。

【0098】

なお、実施形態は上段FETと下段FETを備えたモータ制御装置20を例に説明したが、モータ制御装置の回路構成はこれに限定されるものではない。また、モータ自体も実施形態に限定されず同様の課題を有するものにも適用できる。

【0099】

スイッチ手段として使用するFETは、パワーMOSFETに限定されるものではなく、本発明の適用可能なFETであれば使用できる。

その他、特許請求の範囲を逸脱しない範囲で、当業者により適宜変更し若しくは改良

10

20

30

40

50

して実施できることは言うまでもない。

【0100】

なお、上記実施形態から以下の発明が抽出できる。

・報知手段を備えたことを特徴とする請求項1乃至請求項5に記載のモータ制御装置。報知手段には、例えばLED、ブザー等が使用できる。この、構成によるモータ制御装置では、異常を早期に発見、認識することができるという効果がある。

【0101】

【発明の効果】

以上、詳述したように、本発明のモータ制御装置では温度変化や経年変化などの動的な変化により差を生じて、デッドタイム時の貫通電流の発生を早期に発見することができるという効果がある。また、デッドタイムを極力小さくするようにアクティブにデッドタイム値を設定し、モータの効率と制御性の向上と異音低減を図ることができるという効果がある。

10

【図面の簡単な説明】

【図1】 電動パワーステアリング装置の概略を示す図。

【図2】 図1に示すモータ制御装置20を詳細に示す図。

【図3】 CPU21内部において、プログラムで実行される機能を示す制御ブロック図。

【図4】 CPU21からU、V、W各相の上段FET及び下段FETのスイッチングのタイミングを示したタイミングチャート。

20

【図5】 アンプ回路を詳細に示す図。

【図6】 CPU21によるモータ駆動回路異常判定の手順を示すフローチャート。

【図7】 第2の実施形態の修正手段である、CPU21によるデッドタイムアクティブ制御の手順を示すフローチャート。

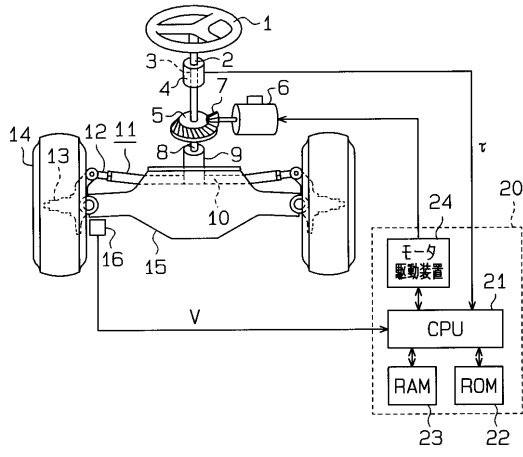
【図8】 第3の実施形態の修正手段である、CPU21によるデッドタイムアクティブ制御の手順を示すフローチャート。

【符号の説明】

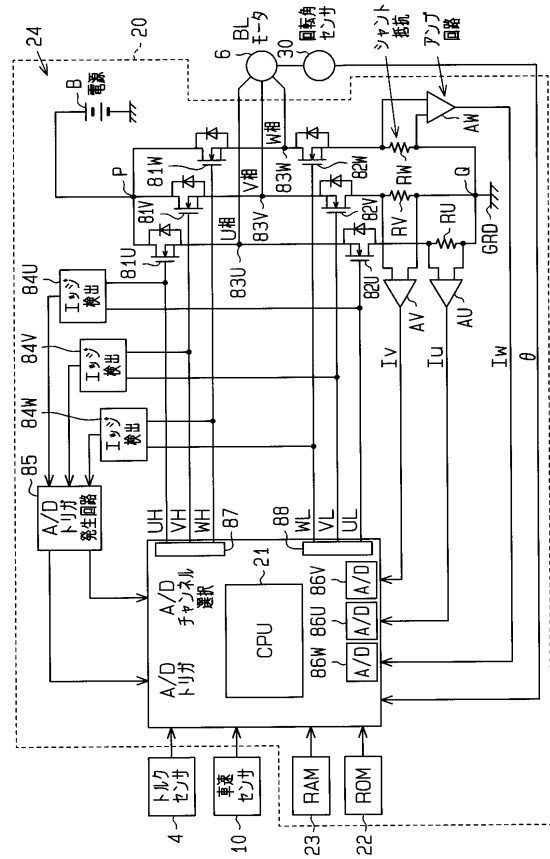
B...電源、GRD...接地、P...印加点、Q, 83U, 83V, 83W...接続点、AU, AV, AW...オペアンプ、RU, RV, RW...シャント抵抗、t1, t2, tu, tv, tw...タイミング、td...デッドタイム、DT...デッドタイム、DTmin...最小デッドタイム設定値、Id, Ie, Io...電流値、Iu, Iv, Iw...電流、6...モータ、20...モータ制御装置、CPU...21, 24...モータ駆動回路としてのモータ駆動装置、81U, 81V, 81W...スイッチ手段としての上段のFET、82U, 82V, 82W...スイッチ手段としての下段のFET

30

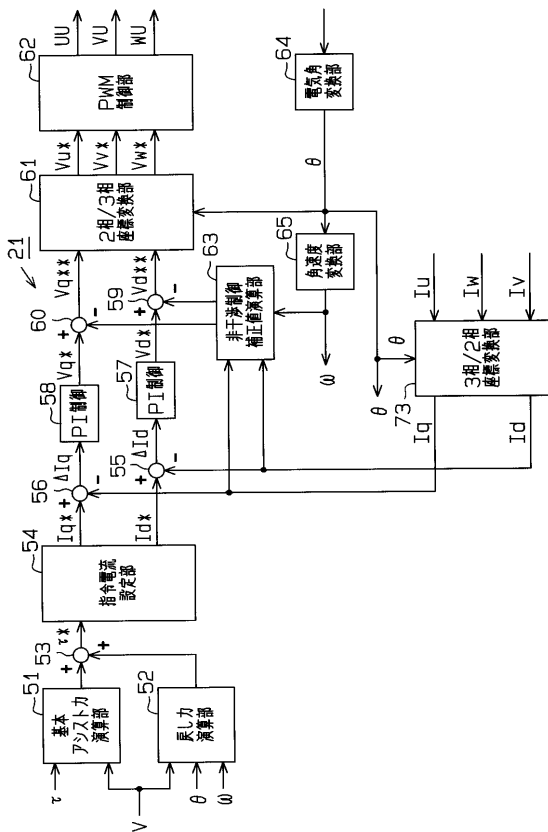
【 図 1 】



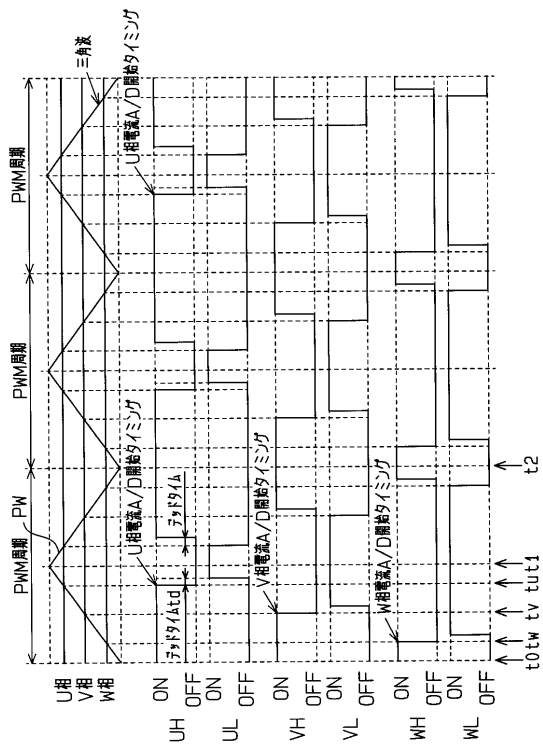
【 図 2 】



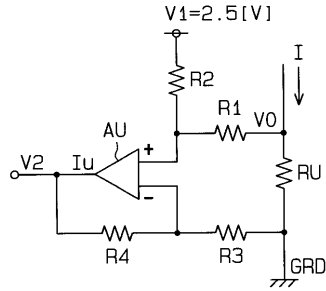
【 図 3 】



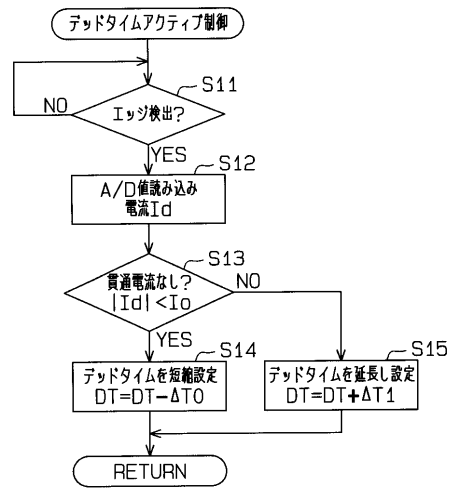
【 図 4 】



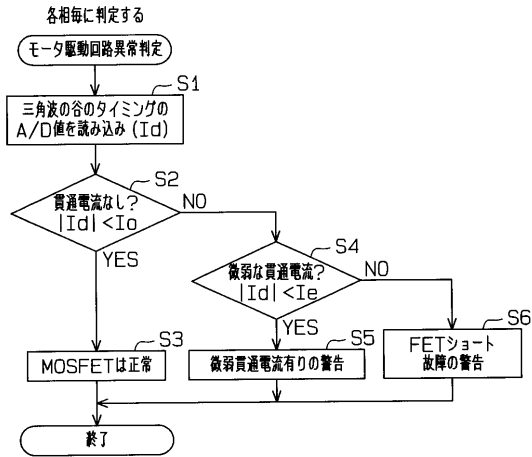
【 図 5 】



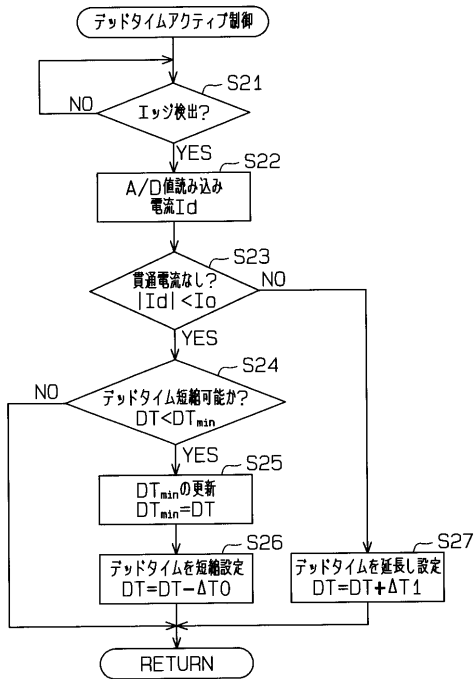
【 図 7 】



【 図 6 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開昭63-099778(JP,A)
特開平04-058782(JP,A)
特開平03-212168(JP,A)
特開平10-337046(JP,A)
特開2003-284352(JP,A)
特開2001-112283(JP,A)
特開2002-204581(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02P 6/16
H02M 7/537