

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3814381号
(P3814381)

(45) 発行日 平成18年8月30日(2006.8.30)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.	F I
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 4 1 A
G 1 1 C 11/417 (2006.01)	G 1 1 C 11/34 3 0 5
G 1 1 C 11/409 (2006.01)	G 1 1 C 11/34 3 5 4 Q

請求項の数 2 (全 8 頁)

<p>(21) 出願番号 特願平9-247282 (22) 出願日 平成9年9月11日(1997.9.11) (65) 公開番号 特開平10-125072 (43) 公開日 平成10年5月15日(1998.5.15) 審査請求日 平成14年7月2日(2002.7.2) (31) 優先権主張番号 1996P-44895 (32) 優先日 平成8年10月9日(1996.10.9) (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国443-742京畿道水原市靈通 区梅灘洞416 (74) 代理人 100086368 弁理士 萩原 誠 (72) 発明者 李 鏞 哲 大韓民国京畿道水原市勤善区細柳1洞22 2-39番地 審査官 丹治 彰</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

入力される第1クロック信号の周期に関係なく前記第1クロック信号を所定の時間遅延させた該遅延時間により第2状態の期間が一定に設定された第2クロック信号を発生させるクロック信号発生手段と、プリチャージ信号に応じてデータ入出力ラインをプリチャージするプリチャージ手段と、書込み時に、書込み信号と前記プリチャージ信号の第1状態で前記第2クロック信号の第1状態毎に入力データ信号を前記データ入出力ラインへ伝送する書込み手段と、前記データ入出力ラインに伝送されたデータをセルへ伝送する入力手段とを備えることを特徴とする半導体メモリ装置。

【請求項2】

請求項1記載の半導体メモリ装置において、前記クロック信号発生手段は、複数個のインバータが直列接続され、前記第1クロック信号を遅延させる第1インバータ部と、前記第1クロック信号が第1入力に供給される第1NORゲートと、前記第1NORゲートの出力信号と前記第1インバータ部の出力信号の否定論理和演算をし、出力が前記第1NORゲートの第2入力に供給される第2NORゲートと、前記第2NORゲートの出力信号を反転させて第2クロック信号を発生させる第2インバータ部とを備えることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリ装置に係り、特に半導体メモリ装置のデータ入出力制御回路に関する。

【0002】

【従来の技術】

半導体メモリ装置は、素子の外部から入力されたデータを素子内のセルへ送る書込み動作と、セル内のデータを素子の外部へ出力する読取り動作を繰り返し行うが、素子の面積を減らすために書込み動作経路と読取り動作経路を共有する傾向がある。読取りと書込みを共有する経路を制御する方法は多様である。

【0003】

一方、益々速いメモリ装置が求められており、且つ素子が100MHz以上の高周波数で動作しなければならないため、データ入出力ラインを数nsの間連続的に動作させるようになった。しかし、このように数nsの間データ入出力ラインを動作させると、データ入出力ラインをプリチャージさせる動作の数ns間の繰り返しが難しさが発生する。そこで、読取り動作時にデータ入出力ラインを電源電圧と接地電圧に完全に变化させた従来の方法とは異なり、小さい変化(即ち、“ハイ”レベルと“ロー”レベルとの差が数mV)ですむ電流センス増幅器を用いることになった。

10

【0004】

また、データ入出力ラインは上述のように書込みと読取り動作時の両方で動作する共有ラインであって、書込みと読取り動作を行わないとき、あるいは連続的な書込み動作中、及び連続的な読取り動作中、データが読取り/書込みされない時間に、データのカップリング或いはノイズなどによる誤りが発生する可能性があるため、これを排除するためにデータ入出力ラインにラッチ回路を設ける傾向があった。

20

【0005】

図7は従来の半導体メモリ装置のブロック図であって、セル10、入出力ドライバ12、読取りドライバ14、PWT発生回路16、書込みドライバ18、データ出力ドライバ20、プリチャージトランジスタ22、及びラッチ回路24から構成されている。

図8は図7のPWT発生回路16の具体的回路図であり、6個の直列接続されたインバータ40、42、44、46、48、50から構成されている。

【0006】

また、図9はこのような従来の半導体メモリ装置の動作タイミング図である。この図9を用いて従来の半導体メモリ装置の動作を説明する。

30

図8に具体例を示したPWT発生回路16は、図9(a)に示す信号PCLKを遅延させて図9(e)に示す信号PWTを発生させ、この信号PWTを書込みドライバ18へ出力する。プリチャージトランジスタ22は図9(c)に示すプリチャージ信号PRECHに応じてデータ入出力ラインDIOをプリチャージする。書込みドライバ18は図9(b)に示す書込み信号PWRに応じてイネーブルされ、信号PWTに応じて図9(d)に示す入力データ信号DINを図9(f)に示すようにデータ入出力ラインDIOへ出力する。

【0007】

入出力ドライバ12はデータ入出力ラインDIOを通じて伝送されるデータをセル10へ出力する。読取りドライバ14はセル10に蓄えられたデータを読み取ってデータ入出力ラインDIOへ出力する。ラッチ回路24は書込みと読取り動作をしない時、あるいは連続的な書込み動作途中、及び連続的な読取り動作途中等にデータをラッチする。データ出力ドライバ20はデータ入出力ラインDIOを通して出力されるデータを外部に出力する。

40

【0008】

したがって、従来の半導体メモリ装置のデータ書込み経路は、PWT発生回路16 書込みドライバ18 入出力ドライバ12 セル10であり、読取り経路はセル10 読取りドライバ14 データ出力ドライバ20となる。また、書込み時には、書込み信号PWRとプリチャージ信号PRECHが“ハイ”レベルの状態、信号PWTが“ハイ”レベルのときに、入力データ信号DINが書込みドライバ18を通してデータ入出力ラインDIO

50

0へ伝達される。

【0009】

【発明が解決しようとする課題】

ところで、上記のような従来の半導体メモリ装置において、電流センス増幅器を使用すると、読取り動作時のデータ入出力ラインの電圧変化が小さいため、データ入出力ラインにラッチ回路24を置くことができない。すると、読取り動作時には電流センス増幅器を使用するために、データ入出力ラインにラッチ回路が無くても構わないが、完全な電圧変化となる書込み動作時には、有効な書込みを行う以外の時間に生じるフローティング区間が問題となる。特に、連続的な書込みが行われるとき、及び連続的に書き込まれる時間間隔が変わる際、従来では有効データを書き込む時間が一定で、フローティングする区間が変

10

【0010】

本発明はかかる従来の技術の問題点を解決するために創出されたもので、その目的はデータ入出力ラインがフローティングされる時間を常に一定で最少化することにより、データ入出力ラインのフローティングを防ぐためのラッチ回路を使用せずにデータ入出力ラインでの誤動作を防止することができる半導体メモリ装置を提供することにある。

【0011】

【課題を解決するための手段】

上記の課題を解決し、上記の目的を達成するために、本発明は、入力される第1クロック信号の周期に関係なく第2状態の期間が一定した第2クロック信号を発生させるクロック信号発生手段と、プリチャージ信号に応じてデータ入出力ラインをプリチャージするプリチャージ手段と、書込み時に、書込み信号と前記プリチャージ信号の第1状態で前記第2クロック信号の第1状態毎に入力データ信号を前記データ入出力ラインへ伝送する書込み手段と、前記データ入出力ラインに伝送されたデータをセルへ伝送する入力手段とを備えることを特徴とする半導体メモリ装置とする。

20

【0012】

ここで、前記クロック信号発生手段は、複数個のインバータが直列接続され、前記第1クロック信号を遅延させる第1インバータ部と、前記第1クロック信号が第1入力に供給される第1NORゲートと、この第1NORゲートの出力信号と前記第1インバータ部の出力信号の否定論理和演算をし、出力が前記第1NORゲートの第2入力に供給される第2NORゲートと、この第2NORゲートの出力信号を反転させて第2クロック信号を発生させる第2インバータ部とからなるものとすることができる。

30

【0013】

【発明の実施の形態】

次に、本発明の半導体メモリ装置の実施の形態を添付図面を参照して詳細に説明する。なお、以下の説明において、図7の従来と同一構成要素には同一の符号を付すこととする。図1は本発明の半導体メモリ装置の実施の形態を示すブロック図である。この半導体メモリ装置は、データを蓄えるセル10、データ入出力ラインDIOを通じて伝送されるデータをセル10へ出力する入出力ドライバ(入力手段)12及びセル10に蓄えられたデータを読取ってデータ入出力ラインDIOへ出力する読取りドライバ14を有している。

40

【0014】

更に、この半導体メモリ装置は、書込み信号PWRに応じてイネーブルされ、かつ、入力データ信号DINをデータ入出力ラインDIOへ出力する書込みドライバ(書込み手段)18、データ入出力ラインDIOを通じて出力されるデータDOを外部に出力するデータ出力ドライバ20、プリチャージ信号PRECHに対応してデータ入出力ラインDIOをプリチャージするプリチャージ手段としてのプリチャージトランジスタ22及び、入力される信号CLK(第1クロック信号)から第2クロック信号としての信号PWTを発生させるPWT発生回路(クロック信号発生手段)30を備えており、信号PWTは書込みドライバ18に供給される。

【0015】

50

図2は図1のPWT発生回路30の詳細回路図である。このPWT発生回路30は、信号PCLKを遅延させる第1インバータ部としての直列接続されたインバータ60, 62, 64, 66及び、信号PCLKが第1入力に供給されるNORゲート68を有している。

【0016】

更に、このPWT発生回路30は、NORゲート68の出力信号と第1インバータ部の出力信号の否定論理和演算を行い、出力がNORゲート68の第2入力に供給されるNORゲート70及び、このNORゲート70の出力信号を反転させて信号PWTを出力する第2インバータ部としてのインバータ72を備える。

【0017】

図3は図1の半導体メモリ装置の動作を示す波形図である。この波形図を参照して図1の半導体メモリ装置の動作を説明すると、PWT発生回路30は、図3(a)に示す信号PCLKを入力として図3(e)に示す信号PWTを発生させる。プリチャージトランジスタ22は図3(c)に示すプリチャージ信号PRECHに応じて図3(f)に示すようにデータ入出力ラインDIOをプリチャージする。

10

【0018】

書込みドライバ18は、図3(b)に示す書込み信号PWRに応じてイネーブルされ、かつ、信号PWTに応じて図3(d)に示す入力データ信号DINを図3(f)に示すようにデータ入出力ラインDIOへ出力する。入出力ドライバ12はデータ入出力ラインDIOを通じて伝送されるデータをセル10へ出力する。読取りドライバ14はセル10に蓄えられたデータを、データ入出力ラインDIOへ出力する。データ出力ドライバ20はデータ入出力ラインDIOを通じて伝送されるデータを外部へ出力する。

20

【0019】

したがって、この半導体メモリ装置の書込み経路は、PWT発生回路30 書込みドライバ18 入出力ドライバ12 セル10であり、読取り経路は、セル10 読取りドライバ14 データ出力ドライバ20となる。また、書込み時には、書込み信号PWRとプリチャージ信号PRECHが“ハイ”レベルの状態、信号PWTが“ハイ”レベルのときに、入力データ信号DINがデータ入出力ラインDIOへ送出される。

【0020】

さて、このような半導体メモリ装置において、図2に詳細回路を示したPWT発生回路30は、信号PWTの初期値が“ロー”レベルであるとき、信号PCLKが“ハイ”レベルになると、信号PWTが“ハイ”レベルになり、次の信号PCLKの“ハイ”レベルにより、信号PWTは“ハイ”レベルから“ロー”レベルに遷移する。そして、信号PWTが“ロー”レベルになると同時に、信号PCLKの“ハイ”レベルによって信号PWTは再び“ハイ”レベルになる。

30

【0021】

図4ないし図6は、図7の従来技術のPWT発生回路16と、図2の本発明のPWT発生回路30が出力する信号PWTを比較するための波形図であり、信号PCLKの周期を変えて図4、図5、図6に示してある。この図4ないし図6から明らかなように、従来技術での信号PWTは単に信号PCLKを遅延させた信号であるが、本発明の信号PWTは信号PCLKの周期が変化しても信号PWTの“ロー”レベル区間が一定であり、“ハイ”レベル区間のみが変化する波形を有する。つまり、信号PCLKの周期が変化する場合に、従来技術では信号PWTの“ハイ”レベル区間が一定であり、本発明では信号PWTの“ロー”レベル区間が一定である。

40

【0022】

そして、本発明の半導体メモリ装置は、信号PWTの“ロー”レベル区間が信号PCLKの周期に関係なく一定なので、データ入出力ラインDIOのフローティング区間を常に一定で最少にすることができ、その結果、データ入出力ラインのフローティングを防止するためのラッチ回路を使用せずにデータ入出力ラインでの誤動作を防止することができる。

【0023】

【発明の効果】

50

以上詳細に説明したように、本発明の半導体メモリ装置によれば、データ入出力ラインがフローティングされる時間を常に一定で最少化できるので、データ入出力ラインのフローティングを防ぐためのラッチ回路を使用せずにデータ入出力ラインでの誤動作を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体メモリ装置の実施の形態を示すブロック図。

【図2】図1のPWT発生回路の詳細回路図。

【図3】図1の装置の動作波形図。

【図4】従来のPWT発生回路が発生する信号PWTと本発明のPWT発生回路が発生する信号PWTの波形図。

10

【図5】従来のPWT発生回路が発生する信号PWTと本発明のPWT発生回路が発生する信号PWTの波形図。

【図6】従来のPWT発生回路が発生する信号PWTと本発明のPWT発生回路が発生する信号PWTの波形図。

【図7】従来の半導体メモリ装置のブロック図。

【図8】図7のPWT発生回路の詳細回路図。

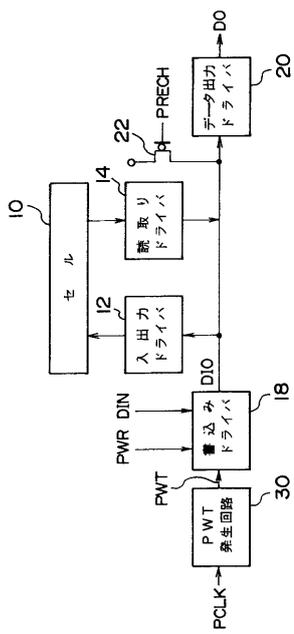
【図9】図7の装置の動作波形図。

【符号の説明】

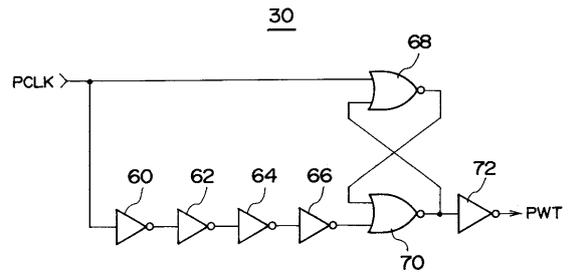
- 10 セル
- 12 入出力ドライバ
- 14 読取りドライバ
- 18 書込みドライバ
- 20 データ出力ドライバ
- 22 プリチャージトランジスタ
- 30 PWT発生回路
- 60、62、64、66、72 インバータ
- 68、70 NORゲート

20

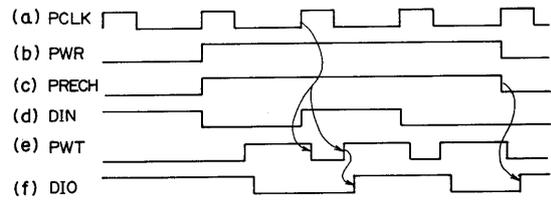
【図1】



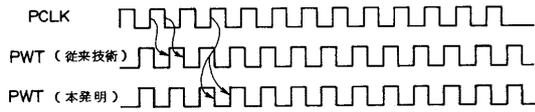
【図2】



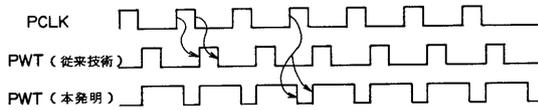
【図3】



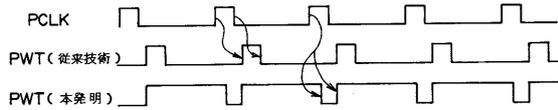
【図4】



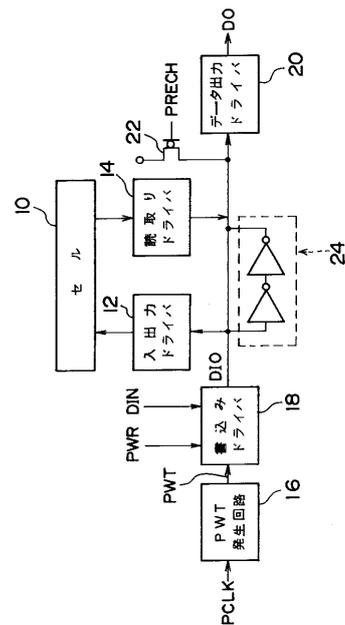
【図5】



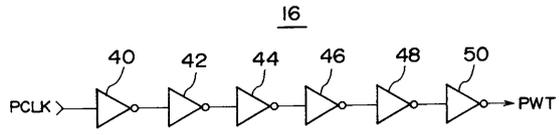
【図6】



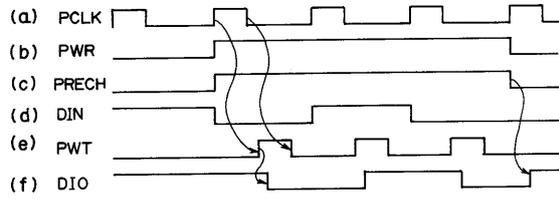
【図7】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開平08 - 235869 (JP, A)
特開平06 - 244685 (JP, A)
特開平04 - 358397 (JP, A)
特開平01 - 273288 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/413
G11C 11/409
G11C 11/417